

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 11/20 (2006.01)



[12] 发明专利说明书

专利号 ZL 01813382.7

[45] 授权公告日 2006 年 9 月 13 日

[11] 授权公告号 CN 1275159C

[22] 申请日 2001.7.17 [21] 申请号 01813382.7

[30] 优先权

[32] 2000. 7. 25 [33] US [31] 60/220,690

[32] 2000. 11. 28 [33] US [31] 09/724,669

[86] 国际申请 PCT/US2001/022646 2001. 7. 17

[87] 国际公布 WO2002/017078 英 2002. 2. 28

[85] 进入国家阶段日期 2003. 1. 27

[71] 专利权人 飞索股份有限公司

地址 美国加利福尼亚州

[72] 发明人 A·艾尔-夏马 赤获隆男

审查员 李 菲

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

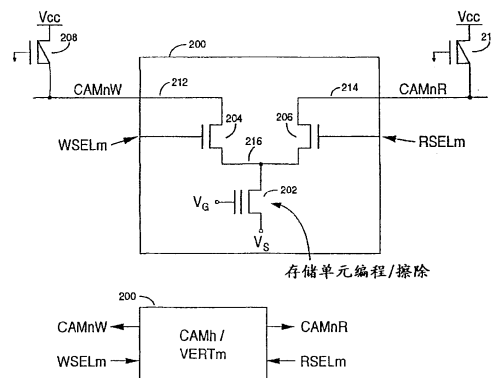
权利要求书 4 页 说明书 19 页 附图 11 页

[54] 发明名称

结合基于输出的冗余的猝发读取

[57] 摘要

一种用于完成闪存中冗余读取的装置。此装置包含正常存储单元(410)的阵列与冗余存储单元(412)的阵列。一些正常存储单元可具有缺陷地址。正常检测放大器(420)将于其存储的地址读取正常存储单元,而冗余检测放大器(422)将读取冗余存储单元。CAM的第一阵列(432)将储存缺陷存储单元的缺陷地址,而CAM的第二阵列(432)将储存缺陷存储单元的输入/输出指示符。解码电路(460)将解码缺陷与非缺陷存储单元的输入/输出指示符。一个多位多路复用器级(490)将输出正常存储单元(410)的内容,或在地址为缺陷时,输出冗余存储单元(412)的内容。所述内容将加到对应于存储单元输入/输出指示符的多路复用器的输出上。



1. 一种闪存装置内的读取冗余组件，该组件包括：

存储单元阵列，该存储单元阵列包含正常存储单元阵列(412)与冗余存储单元阵列(422)；

5 该正常存储单元阵列(412)包含缺陷存储单元与非缺陷存储单元，每个正常存储单元(412)具有一指示符与一储存地址，该指示符表明该存储单元是否为缺陷的或非缺陷的；

正常第一存储单元，由正常存储单元(412)中的一个构成；

第一地址，由所述正常第一存储单元的储存地址构成；

10 缺陷第一存储单元，由缺陷存储单元中的一个构成；

缺陷地址，由缺陷第一存储单元的储存地址构成；

解码电路(460)，配置为响应所述缺陷第一存储单元的指示符，若该电路(460)判定该第一地址为缺陷地址，则产生缺陷解码信号，该缺陷解码信号对应于该指示符；

15 该解码电路(460)进一步配置为产生正常解码信号，若该电路(460)判定该第一地址并非为缺陷地址，该正常解码信号对应于该正常第一存储单元的指示符；

具有多路复用输出的多路复用器级(490)，该多路复用器级(490)配置为响应所述正常第一存储单元与响应对应于该正常第一存储单元的指示符的所述正常解码信号，选择与提供一正常输出信号于多路复用第一输出，该多路复用第一输出为对应于所述正常第一存储单元的指示符的多路复用输出；以及

20 该多路复用器级(490)进一步配置为响应所述冗余存储单元(422)与响应对应于所述缺陷第一存储单元的指示符的缺陷解码信号，选择与提供一冗余输出信号于多路复用第二输出，该多路复用第二输出为对应于所述缺陷第一存储单元的指示符的多路复用输出。

25 2. 如权利要求 1 的闪存装置内的读取冗余组件，该闪存装置进一步包含：
配置为读取所述正常第一存储单元的正常检测放大器(410)；

存取正常第一存储单元，该存取正常第一存储单元包含由该正常检测放大器(410)读取的所述正常第一存储单元；

30 存取地址，该存取地址包含所述存取正常第一存储单元的储存地址；以及
冗余检测放大器(420)。

3. 如权利要求 2 的闪存装置内的读取冗余组件，其中：

该正常检测放大器(410)进一步配置为在第一时间间隔读取所述存取正常第一存储单元的正常第一存储单元，且于该第一时间间隔产生正常信号；

5 该冗余检测放大器(420)配置为在第二时间间隔读取所述冗余存储单元(422)，且于该第二时间间隔产生冗余信号，该第二时间间隔大体上不超过该第一时间间隔。

4. 如权利要求 3 的闪存装置内的读取冗余组件，该闪存装置进一步包含：

地址匹配电路(450)，配置为比较所述存取地址与所述缺陷地址，该电路进一步配置为：若比较判定存取的地址为缺陷地址，即在第三时间间隔产生缺陷地址匹配信号；以及

地址匹配电路(450)，进一步配置为：若比较判定存取的地址并非缺陷地址，即在所述第三时间间隔产生非缺陷地址匹配信号，该第三时间间隔大体上不超过所述第一时间间隔。

5. 如权利要求 4 的闪存装置内的读取冗余组件，其中：

15 该解码电路(460)进一步配置为响应由所述地址匹配电路(450)所产生的缺陷地址匹配信号，以判定该第一地址为所述缺陷地址，该解码电路(460)配置为在第四时间间隔产生上述判定，该第四时间间隔大体上不超过该第一时间间隔；以及

该解码电路(460)进一步配置为响应由该地址匹配电路(450)所产生的非缺陷地址匹配信号，以判定该第一地址并非缺陷地址，该解码电路(460)配置为在所述第四时间间隔产生上述判定。

6. 如权利要求 5 的闪存装置内的读取冗余组件，该闪存装置更包含：

一个或多个内容寻址存储器的第一阵列(432)，该第一阵列(432)配置为储存所述缺陷地址；以及

25 一个或多个内容寻址存储器的第二阵列(432)，该第二阵列(432)配置为储存所述缺陷存储单元的指示符。

7. 一种如权利要求 1 的闪存装置内的读取冗余组件，其中：

储存字，包含多个正常存储单元，在储存字中的每个正常存储单元具有一所述指示符，各储存字具有一储存地址；其中：

缺陷字包括具有缺陷存储单元的储存字，而非缺陷字包括不具有缺陷存储单元的储存字，缺陷地址包括所述缺陷字的储存地址。

8. 一种在闪存装置内进行冗余读取的方法，所述装置包含：

存储单元阵列，该存储单元包含正常存储单元(412)与冗余存储单元(422)；

5 该正常存储单元(412)包含缺陷存储单元与非缺陷存储单元；

储存字，其包含多个正常存储单元(412)，在储存字中的每个正常存储单元(412)具有表明该存储单元是否为缺陷的或非缺陷的指示符；

该储存字的储存地址；

配置为读取所述储存字的正常存储单元(412)的正常检测放大器(410)；

10 存取字，其包含具有由该正常检测放大器(410)读取的正常存储单元(412)的储存字；

存取地址，其包含所述存取字的储存地址；

冗余检测放大器(420)；

缺陷字，其包含具有缺陷存储单元的储存字；

15 非缺陷字，其包含具有非缺陷存储单元的储存字；

缺陷地址，其包含缺陷字的储存地址；

一个或多个内容寻址存储器的第一阵列(432)，该第一阵列配置为储存所述缺陷地址；

20 一个或多个内容寻址存储器的第二阵列(432)，该第二阵列配置为储存所述缺陷存储单元的指示符；

所述方法包含以下操作：

在第一时间间隔，以所述正常检测放大器(410)读取所述存取字的正常存储单元(412)；

响应于上述读取，在该第一时间间隔产生正常信号；

25 在第二时间间隔，以所述冗余检测放大器(420)读取所述冗余存储单元(412)；

响应于上述读取，在该第二时间间隔产生冗余信号，该第二时间间隔大体上不超过该第一时间间隔；

30 在第三时间间隔比较所述存取地址与所述缺陷地址，该第三时间间隔大体上不超过该第一时间间隔；

若该比较判定所述存取地址为所述缺陷地址，则于该第三时间间隔产生缺陷地址匹配信号；

若该比较判定所述存取地址并非所述缺陷地址，则于该第三时间间隔产生非缺陷地址匹配信号；

- 5 响应于具有所述存取地址的缺陷字的缺陷存储单元的所述指示符与响应于所述缺陷地址匹配信号，在第四时间间隔产生缺陷解码信号，该缺陷解码信号对应于所述指示符，该第四时间间隔大体上不超过该第一时间间隔；

- 响应于所述非缺陷地址匹配信号，在该第四时间间隔产生分立的正常解码信号，该分立的正常解码信号对应于具有所述存取地址的非缺陷字的分立非缺陷存储单元的分立的指示符；
- 10

 响应所述正常信号与响应对应于上述非缺陷字的上述分立的非缺陷存储单元的指示符的所述正常解码信号，选择与提供正常输出信号于多路复用第一输出，该多路复用第一输出为对应于上述分立的非缺陷存储单元的指示符的多路复用输出；以及

- 15 响应所述冗余信号与响应对应于缺陷存储单元指示符的所述缺陷解码信号，选择与提供冗余输出信号于多路复用第二输出，该多路复用第二输出为对应于所述缺陷存储单元的指示符的多路复用输出。

结合基于输出的冗余的猝发读取

5 技术领域

本发明涉及半导体存储器装置。更明确地，本发明涉及闪存中基于输出的（output based）冗余。

背景技术

- 10 美国专利 US-A-5 416 740 揭示了一种静态随机存取存储器，其包括有 64 个存储单元阵列块和一个冗余存储单元阵列块。该冗余存储单元阵列包括总共有 16 个冗余存储单元列。在地址编程电路中，将指示缺陷存储器列的位置的缺陷地址加以编程，而在输入/输出(I/O)编程电路中，将缺陷地址中的特定缺陷列加以编程。虽然各存储单元并不包
15 括用于冗余的备用的存储单元列或行，但是可以使用冗余存储单元阵列来修复该缺陷。

- 闪存(flash)随机存取存储器(RAM)，更通常称为闪存，为一种使用具有浮置栅设计的存储单元的非易失性存储器形式。将高电位施加于存储单元输入端以编程或者说储存电荷于浮置栅，或从浮置栅擦除或
20 者说去除电荷。编程通过热电子转移，将电荷置于浮置栅而产生，而擦除则利用福勒-诺尔德哈姆隧道（Fowler-Nordheim tunneling），其中电子穿进一层薄电介质材料，减少了浮置栅上的电荷量。擦除一个存储单元使得该存储单元逻辑值变为 "1"，而编程该存储单元则使得逻辑值变为 "0"。除编程或擦除操作外，闪存与随机存取只读存储器
25 (ROM)操作相似。通常，闪存芯片，包含闪存存储单元与支持逻辑/电路，是通过在基底上制造各半导体材料层与多晶硅的各互连层以及第一与第二金属层而形成的。应认识到，有许多包含更多或更少层的集成电路制造技术，亦适用于本发明。

- 较新的技术，例如同步读取与写入操作闪存，展现了重新设计
30 CAM 电路与结构及其相关输出电路的机会，以便匹配日益增加的系统性能标准与装置密度。理想的是实现更有效率的冗余 CAM 电路与结构

及相关输出电路。

- 冗余核心单元阵列用于替换主要或正常阵列的无法操作或缺陷存储器核心单元。内容寻址存储器(CAM)电路可用以协助冗余替换。冗余 CAM 单元储存有关无法操作或缺陷存储单元位置的信息,使得存储
- 5 单元的冗余阵列可用以替换主要阵列的无法操作或缺陷存储单元。

典型地,在客户或使用者使用前,由制造厂家测试存储器单元阵列以确定性能与精度。在测试阶段后,以适当的无法操作存储单元的

位置来擦除或编程冗余 CAM 单元。

存储器中的核心单元是字节或字可寻址的。若于主要阵列执行特定操作，则提供用以操作的地址。目前，在存取对应于主要阵列的存储单元位置之前，将地址与有关无法操作存储单元位置的地址信息做
5 比较。若此地址与一组无法操作存储单元位置匹配，此地址将重导引至冗余阵列。接着便在冗余阵列执行操作。若此地址没有与一组无法操作存储单元位置匹配，此地址则用于主要阵列，而且在主要阵列执行操作。典型地，利用冗余阵列存储单元而做的主要阵列存储单元的这种替换对于存储器的使用者为无缝及透明的。

10 较新的技术，例如同步读取与写入操作闪存，显示重新设计 CAM 电路与结构及其相关输出电路的机会，以匹配日益增加的系统性能标准，与装置密度。目前于本文中描述的优选具体实施例实现一个较有效率的例如闪存的于存储器中冗余 CAM 电路与结构及相关输出电路。

CAM 单元配置为储存有关主要核心单元阵列里的无法操作存储
15 单元位置的信息。典型地，无法操作存储单元需以冗余阵列里的存储单元替换。储存于 CAM 单元中的信息可关连至是否主要核心单元阵列操作地址所寻址的存储单元需以冗余阵列的存储单元替换。

参照图 1，为依照目前优选实施例的存储器 100 的方框图。在所示实施例中，存储器 100 配置为一个闪存，其形成为互补金属氧化半导体(CMOS) 的集成电路，用以储存数字数据。然而，存储器 100 可采用任何其它适当的形式，且事实上本文中所说明的原理可应用于任何
20 其它适当电路，在该电路中，同步操作允许双端口 CAM 结构。存储器 100 包含核心单元阵列 102、解码器 104、地址缓冲器电路 108、冗余 CAM 电路 106、控制逻辑电路 110，以及检测放大器与输出电路 112。
25 控制逻辑电路 110 连接至解码器 104、地址缓冲器电路 108、及检测放大器与输出电路 112。控制逻辑电路 110 产生一连串读取与写入选择操作信号 RSEL、WSEL，且将各信号送至解码器 104 与冗余 CAM 电路 106。优选地，控制逻辑电路 110 对应于存储器 100 分配时序与其它控制信号。

30 核心单元阵列 102 包含多个存储单元，每个存储单元均配置用以储存数据。在一些应用中，每个存储单元可储存单独一位数据；在其

它应用中，每个存储单元可储存两位或多位数据。核心单元阵列 102 的存储单元可为字节或字可寻址的，且可由对应地址在地址缓冲器电路 108 存取。在一个特定的实施例中，将存储单元作为数据字存取，且地址对应于独有的数据字。然而，对于本领域技术人员而言显而易见的是，每个存储单元具有独有的地址、该地址由解码器 104 解码的其它具体实施例也是可能的。

解码器 104 典型地包含行或 x-地址解码逻辑与位线或 y-地址解码逻辑。解码器 104 的 x-地址解码逻辑通过激活多个字线中的一字线，而每一字线关连至核心单元阵列的一行，响应至一从地址缓冲电路 108 提供的地址信号 ADD。响应字线的激活，与此字线连接的存储单元激活且开始吸入电流。为适当地激活存储单元，字线必须通过实质的电位差，例如 3.0 至 4.0 伏特加以改变。

解码器 104 的 y-地址解码逻辑将核心单元阵列 102 的适当位线连接至检测放大器与输出电路 112。y-地址解码逻辑响应一个由地址缓冲器电路 108 来的地址信号 ADD，以将从核心单元阵列 102 多个位线中选择位线解码。检测放大器与输出电路 112 检测核心单元阵列 102 的选择存储单元的电流且判定储存于选择存储单元里的一个或多个位数据的二进制状态。在一个实施例中，电路 112 产生存储单元数据，此数据由位于作为存储器 100 外部使用的存储器 100 的输出的检测放大电路 112 检测作为数据字。其它电路，未显示于图 1，提供如核心单元阵列 102 的个别存储单元所需的编写程序、读取、核对、擦除与执行其它操作。

存储器 100 响应在图 1 中标示为 VCC 的供给电位而工作。VCC 与接地端的电位差为供给电位，且其范围举例而言在 0.8 至 3.3 伏特。适当的供给电位 VCC 乃依据各种因素，包括存储器 100 制造的技术。一般而言，在先进的 CMOS 工艺中，供给电位正常为 1.8 伏特。以确定的术语来说，此电位大于 p 沟道晶体管激活电位或截止电位 V_{tp} 的 0.9 伏特及 n 沟道晶体管激活电位或截止电位 V_{tn} 的 +1.0 伏特。

核心单元阵列 102 典型地包含一连串主要阵列与冗余阵列。图 1 的冗余 CAM 电路 106 还包含 CAM 单元储存有关核心单元阵列 102 主要阵列的一中无法操作或缺陷存储单元，或无法操作或缺陷位线位置

的信息。相关冗余阵列的位线用以替换无法操作位线。冗余 CAM 电路 106 的 CAM 单元于 PROG/ERASE 输入端编程与擦除，如图 1 所示。典型地，CAM 单元于终端用户或顾客使用芯片前的测试阶段时编程与擦除。

- 5 每当在核心单元阵列 102 执行例如读取或写入的操作时，将操作地址施加至冗余 CAM 电路 106，以比较该操作地址与储存于 CAM 单元中的信息。若操作地址与储存于 CAM 单元中的位置信息匹配，则操作地址所对应的至少一个存储单元位置是无法操作的且需冗余替换。

- 例如，若读取操作由正常阵列执行，对应于组成一个数据字的一
10 连串存储单元的读取地址将与冗余 CAM 单元的信息比较。若一条无法操作位线碰巧包含读取地址所要存取、且无冗余替换的一连串存储单元其中的一个，则冗余 CAM 电路将指示读取匹配读取地址。解码逻辑确保冗余阵列的位线替换读取地址所要存取、且无冗余替换的无法操作的位线与无法操作的存储单元。若无法操作的位线碰巧包含写入地
15 址所要存取、且无冗余替换的一连串存储单元其中的一个，则相似的替换亦会产生。

- 依据图 1 的存储器 100，图 2 为说明一个示范核心单元阵列 102 的图标，包括主要阵列与冗余阵列。水平地看，图 2 的示范核心单元阵列 102 分为上层排 114 与下层排 116。垂直地看，阵列 102 分为四个
20 垂直阵列 VERT0、VERT 1、VERT2、VERT3，每个垂直阵列包含一个主要阵列与一个相关冗余阵列。上层排 114 包含上层主要阵列 118A 至 D 与上层冗余阵列 120A 至 D。下层排 116 包含下层主要阵列 128A 至 D 与下层冗余阵列 130A 至 D。垂直阵列 VERT0，举例而言，包含主要阵列 118A、128A 与冗余阵列 120A、130A。

- 25 在一个具体实施例中，每个垂直阵列分为九个存储单元区段(未于图 2 显示)。水平地看，每个区段在主要阵列里分为一连串列区域(column area)。每个列区域依次包含若干存储单元。列区域的每个存储单元最好对应于主要阵列的一个特定位线。如上所述，当无法操作的存储单元位于主要阵列，则将识别无法操作的存储单元的位置。典
30 型地，横跨垂直阵列的上层与下层冗余阵列部分的位线替换对应于无法操作的存储单元的主要阵列的整个位线。若位线其中的一个存储单

元无法操作，则整个位线将由一个冗余位线所替换，故依据定义一个无法操作位线包含至少一个无法操作存储单元。典型地，且依据核心单元阵列 102 的设计，有限数目的主要阵列的无法操作位线可以相关的冗余阵列替换。

- 5 如上所述的一个实施例，存储单元以数据字存取，且存储单元的一个列区域储存特定数据字。例如，执行读取操作时，每次读取内部两个 16 位数据字，且每次一个 16 位数据字由输出电路 112 产生。以此方式，两个列区域可于读取操作时一同存取。相对而言，执行一个写入操作时，每次存取一个 16 位数据字与一个列区域。当然，这些数据字长度仅为示例且其它适当字长度亦可使用。
- 10

图 3 为一个示范性 CAM 级 200 的电路示意图与依据图 1 的存储器的伴随输出电路。示范 CAM 级 200 包含 CAM 单元 202、写入数据总线 204、与读取数据总线 206。CAM 单元 202 为晶体管，优选为 n 沟道金属氧化物半导体场效晶体管(MOSFET)。虽然 CAM 单元 202 优选为 MOSFET 晶体管，其用做非易失性存储单元，任何适当的主动数据储存组件皆可用于 CAM 单元 202。写入数据总线 204 具有连接至节点 212 的输出端口与连接至 CAM 单元 202 的漏极于节点 216 的输入端。读取数据总线 206 具有连接至节点 214 的输出端口与连接至 CAM 单元 202 的漏极于节点 216 的输入端。写入数据总线 204 与读取数据总线 206 为晶体管，典型为 n 沟道 MOSFET。当然，任何适当的数据总线可用于数据总线 204、206。写入选择信号 WSELm 施加于写入数据总线 204 的栅极，而读取选择信号 RSELm 施加于读取数据总线 206 的栅极。电位 VG 施加于 CAM 单元 202 的栅极输入，而电位 VS 施加于 CAM 单元 202 的源极输入。在一个实施例中，在 CAM 单元 202 正常操作时，例如当 CAM 单元 202 被检查或存取时，电位 VS 将为接地电位。

15

20

25

在图 3 中还显示了一种对于该示范性双端口 CAM 级 200 的简化表示方法。一个通用的 CAM 级 200 可以表示为 CAMn/VERTm，其中 m 表示 M 个垂直阵列 VERT0 至 VERTm 中的任何一个，而 n 表示对应于垂直阵列 VERTm 的 N 个 CAM 级 200CAM0 至 CAMN 中的任何一个。在显示于图 2 的示范性核心单元阵列 102 中，有 M=4 个垂直阵列

30

VERT0 至 VERT3。在一个实施例中，每个垂直阵列 VERT_m 具有 N=8 个相关的与独有的冗余 CAM 级 CAM0 至 CAM7。在另一个实施例中，每个垂直阵列 VERT_m 具有 N=16 个相关的与独有的冗余 CAM 级 CAM0 至 CAM16，布置于一个或两个分立的行中。当然，核心单元阵列 102 为可缩放的，且在设计、尺寸、排列、或分隔上可以不同于图 2 所示的示范性核心单元阵列 102。依据实施例与核心单元阵列 102 的特殊设计与配置，与每个垂直阵列相关的的冗余 CAM 单元 202 与级 200 的数目也会有所不同。亦即可以设置更多的冗余阵列或使用额外的 CAM 单元，以特定地识别无法操作的或缺陷的存储单元的位置、包含无法操作存储单元的无法操作位线位置、或无法操作位线所在的列区域。

在一个具体实施例中，CAM 单元 202 为可擦除信息或编程信息的非易失性存储单元。若 CAM 单元 202 为 n 沟道 MOSFET 晶体管，此可通过改变晶体管的门限电位而达成。编程/擦除的信号单元与伴随箭头用于指示在 CAM 单元 202 所执行的编程/擦除操作。CAM 单元 202 对依据于 CAM 单元 202 是否编程或擦除的施加栅极电位有不同响应。

当 CAM 单元 202 编程时，调节的电位典型地施加于晶体管单元 202 的漏极与栅极。与供给电位 VCC 相比，调节电位相对地高。例如，接近 5.0 伏特的电位 VD 施加于 CAM 单元 202 晶体管的漏极，而接近 8.5 伏特的 VG 施加于 CAM 单元 202 晶体管的栅极输入。与所用电位无关，当冗余 CAM 电路 106 正常操作时，对于 CAM 单元 202 的编程操作的综合作用是增加门限电位，使其比任何施加于 CAM 单元 202 晶体管的栅极的电位高，亦即高于供给电位 VCC。

在正常操作中，一旦 CAM 单元 202 编程且 CAM 单元 202 的漏极为接地电位，则当施加一个优选为供给电位 VCC 的栅极电位 VG 时，不会产生任何反应，亦即，CAM 单元不会激活或导通。

典型地，所有的 CAM 于擦除前先编程，且一同擦除。CAM 单元 202 可通过紫外光擦除程序加以擦除，此为本领域技术人员所公知。当然，其它擦除技术亦可使用。CAM 单元 202 上的擦除效果，是将截止电位由 CAM 单元 202 编程时的数值降低至与一般的晶体管一致的正常数值。典型地，当 CAM 单元 202 擦除时，截止电位设定为使 CAM 单

元 202 作用如同一个 n 沟道晶体管。亦即，当栅极电位 VG 与施加的供给电位 VCC 相同时，CAM 单元将激活与导通。

同样示于图 3 的还有两个 p 沟道偏压晶体管 208、210，作为示范性 CAM 级 200 的伴随输出电路。晶体管 208、210 相对于 CAM202 设计成且定尺寸，作为弱上拉(weak pull-up)晶体管。在一个实施例中，p 沟道晶体管 208、210 为图 3 的低门限电位晶体管。本领域技术人员公知：在制造时，例如 MOSFET 这样的晶体管的门限电位是受控的。装置制造过程允许在选择门限电位时有一些弹性。然而，标准值较普遍，且通常用于特定工艺的 MOSFET。应认识到，上述这些门限电位仅为示例。通常，晶体管的设计参数，例如门限电位与装置大小、其它电路结构、或其它本领域技术人员可利用的适用设计技术可使用或替换于适当之处。

p 沟道晶体管 208、210 连接至写入与读取数据总线 204、206。例如，读取 p 沟道偏压晶体管 210 在节点 214 处连接至读取数据总线 206 的输出端口。通用 CAM 级 200（其可表示为 CAMn/VERTm）以及读取 p 沟道偏压晶体管 210 在节点 214 处产生信号 CAMnR，其中，如上所述，n 表示对应于垂直阵列 VERTm 的 n 个 CAM 级 200 CAM0 至 CAMn 其中的任何一个。“R”标识在节点 214 的信号 CAMnR 为读取操作 CAM 信号。依照以上所述，对于本领域技术人员而言，写入 p 沟道偏压晶体管 208 与其写入数据总线 204 的功能将是显而易见的。

当源极输入端为供给电位 VCC，读取与写入 p 沟道偏压晶体管 210、208 的栅极输入接至接地电位。因此，由于如上所述晶体管 210、208 为低门限电位晶体管，在缺少来自 CAM 级 200 的上拉动作时，晶体管 210、208 将导通且相应的节点 212、214 将为 VCC。

CAM 级 200 连同晶体管 208、210 的操作依下列方式进行。在一个实施例中，每当发生存取核心单元阵列 102 的操作时，无论该操作是读取或是写入，都将存取冗余 CAM 电路 106 的 CAM 单元 202。接着判定所存取的地址(读取地址或写入地址)是否包含需冗余替换的无法操作的存储单元位置。有关此位置的信息典型地于操作前编程至 CAM 单元 202。当读取或写入操作，或两者皆发生时，每个 CAM 单元 202 的源极电位 VS 为接地电位且每个 CAM 单元 202 的栅极电位

VG 升至供给电位 VCC。

若在一个垂直阵列 VERT_m 执行读取操作，则读取选择信号 RSEL_m 将为高且读取数据总线 206 将启动。一个已编程的 CAM 单元 202 将仍为关断且不会响应一个施加的栅极电位 VG、在一个具体实施
5 例中的供给电位 VCC 而启动或导通。在没有来自 CAM 级 200 的上拉动作时，读取上拉晶体管 210 将导通且节点 214 将为 VCC。因此，若 CAM 单元 202 编程且读取数据总线 206 激活，则节点 214 保持为高或者说为 VCC。

若在一个垂直阵列 VERT_m 执行读取操作，则读取选择信号
10 RSEL_m 将为高且读取数据总线 206 将启动。当响应一个施加栅极电位 VG，或在一个具体实施例中的供给电位 VCC 时，已擦除 CAM 单元 202 将工作类似于 n 沟道晶体管且将启动并导通。CAM 单元 202 会将节点 216 拉至接地电位。典型地，CAM 单元 202 设计得要强于读取上拉晶体管 210，且因此，若擦除 CAM 单元 202 且读取数据总线 204 启
15 动，则会将节点 214 拉至接地电位。

若未在垂直阵列 VERT_m 执行读取操作，则读取数据总线 206 将关断且 CAM 单元 202 将不会受检查。无论 CAM 单元 202 是否编程或擦除，均不会影响位于节点 214 的信号 CAM_nR 的数值。

通常，若在一个垂直阵列 VERT_m 执行读取操作，各信号 CAM₀R...
20 CAM_nR 将指示出冗余替换产生的位线位置——若其存在而且编程于 CAM 级 200 CAM₀/VERT_m ... CAM_n/VERT_m 的话。优选地，一个或多个 CAM₀R ... CAM_nR 信号将与读取地址比较，以判定是否有读取匹配。若对于无法操作或缺陷位线有读取匹配，则一条冗余阵列的位线将替换无法操作位线。亦即，若指出在读取地址与关联于主要阵列(否
25 则将在该主要阵列产生读取操作)的 CAM 级 200 之间的匹配，则将使用冗余位线而使用非无法操作位线。

图 4 为一个方框图，显示依据图 1 的存储器与图 2 的示范性核心单元阵列 102 的示范性 CAM 级阵列 300 与伴随的输出电路。图 1 的冗余 CAM 电路 106 包含示范性 CAM 级阵列 300。CAM 级阵列 300 包含
30 下列关联于垂直阵列 VERT₀ 的 CAM 级 200：CAM₀/VERT₀ 302A... CAM₇/VERT₀ 302H。相似的 CAM 级 200 关联于其它垂直阵列 VERT₁

至 VERT3。

CAM 级阵列 300 还包含读取 p 沟道上拉 (pull-up) 低门限电位晶体管 370A~H 与写入 p 沟道上拉低门限电位晶体管 380A~H。

5 关联于垂直阵列 VERT0 的 CAM 级阵列 300 中的所有 CAM 级 200 接收写入与读取选择信号 WSEL0、RSEL0。关联于其它垂直阵列的 CAM 级阵列 300 中的所有的 CAM 级 200 接收相似写入与读取选择信号。

10 CAM 级 CAM0/VERT0 302A~CAM0/VERT3 305A 均在一个具有信号 CAM0R 的共同输出端连接至读取上拉晶体管 370A，且均在一个具有信号 CAM0W 的共同输出端连接至写入上拉晶体管 380A。

位于其它水平线的各 CAM 级全部在各共同输出端 CAM1R~CAM7R 连接至各读取上拉晶体管，且全部在各共同输出端 CAM1W~CAM7W 连接至相似的写入上拉晶体管。

15 图 5 为一个方框图，显示对应于图 2 示例核心单元阵列 102 的一个垂直阵列 VERTm 的 CAM 级 200 的示例群组 400。示例 CAM 级群组 400 包含下列 CAM 级 200：CAM0/VERTm 402A ... CAM7/VERTm 402H，全部关联于垂直阵列 VERTm。CAM 级群组 400 的所有 CAM 级 200 接收一个对应于垂直阵列 VERTm 的写入选择信号 WSELm 与读取选择信号 RSELm。

20 此外，在一个具体实施例中，存储单元作为数据字存取，且存储单元的一个列区域储存一个独有的数据字。例如，执行一个读取操作，其中每次两个 16 位数据字于内部读取，且每次一个 16 位数据字由图 1 的输出电路 112 产生。以此方式，两个列区域将于一次读取操作一同存取。相较而言，执行写入操作，其中每次存取一个 16 位数据字，与
25 存取一个列区域。当然，这些数据字长度为示例且其它适当的数据字长度亦可使用。

30 依据一个具体实施例，垂直阵列 VERTm 主要阵列的水平行包含 p 个列区域，每个列区域包含 q 条位线。例如，行可包含 p=16 个列区域，其中该 16 个列区域中，每个包含有 q=16 条位线，在一个水平行中总共共有 256 条位线。当然，这些数值是示范性的且用于解说，而非用于限制所述的具体实施例。

八个 CAM 级 402A 至 402H 的示例 CAM 级群组 400 明确指出无法操作位线位置与垂直阵列 VERTm 的主要阵列列区域。冗余阵列的一个冗余位线替换此无法操作位线，否则此无法操作位线将由写入或读取操作所存取。

5 无法操作位线 BLi 位置的识别首先识别包含无法操作位线的 p 个列区域的列区域。接着，识别对应于无法操作位线的列区域的 q 条位线的位线。因此，八个 CAM 级 402A 至 402H 的示例 CAM 级群组 400 储存两份信息以指出无法操作位线 BLi 的位置。

对于读取操作，对应于两个列区域，具有总数 $2q$ 条位线的 h 位
10 ($2h=p/2$) 读取地址，与储存于一组 h 地址 CAM 级的 h 位 ($2h=p/2$) 地址比较。在本具体实施例中的两个列区域储存两个数据字。尤其是， h 地址 CAM 级指示出两个列区域的 h 位 ($2h=p/2$) 地址，其中一个包含无法操作位线 BLi。若 h 位读取地址与储存于 h 地址 CAM 级的 h 地址匹配，则无法操作位线 BLi 位置由 j ($2j=2q$) I/O CAM 级所识别。 h 与 j 的数值
15 通常取决于 p 与 q 的数值。

例如，依据一个具体实施例的读取操作，每次两个 16 位数据字于内部读取，且每次一个 16 位数据字由图 1 的输出电路 112 产生。以此方式，每次存取 $p=16$ 个列区域中的两个，每个列区域包含 $q=16$ 条位线。依据图 5， $h=3$ ($23=8$) 地址 CAM 级 402F、G、H 储存两个列区域的
20 的 3 位地址，其中之一包含无法操作位线 BLi，且 $j=5$ ($25=32$) I/O CAM 级 402A 至 402E 储存 32 位线的无法操作位线 BLi 位置于两个列区域里。当执行读取操作时，读取地址分别与地址 CAM 级 CAM5/VERTm 402F、CAM6/VERTm 402G、与 CAM7/VERTm 402H 的读取地址 CAM 信号 READADD0、READADD1、与 READADD2 比较(使用未于图 5
25 或图 1 显示的地址匹配电路)。若读取地址与读取地址 CAM 信号匹配，则 I/O CAM 级 402A~402E 指出两个列区域的 32 条位线中，哪条位线为无法操作位线 BLi。

CAM 级共同提供有关需以冗余阵列位线替换的主要阵列无法操作位线位置的信息。例如，参照图 5，假设 CAM 级 402A~402H 的输出分别为 00010001。
30

若于具有共同读取地址 000 的两个列区域执行读取操作，则这三

个位与下列信号比较：

READADD2=CAM7R=0 由 (地址) CAM 级 402H;

READADD1=CAM6R=0 由(地址) CAM 级 402G; 及

READADD0=CAM5R=0 由(地址) CAM 级 402F.

- 5 含有读取地址匹配，故检查 I/O CAM 级内容以判定位于共同具有读取地址 000 的两个列区域里，无法操作位线 Bli 的位置，如下列信号所显示：

READIO4=CAM4R=1 由(I/O) CAM 级 402E;

READIO3=CAM3R=0 由(I/O) CAM 级 402D;

- 10 READIO2=CAM2R=0 由(I/O) CAM 级 402C;

READIO1=CAM1R=0 由(I/O) CAM 级 402B; 及

READIO0=CAM0R=1 由(I/O) CAM 级 402A.

- 15 在一个具体实施例中，图 1 的所有组件包含于单一集成电路芯片。注意用于示范性闪存芯片的地址与控制输入有赖于存储器密度与接口实施方案。应认识到，所示具体实施例可于不同存储器密度与具有其伴随替换地址与控制输入结构的替换接口实施方案下工作。

- 同时操作闪存可于猝发 (burst) 方式下操作。于猝发读取方式下，每次读取多个数据位且以一个或多个部分显示于存储器输出。例如，在一个具体实施例中，每次读取 32 位数据且以两个 16 位部分显示于存储器输出。猝发发生于非常短时间间隔内，例如 20 毫微秒(ns)。此短暂时间间隔留下了非常短时间，由冗余 CAM 判定是否需冗余读取。再者，于此判定后，仅有非常短时间以识别无法操作或缺陷，且需由冗余位或行替换的位线。当此判定进行且指出须冗余读取时，及当进行位线识别时，于猝发输出前存取冗余阵列及其读取与替换缺陷位线将延缓猝发输出且降低存储器装置的性能。因此，于冗余操作时，改进事件顺序将有益于猝发读取操作时获取时间优势。
- 25

- 在此所使用的不同术语与用语具有下列含义。术语“地址”用于广泛地指任何唯一地对应于一个或多个存储单元——或是其位置——的位置标识。术语与用语“低”、“逻辑低”、“非确认”、“非有效”、及“无效”用于广泛地指数位信号的逻辑低数值，通常以二进制零(0)表示。术语与用语“高”、“逻辑高”、“确认”、“有效”
- 30

用于广泛地指数位信号的逻辑高数值，通常以二进制一(1)表示。用语"A 与 B 耦合"定义为 A 直接连接至 B，或 A 经由一个或多个中间组件而间接地连接至 B。术语“使用者”用于指一个处理器或其它组件或试图存取存储器的实体。术语“信号”广泛地指一个模拟或数字信号而且包含两种类型的信号。

在此所使用的术语“无法操作”或“缺陷”，当与一个储存组件或一组储存组件一同使用时，广泛地指任何需以一个以上储存组件替换无法操作储存组件的条件或状态。举例而言，储存组件可包含一个或多个存储单元，或位线，或至存储单元的接口电路。尤其是，如此处所使用，一个无法操作或缺陷存储单元广泛地指一个具有或不具有伴随电路的存储单元，例如一条连接至存储单元的位线，或包含存储单元的一条位线。典型地，无功能的储存组件需要一个替换储存组件。无功能起因于储存组件或至该储存组件的接口的损伤或缺陷。

此处所述方法的各步骤可通过与所述行动一致的任何顺序执行。

虽然本发明的特定具体实施例已经并且还将予以展示和描述，但仍可进行修改。例如，个别晶体管的检测、p 沟道与 n 沟道可于适当的应用中颠倒过来。需注意的是适当晶体管尺寸明确指出组成于图中省略的描绘电路晶体管的信道宽度与长度比例(以百万分之一米或微米测量)。应认识到，适当比例的选择不仅依据设计需求与用于实行电路的特定集成电路制造过程的能力与限制，且依据特定具体实施例的性能需求。再者，此处所述的发明概念可应用于存储器装置外的其它电路。

发明内容

鉴于上述，提供一个于闪存装置执行冗余读取的装置与方法。

本发明于第一方面涉及执行冗余读取的装置。此装置包含存储单元阵列，可为正常存储单元或冗余存储单元。正常存储单元依次可为缺陷的或非缺陷的，且每个具有储存地址与输入/输出指示符。缺陷地址为缺陷存储单元的储存地址。

此装置亦包含解码电路，响应于存储单元的输入/输出指示符，若存储单元地址为缺陷的，则产生一个缺陷解码信号。此电路亦产生一个正常解码信号，若存储单元地址为非缺陷的，且此信号对应于此存

储单元的输入/输出指示符。此装置亦包含一个多路复用器级，响应于正常存储单元，与对应于正常存储单元的输入/输出指示符，输出一个正常解码信号。此正常信号施加至对应于正常存储单元的输入/输出指示符的多路复用器输出。此电路亦输出一个响应冗余存储单元，与对应于缺陷存储单元输入/输出指示符的缺陷解码信号的冗余信号。此冗余信号施加至对应于缺陷存储单元输入/输出指示符的多路复用器输出。

此外，执行冗余读取的装置还可包含一个或多个 CAM 的第一阵列——其设定为储存缺陷地址，与一个或多个 CAM 的第二阵列——其设定为储存缺陷存储单元的输入/输出指示符。

此装置亦可包含一个于第一时间间隔读取正常存储单元、且于其间产生正常信号的正常检测放大器。在此情况下，装置还可包含于第二时间间隔读取冗余存储单元、且于其间产生冗余信号的冗余检测放大器。第二时间间隔大体上不会超过第一时间间隔。

若装置包含正常检测放大器，则解码电路将于第四时间间隔工作，该第四时间间隔大体上不会超过第一时间间隔。

除这些检测放大器外，装置还可包含地址匹配电路，此电路比较正常存储单元的地址与缺陷地址，并且在比较判定地址为缺陷的情况下，于第三时间间隔产生缺陷地址匹配信号。若比较判定地址为非缺陷，则该电路还会在第三时间间隔产生一个非缺陷地址匹配信号。第三时间间隔大体上不会超过第一时间间隔。

若装置包含地址匹配电路，则由该地址匹配电路依据存储单元的地址为缺陷与否，执行解码电路的功能。

同样地，在装置包含两种检测放大器的情况下，正常检测放大器将数据由正常存储单元送至多路复用器级。另一方面，冗余检测放大器将数据由冗余存储单元送至多路复用器级。

因此，主要优点为冗余检测放大器将于一个通常与正常检测放大器操作时间匹配的时间间隔内操作。结果，存储器装置的操作将不会因冗余检测放大器的操作而延缓。

更进一步的优点为地址匹配电路将于一个通常与正常检测放大器操作时间匹配的时间间隔内操作。因此，存储器装置的操作将不会因

地址匹配电路的操作而延缓。

再进一步的优点为解码电路将于一个通常与正常检测放大器操作时间匹配的时间间隔内操作。因此，存储器装置的操作将不会因解码电路的操作而延缓。

- 5 本发明另一优点为由 X-解码与相关电路所占据的区域数量将可减少。

最后，本发明可提高增加存储器装置操作速度的主要目标。

下列优选具体实施例的附图与详细说明将更清楚地说明本发明这些与其它目标及优点。

10

附图简单说明

图 1 为依据现今优选具体实施例的存储器方框图；

图 2 为依据图 1 的存储器的包含主要阵列与冗余阵列的示范性核心单元阵列；

- 15 图 3 为依据图 1 的存储器的示范性 CAM 级与伴随输出电路的电路图；

图 4 为依据图 1 的存储器与图 2 的示范性核心单元阵列的方框图，显示一个示例 CAM 级阵列与伴随输出电路；

- 20 图 5 为方框图，显示关联于图 2 示范性核心单元阵列的垂直阵列的示范性 CAM 级群组；以及

图 6 为本发明一个具体实施例的方框图；

图 7 为本发明的多路复用器级最佳具体实施例的电路图。

本发明具体实施方式

- 25 图 6 显示本发明的一个具体实施例，检测放大器 410 读取存储单元，即主要阵列 412 里的正常存储单元。例如，在一个猝发读取具体实施例中，每次读取 32 位数据且以两个连续 16 位部分出现于存储器输出 480。在此具体实施例中，32 个检测放大器 410 读取正常存储单元。同样地，冗余检测放大器 420 读取关联于冗余阵列 422 里的存储
- 30 单元，即冗余存储单元。检测放大器的实际设计的选择将依据整体存储器电路需求，且对于本领域技术人员而言是公知的。为方便起见，

且无须由于固有的差异，主要阵列 412 与冗余阵列 422 的存储单元分别指的是正常存储单元与冗余存储单元。基于相似原因，检测放大器 410 分别指的是正常检测放大器与冗余检测放大器 420。如上所述，存储单元的两个列区域或字——每个 16 位——于读取操作时同时存取，
5 且因此来自正常检测放大器 410 的位线总线 414 为 32 位宽，且方框 410 表示 32 个正常检测放大器。

在最佳具体实施例中，实际上每个主要阵列 412 有两个冗余阵列 422。对应于两个冗余阵列 422 为两个冗余检测放大器 420。对应于两个冗余阵列还有两个分立的 CAM 级的阵列 432，每个储存一个缺陷二字数
10 据段地址。此加倍的冗余容许以冗余存储单元替换在主要阵列 412 内的两个不同二字数数据段的缺陷存储单元，因为两个 CAM 阵列 432 中每一个可储存一个不同缺陷二字地址。在本最佳具体实施例中，这一加倍使相同二字数数据段的两个不同位置得以替换。二位宽总线 424 传送来自两个冗余检测放大器 420 的输出信号。在本具体实施例中，两个
15 冗余检测放大器 420 分立地完成两个冗余存储单元的读取，大体上不晚于正常检测放大器 410 的读取操作结束。

如上所述，CAM 级 432 的阵列将关联于每个主要阵列 412。如上所述，且为本具体实施例所利用，在从主要阵列 412 读取时，将存取此 CAM 级 432 阵列，以判定从该主要阵列读取的二字数数据段是否需要
20 一个替换存储单元。此 CAM 级 432 阵列的存取显示于图 6 的方框 440。这些 CAM 级 432 将包含两种信息形式。首先它们将包含一个二字数数据段的地址。地址包含于 CAM 级 432 的二字数数据段将为有缺陷的，即，将包含缺陷位。其次，CAM 级 432 将储存缺陷存储单元的位置或该二字数数据段内的位线。

25 对于该位置的术语可视为用于猝发读取存储器的特别形式。因 16 位(即二字数数据段的一个字)同时置于存储器的多路输入/输出连接 480，在这些 16 位内的位位置 (bit location) 在此称为"输入/输出指示符"，且范围为 0 至 15。

接着，于存取后，即处理 CAM 阵列 432 的第一形式信息，即缺陷
30 二字数数据段的地址。缺陷二字数数据段的地址与正在读取，位于主要阵列 412 里的二字数数据段地址进行比较或匹配。比较由正常检测放大器

410 完成,大体上不晚于正常存储单元读取结束。在优选具体实施例中,二字数据段的地址由三位表示,如上所述并参看图 5。执行比较的电路为本领域技术人员所公知的,且在图 6 中以方框 450 表示。

若两地址相同或匹配,即处理 CAM 阵列 432 的第二形式信息,即
5 缺陷存储单元的位置或二字数据段里的位线。

如上所述并参照图 5,位于缺陷存储单元或位线的缺陷二字数据段里的位置包含于两个 CAM 阵列 432 其中一个的五位中。这五位将受到解码,以选择需由冗余阵列存储单元替换的 32 位存储单元或位线的其中之一。在最佳具体实施例中,此解码 460 是一个两阶段过程。第一阶段为预先解码阶段。例如,若描述位线位置的 CAM 阵列五位以 A0
10 至 A4 描述,将形成位群组(A0, A1)、(A2, A3)与 A4。(A0, A1)与(A2, A3)的所有组合,包含余集(complement),可产生八种组合。这些组合接着作为输入而施加至简单门(gate),从而产生一个预先解码输出。在解码第二阶段,这些预先解码输出接着彼此(并与 A4 至 A4)相限制,从而产生代表五位 A0~A4 的小项的 32 个输出。此过程仅概述群组的形
15 成、组合安排与应用,与输出栅极均为本领域一般技术人员所公知。此解码过程由正常检测放大器 410 完成,大体上不晚于读取。

由两个 CAM 阵列 432 其中一个产生的 32 个输出 470,首 16 个输出指定为 rp01n 且次 16 个输出为 rp0hn。rp01n 判定二字数据段中第一
20 或较低字里的缺陷位置,而 rp0hn 判定二字数据段中第二或较高字里的缺陷位置。这些双信号中每个字尾的 n 表示解码器 460 的 32 个输出中的每一个(在计及对应于每个 rp01 与 rp0h 的 16 个字尾之后),且指定信号应接至 16 个多路复用器电路中的哪一个(如下所述)。由两个 CAM 阵列中另一个产生的 32 个输出指定为首 16 个 rp01n 与次 16 个 rp0hn。

25 在最佳具体实施例中,解码电路不选择任何位为缺陷且需替换,若字地址比较 450,依据两个冗余 CAM 阵列 432,判定二-数据段字并非缺陷。此选择的无效结果,即是由于使用一个来自比较电路 450 的无匹配结果,做为解码阶段 460 的一个中断信号。

虽然将解码功能块 460 描述为具有两阶段,第一为预先解码阶段,
30 然而其它设计亦是可能的,这对本领域技术人员而言显而易见。

此时,电路已由 34 个检测放大器 410、420 获得 34 个位数据。此

34 个中的 32 位最终将形成二字数据段的电路输出。32 位输出多路复用器级 470 将由 34 个中选择适当的 32 个，且在时间 480 输出这 32 个中的 16 个。

图 7 描绘多路复用器级 490 电路的一部分 500，为方便起见可将其表示为多路复用器电路 500。在多路复用器级 490 中有 16 个相同的多路复用器电路 500，在图 7 中表示为 $n = 0, 1, \dots, 15$ 。多路复用器电路的较低(标示"h"的信号)部分 510(或"较低多路复用器局部电路")与较高(标示"l"的信号)部分 520 操作方式相同，这为本领域技术人员所公知。因此仅提供较高部分 520 的操作细节。16 个相同多路复用器电路 500 的集合简单表示为具有 16 位总线输出 $DSIn$ 的多路复用器级 490。

来自二字数据段其中一个的数据，例如第一数据，在输入端 $DSILn$ ($n = 0, \dots, 15$)施加于 16 个较高多路复用器局部电路 520 群组。如上所述，中断解码器 460 输出，并且无缺陷选择——除非由两个冗余 CAM 阵列 432 的其中之一判定该二字数据段字为缺陷。若 $rp0ln$ 与 $rp1ln$ 两者均为 0 或低，由 NOR 栅极 530 产生的 $norpln$ ("无冗余" = "nor")为 1 或高，且其互补的 $norplbn$ 为低；因此，正常阵列位 $DSILn$ 由 CMOS 传输栅极 540 通过，且接着暂时储存于锁存器 550。

若 $rp0ln$ 为 1 或高，则 CMOS 传输栅极 542 传送 $REDSI(0)$ ，此信号来自于读取冗余存储单元其中一个的冗余检测放大器 420。若 $rp1ln$ 为 1 或高，则 CMOS 传输栅极 544 传送 $REDSI(1)$ ，此信号来自读取另一冗余存储单元的冗余检测放大器 420。

接着视情形而定，由 $DTLDB$ (确认低)控制的传输栅极 550 传送 $DSILn$ 、 $REDSI(0)$ 或 $REDSI(1)$ ——若逻辑(未示于图中)要求整个电路执行读取的话。(在传输栅极 560 的上面两个晶体管中可看到的三角形表示 p 型 MOSFET)。同样，在储存于锁存器 570 之后，信号穿过由 $RA(0)$ ——当其为低时允许穿过——所控制的传输栅极 580，即，由控制器依据在没有缺陷时，二字数据段字的"L"或者说第一部份($DSILN$ ，上述示例中的信号)或"H"或者说第二部分(" $DSIHn$ ")是否会施加至多路复用器级输出 $DSIN$ ，来判定 $RA(0)$ 低或高。

以上详细描述仅说明了本发明可采用的许多形式中的若干个。因此上述详细描述意在说明而非限制，且应认识到所附权利要求包含所

有等效方案，该权利要求定义了本发明的精神与范畴。因此所附权利要求范围意在涵盖所有此类在如权利要求书所述的本发明范畴内的变动与修改。

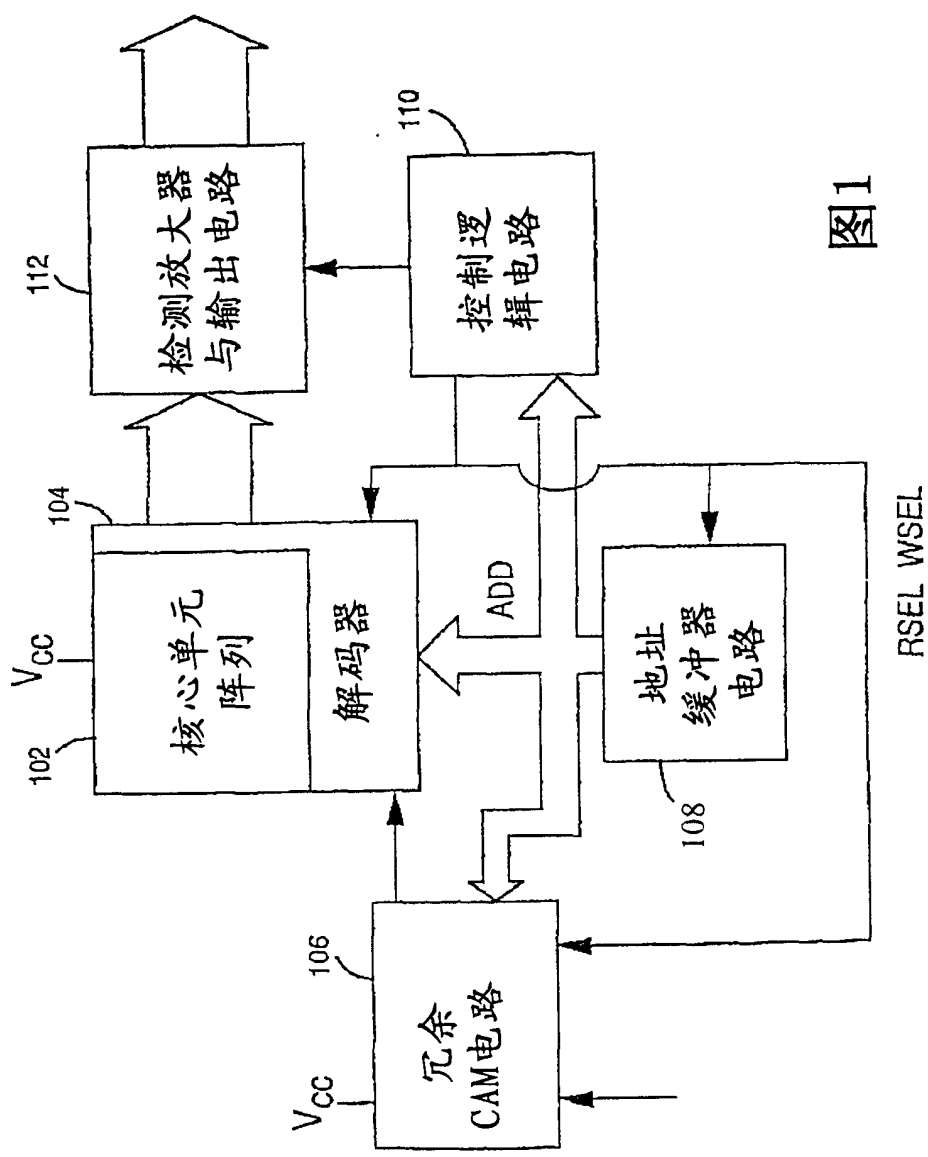


图1

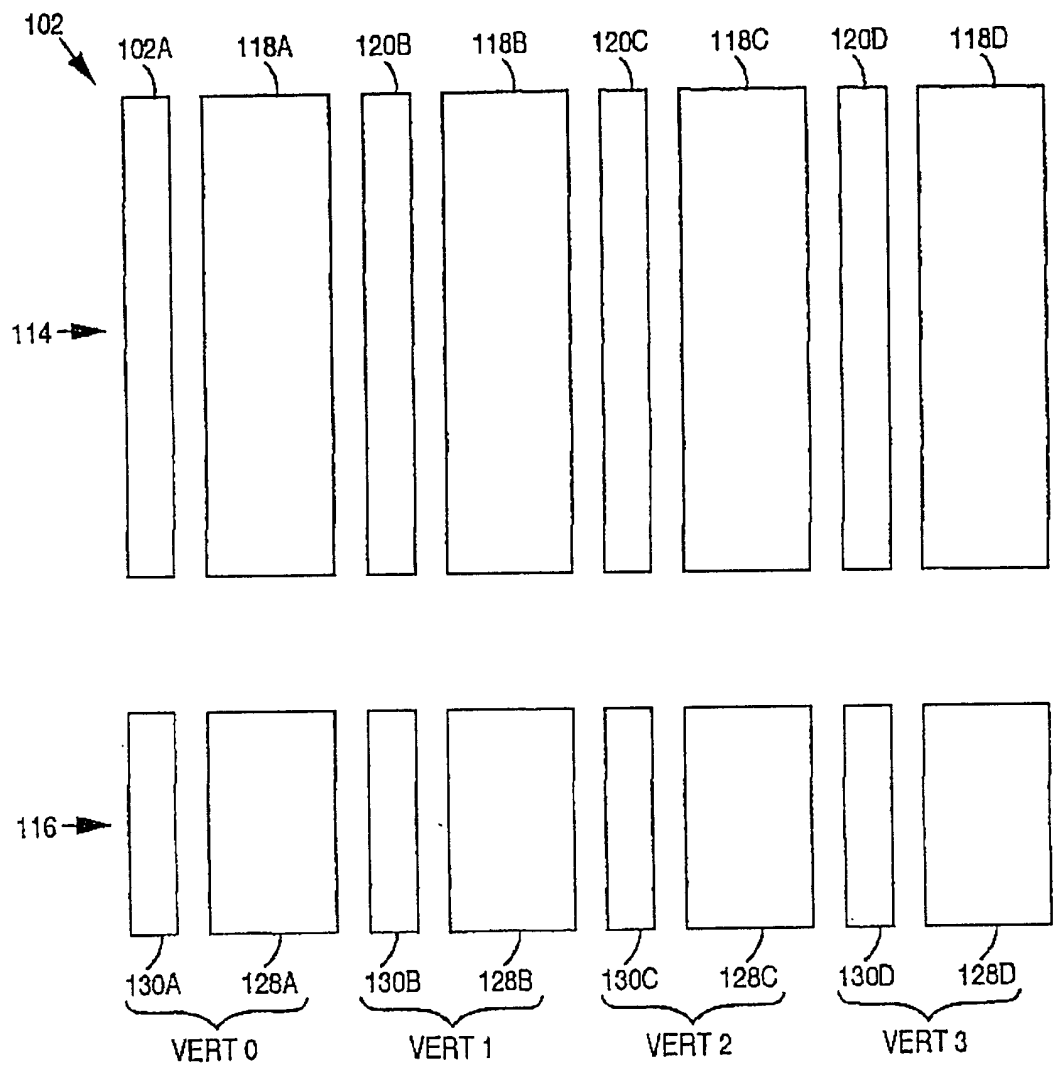


图2

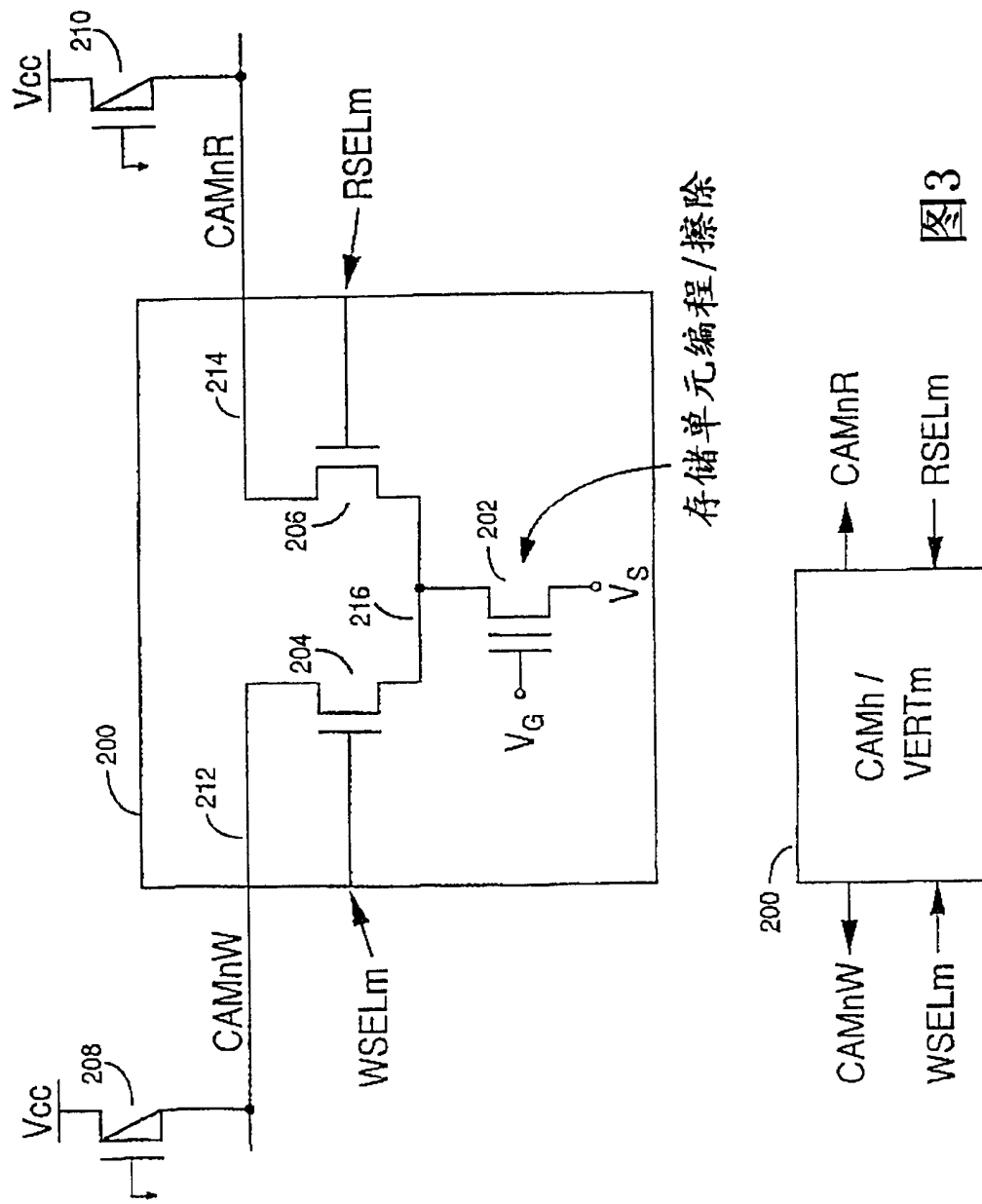


图3

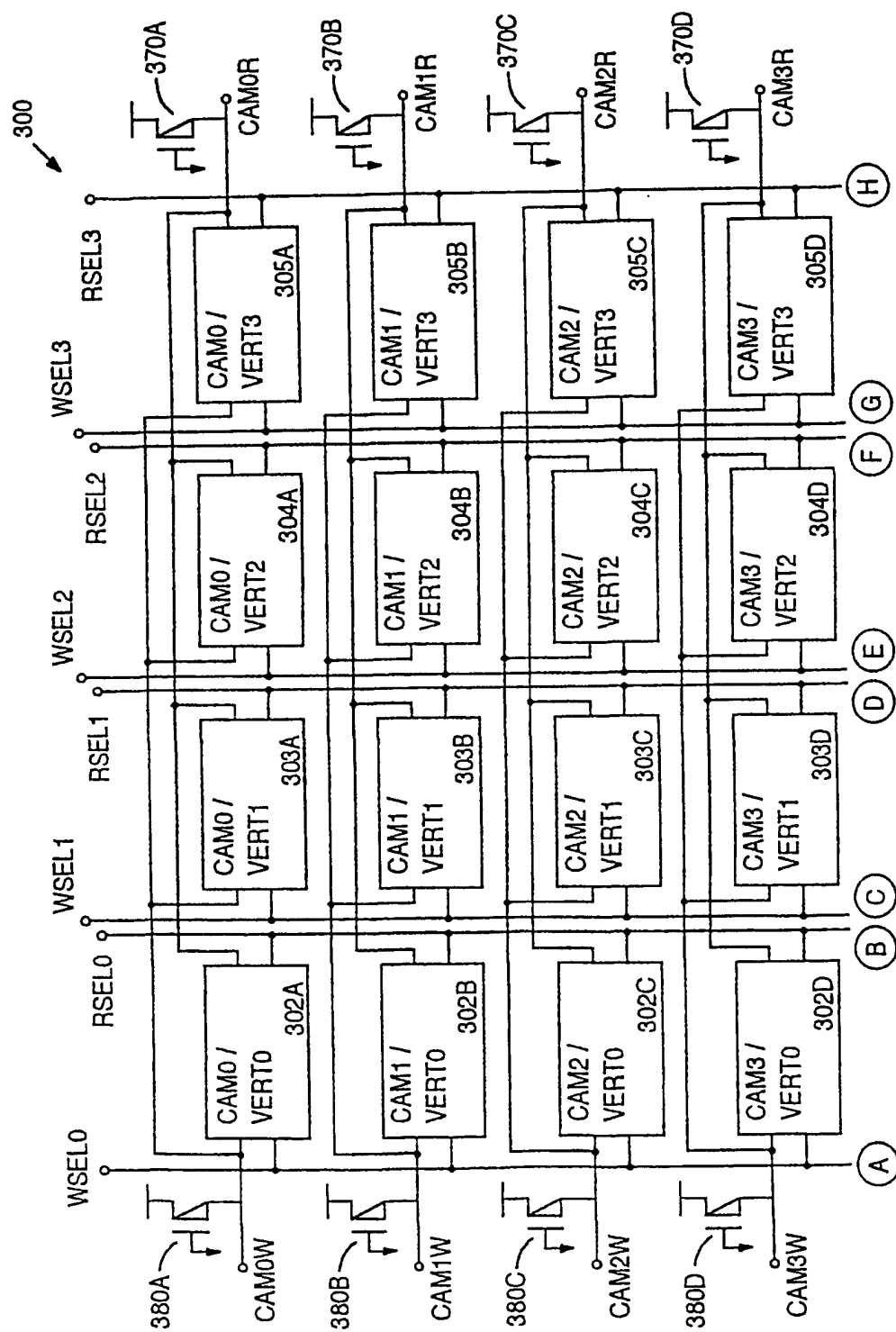


圖 4

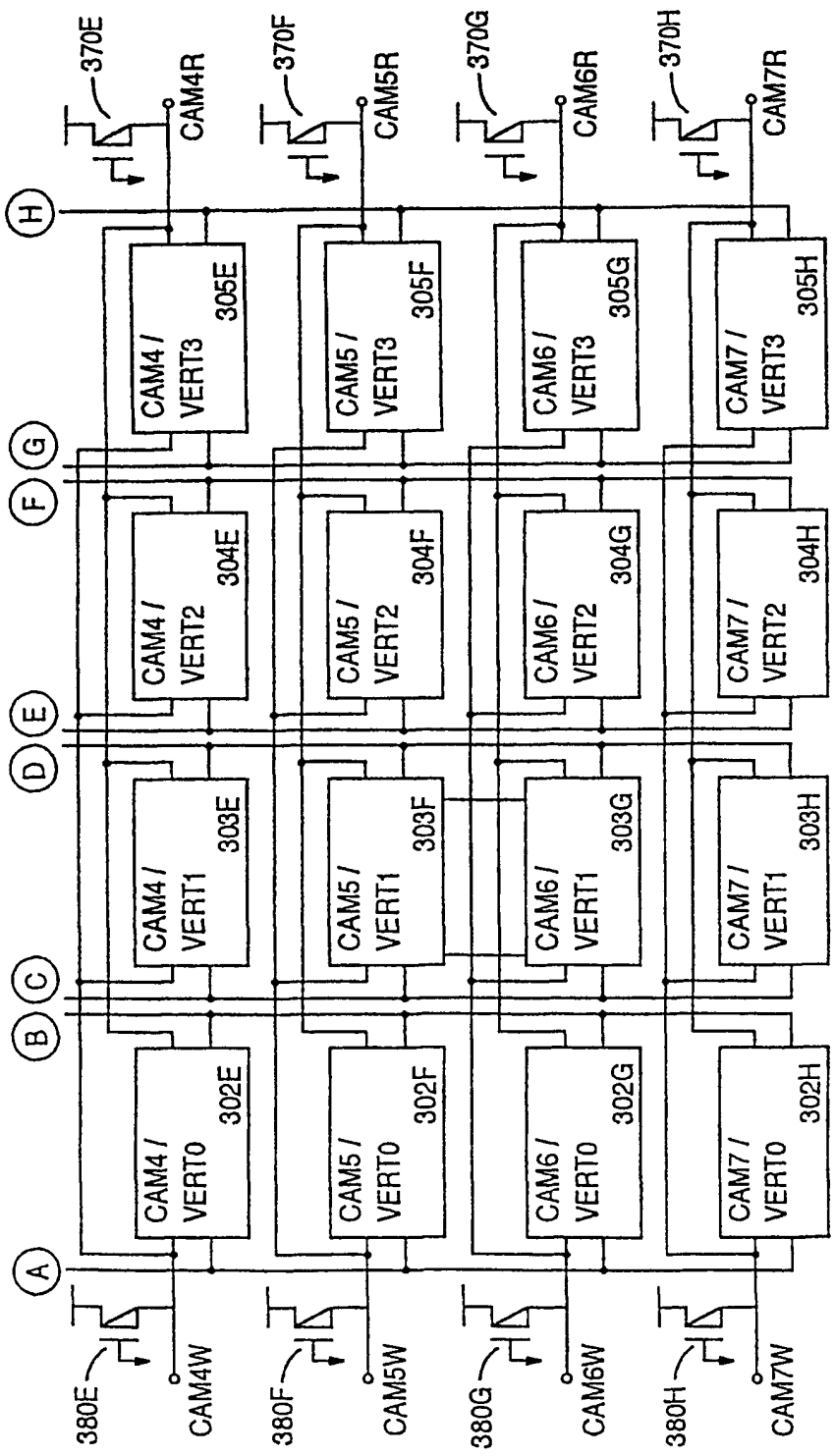


图4(续)

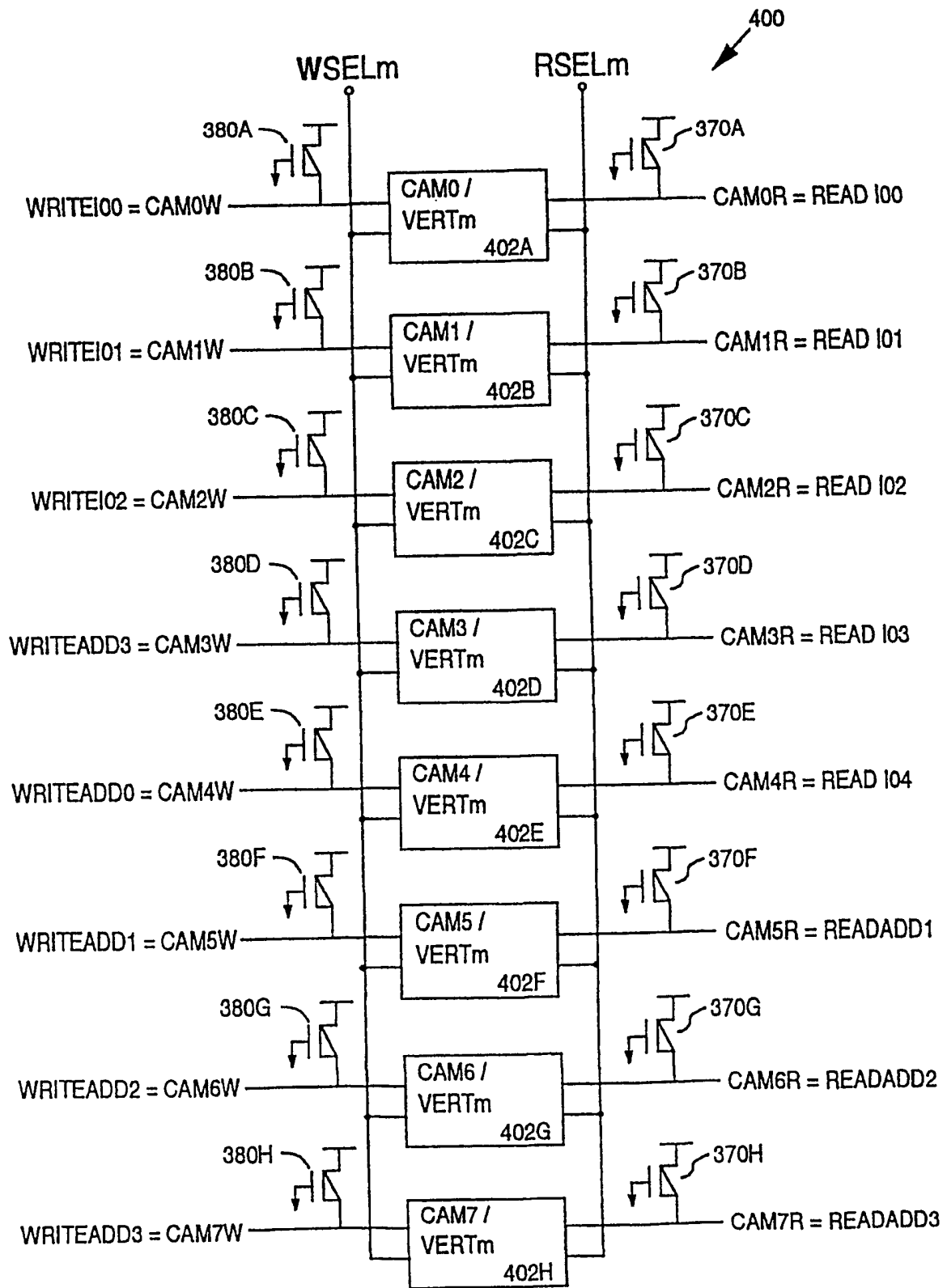


图5

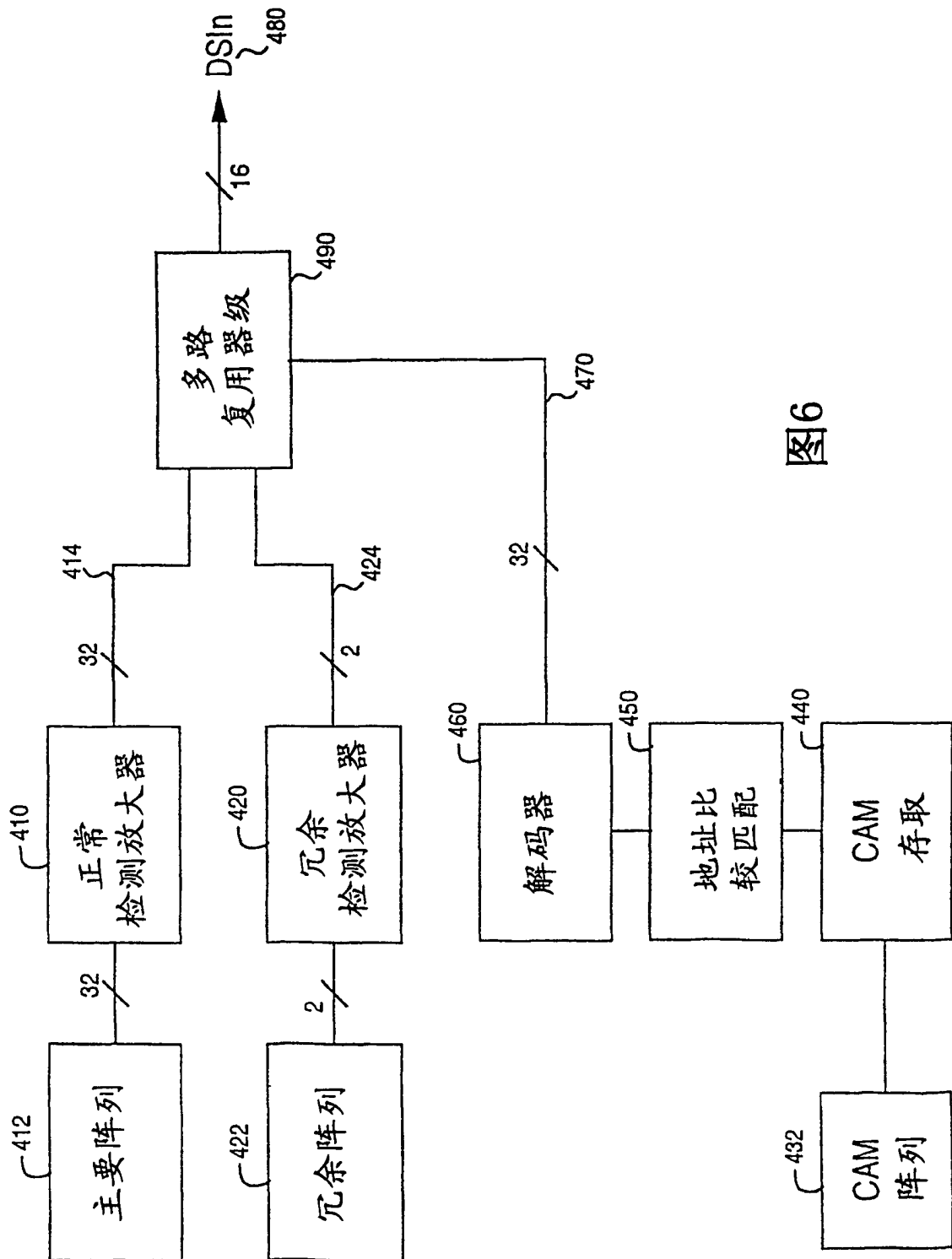
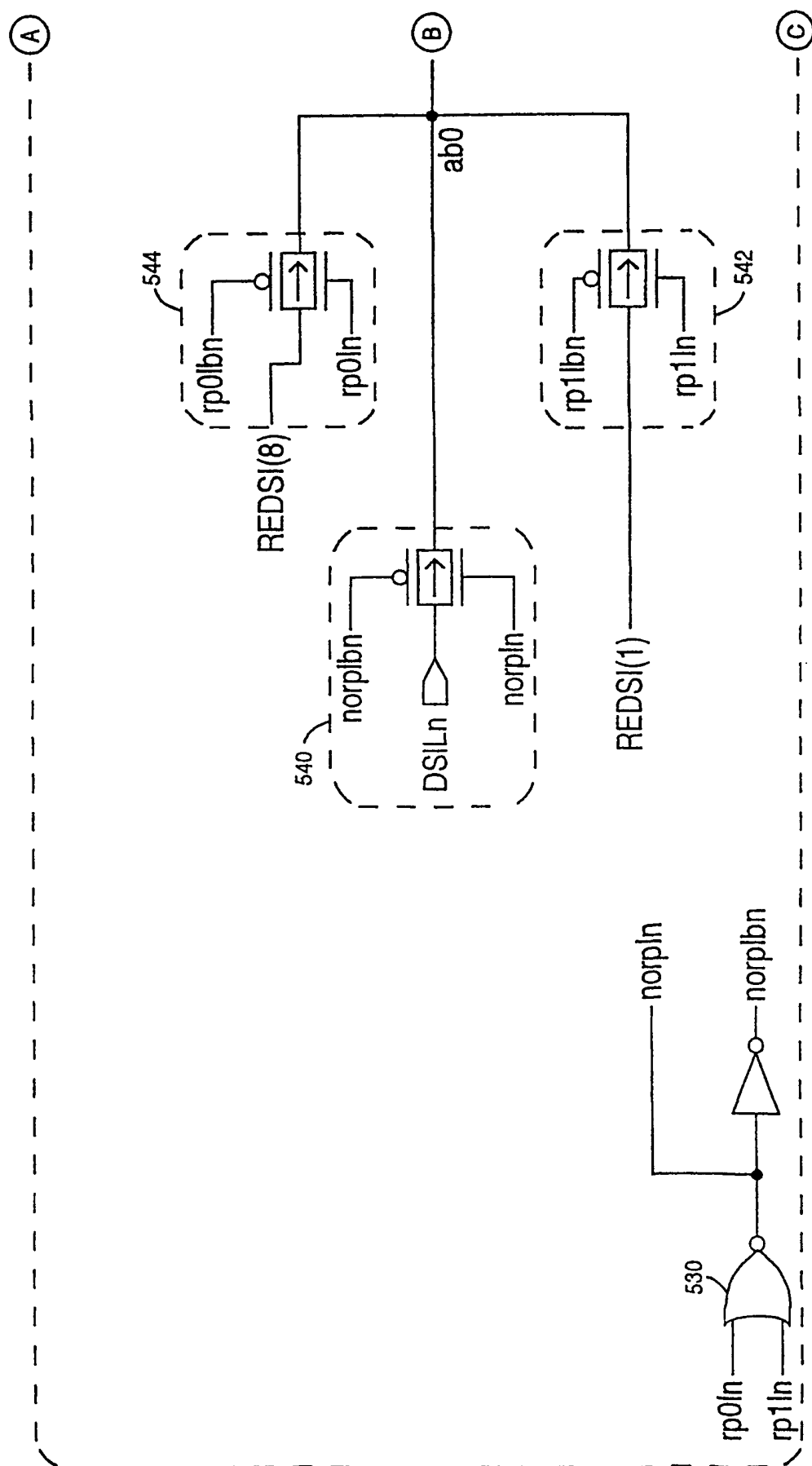


图6



七

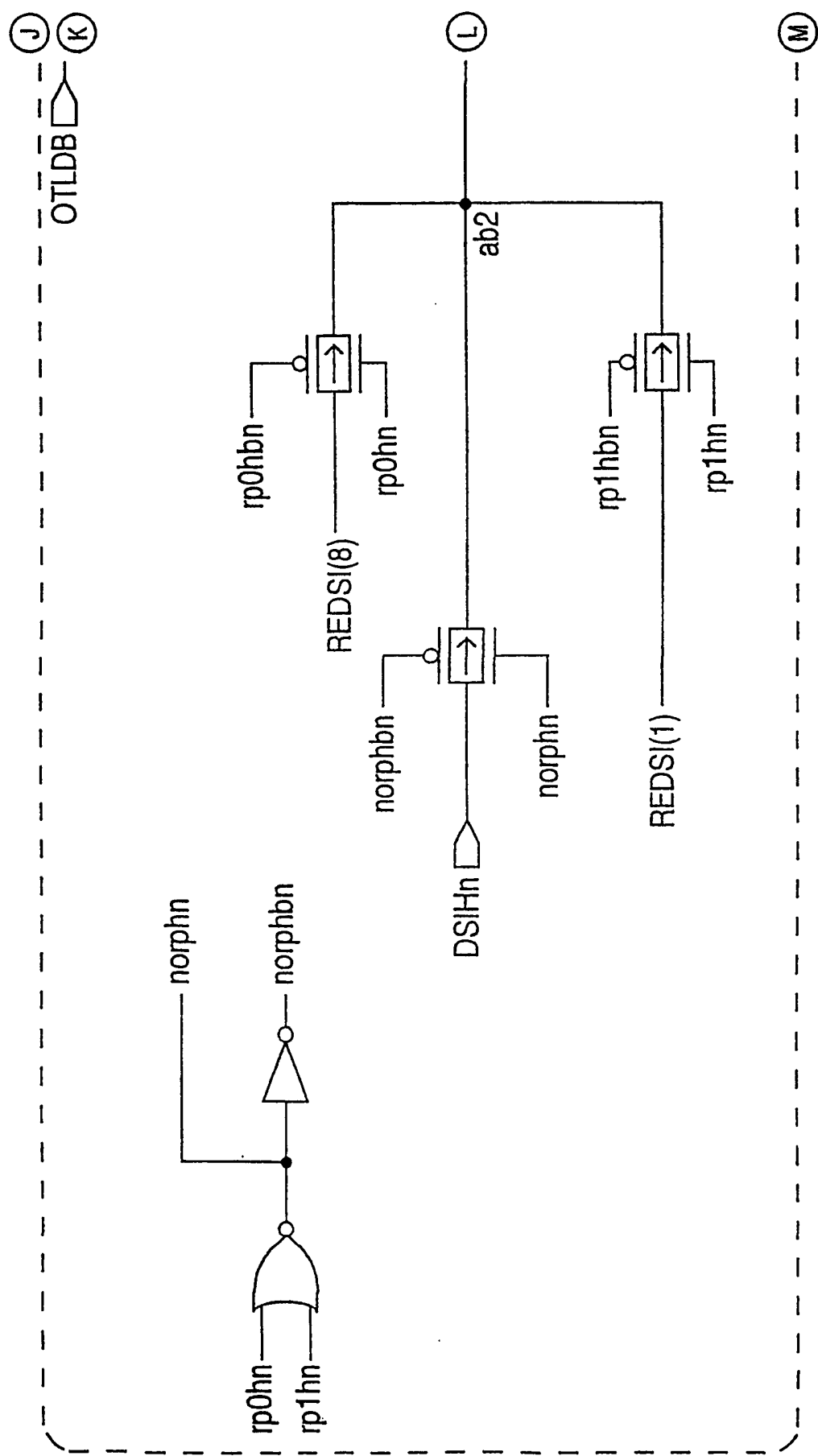


图7 (续)

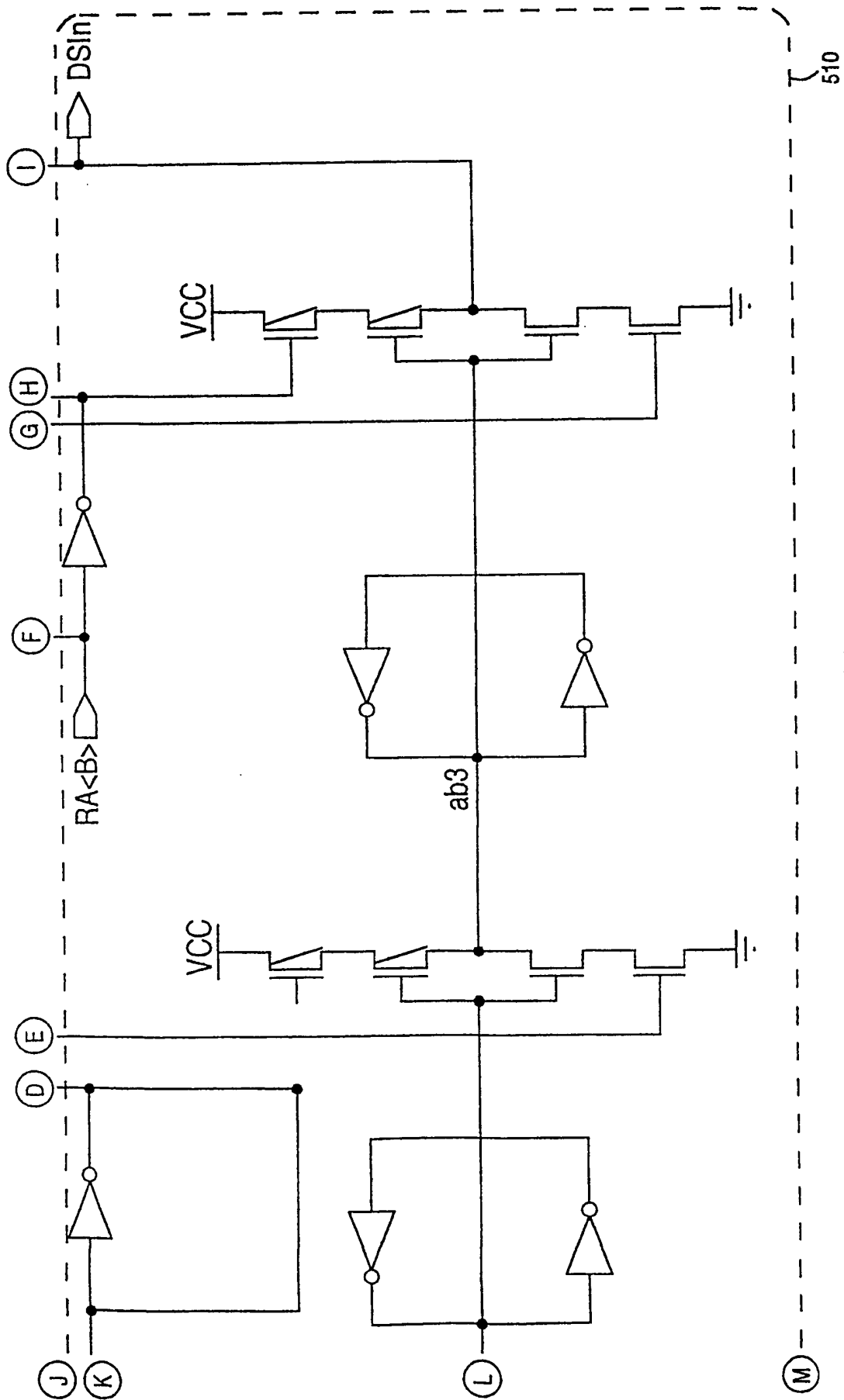


图7(续)