



(12)发明专利申请

(10)申请公布号 CN 106716390 A

(43)申请公布日 2017. 05. 24

(21)申请号 201580047400.0

(22)申请日 2015.07.17

(30)优先权数据

14/479,123 2014.09.05 US

(85)PCT国际申请进入国家阶段日

2017.03.03

(86)PCT国际申请的申请数据

PCT/US2015/040888 2015.07.17

(87)PCT国际申请的公布数据

W02016/036442 EN 2016.03.10

(71)申请人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 P·M·克洛维斯

R·穆罕默德普拉德

Z·S·赛义德

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 张扬 王英

(51)Int.Cl.

G06F 13/38(2006.01)

G06F 13/42(2006.01)

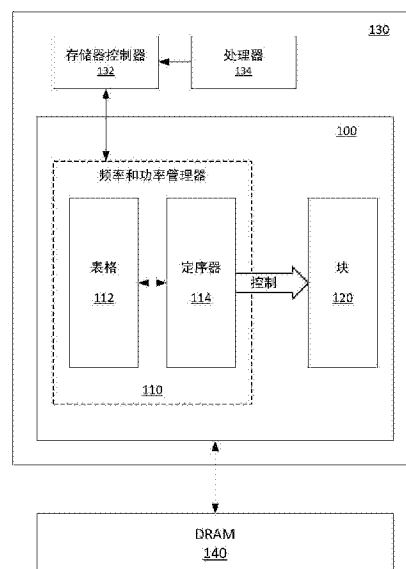
权利要求书3页 说明书9页 附图11页

(54)发明名称

频率和功率管理

(57)摘要

改变包括多个块的PHY接口的操作状态,改变PHY接口的操作状态包括:接收指示多个块的期望特征设置的参数以用于改变PHY接口的操作状态;以及按顺序启用所述期望特征设置,所述顺序基于在特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。



1. 一种方法,包括:
改变包括多个块的PHY接口的操作状态,所述改变PHY接口的操作状态包括:
接收指示所述多个块的期望特征设置的参数以用于改变所述PHY接口的操作状态;以及
按顺序启用所述期望特征设置,所述顺序基于所述特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。
2. 根据权利要求1所述的方法,其中,特征唤醒有限状态机(FSM)被配置为执行PHY接口的操作状态的改变。
3. 根据权利要求2所述的方法,其中,所述特征唤醒FSM以硬件被配置。
4. 根据权利要求1所述的方法,其中,在一组寄存器中实现所述依赖关系表格,并且所述依赖关系表格的条目是软件可编程的。
5. 根据权利要求1所述的方法,还包括:
形成具有能够基于所述依赖关系并行打开的特征的块的组。
6. 根据权利要求5所述的方法,还包括:
基于每组块的唤醒时间,设置所述块的组之间的延迟。
7. 根据权利要求1所述的方法,还包括:
将所述多个块的当前特征设置与所述期望特征设置进行比较,以确定要改变所述多个块中的至少一个块的哪些特征设置。
8. 根据权利要求7所述的方法,还包括:
针对不要求业务停止的至少一个块启用所述期望特征设置;以及
等待所述业务停止,并且启用需要在所述业务停止之后发生的至少一个块的特征设置。
9. 根据权利要求1所述的方法,其中,所述PHY接口的所述操作状态包括性能状态和功率状态。
10. 根据权利要求9所述的方法,还包括:计算每个功率状态的唤醒时间,并将所述唤醒时间存储于唤醒时间查找表格中。
11. 根据权利要求9所述的方法,还包括:执行用于改变所述PHY接口的性能状态的过程。
12. 根据权利要求11所述的方法,其中,频率切换FSM被配置为执行所述用于改变所述PHY接口的性能状态的过程。
13. 根据权利要求9所述的方法,还包括:执行用于改变所述PHY接口的功率状态的过程。
14. 根据权利要求13所述的方法,其中,低功率切换FSM被配置为执行所述用于改变所述PHY接口的功率状态的过程。
15. 根据权利要求1所述的方法,还包括:
从存储器控制器接收期望时段;以及
基于接收到的期望时段并且使用性能状态表格来选择性能状态。
16. 根据权利要求15所述的方法,还包括:
确定并发送指示针对所选性能状态的期望特征设置的参数。

17. 根据权利要求1所述的方法,还包括:
从存储器控制器接收请求的唤醒时间;以及
选择满足所述唤醒时间的要求的最低功率状态。
18. 根据权利要求17所述的方法,还包括:
基于所选的最低功率状态,确定所述期望特征设置;以及
将所述期望特征设置发送到特征唤醒FSM以关闭所述至少一个块。
19. 根据权利要求18所述的方法,还包括:
确定基于所述唤醒时间何时返回打开所述至少一个块的期望特征设置;以及
将所述期望特征设置发送到所述特征唤醒FSM,以关闭所述至少一个块。
20. 一种用于改变PHY接口的操作状态的状态机装置,所述状态机装置被配置为:
接收指示多个块的特征设置的参数以用于改变所述PHY接口的操作状态;以及
按顺序启用所述特征设置,所述顺序基于所述特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。
21. 根据权利要求20所述的装置,还包括:
特征唤醒单元,其被配置为形成具有能够基于所述依赖关系并行打开的特征的块的组,以及基于每组块的唤醒时间,设置所述块的组之间的延迟。
22. 一种用于改变PHY接口的操作状态的装置,所述装置包括:
用于接收指示多个块的期望特征设置的参数以用于改变所述PHY接口的操作状态的单元;以及
用于按顺序启用所述期望特征设置的单元,所述顺序基于所述特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。
23. 根据权利要求22所述的装置,还包括:
用于将所述多个块的当前特征设置与所述期望特征设置进行比较,以确定要改变所述多个块中的至少一个块的哪些特征设置的单元。
24. 根据权利要求23所述的装置,还包括:
用于针对不要求业务停止的至少一个块启用特征设置的单元;以及
用于等待业务停止并且启用需要在所述业务停止之后发生的至少一个块的特征设置的单元。
25. 一种频率和功率管理系统,包括:
多个表格,其具有多个块的特征和属性的表示,包括频率阈值、唤醒时间要求、相互依赖关系和功率要求;以及
定序单元,其被配置为:基于来自存储器控制器的请求,将所述多个块的特征设置切换为PHY接口的多个操作状态中的操作状态,包括性能状态和功率状态。
26. 根据权利要求25所述的系统,其中,所述定序单元是在状态机中配置的硬件,以逐步通过以下过程:启用在所述性能状态或功率状态中使用的特征设置,以及禁用不在所述性能状态或功率状态中使用的特征设置。
27. 根据权利要求25所述的系统,其中,所述定序单元包括:
特征唤醒单元,其被配置为:形成具有能够基于所述相互依赖关系并行打开的特征设置的块的组,以及基于每组块的唤醒时间要求,设置所述块的组之间的延迟。

28. 根据权利要求25所述的系统,其中,所述定序单元包括:
唤醒时间计算单元,其被配置为计算每个功率状态的唤醒时间,以及将所述唤醒时间存储在唤醒时间查找表格中。
29. 根据权利要求25所述的系统,其中,所述定序单元包括:
频率切换单元,其被配置为执行用于改变所述PHY接口的性能状态的过程。
30. 根据权利要求25所述的系统,其中,所述定序单元包括:
低功率切换单元,其被配置为执行用于改变所述PHY接口的功率状态的过程。

频率和功率管理

技术领域

[0001] 本发明涉及存储器控制定序器,更具体地涉及针对频率和功率变化的存储器控制定序。

背景技术

[0002] 双数据速率 (DDR) 物理 (PHY) 接口模块中的频率和功率管理变得日益复杂,这是因为DDR-PHY的高引脚计数会导致高的动态功率。DDR-PHY还具有高频要求,并且必须跨宽频率范围发送和接收数据以支持低功率DDR (LPDDR) 规范。通过额外的高性能电路、片上端接、可变输出高电压 (VOH) 等促进高频数据通信。然而,在高频处发送和接收数据所要求的许多特征在低频时是不需要的。因此,特征“缩放”对于跨频率维持有竞争力的功率使用情况简档是重要的。换句话说,用于实现高频数据通信的一些特征对于低频数据通信不是必要的。在先前生成DDR PHY接口时,不同类型的自组逻辑块被用于控制在频率和功率模式之间的切换。然而,由于PHY接口模块的增加的复杂性,针对块的频率和功率控制添加自组控制逻辑变得非常难以处理。PHY特征的数量以及在其之间的相互依赖关系已经增长到高度期望容易扩展的结构来控制这些特征的程度。

发明内容

[0003] 本发明提供了改变包括多个块的PHY接口的操作状态。

[0004] 在一个实施例中,公开了一种方法。所述方法包括:改变包括多个块的PHY接口的操作状态,改变PHY接口的操作状态包括:接收指示多个块的期望特征设置的参数以用于改变PHY接口的操作状态;以及按顺序启用所述期望特征设置,所述顺序基于特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。

[0005] 在另一实施例,公开了一种用于改变PHY接口的操作状态的状态机装置。所述状态机装置被配置为:接收指示多个块的特征设置的参数以用于改变PHY接口的操作状态;以及按顺序启用所述特征设置,所述顺序基于特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。

[0006] 在另一实施例中,公开了一种用于改变PHY接口的操作状态的装置。所述装置包括:用于接收指示多个块的期望特征设置的参数以用于改变PHY接口的操作状态的单元;以及用于按顺序启用期望特征设置的单元,所述顺序基于特征设置之间的依赖关系,所述依赖关系存储于依赖关系表格中。

[0007] 在又一实施例中,公开了一种频率和功率管理系统。所述系统包括:多个软件可编程表格,其具有多个块的特征和属性的表示,包括频率阈值、唤醒时间要求、相互依赖关系和功率要求;以及定序单元,其被配置为:基于来自存储器控制器的请求,将多个块的特征设置切换为PHY接口的多个操作状态的操作状态,包括性能状态和功率状态。

[0008] 根据通过例子说明本发明各方面的当前描述,本发明的其它特征和优点将是显而易见的。

附图说明

[0009] 可以部分通过研究进一步随附的附图收集本发明关于结构和操作的细节,在附图中类似的附图标记指代类似的部件,并且其中:

[0010] 图1是根据本发明一个实施例的驻留在片上系统 (SoC) 中的PHY接口的功能框图;

[0011] 图2是根据本发明的一个实施例的频率和功率管理器的详细功能框图;

[0012] 图3A是根据本发明的一个实施例的针对操作状态改变而需要被控制的块的特征的样本列表,所述操作状态包括对应的属性,例如,唤醒时间、依赖关系和停止时间;

[0013] 图3B是从图3A所示的块的特征列表导出的示例性性能状态 (PRFS) / 功率状态 (PWRS) 表格;

[0014] 图4A示出了多个性能状态,每个性能状态包括多个功率状态,并且每个功率状态具有能够定义特征状态 (启用/禁用) 的专用特征启用寄存器;

[0015] 图4B是定义13个特征的状态的示例性特征启用寄存器 (FER) ;

[0016] 图5是根据本发明的一个实施例的示例性特征唤醒时间表格 (FWT) ;

[0017] 图6是根据本发明的一个实施例的示例性性能查找表格;

[0018] 图7A是根据本发明的一个实施例示出基于存储器控制器请求的用于改变频率和/或功率状态的定序逻辑的功能流程图;

[0019] 图7B是根据本发明的一个实施例示出用于初始化所有性能和功率状态表格的定序逻辑的功能流程图;

[0020] 图7C是根据本发明的一个实施例示出用于执行改变性能状态的过程的定序逻辑的功能流程图;

[0021] 图7D是根据本发明的一个实施例示出用于执行改变功率状态的过程的定序逻辑的功能流程图;

[0022] 图7E是根据本发明的一个实施例示出用于准备块的设置并改变操作状态的定序逻辑的功能流程图。

具体实施方式

[0023] 如上所述,DDR-PHY接口模块变得日益复杂,因为DDR-PHY接口模块具有高引脚计数,其可能导致高动态功率并且必须跨宽频率范围工作。例如,PHY接口需要以若干不同通信模式工作以节省功率,其中在每个通信模式中的数据速率不同。为此,包括PHY接口的片上系统 (SoC) 评估待转移到存储器或从存储器转移的数据量,并选择能够及时完成任务的具有最低数据速率或最低功耗的通信模式。例如,如果存在大量对时间敏感的数据需要被传输到存储器,则SoC选择高数据速率和/或高功率通信模式。否则,如果存在少量数据需要被传输到存储器,则SoC选择低数据速率和/或低功率通信模式来节省功率。在先前生成DDR PHY接口时,使用不同类型的自组逻辑块来控制在频率模式和/或功率模式之间的切换。然而,由于PHY接口模块的增加的复杂性,针对块的频率和/或功率控制添加自组控制逻辑变得非常难以处理。PHY特征的数量以及在其之间的相互依赖关系已经增长到高度期望容易扩展的结构来控制这些特征的程度。术语“频率”用于指代数据速率。

[0024] 本文描述的多个实施例提供了动态控制接口模块的特征,其中在基于表格的结构

中定义和控制接口模块中多个块的特征的属性。在一个实施例中,特征包括频率阈值、唤醒时间要求、相互依赖关系、功率要求和其它相关特征。此外,在一个实施例中,块是混合信号块。在阅读了本说明书之后,可以理解如何在各种实现方式和应用中实现本发明。虽然将在本文中描述本发明的各种实现方式,但是可以理解的是,这些实现方式仅通过例子呈现而非限制。这样,对各种实现方式的该详细描述不应该解释为限制本发明的范围或宽度。

[0025] 图1是根据本发明一个实施例的驻留在片上系统 (SoC) 130 中的PHY接口100的功能框图。在一个实施例中,PHY接口100是DDR-PHY接口,其与DDR动态随机存取存储器 (DRAM) 140进行通信。SoC 130还可以包括处理器134和存储器控制器132。

[0026] 在图1的图示实施例中,PHY接口100包括频率和功率管理器110和多个块120。在一个实施例中,所述块包括但不限于:输入接收器、复用器、参考电压生成器、偏置电流生成器、锁相环 (PLL)、电流-电压转换器、校准延迟电路 (CDC)、低压差 (LDO) 调节器、以及其它类似配置的块。在一个实施例中,频率和功率管理器110以硬件实现。

[0027] 图1所示的实施例还示出了包括表格112和定序器114的频率和功率管理器110。在一个实施例中,表格112是定义特征、性能状态和功率状态的控制/状态寄存器 (CSR) 表格。表格112可以是软件可编程的,并可以包括针对多个块120的特征及其属性的表示,例如,频率阈值、唤醒时间要求、相互依赖关系、功率要求、以及其它相关特征。表格112可以在启动时间被编程,并且可以在之后对值进行重新计算。定序器114可以包括定序逻辑,用于基于来自存储器控制器132的用于改变频率和/或功率的请求将DDR-PHY设置切换到新的操作状态,新的操作状态包括新的性能状态、新的功率状态或两者。特别地,定序器114将新的设置应用到块120上,以基于来自存储器控制器132的请求来改变块120的操作。例如,块120的当前特征设置可能使得块120以高性能状态和高功率状态操作。频率和功率管理器110可以从存储器控制器132接收请求以在较低性能状态和低功率状态下操作。随后,定序器114可以向块120的特征提供不同的属性(参数),使得块120在低性能和低功率状态下操作。频率和功率管理器110可以根据表格112确定应用到特征的属性。定序逻辑逐步通过以下过程:启用在新性能状态或功率状态中使用的特征以及禁用不在新性能状态或功率状态中使用的特征,同时考虑在特征之间的定时和依赖关系。在一个实施例中,实现表格112以及定序器114在后台运行,从而频率和功率切换不会影响在前台从DRAM 140接收/向DRAM 140发送块和数据,直到业务停止以及切换后的操作状态起作用之后。在一个实施例中,装置(例如,在该情况下是定序器)可以通过打开或唤醒块来启用块(例如,块120之一),并可以通过关闭块来禁用块。在另一实施例中,装置可以通过将块的状态从低功率备用状态改变到较高功率操作状态来启用块,并可以通过将块的状态从较高功率操作状态改变到较低功率备用状态来禁用块。定序器114还通过处理不同阶段的非停止特征来最小化业务停止时间。换句话说,定序器114可以提前改变当前并不涉及与DRAM 140通信的一些块的状态,因为改变这些块的状态并不影响传送到DRAM 140/从DRAM 140传送的业务。因此,定序器生成用于块120的大量特征的控制信号。因此,控制信号取决于设备的操作状态具有不同的设置。

[0028] 图2是根据本发明的一个实施例的频率和功率管理器110的详细功能框图。如以上结合图1所述,频率和功率管理器110包括表格112和定序器114。在图2所示的实施例中,表格112包括:性能状态 (PRFS) /功率状态 (PWRS) 表格200、特征唤醒时间/依赖关系表格202、以及性能查找表格204;并且定序器114包括唤醒时间计算有限状态机 (FSM) 210、频率切换

FSM 212、低功率切换FSM 214、定时器216、以及特征唤醒FSM 218。虽然所示的实施例和权利要求使用术语“表格”或“查找表格”，但是可以使用定义用于操作状态的定序的任意类型的数据结构来替换表格或查找表格。在一些实施例中，可以存储与操作状态的定序相关的任意信息集合，并将其用于做出决定。在其它实施例中，实时系统变量（例如，未存储于任意数据结构中的变量）可以用于提供用于频率切换或较低功率切换的定序。

[0029] 在图2的图示实施例中，在频率和功率管理器110中的有限状态机 (FSM) 实现定序逻辑电路（例如，定序器114）并以硬件来配置。FSM可以处于有限数量的状态之一。然而，FSM在一个时间仅处于一个当前状态。当通过调用转变的触发事件或条件而开始时，FSM可以从一个状态改变到另一个状态。特定的FSM是通过其状态列表以及用于每个转变的触发条件定义的。当改变块120的特征或参数时，从特征唤醒FSM 218发送到块120的信号可以是对时间非常敏感的。在一些情况下，数字值可以从特征唤醒FSM 218发送到块120，但是在其它情况下，模拟或数字信号（例如，在启用线上发送的启用/唤醒信号）可以从特征唤醒FSM 218被发送到块120。这些信号可以是对时间非常敏感的。因此，频率和功率管理器110可以以硬件实现为状态机，并且在物理上位于邻近块120。相比之下，如果由软件实现的频率和功率管理器生成信号，则信号可能不能在相对彼此的正确时间呈现，或者与非常慢且低效改变性能状态或功率状态的有限状态机实现方式相比可能需要更长的等待时间。

[0030] 关于表格112，PRFS/PWRS表格200针对每个性能状态和功率状态定义块120的特征的启用/禁用状态。性能状态定义PHY接口可以切换的频率（例如，用于从SoC 130向DRAM 140发送数据的数据速率或者SoC 130从DRAM 140接收数据的数据速率或者两者）状态，而功率状态定义PHY接口可以基于低功率请求切换到的状态。通过块的特征的特征化过程识别针对每个性能和功率状态的块120的特征的预先定义（例如，在启动时）的值，并且在生产操作期间不对其进行修改。特征唤醒时间/依赖关系表格202保持唤醒时间和特征之间的依赖关系。唤醒时间是时钟准备好进行操作所需要的时间。例如，特定特征需要某一时间进行稳定或调整，该时间被称作唤醒时间。依赖关系是当一些特征依赖于其它特征时。例如，延迟锁相环 (DLL) 可能需要在打开特定电流源之后而不是在打开电流源之前打开或同时打开电流源和DLL。还可以在产品特征化期间确定这些值，并且这些值通常在正常芯片操作期间不改变。性能查找表格204定义在性能状态和频率范围之间的映射。频率范围是在SoC和存储器（例如，DRAM）之间或在存储器和SoC之间传送数据的一组不同的频率或速率。例如，在高性能状态下，存在高速率；而在低性能状态下，存在低速率。该表格保持与每个定义的性能状态对应的时钟周期。

[0031] 关于定序器114，唤醒时间计算FSM 210负责计算每个功率状态的唤醒时间，即，将PHY接口（包括块120）从一个功率状态切换到另一功率状态所用的时间量。在一个实施例中，唤醒时间是将PHY接口从非运转功率状态切换到完全运转状态所用的时间。在启动时需要为每个性能状态的每个功率状态执行该计算。该计算的结果被保持在寄存器查找表格中（即，功率状态唤醒时间表格）并且在低功率请求转变期间进行参考。

[0032] 频率切换 (FSW) FSM 212支持DDR-PHY接口握手，并且基于从存储器控制器132接收到的请求。FSW FSM 212还选择新的性能状态。FSWFSM 212还启动对特征唤醒FSM 218的请求，从而启用用于新性能状态的要求特征。在FSW FSM 212和存储器控制器132之间发送和接收频率切换接口信号。这些信号至少包括init_start、init_complete和fpm_period，将

在下文对其进行详细描述。

[0033] 低功率 (LP) 切换FSM 214与LP接口信号接合。当接收到来自存储器控制器132的功率状态改变请求时,LP切换FSM 214查找用于在当前性能状态中从每个功率状态唤醒需要的时间。如果存储器控制器132请求的唤醒时间长于功率状态之一的唤醒时间,则LP切换FSM 214启动对特征唤醒FSM 128从当前功率状态转变到所选的低功率状态的请求。LP切换FSM 214还设置(例如,使用信号pwr_dwn_time)定时器216,从而一旦定时器过期(例如,使用信号pwr_dwn_expire),唤醒过程及时启动以在存储器控制器132请求的唤醒时间之前将PHY带回到完全运转状态。LP接口信号被定义为在LP FSM 214和存储器控制器132之间发送和接收的请求/确认(即,req/ack)信号对。这些信号至少包括lp_req、lp_ack和lp_wakeup,将在下文对其进行详细描述。

[0034] 特征唤醒FSM 218从FSW FSM 212和LP切换FSM 214接收请求,以根据特征启用寄存器(FER) 220打开/关闭块120的特征。特征唤醒FSM 218基于在不同特征之间的依赖关系执行打开顺序,并且启用不并行依赖的特征,然后启用下一组特征。特征唤醒FSM 218考虑特征的唤醒时间要求,并基于这些要求来适当设置定时器216。特征唤醒FSM 218还考虑要求业务停止打开的特征的停止要求。特征唤醒FSM 218然后生成基于这些特征的停止时间要求的另一组启用信号。一旦来自存储器控制器132的init_start信号变成低以指示业务停止时段,则触发这些启用信号。在启用特征之后,特征唤醒FSM 218将init_complete信号发送到存储器控制器132,以指示频率切换或低功率转变的结束。

[0035] 如上所述,将较低功率接口定义为请求/确认(即,req/ack)信号对。因此,在FSM 212、214和存储器控制器132之间发送和接收的信号至少包括init_start、init_complete、fpm_period、lp_req、lp_wakeup和lp_ack。信号init_start指的是PHY初始化开始。当该信号生效(assert)时,存储器控制器正请求DDR时钟频率改变或频率比率改变。在init_start生效之前需要设置信号freq_ratio、legacy_mode、fpm_period。信号init_complete指的是PHY初始化完成。信号init_complete指示PHY能够响应于PHY接口上的任意适当刺激。传送命令或状态的所有PHY接口信号保持在其默认值,直到init_complete信号生效为止。在PHY重新初始化请求(例如,频率改变)期间,该信号将被无效(de-assert)。对于频率改变请求,init_complete信号的无效确认频率改变协议。信号fpm_period指示下一目标频率,并由存储器控制器132提供。信号lp_req是低功率机会请求。该信号由存储器控制器132使用以通知PHY切换到低功率模式的机会。由存储器控制器132提供的信号lp_wakeup指的是低功率唤醒时间。该信号指示存储器控制器132正在为PHY请求16个唤醒时间中的哪个。信号lp_ack指的是低功率确认。该信号生效以确认存储器控制器低功率机会请求。不要求PHY确认该请求。

[0036] 图3A是根据本发明的一个实施例的针对操作状态改变而被控制的块120的特征的样本列表300,所述操作状态包括对应的属性,例如,唤醒时间、依赖关系和停止时间。在一个实施例中,在一组表格112中对这些特征和对应属性进行编程。如上所述,在一个实施例中,表格是CSR表格。通过块的特征的特征化过程来识别每个性能和功率状态的特征的预先定义的值,并且在生产操作期间不能修改所述值。特征唤醒时间/依赖关系保持唤醒时间和特征之间的依赖关系。还应该在生产特征化期间确定这些值,并且通常在正常芯片操作期间不能改变这些值。

[0037] 图3B是从图3A所示的块的特征列表导出的示例性PRFS/PWRS表格200。在图3B中示出的表格中标记为0-56的列(省略了列5-51以允许示出示例性表格)是在图3A中索引的块的特征。在图3B中的PRFS/PWRS表格200中的图示实施例中,每个性能状态(PRFS0、PRFS1、PRFS2、PRFS3、PRFS4或PRFS5)被分配两个不同功率状态(PWRS0、PWRS1)。在一个实施例中,功率状态PWRS1是PHY接口的完全运转状态,其中特定PRFS的所有要求的特征被打开并且业务可以被发送到和/或接收自PHY接口。在该状态下,通过业务切换速率表示功耗,并且当业务空闲时功耗显著降低。此外,功率状态PWRS0是PHY接口的非运转的低功率状态(即,在该状态下不能通过PHY接口发送业务)。功率状态PWRS0与功率状态PWRS1相比具有显著降低的功耗,这是因为没有业务经过PHY接口并且块的大部分特征被关闭以节省功率。在功率状态PWRS0下,具有较长唤醒时间的块可以保持启用,从而功率状态PWRS0具有相对低的唤醒时间要求。

[0038] 每个功率状态可以被分配专用特征启用寄存器(FER)。每个FER定义针对特定性能-功率状态启用和/或禁用的特征。因此,使用FER,软件具有定义DDR PHY的性能-功率特性的灵活性。

[0039] 图4A示出了多个性能状态400,每个性能状态包括多个功率状态410,并且每个功率状态具有定义特征的状态(启用/禁用)的专用特征启用寄存器410。在图4A的图示实施例中,特征启用寄存器420使用n位来定义n个特征的状态。图4B是定义13个特征的状态的示例性FER 430。

[0040] 图5是根据本发明的一个实施例的特征唤醒时间表格(FWT) 202的示例性行。FWF 202是一组寄存器,每个寄存器定义特征的唤醒时间要求,以及在需要根据打开特征的顺序来履行的特征之间的依赖关系。表格202还包括用于特征的停止时间要求以及在业务停止时段期间是否需要发生特征启用的字段。FWT 202可以包括块120的每个特征的一行。

[0041] 图6是根据本发明的一个实施例的示例性性能查找表格204。性能查找表格204定义在性能状态和频率范围之间的映射。表格204还保持对应于每个定义性能状态的时钟时段。在表格204中,可以基于所支持的特定产品的频率范围来设置性能状态频率阈值设置。在一个实施例中,可以定义下列性能状态频率阈值设置:(1) PRFS0:该性能状态定义最低频率(例如,<333MHz)和最低功率设备配置。该性能状态假设所有高性能特征被禁用并被放置到低泄露状态;(2) PRFS1:该性能状态定义低频率(例如,400MHz)和低功率设备配置。该性能状态假设一些较高性能特征被启用,但是大部分其它特征被禁用并被放置到低泄露状态;(3) PRFS2:该性能状态定义适度频率(例如,533/667MHz)和适度功率设备配置。该性能状态假设一些较高性能特征被启用,同时其它特征被禁用并被放置到低泄露状态;(4) PRFS3:该性能状态定义较高频率(例如,800MHz)和功率范围,并假设所要求的特征被启用;(5) PRFS4:该性能状态定义较高频率(例如,1066/1333MHz)和功率范围,并假设所要求的特征被启用;以及(6) PRFS5:该性能状态定义最高频率(例如,1600MHz)和最高功率设备配置。该性能状态假设所有较高性能特征都被启用。性能状态可以被映射到设备层,并且是通过时间启动配置可软件配置的。

[0042] 对于每个性能状态,定义多个功率状态以描述PHY基于DDR PHY接口低功率请求可以切换到的状态。基于所请求的唤醒时间和这些特征的稳定时间,选择针对不同功率状态启用和/或禁用的块的特征。因此,在一个实施例中,可以定义下列功率状态:(1) PWRS2:该

功率状态是PHY的完全运转状态,其中打开特定PRFS的所有要求特征,并且业务可以被发送到和/或接收自PHY。在该状态,通过业务切换速率表示功耗,并且在业务空闲时,所述功耗显著降低;(2) PWRS1:该功率状态是PHY的非运转的低功率状态,即,在该状态下不能通过PHY发送业务。PWRS1与PWRS2相比具有显著降低的功耗,这是因为没有业务经过PHY并且块的大部分特征被关闭以节省功率。在PWRS1中,具有较长唤醒时间的块可以保持启用,从而PWRS1具有相对低的唤醒时间要求。假设PWRS1与PWRS2空闲功耗相比由于禁用额外特征而具有较低的功耗;以及(3) PWRS0:该功率状态是PHY的最低功率状态并且是非运转的,即,在该状态中不能通过PHY发送业务。PWRS0不具有动态或静态功耗。在该状态中泄露功率是主要的功耗。因此,如果请求唤醒时间较长,则包括用户宏程序的时钟特征的所有PHY特征(例如,主校准延迟单元(CDC)和具有较高唤醒时间的其它时钟)被关闭并且及时被返回打开以在给定唤醒时间请求中完全启用PHY。这将导致PHY的最低功率状态。

[0043] 图7A是根据本发明的一个实施例示出基于存储器控制器请求的用于改变频率和/或功率状态的定序逻辑700的功能流程图。如上所述,定序逻辑700逐步通过以下过程:启用要求的特征以及禁用非要求的特征,同时考虑在特征之间的定时和依赖关系。在图7A的图示实施例中,在步骤710处初始化表格(参见图7B)。在一个实施例中,唤醒时间计算FSM 210执行初始化表格的定序逻辑。在步骤720处,然后确定是否从存储器控制器132接收到用于改变性能和/或功率状态的请求。如果在步骤720处存储器控制器132请求改变性能状态,则在步骤730处通过频率切换FSM 212执行过程(参见图7C)以改变性能状态。如果在步骤720处存储器控制器132请求改变功率状态,则在步骤750处通过低功率切换FSM 214执行过程(参见图7D)以改变功率状态。在步骤770处(参见图7E),通过特征唤醒FSM 218准备块120的设置并改变操作状态(例如,性能和/或功率状态)。

[0044] 图7B是根据本发明的一个实施例示出用于初始化所有性能和功率状态表格的定序逻辑710的功能流程图。在图7B所示的实施例中,在步骤712处,计算每个功率状态的唤醒时间(即,将PHY从非运转功率状态切换到完全运转状态所用的时间量)。在启动时为每个性能状态的每个功率状态执行该计算。因此,如果在步骤714处确定已经计算出所有性能状态的所有功能状态的唤醒时间,则在步骤716处将该计算的结果存储于功率状态唤醒时间表格202中,并在低功率请求转变期间引用。否则,在步骤712处,计算额外的唤醒时间。然后,在步骤718处,初始化所有性能和功率状态表格。

[0045] 图7C是根据本发明的一个实施例示出用于执行改变性能状态的过程的定序逻辑730的功能流程图。在一个实施例中,在步骤732处,频率切换FSM 212执行该定序逻辑730,其从存储器控制器132接收针对新性能状态的请求。在步骤734处,从存储器控制器132还接收在SoC 130和DRAM 140之间的通信速率的期望时段(例如,图2中的fpm_period)。基于接收到的期望时段,在步骤736处,然后使用性能状态表格204,选择性能状态。在步骤738处FSM 212确定需要实现所选性能状态的块120的参数,并在步骤740处将确定出的参数发送到特征唤醒FSM 218。

[0046] 图7D是根据本发明的一个实施例示出用于执行改变功率状态的过程的定序逻辑750的功能流程图。在一个实施例中,在步骤752处,低功率切换FSM 214执行该定序逻辑750,其从存储器控制器132接收针对减少功率状态的请求。在步骤754处,FSM 214从存储器控制器接收请求唤醒时间(例如,图2中的lp_wakeup)。在步骤756处,低功率切换FSM 214选

择满足存储器控制器132提供的请求唤醒时间的多个功率状态之一作为所选最低功率状态。在步骤758处,基于所选最低功率状态,确定关闭哪个(些)块。然后在步骤760处,将信号发送到特征唤醒FSM 218以关闭块。低功率切换FSM 214还通过使用定时器216的要求唤醒时间来确定何时开始返回打开块。在一个实施例中,低功率切换FSM 214用断电时间(例如,图2中的pwr_dwn_time)设置定时器216,从而一旦已经经过断电时间,则定时器216发布功率过期信号(例如,图2中的pwr_dwn_expire),并且及时启动唤醒过程以将PHY接口带回到完全运转状态。在步骤764处,在关闭块之前将功率状态的参数发送到特征唤醒FSM以返回打开块。

[0047] 图7E是根据本发明的一个实施例示出用于准备块的设置并且改变操作状态的定序逻辑770的功能流程图。在一个实施例中,特征唤醒FSM 218执行该定序逻辑770。首先,在步骤772处,监视针对改变性能和/或功率状态的请求。因此,如果在步骤772处接收到请求,则在步骤774处将块的当前特征设置与由从频率切换FSM 212或低功率切换FSM 214发送的参数指示的期望特征设置进行比较,以确定要改变块的哪个特征设置。然后在步骤776处,使用依赖关系表格202确定特征的依赖关系。基于确定出的依赖关系,在步骤778处,形成具有可以并行打开的特征的块的组。打开顺序基于在不同特征之间的依赖关系来执行,并且启用没有并行依赖的特征,然后启用下一组特征。此外,基于唤醒时间,在步骤780处,设置在块的组之间的延迟。考虑特征的唤醒时间要求,并且基于这些要求来适当设置定时器。在步骤782处,启用具有不要求停止的特征的块的组。

[0048] 还考虑要求打开业务停止的特征的停止要求。然后生成基于这些特征的停止时间要求的一组启用信号。在步骤786处,一旦来自存储器控制器的init_start信号变成低以指示业务停止时段,则触发这些启用信号。在步骤788处,启用具有要求停止的特征的块的组。在启用特征之后,将init_complete信号发送到存储器控制器以指示频率切换或低功率转变的结束。

[0049] 因此,本发明的频率和功率管理器的实施例基于支持频率和功率缩放的架构。此外,频率和功率管理器的架构独立于特征。关于所支持的电路特征的类型,所述架构还独立于DDR PHY实现方式。所述架构针对较高性能是特征可扩展的且针对较低性能设计是特征可折叠的。所述架构还支持基于表格的结构以用于保持每个特征的信息(例如,唤醒时间要求和对其它特征的依赖关系),并且关于特征、唤醒时间和依赖关系是软件可编程的。所述架构还控制用于启用或禁用大量模拟/I/O特征并且维护这些特征中的每个特征的顺序和要求的定时和顺序。

[0050] 虽然以上描述了本发明的若干实施例,但是本发明的许多变型是可能的。例如,虽然图示实施例描述了关于DDR-PHY应用的频率和功率管理,但是在该申请中描述的频率和功率管理可以在其它存储器控制请求应用中使用。此外,可以在不同于上述的组合中组合各个实施例的特征。此外,为了清晰和简略的描述,已经简化了系统和方法的许多描述。许多描述使用具体标准的术语和结构。然而,所公开的系统和方法可以更广泛地应用。

[0051] 本领域技术人员可以理解,结合本文公开的实施例描述的各种图示框和模块可以以各种形式实现。在上文一般性地结合功能描述了一些框和模块。如何实现这种功能取决于施加于整体系统上的设计约束。技术人员可以以变化方式针对每个特定应用实现描述的功能,但是这种实现决策不应该解释为引起背离本发明的范围。另外,在模块、框或步骤中

分组功能是为了描述容易。可以在不背离本发明的情况下从一个模块或框中移除具体功能或步骤。

[0052] 提供所公开实施例的上述描述以使得本领域技术人员能够利用或使用本发明。对这些实施例的各种修改对于本领域技术任意而言是容易理解的,并且在不背离本发明的范围或精神的情况下,本文描述的一般原理可以应用于其它实施例中。因此,可以理解的是,本文呈现的描述和附图目前表示本发明的优选实施例,并因此表示本发明广泛构思的主题。还理解的是,本发明的范围完全涵盖对本领域技术人员而言明显的其它实施例,并且本发明的范围因此只受限于随附权利要求。

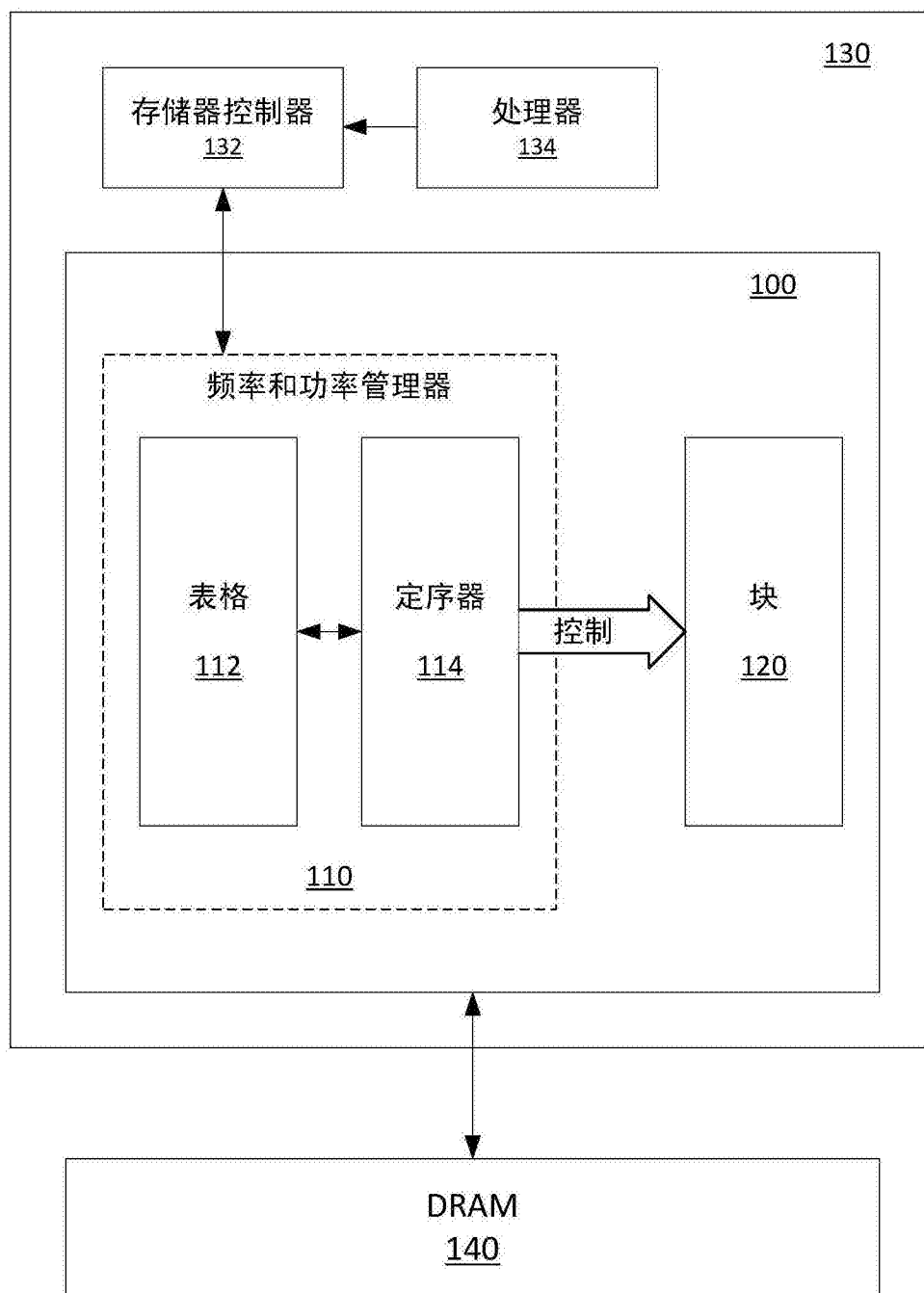


图1

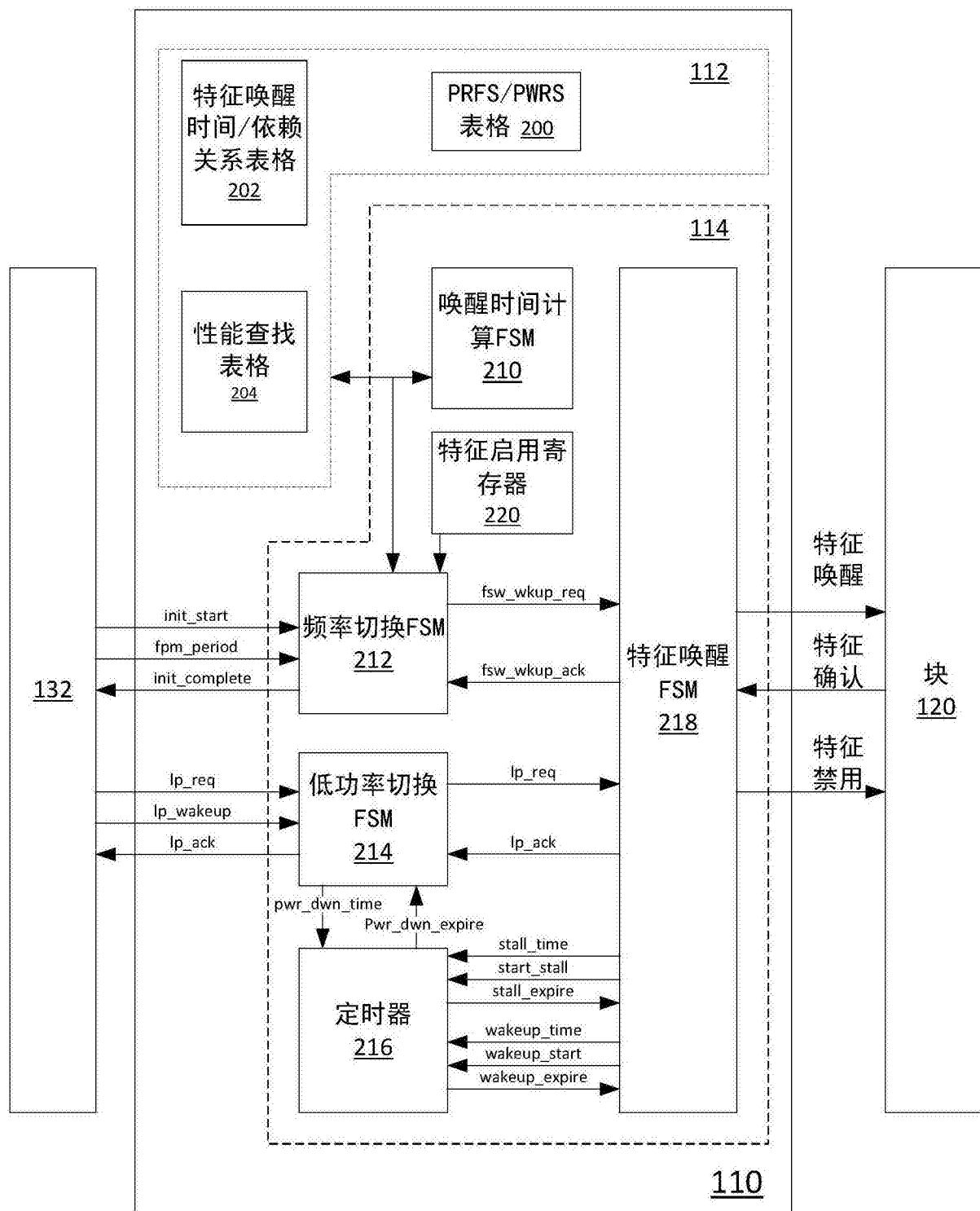


图2

300

特征表格索引	PRF6特征索引	特征总线宽度	块	特征	唤醒时间 (120ns) [7:0]	依赖关系 [4:0]	CSR	停止	停止 时间 (4ns) [3:0]
23	56	1	CM_SLICE	cm_lp_en_0/1	0	3F	0	1	1
24	55	1	CSD_RX	cscd_rx_ana_pu	4	3F	1	0	0
25	54	1	LDO	ldo_en	39	3F	1	0	0
22	53	1	LDO	ldo_bypass	0	3F	1	1	1
21	52	1	CDC_TMIN0	cdc_tmin_load	0	16	0	1	1
20	51	1	CDC_RD	cdc_rd_load	0	16	0	1	1
19	50	1	CDC_WR	cdc_wr_load	0	16	0	1	1
18	49	1	CDC_SLAVE_TMIN	slave_cdc_hp_en	0	15	1	0	0
17	48	1	CDC_SLAVE_TMIN	slave_cdc_lp_en	0	14	1	0	0
16	47	1	CDC_SLAVE_TMIN	slave_cdc_mode[0]	0	1F	1	0	0
15	46	1	CDC Master	master_cdc_hp_en	79	23	1	0	0
14	45	1	CDC Master	master_cdc_lp_en	0	1F	1	0	0
13	44	1	ID	Rx_MP_mode_mux_sel	0	2	0	1	1
12	43	1	ID	Rx_HP_mode_mux_sel	0	2	0	1	1
11	39	4	ID	par_in_mx_dq/dqs[3:0]	4	2	1	0	0
10	37	2	ID	DQ/DQS odt_enable	0	3F	0	1	1
9	31	8	ID	odt_in_dq/dqs[3:0]	0	3F	0	1	1
8	25	8	ID	permh_nemph[3:0]	0	2	0	1	1
7	19	8	ID	permh_nemph_dqs[3:0]	0	2	0	1	1
6	17	2	ID	driver_test[1:0]	0	2	0	1	1
5	15	2	ID	driver_voh_mode[1:0]	0	2	0	1	1
4	9	8	ID	pull_up_dq_dqs_cmi[3:0]	0	2	0	1	1
3	3	8	ID	odrv_dq_dqs[3:0]	0	2	0	1	1
2	2	1	ID	pbias_analog	0	3F	1	1	10
1	1	1	ID	local_auto_off	0	3F	0	1	1
0	0	1	ID	wref_en	0	3F	1	0	0

图3A

200

			此处的数据基于 针对PWR51的具有 50% 活动的1.1V信号和9%逻辑 以及0的启动和逻辑 与 的功率前估计量来估计													总的PWS 功耗时间 (ns)		
PRFS	PWRS	频率范围	56	55	54	53	52	...	4	3	2	1	0	Hex(字1)	Hex(字0)	信号D0 PHY 功率 (mW)	模式	
PRFS0	PWRS1	<=400 (legacy)	1	0	0	0	1	...	1	1	0	1	0	0x11D209F	0x800136DE	3.08	运转	0
	PWRS0		1	0	0	0	1	...	0	0	0	1	0	0x11C0000	0x10002	0.28		<100
PRFS1	PWRS1	422/600	0	0	0	0	1	...	1	1	1	0	1	0x9ED11F	0x924936DD	5.71	运转	0
	PWRS0		0	0	0	0	1	...	0	0	0	0	0	0x1C9000	0x12490000	1.5		<100
PRFS2	PWRS1	835	0	1	1	0	1	...	1	1	1	0	1	0xDEDA7F	0xA49136DD	12.76	运转	0
	PWRS0		0	1	0	0	1	...	0	0	0	0	0	0x1C9000	0x24910000	2.75		<100
PRFS3	PWRS1	1066	0	1	1	0	1	...	1	1	1	0	1	0xDEDA7F	0xB6D936DD	14.5	运转	0
	PWRS0		0	1	0	0	1	...	0	0	0	0	0	0x1C9800	0x36D90000	2.88		<100
PRFS4	PWRS1	1333	0	1	1	0	1	...	1	1	1	0	1	0xDEDA7F	0xC92136DD	19.63	运转	0
	PWRS0		0	1	0	0	1	...	0	0	0	0	0	0x1C9800	0x49210000	3.04		<100
PRFS5	PWRS1	1600	0	1	1	0	1	...	1	1	1	0	1	0xDEDA7F	0xC92136DD	21.65	运转	0
	PWRS0		0	1	0	0	1	...	0	0	0	0	0	0x1C9800	0x49210000	3.2		<100

图3B

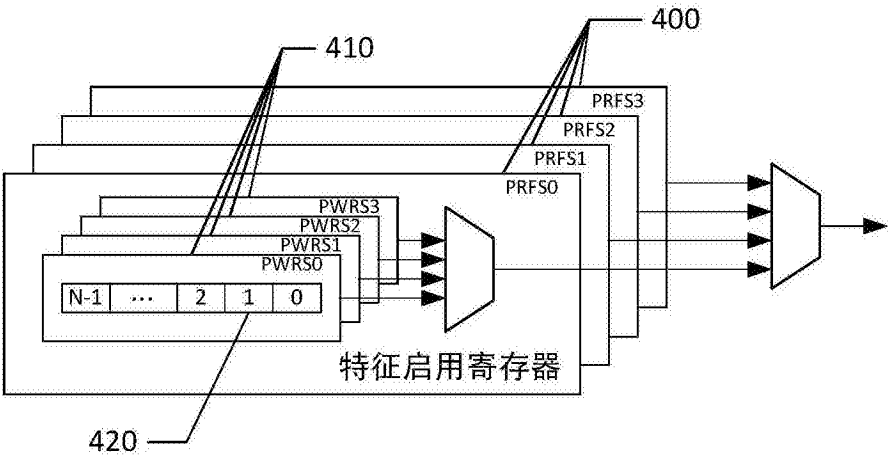


图4A

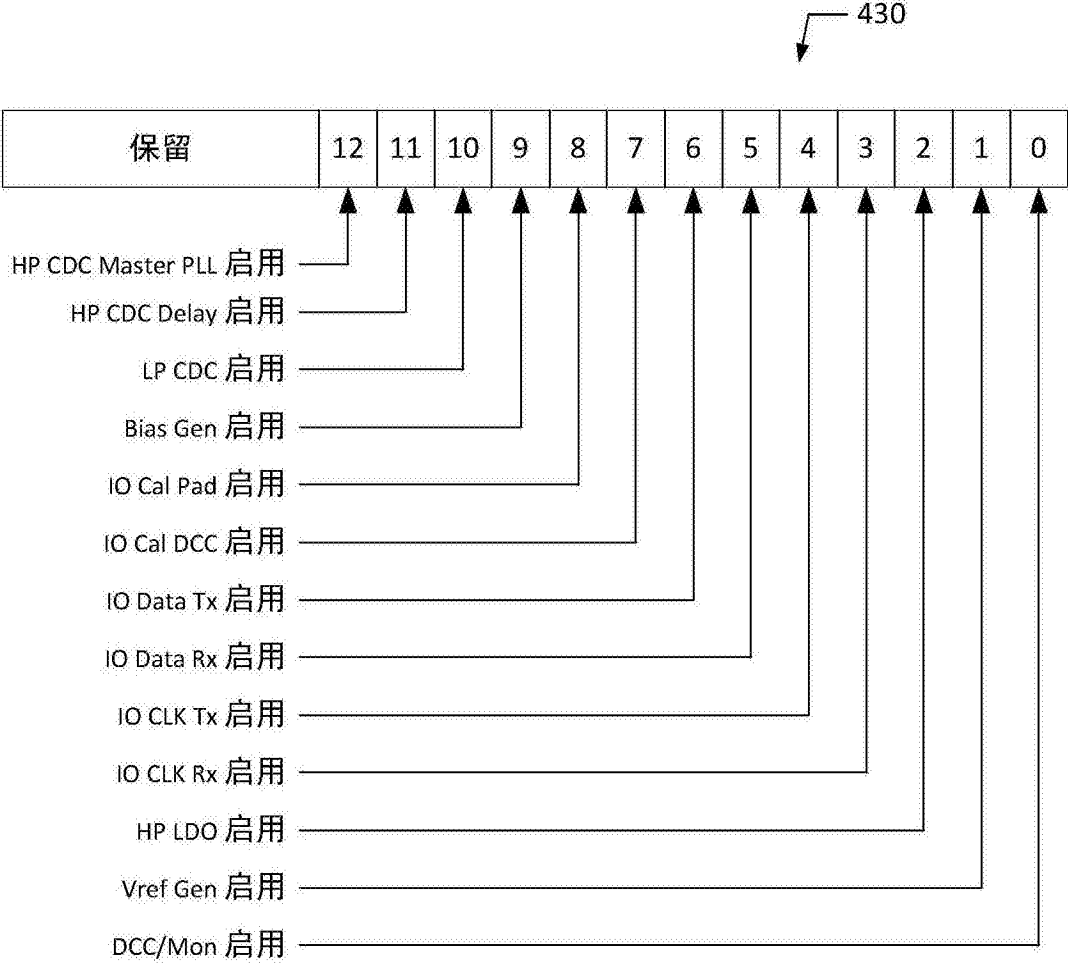


图4B

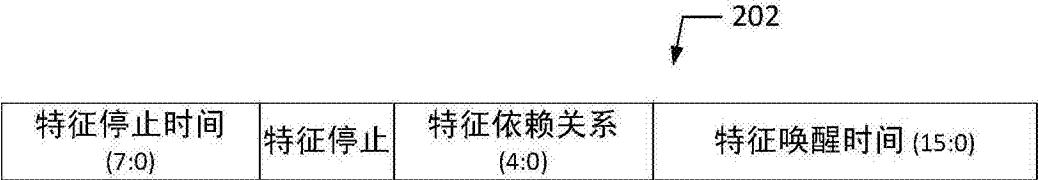


图5

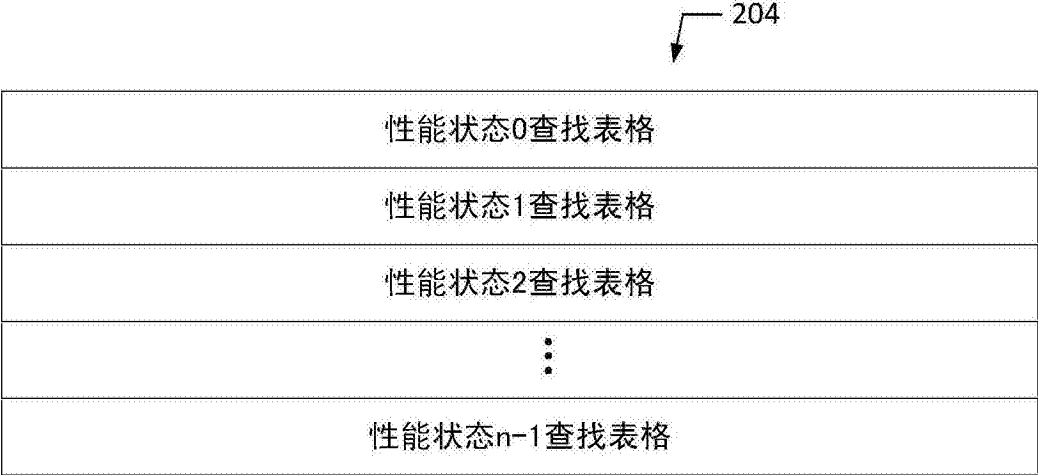
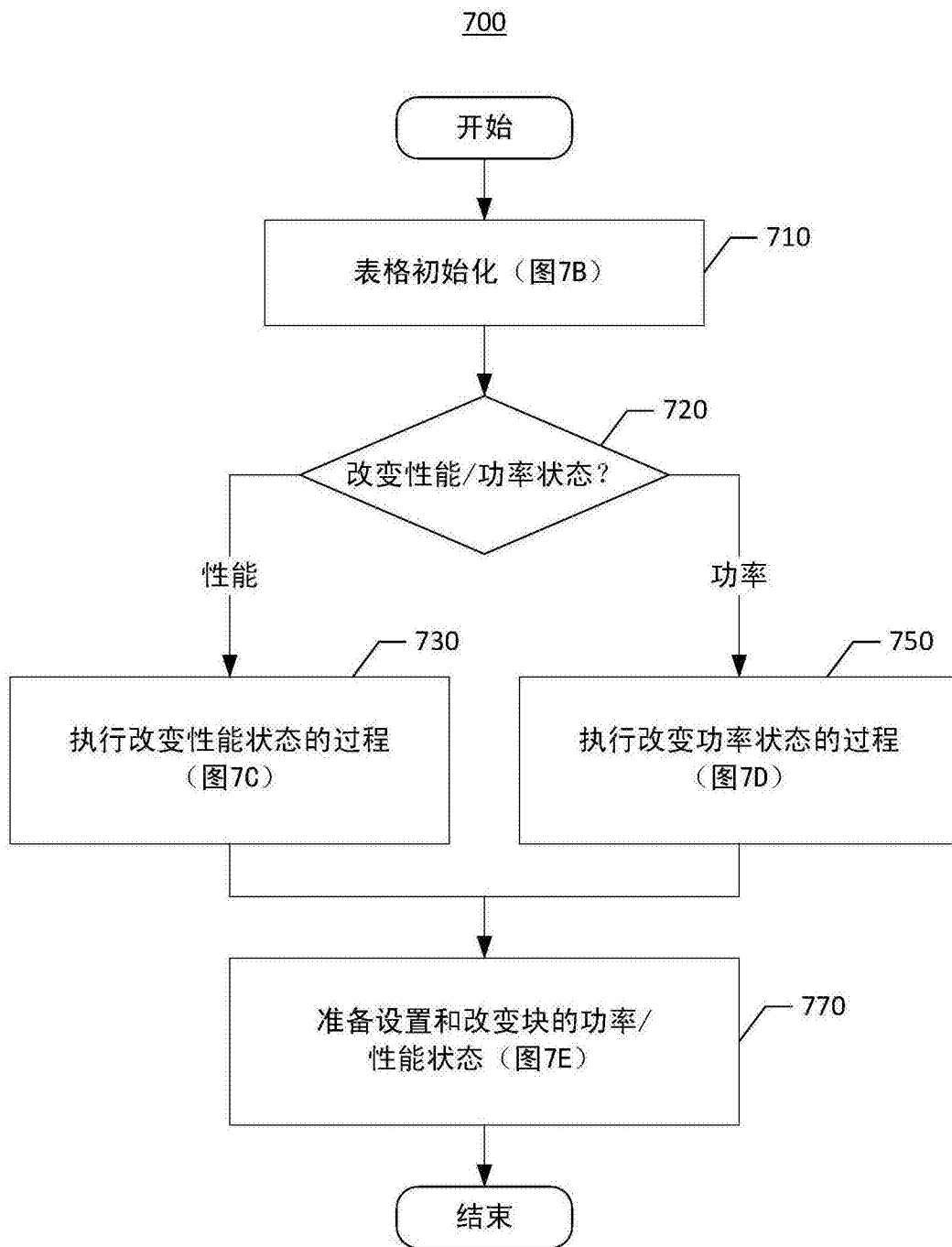


图6



710

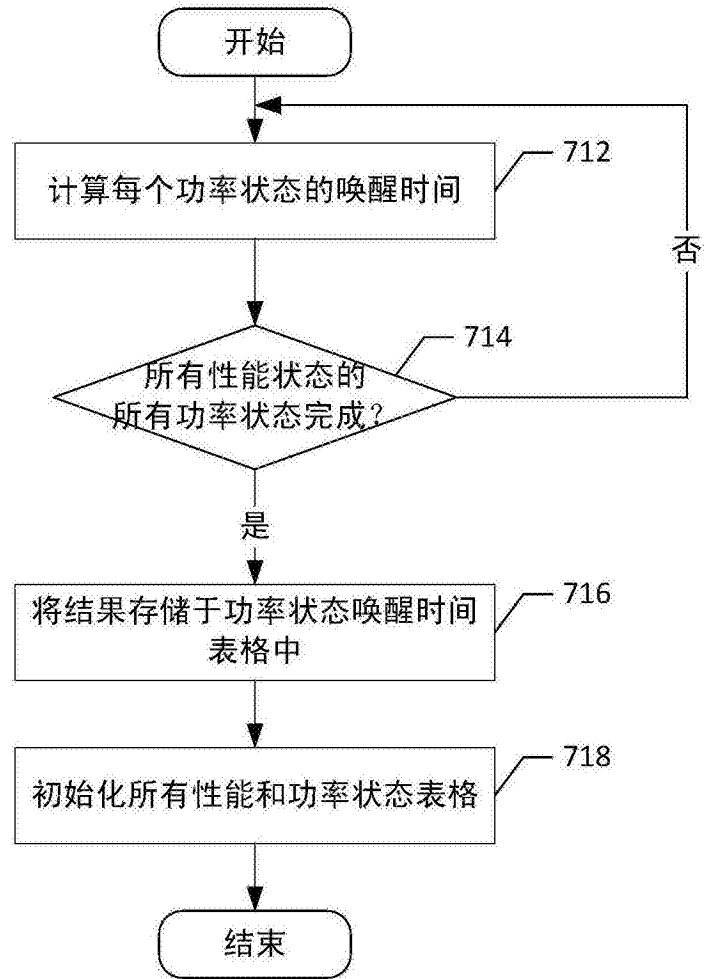


图7B

730

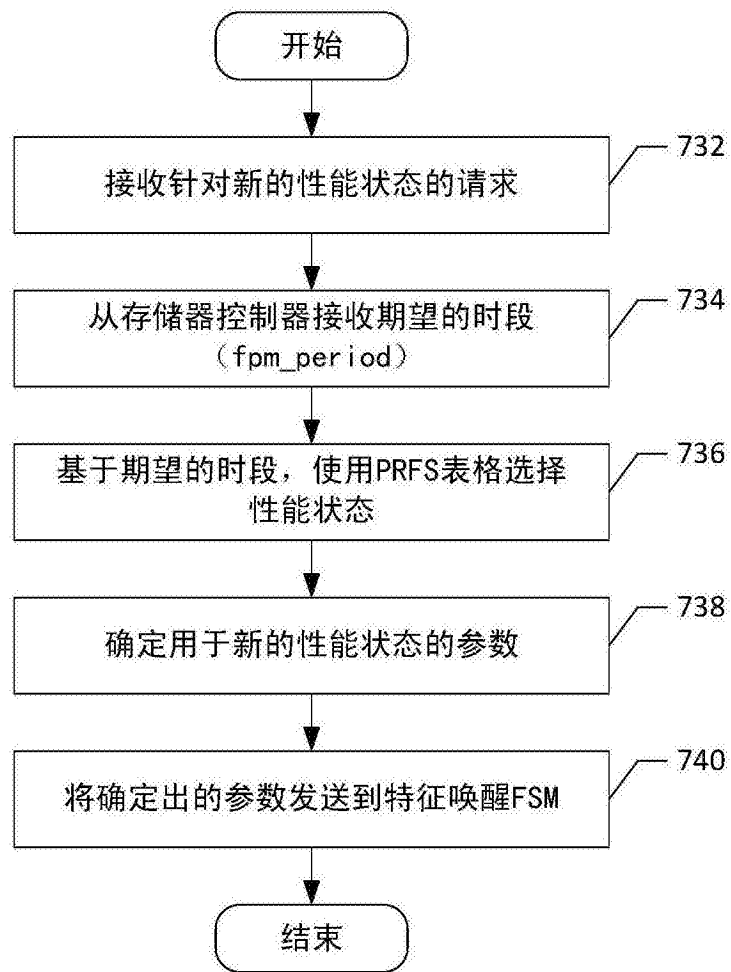


图7C

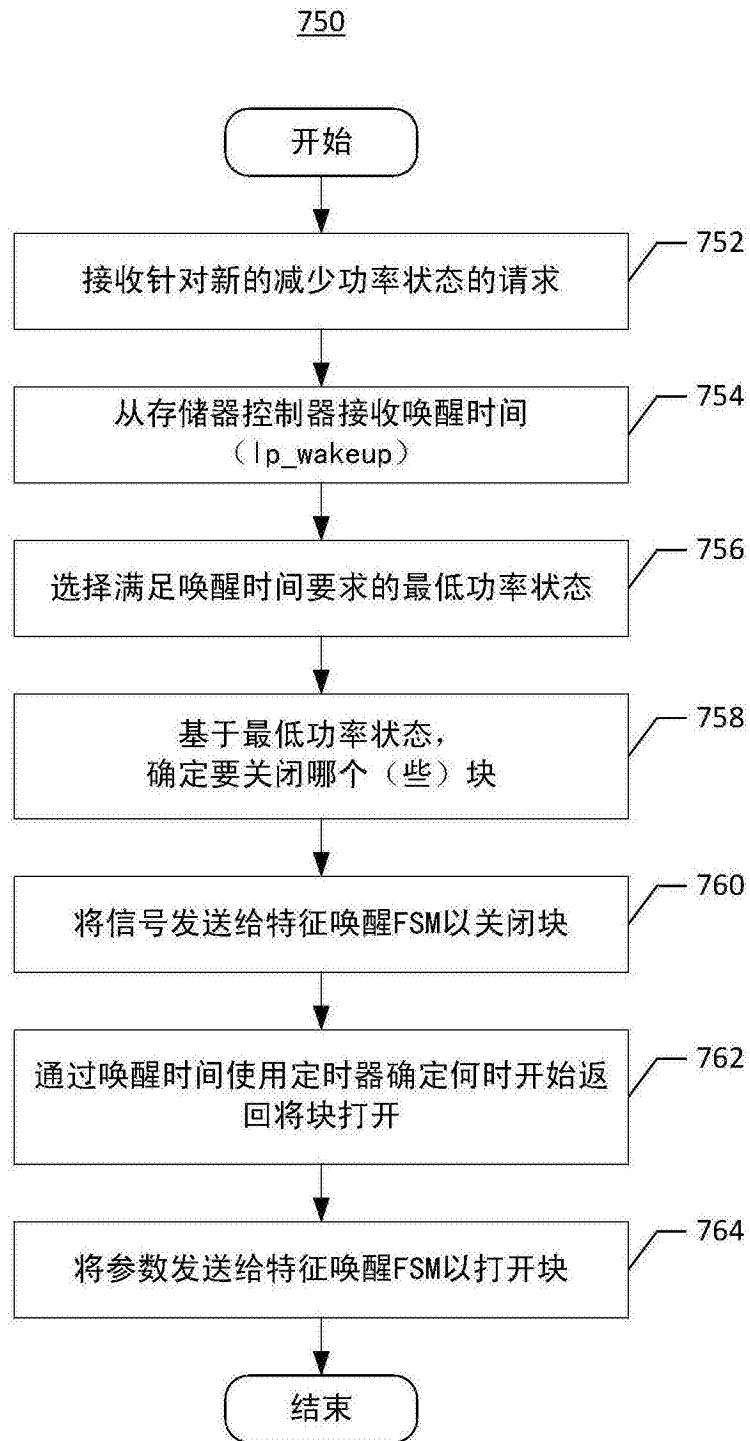


图7D

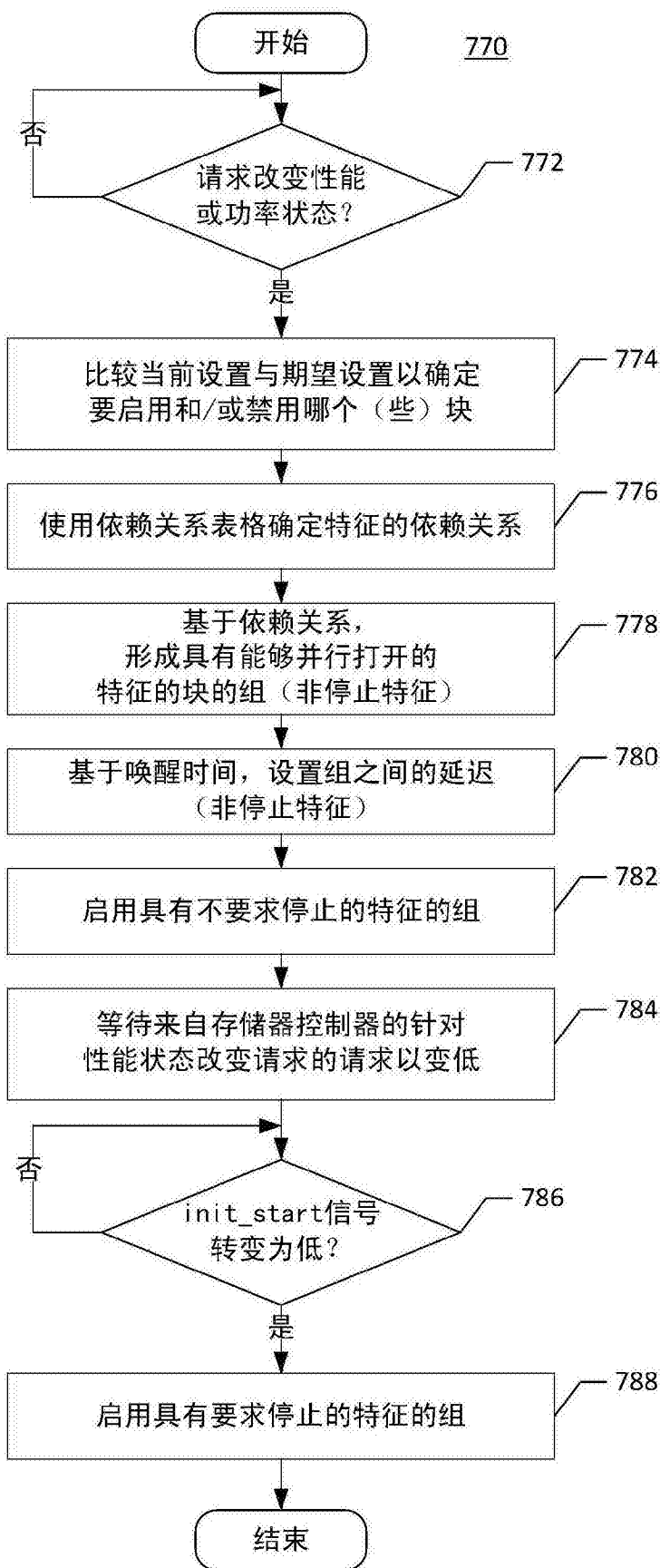


图7E