

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-216577

(P2012-216577A)

(43) 公開日 平成24年11月8日(2012.11.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 D	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 M	
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 6 5 2 S	

審査請求 未請求 請求項の数 7 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2011-79181 (P2011-79181)
 (22) 出願日 平成23年3月31日 (2011. 3. 31)

(71) 出願人 300057230
 セミコンダクター・コンポーネンツ・イン
 ダストリーズ・リミテッド・ライアビリティ
 ィ・カンパニー
 アメリカ合衆国 アリゾナ州 85008
 フェニックス イースト・マクドウェル
 ・ロード5005
 (74) 代理人 100091605
 弁理士 岡田 敬
 (72) 発明者 官田 拓司
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内
 (72) 発明者 竹中 一将
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内

最終頁に続く

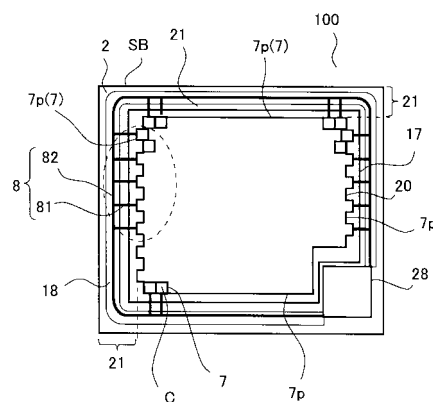
(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【要約】

【課題】 MOSFETの素子領域の外側の周辺領域において、ドレイン ソース間にpn接合ダイオードを形成し、逆起電力による電流の経路を確保してアバランシェ破壊を防止している。しかし、チップサイズの小型化や素子領域の面積の拡大を目的として周辺領域の面積を縮小した場合、pn接合ダイオードの配置領域が縮小し、電流経路が少なくなるためアバランシェ破壊に弱くなる問題があった。

【解決手段】 ゲート引き出し配線8で区画される周辺ゲート領域25において、p+型不純物領域24とソース電極17を接続する第2コンタクト部10の単位面積当たりの合計面積を、素子領域20のソース領域15とソース電極17とを接続する第1コンタクト部9の単位面積当たりの合計面積より大きくする。周辺領域の面積を縮小した場合であっても逆起電力による電流の経路を確保できアバランシェ耐量の劣化を防げる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一導電型半導体層と、

前記一導電型半導体層の表面に設けられ、多角形状の絶縁ゲート型半導体素子のトランジスタセルが配置される素子領域と、

前記一導電型半導体層の周辺領域に配置され、前記トランジスタセルのゲート電極と接続して該ゲート電極をゲートパッド電極に接続するゲート引き出し配線と、

前記素子領域上を覆う絶縁膜に複数設けられた第 1 コンタクト部と、

前記素子領域上に設けられ、前記第 1 コンタクト部を介して前記トランジスタセルのソース領域とコンタクトするソース電極と、

該ゲート引き出し配線と前記素子領域の最外周の前記ゲート電極とで囲まれる周辺ゲート領域の前記一導電型半導体層の表面に設けられた逆導電型不純物領域と、

前記周辺ゲート領域上を覆う絶縁膜に設けられ、前記逆導電型不純物領域と前記ソース電極とを接続する複数の第 2 コンタクト部とを具備し、

単位面積あたりの前記第 2 コンタクト部の合計面積は、単位面積あたりの前記第 1 コンタクト部の合計面積より大きいことを特徴とする絶縁ゲート型半導体装置。

10

【請求項 2】

単位面積あたりの前記第 2 コンタクト部の数は、単位面積あたりの前記第 1 コンタクト部の数より大きいことを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 3】

隣り合う前記第 2 コンタクト部の距離は、隣り合う前記第 1 コンタクト部の距離より小さいことを特徴とする請求項 2 に記載の絶縁ゲート型半導体装置。

20

【請求項 4】

前記第 1 コンタクト部と前記第 2 コンタクト部の面積は同等であることを特徴とする請求項 2 または請求項 3 に記載の絶縁ゲート型半導体装置。

【請求項 5】

前記逆導電型不純物領域は複数の前記第 2 コンタクト部の下方に連続して設けられることを特徴とする請求項 1 から請求項 4 のいずれかに記載の絶縁ゲート型半導体装置。

【請求項 6】

前記第 2 コンタクト部は、前記周辺ゲート領域の前記素子領域側に集約して配置されることを特徴とする請求項 1 から請求項 5 のいずれかに記載の絶縁ゲート型半導体装置。

30

【請求項 7】

前記一導電型半導体層表面に逆導電型のチャネル層が設けられ、前記逆導電型不純物領域の前記素子領域側の端部から前記周辺領域の前記チャネル層の外周端部までの距離は、前記トレンチ底部から前記一導電型半導体層の下端までの距離より大きいことを特徴とする請求項 1 から請求項 6 のいずれかに記載の絶縁ゲート型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート型半導体装置に係り、チップ全体に対する素子領域の面積を向上しアバラシエ耐量の劣化を抑制した絶縁ゲート型半導体装置に関する。

40

【背景技術】

【0002】

負荷にインダクタンス成分を含む回路に用いられる絶縁ゲート型半導体装置では、素子領域外側の周辺領域において、ソース - ドレイン電極間に p n 接合ダイオードを接続して負荷のインダクタンスに蓄えられたエネルギーを放出する構造が知られている（例えば特許文献 1 参照）。

【0003】

図 8 を参照し、従来 of 絶縁ゲート型半導体装置について、n チャネル型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を例に説明する。

50

【0004】

図8(A)はMOSFETの素子領域120および周辺領域121の境界付近の平面図であり、表面のソース電極は省略している。MOSFETのチップを構成する基板SBはn+型の半導体基板の上にn-型半導体層102を設けてなり、その主面に例えばトレンチ構造のMOSFETの素子領域120が配置され、その外側に周辺領域121が配置される。周辺領域121は、素子領域120外周端部から基板SBの端部までの領域である。

【0005】

素子領域120は、平面視におけるパターンが格子状のトレンチ106と、トレンチ106に埋設されたゲート電極107と、トレンチ106に隣接するソース領域115と、ソース領域115間に設けられたボディ領域114からなり、トレンチ106で囲まれた領域でトランジスタセルが構成される。

10

【0006】

素子領域120のゲート電極107は基板SBの周辺領域においてゲート引き出し配線108に接続する。ゲート引き出し配線108は、基板SBに設けられたトレンチ106にポリシリコンを埋設した引き出し部181と、引き出し部181に接続し、基板SB主面にポリシリコンを延在させた連結部182とを有する。

【0007】

周辺領域121には、素子領域120の最外周に配置されるゲート電極(最外周ゲート電極107p)と、ゲート引き出し配線108(引き出し部181および連結部182)とによって区画される複数の領域が設けられる。この最外周ゲート電極107pとゲート引き出し配線108とで区画された破線の領域(以下、周辺ゲート領域125と称する)にはソース領域は配置されず、n-型半導体層102表面にp+型不純物領域124を設けてpn接合ダイオードDiが配置されている。

20

【0008】

図8(B)は、図8(A)のb-b線断面図である。

【0009】

基板SBはn+型の半導体基板1の上にn-型半導体層102を設けてなり、n-型半導体層102の表面にはp型のチャネル層104が設けられる。トレンチ106はチャネル層104を貫通して設けられ、内壁にゲート絶縁膜(不図示)が設けられる。ゲート電極107はトレンチ106内にポリシリコンなどを埋設して設けられる。トレンチ106の周囲にはこれと隣接してn型のソース領域115が配置され、ソース領域115間のチャネル層104表面にはp型のボディ領域114が配置される。

30

【0010】

ゲート電極107上には層間絶縁膜116が設けられ、素子領域120を覆ってソース電極117が設けられる。ソース電極117は層間絶縁膜116に設けられた第1コンタクト部109を介してソース領域115およびボディ領域114と接続する。

【0011】

連結部182上には、これと接続するゲート金属配線118が設けられ、ゲート金属配線118は基板SBの主面に設けられた不図示のゲートパッド電極に接続する。

40

【0012】

チャネル層104は、素子領域120より広く、その外周端部が周辺ゲート領域125まで延在する。周辺ゲート領域125のチャネル層104の表面にはp+型不純物領域124が複数配置される。また周辺ゲート領域125のチャネル層104表面には層間絶縁膜116が設けられ、層間絶縁膜116は、p+型不純物領域124上に第2コンタクト部110が設けられる。p+型不純物領域124は第2コンタクト部110を介してソース電極117とコンタクトする。これにより、周辺ゲート領域125において、ドレイン-ソース間にpn接合ダイオードDiが接続された構成となる。

【0013】

第1コンタクト部109と第2コンタクト部110は、チャネル層104表面に設けた層間絶縁膜116に同一工程にて形成される開口部(コンタクトホール)であり、隣り合

50

う第1コンタクト部109の離間距離Lは、隣り合う第2コンタクト部110の離間距離Lと同等である。また、第1コンタクト部109と第2コンタクト部110の開口幅D'も同等である。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開平10-321877号公報(第22頁 第34図、第24頁 第40図)

【発明の概要】

【発明が解決しようとする課題】

10

【0015】

周辺ゲート領域125に形成されているpn接合ダイオードDiは、MOSFETのアバランシェ破壊を防止する目的で配置されている。

【0016】

詳細には、例えば、MOSFETをモータやリレーの駆動制御回路に用いる場合などにおいて、回路に誘導負荷による逆起電力が発生すると、MOSFETに逆起電力による電流が流れる。この電流により素子領域に形成されている寄生バイポーラトランジスタがオンしやすくなり、局所的に大きな電流が流れると、アバランシェ破壊を招く。このような場合に、周辺ゲート領域においてソース-ドレイン間の電圧に対して逆方向にpn接合ダイオードを接続し、これを逆起電力による電流の経路とする。これにより素子領域120の寄生バイポーラトランジスタがオンしやすくなる機会を低減し、素子領域120のアバランシェ破壊を防止できる。

20

【0017】

ところで、オン抵抗の低減を目的とした素子領域120の拡大、あるいは低コストのためのチップサイズの縮小に伴い、素子領域120の外周(外側)の周辺領域121の縮小化が進められている。

【0018】

しかし、図8の構造において周辺領域121を縮小すると、周辺ゲート領域125も縮小する。つまりpn接合ダイオードDiの形成領域が低減するため、逆起電力による電流の経路の確保が不十分となり、アバランシェ耐量の劣化を招く問題があった。

30

【0019】

また、周辺ゲート領域123の面積を縮小した結果、層間絶縁膜116等が周辺領域121に不可避免的に生じさせる絶縁膜段差と第2のコンタクトホール110との離間距離も接近することになり、フォトリソグラフィ工程におけるエッチング不良によって複数の第2コンタクト部110のうちのいくつかが正常に開口できない不具合が生じやすくなる。その結果、pn接合ダイオードDiの機能を十分に均一に発揮させることができず、VDS波形が発振するなどの特性不良を引き起こす問題もあった。

【課題を解決するための手段】

【0020】

本発明はかかる課題に鑑みてなされ、一導電型半導体層と、前記一導電型半導体層の表面に設けられ、多角形状の絶縁ゲート型半導体素子のトランジスタセルが配置される素子領域と、前記一導電型半導体層の周辺領域に配置され、前記トランジスタセルのゲート電極と接続して該ゲート電極をゲートパッド電極に接続するゲート引き出し配線と、前記素子領域上を覆う絶縁膜に複数設けられた第1コンタクト部と、前記素子領域上に設けられ、前記第1コンタクト部を介して前記トランジスタセルのソース領域とコンタクトするソース電極と、該ゲート引き出し配線と前記素子領域の最外周の前記ゲート電極とで囲まれる周辺ゲート領域の前記一導電型半導体層の表面に設けられた逆導電型不純物領域と、前記周辺ゲート領域上を覆う絶縁膜に設けられ、前記逆導電型不純物領域と前記ソース電極とを接続する複数の第2コンタクト部とを具備し、単位面積あたりの前記第2コンタクト部の合計面積を、単位面積あたりの前記第1コンタクト部の合計面積より大きくすること

40

50

により解決するものである。

【発明の効果】

【0021】

本発明によれば、素子領域の第1コンタクト部同士の離間距離と周辺ゲート領域の第2コンタクト部の離間距離および面積（開口幅）がそれぞれ同等で、周辺ゲート領域の面積が同等の構造と比較して、周辺ゲート領域のpn接合ダイオードの数（pn接合面積）を増加できるので、逆起電力による電流の経路を増やすことができ、アバランシェ耐量の向上が図れる。

【0022】

つまり素子領域の拡大又はチップサイズの縮小を目的として周辺領域（周辺ゲート領域）を狭小化した場合であっても、アバランシェ耐量の劣化を防止できる。

【0023】

また、第2コンタクト部を緻密に多数個、素子領域側に集約させて配置したことによって、いくつかの第2コンタクト部が接触不良を生じた場合であっても全体に対するその影響力を従来より低減でき、これが製造上の余裕度を増大させる他、素子の特性不良の発生を防止できる。

【図面の簡単な説明】

【0024】

【図1】本発明の実施形態の絶縁ゲート型半導体装置を説明する平面図である。

【図2】本発明の実施形態の絶縁ゲート型半導体装置を説明する（A）平面図、（B）断面図である。

【図3】本発明の実施形態の絶縁ゲート型半導体装置を説明する断面図である。

【図4】本発明の実施形態の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

。

【図5】本発明の実施形態の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

。

【図6】本発明の実施形態の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

。

【図7】本発明の実施形態の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

。

【図8】従来技術を説明する（A）平面図、（B）断面図である。

【発明を実施するための形態】

【0025】

本発明の実施の形態を、nチャネル型のMOSFETを例に図1から図7を参照して説明する。

【0026】

図1は、本実施形態のMOSFET100を示す平面図である。

【0027】

図1を参照して、MOSFET100のチップを構成する基板SBは、n+型シリコン半導体基板（ここでは不図示）の上にn-型半導体層2を積層してなる。n-型半導体層2は例えば、エピタキシャル成長などによって形成したシリコン半導体層であり、n-型半導体層2の表面に、平面視において多角形状（例えば格子状）のMOSFET100のトランジスタセルCが配置された素子領域20が設けられる。

【0028】

素子領域20の全面にはトランジスタセルCのソース領域（不図示）とコンタクトするソース電極17が設けられる。

【0029】

基板SB（n-型半導体層2）の周辺領域21にはゲート引き出し配線8が設けられる。周辺領域21は素子領域20の外側の領域であり、詳細には、素子領域20の外周端部から基板SB（n-型半導体層2）の端部までの領域である。尚、ここでは周辺領域21

10

20

30

40

50

は素子領域 20 の外側を環状に囲む領域として示されているが、チップ辺に沿ったコの字（U 字）状、L 字状、または直線状の領域であってもよい。

【0030】

ゲート引き出し配線 8 は、その少なくとも一部の上に設けられるゲート金属層 18 と接続し、トランジスタセル C を構成するゲート電極 7 をゲートパッド電極 28 に接続する。引き出し部 81 は、平面視においてチップの一の辺に平行なストライプ状に設けられる。連結部 82 は平面視において引き出し部 81 と直交する方向に延在し、隣り合う複数の引き出し部 81 を連結する。

【0031】

図 2 は、素子領域 20 と周辺領域 21 の境界付近の拡大図であり、図 2 (A) が平面図であり基板 S B 表面の金属層（ソース電極 17 およびゲート金属層 18）、および絶縁膜（層間絶縁膜）は省略している。また、図 2 (B) は図 2 (A) の a - a 線断面図である。

10

【0032】

図 2 (A) を参照して、素子領域 20 では、トレンチ 6 が平面視において多角形状（例えば格子状）に設けられ、内壁がゲート絶縁膜（不図示）で覆われて、ゲート電極 7 が埋設される。トレンチ 6 に隣接して n + 型不純物領域であるソース領域 15 が設けられ、ソース領域 15 に囲まれた領域に島状に p + 型不純物領域であるボディ領域 14 が設けられる。トレンチ 6 で囲まれた領域がトランジスタセル C を構成する。

【0033】

基板 S B (n - 型半導体層 2) 表面は層間絶縁膜（不図示）が設けられ、各トランジスタセル C 毎にボディ領域 14 が露出するように開口された第 1 コンタクト部 9 が設けられる。尚、ここでは層間絶縁膜は図示を省略するが、これに設けられる第 1 コンタクト部 9 は、図示している。第 1 コンタクト部 9 は、ボディ領域 14 と略重畳する大きさに設けられる。

20

【0034】

本実施形態の如く、ゲート電極 7 が平面視において多角形（格子）状の場合、最外周に閉ループ状（図 1 参照）に配置されるゲート電極 7（以下これを最外周ゲート電極 7 p と称する。）が存在する。本実施形態では、最外周ゲート電極 7 p で区画された内側の領域を素子領域 20 とし、その外側で基板 S B 端部までの領域を周辺領域 21 とする。

30

【0035】

周辺領域 21 において、ゲート引き出し配線 8 は、素子領域 20 のゲート電極 7 と同様の構成の引き出し部 81 と、基板 S B 表面でこれらを接続する連結部 82 とを有する。すなわちここでは、引き出し部 81 は、基板 S B に設けられたトレンチ 6 に不純物をドーピングしたポリシリコンを埋設してなる。連結部 82 は、基板 S B 表面に当該ポリシリコンを延在させてなり全ての引き出し部 81 と接続する。

【0036】

周辺領域 21 には少なくとも 1 つの周辺ゲート領域 25 が配置される。周辺ゲート領域 25 は、ゲート引き出し配線 8（引き出し部 81、連結部 82）と最外周ゲート電極 7 p とで囲まれる破線の領域である。

40

【0037】

そして、それぞれの周辺ゲート領域 25 の基板 S B 表面には p + 型不純物領域 24 が配置される。素子領域 20 表面を覆う層間絶縁膜（不図示）は、周辺ゲート領域 25 表面も覆う。周辺ゲート領域 25 上の層間絶縁膜は、p + 型不純物領域 24 が露出するように開口され、1 つの周辺ゲート領域 25 に複数の第 2 コンタクト部 10 が設けられる。尚、ここでは層間絶縁膜は図示を省略するが、これに設けられる第 2 コンタクト部 10 は、図示している。

【0038】

図 2 (B) を参照して、基板 S B は、n + 型シリコン半導体基板 1 上に n - 型半導体層（例えば n - 型シリコンエピタキシャル層）2 を設けた構成である。ドレイン領域となる

50

n - 型半導体層 2 表面には p 型の不純物領域であるチャンネル層 4 が設けられる。

【 0 0 3 9 】

トレンチ 6 は、チャンネル層 4 を貫通して n - 型半導体層 2 まで到達させる。トレンチ 6 の内壁にはゲート絶縁膜（不図示）を設ける。また、トレンチ 6 内部には導電材料を埋設してゲート電極 7 を設ける。導電材料は例えばポリシリコンであり、そのポリシリコンには、低抵抗化を図るために例えば n 型不純物が導入されている。

【 0 0 4 0 】

ソース領域 1 5 は、トレンチ 6 に隣接したチャンネル層 4 表面に n 型不純物を注入した n + 型不純物領域である。また、ソース領域 1 5 に囲まれた領域のチャンネル層 4 表面にボディ領域 1 4 を設け、基板の電位を安定化させる。

【 0 0 4 1 】

ゲート電極 7 上は層間絶縁膜 1 6 で覆われ、その上にソース電極 1 7 が設けられる。ソース電極 1 7 は、層間絶縁膜 1 6 間に設けられた第 1 コンタクト部 9 を介して、ソース領域 1 5 およびボディ領域 1 4 と電氣的に接続する。

【 0 0 4 2 】

ゲート電極 7 は、周辺領域 2 1 のゲート引き出し配線 8 の引き出し部（ここでは不図示）を介してゲート引き出し配線 8 の連結部 8 2 と接続する。連結部 8 2 上にはこれと重畳してコンタクトするゲート金属層 1 8 が設けられる。ゲート金属層 1 8 はここでは不図示のゲートパッド電極に接続する。また、基板 S B の裏面側にはドレイン電極 1 9 が設けられる。

【 0 0 4 3 】

チャンネル層 4 外周端部は素子領域 2 0 外にも延在し、周辺ゲート領域 2 5 の連結部 8 2 側の端部を超えてその外側まで設けられる。周辺ゲート領域 2 5 の p + 型不純物領域 2 4 は、チャンネル層 4 表面に設けられている。

【 0 0 4 4 】

層間絶縁膜 1 6 は周辺ゲート領域 2 5 上も覆い、層間絶縁膜 1 6 には一部を開口して p + 型不純物領域 2 4 を露出させた第 2 コンタクト部 1 0 が複数設けられる。

【 0 0 4 5 】

p + 型不純物領域 2 4 は、第 2 コンタクト部 1 0 を介してチャンネル層 4 表面に p 型不純物のイオンを注入し、拡散して形成した領域であり、1 つの周辺ゲート領域 2 5 に 1 つの p + 型不純物領域 2 4 が設けられる（図 2（A）の一点鎖線参照。）。つまり、複数の第 2 コンタクト部 1 0 に連続するように 1 つの p + 型不純物領域 2 4 が設けられる。p + 型不純物領域 2 4 は、第 2 コンタクト部 1 0 の開口幅 D およびこれらの離間距離 L 2 と拡散深さ（例えばボディ領域 1 4 と同等で $0.25 \mu\text{m}$ ）を適宜選択することにより、それぞれの第 2 コンタクト部 1 0 の直下に設けられた複数の拡散領域が互いに連結し、1 つの拡散領域となったものである。1 つの p + 型不純物領域 2 4 に対して、複数の第 2 コンタクト部 1 0 を設けることによって、p + 型不純物領域 2 4 の略全体が露出する 1 つの大きいコンタクト部を設ける場合と比較して、基板 S B 表面の平坦性を維持できる。

【 0 0 4 6 】

図 2（A）（B）を参照して、第 2 コンタクト部 1 0 は、周辺ゲート領域 2 5 の外周端部 2 5 p（ゲート連結配線 8 の配線部 8 2）から離間するように、素子領域 2 0 側に集約して互いに均一な離間距離 L 2 で分布させる。周辺ゲート領域 2 5 の外周端部 2 5 p は、配線部 8 2 が配置されることによる段差が大きくなり、第 2 コンタクト部 1 0 を形成するフォトリソグラフィ工程で開口部に層間絶縁膜 1 6 の膜残り等が生じる恐れがあるためである。つまり、第 2 コンタクト部 1 0 を周辺ゲート領域 2 5 の外周端部 2 5 p（配線部 8 2）から離間して形成することによって、第 2 コンタクト部 1 0 の開口の制御性を確保している。具体的には、周辺ゲート領域 2 5 の幅 W G が例えば $10 \mu\text{m} \sim 14 \mu\text{m}$ 程度の場合、第 2 コンタクト部 1 0 を配置する幅 W G 1 は素子領域 2 0 端部から例えば $5 \mu\text{m} \sim 7 \mu\text{m}$ 程度とする。

【 0 0 4 7 】

10

20

30

40

50

周辺ゲート領域 25 にはソース領域は配置されず、トランジスタ動作は行わないが、 n -型半導体層 2 と、 p 型のチャンネル層 4 および p +型不純物領域 24 とによって、 pn 接合ダイオード D_i が構成される。

【0048】

本実施形態では、第 1 コンタクト部 9 同士の離間距離 L_1 より第 2 コンタクト部 10 同士の離間距離 L_2 を小さくし、単位面積あたりの合計面積が第 1 コンタクト部 9 より第 2 コンタクト部 10 の方が大きくなるように、第 2 コンタクト部 10 を配置することにより、周辺ゲート領域 25 の pn 接合ダイオード D_i の数 (pn 接合面積) を、図 8 に示す従来構造の場合より増加させることができる。

【0049】

具体的には、周辺領域 21 の面積、周辺領域 21 に設けられる周辺ゲート領域 25 の数、1 つの周辺ゲート領域 25 の面積および第 1 コンタクト部 9 および第 2 コンタクト部 10 の面積は従来構造 (図 8) の場合も同等とし、従来構造の場合の第 1 コンタクト部と第 2 コンタクト部がいずれも同等の離間距離 L であるとした場合、本実施形態では第 2 コンタクト部 10 同志の離間距離 L_2 を、第 1 コンタクト部 9 同志の離間距離 $L_1 (=L)$ の $\frac{1}{3}$ にして従来より緻密に周辺ゲート領域 25 に配置する。これにより、 pn 接合ダイオード D_i の数 (pn 接合面積) を 3 倍に増加させることができる。

【0050】

この結果、逆起電力による電流の経路を増加でき、実測データではアバランシェ耐量を従来構造の 1.5 倍にすることができた。

【0051】

換言すると、周辺領域 (周辺ゲート領域 25) の面積を $\frac{1}{3}$ まで縮小した場合であっても、従来と同程度のアバランシェ耐量を確保できるといえる。

【0052】

また第 2 コンタクト部 10 の増加によって VDS 発振不良を低減できることがわかった。

【0053】

尚、この断面において、 p +型不純物領域 24 の素子領域 20 側の端部から周辺ゲート領域 25 のチャンネル層 4 外周端部までの距離 W は、 n -型半導体層 2 の厚み t (トレンチ 6 底部から n -型半導体層 2 の下端まで) より大きくし、これにより所定の耐圧を確保している。

【0054】

さらに高い耐圧が要求される場合には、チャンネル層 4 の外周端部には、高濃度の p 型不純物領域 (不図示) が設けられてもよい。

【0055】

図 3 は、トランジスタセル C の構成を説明する図 2 (B) の一部拡大図である。

【0056】

トレンチ 6 内のゲート絶縁膜 11 の膜厚は、 $MOSFET$ 100 の駆動電圧に応じて数百程度とする。本実施形態ではソース領域 15 で囲まれた領域のチャンネル層 4 をソース領域 15 の底部付近までエッチングにより除去し、露出したチャンネル層 4 表面にボディ領域 14 を設けている。つまり、ボディ領域 14 の表面は、ソース領域 15 の表面より低い (深い) 位置に設けられ、例えば、ソース領域 15 の底面とボディ領域 14 の表面は略同じ高さである。

【0057】

ゲート電極 7 上は層間絶縁膜 16 で覆われる。層間絶縁膜 16 は基板 SB 表面を覆う例えば $TEOS$ (TetraEthOxySilane) 膜 16a や $BPSG$ (Boron Phosphor Silicate Glass) 膜 16b などの絶縁膜の一部を開口してボディ領域 14 が露出する第 1 コンタクト部 9 を形成するとともに、ゲート電極 7 上に絶縁膜を残存させたものである。本実施形態では、ボディ領域 14 はソース領域 15 より下方に設けられるため、第 1 コンタクト部 9 は、 $TEOS$ 膜 16a および $BPSG$ 膜 16b の一部と、ソース領域 15 間の基板 S

10

20

30

40

50

B (チャネル層4)の一部とを除去してボディ領域14を露出させた領域とする。第1コンタクト部9の側壁にはソース領域15の側面が露出する。

【0058】

基板SB上には素子領域20の全面を覆うソース電極17が設けられる。ソース電極17は、第1コンタクト部9を介して、ソース領域15およびボディ領域14と接続する。より詳細には、層間絶縁膜16表面および第1コンタクト部9の側壁には、バリア層17a (例えばチタン(Ti)/窒化チタン(TiN))が設けられる。バリア層17aは、ソース領域15の側面を覆ってこれとコンタクトする。そして、第1コンタクト部9には、プラグ層17bとして金属層(例えばタングステン(W))が埋め込まれる。更に層間絶縁膜16の全面を覆って、アルミニウム(Al)などの金属層が設けられ、ソース電極17が設けられる。ソース電極17は、バリア層17aおよびプラグ層17bを介して、ソース領域15の側面、およびボディ領域14の表面と電氣的にコンタクトする。これにより隣接するトレンチ6で囲まれた部分が1つのトランジスタセルCとなる。

10

【0059】

ソース電極17は素子領域20から延在して周辺ゲート領域25上も覆い、第2コンタクト部10を介してp+型不純物領域24とコンタクトする。より詳細には、層間絶縁膜16表面および第2コンタクト部10の側壁には、バリア層17aが設けられる。そして、第2コンタクト部10には、プラグ層17bが埋め込まれる。ソース電極17は、バリア層17aおよびプラグ層17bを介して、p+型不純物領域24と電氣的にコンタクトする

20

図4から図7を参照して、MOSFET100の製造方法の一例を説明する。

【0060】

図4(A)を参照して、n+型シリコン半導体基板1上にn-型半導体層2を積層した基板SBを準備する。n-型半導体層は例えばシリコンエピタキシャル層等である。

【0061】

全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜(不図示)を生成し、これをマスクとしてトレンチ開口部のn-型半導体層2をCF系およびHBr系ガスによりドライエッチングし、トレンチ6を形成する。

【0062】

ダミー酸化およびダミー酸化膜の除去を行うなどして、トレンチ6形成時のドライエッチングのエッチングダメージを除去する。その後、全面を熱酸化してトレンチ6内壁にゲート絶縁膜11を形成する。ゲート絶縁膜11は駆動電圧に応じて数百(例えば厚み約250~700)に形成される。

30

【0063】

全面にノンドープのポリシリコンを堆積し、ゲート絶縁膜11で被覆されたトレンチ6内に充填する。全面に不純物をドーピングして低抵抗化を図り、全面をエッチバックする。これにより、トレンチ6内に埋設されたゲート電極7が形成される。また不純物がドーピングされたポリシリコンを堆積し、全面をエッチバックしてゲート電極7を形成してもよい。

【0064】

図4(B)を参照して、素子領域20および周辺ゲート領域25の全面にp型の例えばボロン(B)をイオン注入する。一例としてドーズ量は $1 \times 10^{13} \sim 3 \times 10^{13} \text{ cm}^{-2}$ で、注入エネルギーは例えば350KeVとする。その後、熱処理を行い、不純物を拡散してチャネル層4を形成する。

40

【0065】

図5(A)を参照して、ソース領域の形成領域が露出するマスクMを形成し、n型不純物(例えばヒ素(As))を、一例として注入エネルギー140KeV、ドーズ量 $4 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、n+型不純物注入領域15aを形成する。

【0066】

図5(B)を参照して、マスクMを除去しTEOS膜16aを例えば800~120

50

0 堆積し、BPSG膜16bを例えば10000 ~ 14000 堆積して層間絶縁膜16を形成する。このリフローによりn型不純物が拡散し隣り合うトレンチ6間のチャンネル層4表面にソース領域15が形成される。

【0067】

図6(A)を参照して、ボディ領域およびp+型不純物領域の形成領域の層間絶縁膜16をエッチングにより除去し、素子領域20に第1コンタクト部9を形成し、周辺ゲート領域25に第2コンタクト部10を形成するとともに、ゲート電極7上に層間絶縁膜16を残存させる。第1コンタクト部9と第2コンタクト部10の開口幅Dは同等で、第2コンタクト部10間の距離L2は第1コンタクト部9間の距離L1の例えば3分の1とする。

10

【0068】

第1コンタクト部9においては、n-型半導体層2表面もエッチングにより除去される。これにより図6(A)の断面においてはトレンチ9間のソース領域15が分割され、平面視においてトレンチ6で囲まれた領域に環状にソース領域15が残存する。そして第1コンタクト部9の底部にn-型半導体層2が露出し、側面にソース領域15が露出する。

【0069】

その後、p型不純物(例えばボロン)をイオン注入し、素子領域20にp+型不純物注入領域14aを形成し、周辺ゲート領域25にp+型不純物注入領域24aを形成する。注入エネルギーは例えば50KeVであり、ドーズ量はチャンネル層4のドーズ量より高く、 $1.5 \times 10^{15} \text{ cm}^{-2} \sim 2.0 \times 10^{15} \text{ cm}^{-2}$ 程度である。イオン注入は例えば斜めイオン注入などにより行う。

20

【0070】

p+型不純物注入領域14aは、ソース領域15間に島状に複数設けられ、p+型不純物注入領域24aは、周辺ゲート領域25のチャンネル層4表面に、第2コンタクト部10に対応して、すなわち互いに分離して複数設けられる。

【0071】

図6(B)を参照して、熱処理を行い、p+型不純物注入領域14aおよびp+型不純物注入領域24aの不純物をそれぞれ拡散する。これにより、素子領域20にボディ領域14が形成され、周辺ゲート領域25にp+型不純物領域24が形成される。

【0072】

このとき、第2コンタクト部10の開口幅Dおよびこれらの離間距離L2と拡散深さ(例えばボディ領域14と同等で $0.25 \mu\text{m}$)を適宜選択することにより、複数のp+型不純物注入領域24aの不純物が拡散して互いに連結し、1つのp+型不純物領域24となる。

30

【0073】

次に、図7(A)を参照して、層間絶縁膜16上にバリア層17aを形成する。バリア層17aは、例えばTi/TiNであり、層間絶縁膜16表面と、第1コンタクト部9、第2コンタクト部10の側壁を覆う。

【0074】

その後、図7(B)を参照して、第1コンタクト部9および第2コンタクト部10にプラグ層17bを埋め込む。プラグ層17bは、例えばW(タングステン)を全面に堆積した後、エッチバックすることにより埋め込まれる。そして再び層間絶縁膜16表面にバリア層17aを形成する。

40

【0075】

その後、全面にAl等の金属層を形成して所望の形状にパターンニングしてソース電極17を形成し、基板SB(n+型シリコン半導体基板1)の裏面に金属蒸着等によってドレイン電極19を形成して、図3に示す最終構造を得る。

【0076】

尚、本実施形態では、基板SB表面の平坦性を維持するため、第2コンタクト部10の開口幅Dは第1コンタクト部9の開口幅Dと同等としたが、基板SB表面の平坦性を維持

50

できる範囲で、第2コンタクト部10の開口幅Dを第1コンタクト部9より大きくしてもよい。例えば第1コンタクト部9の離間距離L1と第2コンタクト部10の離間距離L2の関係($L2 < L1$)と、単位面積あたりの第2コンタクト部10の合計面積を単位面積当たりの第1コンタクト部9の合計面積より大きくすることは上記と同様とし、第1コンタクト部9より第2コンタクト部10の開口幅Dを例えば1.5倍程度まで大きくしてもよい。フォトリソグラフィ工程での許容度から、経験上1.5倍までの相違ならば、同条件でのエッチング加工が可能である。この場合であっても、pn接合ダイオードDiの接合面積の増加による逆起電力の電流の経路を増加できる。

【0077】

以上、本実施形態では素子領域20にnチャネル型MOSFET100が配置される場合を例に説明したが、これと導電型を逆にしたpチャネル型MOSFETであってもよく、1つのチップにドレインを共通として2つのMOSFETを配置した二次電池の保護回路用の絶縁ゲート型半導体装置であってもよく、同様の効果が得られる。

10

【0078】

更に、図2に示すn+型シリコン半導体基板1の下層にp型半導体領域を設けた、nチャネル型IGBT(Insulated Gate Bipolar Transistor)又はこれと導電型を逆にしたpチャネル型IGBTであっても同様に実施でき、同様の効果が得られる。

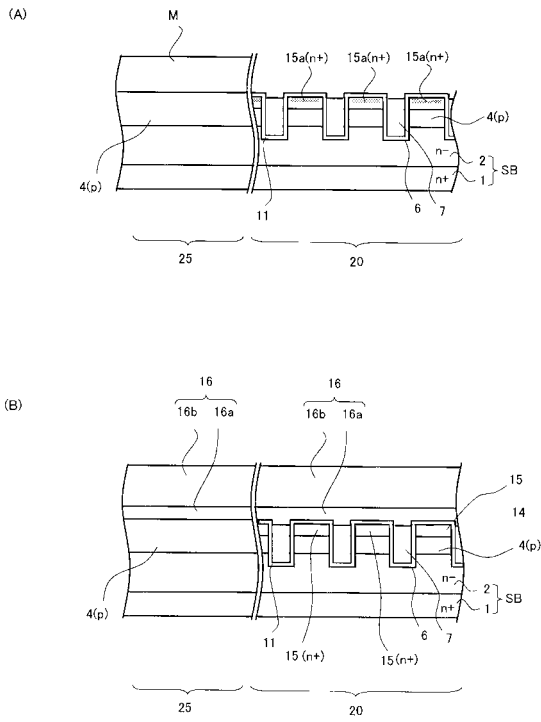
【符号の説明】

【0079】

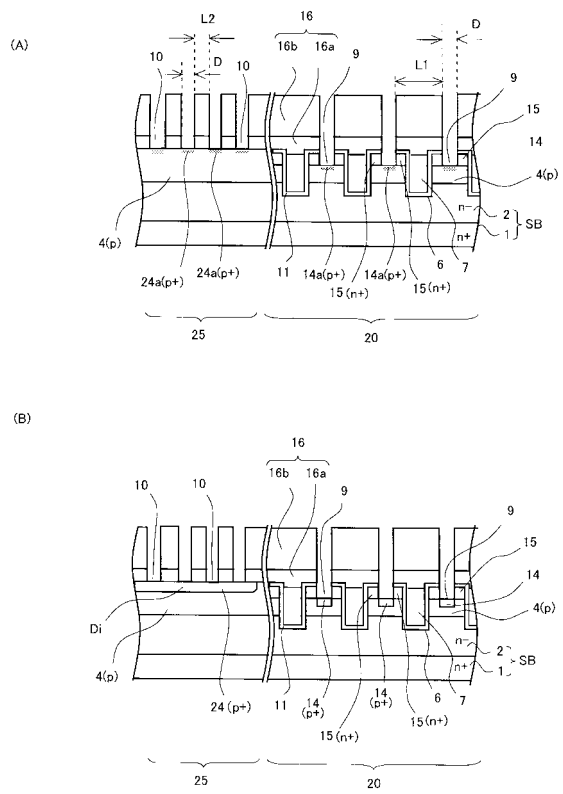
- 1 n+型シリコン半導体基板
- 2 n-型半導体層
- 7 ゲート電極
- 8 ゲート引き出し配線
- 81 引き出し部
- 82 連結部
- 9 第1コンタクト部
- 10 第2コンタクト部
- 25 周辺ゲート領域

20

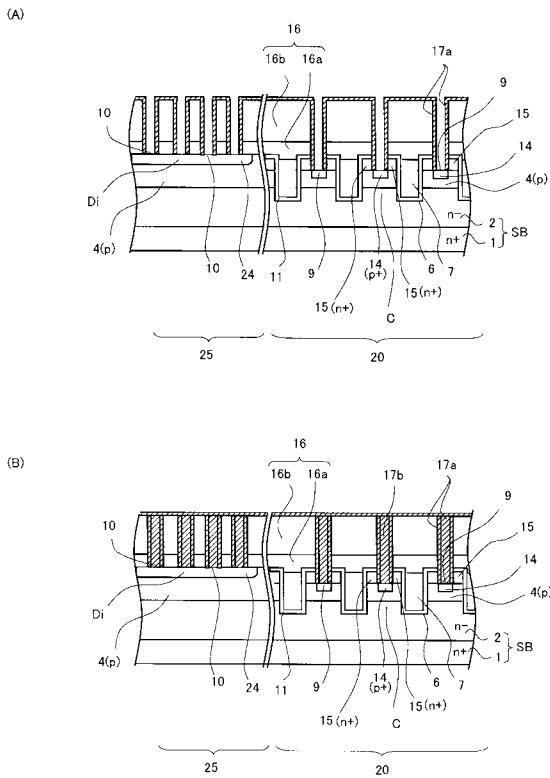
【 図 5 】



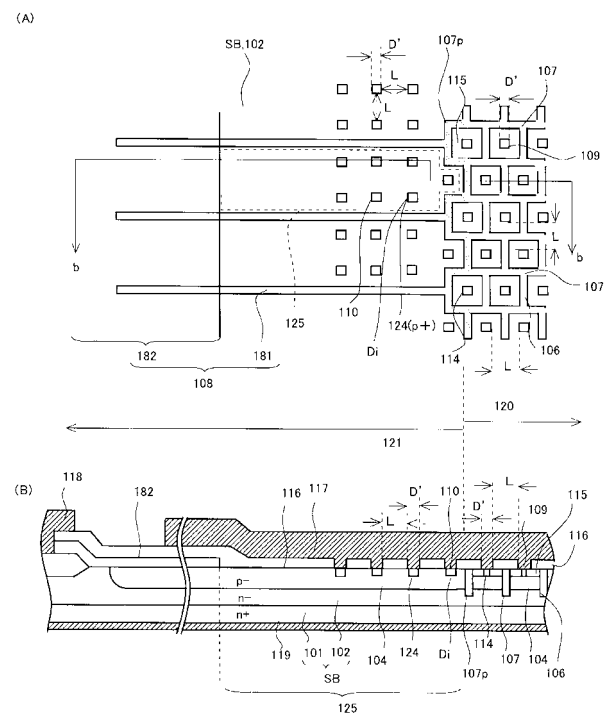
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/06	1 0 2 A
	H 0 1 L 27/08	1 0 2 E

Fターム(参考) 5F048 AC01 AC10 BA06 BB01 BB02 BB05 BB19 BC02 BC03 BC12
BF16 BG12