

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年4月5日 (2012.4.5)

【公開番号】特開2010-267328(P2010-267328A)

【公開日】平成22年11月25日 (2010.11.25)

【年通号数】公開・登録公報2010-047

【出願番号】特願2009-117889(P2009-117889)

【国際特許分類】

G 1 1 C 11/4091 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

G 1 1 C 11/407 (2006.01)

【F I】

G 1 1 C 11/34 3 5 3 F

H 0 1 L 27/10 6 8 1 E

G 1 1 C 11/34 3 5 4 D

【手続補正書】

【提出日】平成24年2月20日 (2012.2.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体記憶回路と、前記半導体記憶回路の周辺回路とを有する半導体集積装置であって

、

前記周辺回路は、ゲート酸化膜の耐圧が第 1 の電圧である第 1 のトランジスタを有し、

前記半導体記憶回路は、

いずれか一方に、メモリセルのゲートトランジスタが接続されるビット線対と、

前記第 1 のトランジスタと実質的に同じ耐圧のトランジスタで構成され、活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、を有し、

前記プリチャージ回路の活性化信号に前記第 1 の電圧よりも高い第 2 の電圧が用いられる

半導体集積装置。