

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2000-76853(P2000-76853A)

【公開日】平成12年3月14日(2000.3.14)

【出願番号】特願平10-269761

【国際特許分類第7版】

G 1 1 C 11/407

G 1 1 C 7/00

G 1 1 C 11/413

G 1 1 C 11/401

G 1 1 C 29/00

【F I】

G 1 1 C 11/34 3 6 2 S

G 1 1 C 7/00 3 1 2 Z

G 1 1 C 29/00 6 7 1 Z

G 1 1 C 29/00 6 7 1 B

G 1 1 C 11/34 J

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 7 1 A

【手続補正書】

【提出日】平成17年9月8日(2005.9.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0128

【補正方法】変更

【補正の内容】

【0128】

図13は、図10に示したシフトレジスタ162の構成を示す回路図である。

図13を参照して、シフトレジスタ162は、リードフラグREAD(FLAG)、リセット信号RESET、内部信号CO<sub>2</sub>、内部信号CO<sub>11</sub>を受け、内部信号CO<sub>1</sub>を発生するパルス発生回路501と、内部信号CO<sub>1</sub>を入力ノードDに受け出力ノードQから内部信号CO<sub>2</sub>を出力するフリップフロップ514と、内部信号CO<sub>2</sub>を入力ノードDに受け出力ノードQから内部信号CO<sub>3</sub>を出力するフリップフロップ516と、内部信号CO<sub>3</sub>を入力ノードDに受け出力ノードQから内部信号CO<sub>4</sub>を出力するフリップフロップ518と、内部信号CO<sub>4</sub>を入力ノードDに受け出力ノードQから内部信号CO<sub>11</sub>を出力するフリップフロップ512と、内部信号CO<sub>1</sub>、CO<sub>2</sub>、CO<sub>3</sub>、CO<sub>4</sub>およびクロック信号SCLKを受けセレクト信号C1、C2、C3、C4を出力する出力回路519とを含む。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正の内容】

【0130】

パルス発生回路501は、リードフラグREAD(FLAG)を一方の入力に受けるNOR回路502と、NOR回路502の出力とリセット信号RESETと内部信号CO<sub>2</sub>

とを入力に受けN O R回路5 0 2の他方の入力ノードに否定和を出力する3入力のN O R回路5 0 4と、N O R回路5 0 2の出力を受けて反転するインバータ5 0 6と、インバータ5 0 6の出力と内部信号C O 1 1とを受けるN O R回路5 0 8と、N O R回路5 0 8の出力を受けて反転し内部信号C O 1を出力するインバータ5 1 0とを含む。

#### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 1

【補正方法】変更

【補正の内容】

#### 【0 1 3 1】

出力回路5 1 9は、内部信号C O 1とクロック信号S C L Kとを受けるN A N D回路5 2 0と、N A N D回路5 2 0の出力を受けて反転しセレクト信号C 1を出力するインバータ5 2 2と、内部信号C O 2とクロック信号S C L Kを受けるN A N D回路5 2 4と、N A N D回路5 2 4の出力を受けて反転しセレクト信号C 2を出力するインバータ5 2 6と、内部信号C O 3とクロック信号S C L Kとを受けるN A N D回路5 2 8と、N A N D回路5 2 8の出力を受けて反転しセレクト信号C 3を出力するインバータ5 3 0と、内部信号C O 4とクロック信号S C L Kとを受けるN A N D回路5 3 2と、N A N D回路5 3 2の出力を受けて反転しセレクト信号C 4を出力するインバータ5 3 4とを含む。

#### 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 8

【補正方法】変更

【補正の内容】

#### 【0 1 3 8】

次にシフトレジスタ1 6 2の動作を簡単に説明する。まず初期状態においてはリセット信号R E S E Tによりフリップフロップ5 1 2～5 1 8が保持しているデータはクリアされる。次にリードフラグR E A D ( F L A G )が入力されると内部信号C O 1がHレベルに立上がる。

#### 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 9

【補正方法】変更

【補正の内容】

#### 【0 1 3 9】

そしてクロック信号S C L Kが入力されるとこの内部信号C O 1がフリップフロップ5 1 4に取込まれ内部信号C O 2がHレベルに立上がる。同時にパルス発生回路5 0 1は内部信号C O 2によってリセットがかかり内部信号C O 1はLレベルに立下がる。以降は内部信号C O 2のHレベルがフリップフロップ5 1 6、5 1 8、5 1 2、5 1 4によって順次伝達される。つまり内部信号C O 1、C O 2、C O 3、C O 4のいずれか1つがHレベルであり、このHレベルとなった信号はクロック信号S C L Kのエッジに同期して順次シフトすることになる。

#### 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 0

【補正方法】変更

【補正の内容】

#### 【0 1 4 0】

内部信号C O 1、C O 2、C O 3、C O 4は1クロック周期の幅を有するパルスであるので、出力回路5 1 9によってクロック信号と論理積をとることによりセレクト信号C 1、C 2、C 3、C 4にはクロック信号S C L Kのパルス幅を有する信号出力され、この信

号は順次シフトされることになる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0231

【補正方法】変更

【補正の内容】

【0231】

データ入出力端子DQ12についても構成を述べると、上述したとおり、ラッチ回路106は、データパターン発生用のデータデコード用のラッチ回路であり、ラッチ回路1154は、通常動作時においてクロックの立上がりエッジで入力されるデータを連続して4ビット分をラッチする回路であり、ラッチ回路1156は通常動作時においてクロックの立上がりエッジで入力されるデータを連続して4ビット分ラッチするための回路である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0233

【補正方法】変更

【補正の内容】

【0233】

また、マルチプレクサ回路1158は、入力データラッチ1156および1154のデータを内部に伝達する際、偶数アドレスの番地か奇数アドレスの番地かに従って、分配するためのマルチプレクサであり、出力用ラッチ1146および1148に対応して設けられるマルチプレクサ1500は、レシーバ1142および1144からのデータを先に出力するデータと後に出力するデータの区分で、出力バッファ前のラッチに入力するためのマルチプレクサである。スクランブル回路1324は、比較器に入力されるデータのスクランブルをテストリード時にテストリードサイクルの入力データに従って設定するための回路であり、マルチプレクサ回路1406は、比較結果を、先に出力する結果データ、後に出力する結果データについて、出力バッファ前のラッチに選択的に書込むためのマルチプレクサである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0246

【補正方法】変更

【補正の内容】

【0246】

以降、バンク0～バンク7のうちの偶数アドレスに対応した領域に書込まれるデータをデータDLEと呼び、奇数アドレス領域に書込まれるデータをDLOと呼ぶこととする。同様にして、バンク8からバンク15の偶数アドレス領域に書込まれるデータをDUEと呼び、奇数アドレス領域に書込まれるデータをDUOと呼ぶこととする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0260

【補正方法】変更

【補正の内容】

【0260】

同様にして、時刻t13から始まる内部クロック信号int.CLKの立上がりのエッジにおいては、データDLOのうち、通常動作モードにおいて、データ入出力端子DQ0～DQ3に対して出力される4ビットのデータが、時刻t11においてデータ入出力端子DQ0～DQ12に与えられたデータに基づいてこの同期型半導体記憶装置中で生成された期待値と比較され、この比較結果を示す1ビットのデータがデータ入出力端子DQ0に与えられる。

**【手続補正11】****【補正対象書類名】**明細書**【補正対象項目名】**0277**【補正方法】**変更**【補正の内容】****【0277】**

図36を参照して、データ端子DQ0の電位が電源電位Vcc以上の所定のレベルになっている間ストローブ信号QSが入力されると、データ端子DQ4、DQ8、DQ12、DQ16、DQ20、DQ24、DQ28に入力されたデータは同期型半導体記憶装置のモードレジスタに書き込まれる。このモードレジスタ書き用の信号QS1、QS2は図35に示したカウンタ682より発生され図24に示したスイッチ回路642に入力される。

**【手続補正12】****【補正対象書類名】**明細書**【補正対象項目名】**0299**【補正方法】**変更**【補正の内容】****【0299】**

センスアンプ688は、入出力ノードNOAと入出力ノードNOBとの間に直列に接続されるNチャネルMOSトランジスタ696、697と、入出力ノードNOAと入出力ノードNOBとの間に直列に接続されるPチャネルMOSトランジスタ698、699と、NチャネルMOSトランジスタ696、697の接続ノードと接地ノードとの間に接続されゲートに論理判定信号LJSを受けるNチャネルMOSトランジスタ695と、PチャネルMOSトランジスタ698、699の接続ノードと電源ノードとの間に接続され論理判定信号/LJSをゲートに受けるPチャネルMOSトランジスタ700とを含む。

**【手続補正13】****【補正対象書類名】**明細書**【補正対象項目名】**0301**【補正方法】**変更**【補正の内容】****【0301】**

このデータ縮退回路の動作を簡単に説明すると、入力される信号SIG1～SIGnのうち論理レベルがHレベルである信号の数が偶数であれば出力信号OUTAがHレベルとなり出力信号OUTBがLレベルとなる。一方、入力信号SIG1～SIGnのうち論理レベルがHである信号の数が奇数であれば出力信号OUTAはLレベルに、出力信号OUTBはHレベルになる。

**【手続補正14】****【補正対象書類名】**明細書**【補正対象項目名】**0302**【補正方法】**変更**【補正の内容】****【0302】**

第1番目の切換回路684の入力ノードNI1、NI2にはそれぞれHレベル、Lレベルのデータが与えられ、入力信号SIG1がHレベルの場合はデータをそのまま対応する出力ノードNO1、NO2に伝達し、入力信号SIG1がLレベルの場合は、入力ノードNI1に与えられたデータは出力ノードNO2に出力されて入力ノードNI2に与えられたデータは出力ノードNO1に出力される。

**【手続補正15】****【補正対象書類名】**明細書**【補正対象項目名】**0308**【補正方法】**変更

**【補正の内容】****【0308】**

データの判定結果は、各サイクルでの64ビットのデータを4DQに振分けて出力する。結果の出力はストローブ信号QSがLレベルである期間に出力させる。このようにすることにより出力データのデータピン数を少なくすることができ、また出力データのデータレートも落とすことができる。性能の低い安価なテストでも出力をモニタすることが可能となる。

**【手続補正16】****【補正対象書類名】明細書****【補正対象項目名】0348****【補正方法】変更****【補正の内容】****【0348】**

図44を参照して、電流発生回路236は、ソースが電源電位Vccに結合されゲートとドレインがノードNIXに接続されるPチャネルMOSトランジスタ724と、ノードNIXと接地ノードとの間に直列に接続されるMOSトランジスタ725および定電流源Iと、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ726および定電流源I2と、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ727および定電流源I4と、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ728および定電流源Inとを含む。NチャネルMOSトランジスタ725、726、727、728のゲートにはそれぞれカウンタからの出力信号C0、C1、C2、Cnが与えられる。電流発生回路236は、さらに、ソースが電源電位Vccと結合されゲートがノードNIXに接続されるPチャネルMOSトランジスタ722と、PチャネルMOSトランジスタ722のドレインと接地ノードとの間に接続されゲートがドレインに接続されているNチャネルMOSトランジスタ720とをさらに含む。

**【手続補正17】****【補正対象書類名】明細書****【補正対象項目名】0371****【補正方法】変更****【補正の内容】****【0371】**

図49は、位相比較器のテストを説明するための波形図である。

図49を参照して、位相比較器の一方の入力には外部クロックがバッファで増幅されたクロック信号CLK1が入力され他方の入力にはクロック信号CLK1がMOSトランジスタ428、430で遅延された信号CLK2が入力される。ここで、MOSトランジスタ428、430のゲートに入力されている制御信号/De1、De1の電位を変化させることによりMOSトランジスタの抵抗値は変化し遅延量が変化する。したがって、電位が十分活性化電位にありMOSトランジスタが十分な導通状態にあれば波形はW0に示すような波形となり位相比較器に入力される2つの信号の位相差はほとんど0に等しくなる。

**【手続補正18】****【補正対象書類名】明細書****【補正対象項目名】0372****【補正方法】変更****【補正の内容】****【0372】**

制御信号/De1、De1を非活性化レベルにするに従い波形はW1、W2のように変化していく位相比較器に入力される信号の位相差はTd1、Td2のように変化する。したがって、カウンタ234の出力を外部よりモニタすることにより位相比較器の感度をチ

エックすることができる。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0389

【補正方法】変更

【補正の内容】

【0389】

設定部 762.1 は、さらに、ノード NS2 と接地ノードとの間に直列に接続されゲートがノード NS1 に接続される N チャネル MOS トランジスタ 778、ヒューズ素子 H2 と、ノード NS2 と電源ノードとの間に接続されゲートがノード NS1 に接続される P チャネル MOS トランジスタ 774 を含む。ノード NS2 からはこの設定部からの出力信号が出力される。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0391

【補正方法】変更

【補正の内容】

【0391】

また電流発生回路 768 と遅延段 770 とは、それぞれ図 4\_2 に示した電流発生回路 236、遅延段 238 と同様な構成を有するので説明は繰り返さない。

【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】0395

【補正方法】変更

【補正の内容】

【0395】

求めた遅延量を 設定回路 762 に設定すれば、通常動作時にダミー回路は遅延量で動作する。

【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0396

【補正方法】変更

【補正の内容】

【0396】

設定回路 762 への遅延データ設定は設定部 762.1 ~ 762.n 中のヒューズ素子 H1、H2 のいずれかを切断することにより行う。ヒューズ素子 H1 を切斷すれば電源立ち上げと共に設定部 762.n の出力は L レベルとなり、ヒューズ素子 H2 を切斷すれば電源立ち上げと共に設定部 762.n の出力は H レベルとなる。