

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2000-76853 (P2000-76853A)

【公開日】平成 12 年 3 月 14 日 (2000.3.14)

【出願番号】特願 平 10-269761

【国際特許分類第 7 版】

G 1 1 C 11/407

G 1 1 C 7/00

G 1 1 C 11/413

G 1 1 C 11/401

G 1 1 C 29/00

【F I】

G 1 1 C 11/34 3 6 2 S

G 1 1 C 7/00 3 1 2 Z

G 1 1 C 29/00 6 7 1 Z

G 1 1 C 29/00 6 7 1 B

G 1 1 C 11/34 J

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 H

G 1 1 C 11/34 3 7 1 A

【手続補正書】

【提出日】平成 17 年 9 月 8 日 (2005.9.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 8

【補正方法】変更

【補正の内容】

【0 1 2 8】

図 1 3 は、図 1 0 に示したシフトレジスタ 1 6 2 の構成を示す回路図である。

図 1 3 を参照して、シフトレジスタ 1 6 2 は、リードフラグ READ (FLAG)、リセット信号 RESET、内部信号 C₀2、内部信号 C₀1 1 を受け、内部信号 C₀1 を発生するパルス発生回路 5 0 1 と、内部信号 C₀1 を入力ノード D に受け出力ノード Q から内部信号 C₀2 を出力するフリップフロップ 5 1 4 と、内部信号 C₀2 を入力ノード D に受け出力ノード Q から内部信号 C₀3 を出力するフリップフロップ 5 1 6 と、内部信号 C₀3 を入力ノード D に受け出力ノード Q から内部信号 C₀4 を出力するフリップフロップ 5 1 8 と、内部信号 C₀4 を入力ノード D に受け出力ノード Q から内部信号 C₀1 1 を出力するフリップフロップ 5 1 2 と、内部信号 C₀1、C₀2、C₀3、C₀4 およびクロック信号 SCLK を受けセレクト信号 C 1、C 2、C 3、C 4 を出力する出力回路 5 1 9 とを含む。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 0

【補正方法】変更

【補正の内容】

【0 1 3 0】

パルス発生回路 5 0 1 は、リードフラグ READ (FLAG) を一方の入力に受ける NOR 回路 5 0 2 と、NOR 回路 5 0 2 の出力とリセット信号 RESET と内部信号 C₀2

とを入力に受けNOR回路502の他方の入力ノードに否定和を出力する3入力のNOR回路504と、NOR回路502の出力を受けて反転するインバータ506と、インバータ506の出力と内部信号C_O11とを受けるNOR回路508と、NOR回路508の出力を受けて反転し内部信号C_O1を出力するインバータ510とを含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0131

【補正方法】変更

【補正の内容】

【0131】

出力回路519は、内部信号C_O1とクロック信号SCLKとを受けるNAND回路520と、NAND回路520の出力を受けて反転しセレクト信号C1を出力するインバータ522と、内部信号C_O2とクロック信号SCLKを受けるNAND回路524と、NAND回路524の出力を受けて反転しセレクト信号C2を出力するインバータ526と、内部信号C_O3とクロック信号SCLKとを受けるNAND回路528と、NAND回路528の出力を受けて反転しセレクト信号C3を出力するインバータ530と、内部信号C_O4とクロック信号SCLKとを受けるNAND回路532と、NAND回路532の出力を受けて反転しセレクト信号C4を出力するインバータ534とを含む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0138

【補正方法】変更

【補正の内容】

【0138】

次にシフトレジスタ162の動作を簡単に説明する。まず初期状態においてはリセット信号RESETによりフリップフロップ512～518が保持しているデータはクリアされる。次にリードフラグREAD(FLAG)が入力されると内部信号C_O1がHレベルに立上がる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0139

【補正方法】変更

【補正の内容】

【0139】

そしてクロック信号SCLKが入力されるとこの内部信号C_O1がフリップフロップ514に取込まれ内部信号C_O2がHレベルに立上がる。同時にパルス発生回路501は内部信号C_O2によってリセットがかかり内部信号C_O1はLレベルに立下がる。以降は内部信号C_O2のHレベルがフリップフロップ516、518、512、514によって順次伝達される。つまり内部信号C_O1、C_O2、C_O3、C_O4のいずれか1つがHレベルであり、このHレベルとなった信号はクロック信号SCLKのエッジに同期して順次シフトすることになる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0140

【補正方法】変更

【補正の内容】

【0140】

内部信号C_O1、C_O2、C_O3、C_O4は1クロック周期の幅を有するパルスであるので、出力回路519によってクロック信号と論理積をとることによりセレクト信号C1、C2、C3、C4にはクロック信号SCLKのパルス幅を有する信号出力され、この信

号は順次シフトされることになる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 1

【補正方法】変更

【補正の内容】

【0 2 3 1】

データ入出力端子 D Q 1 2 についても構成を述べると、上述したとおり、ラッチ回路 1 1 0 6 は、データパターン発生用のデータデコード用のラッチ回路であり、ラッチ回路 1 1 5 4 は、通常動作時においてクロックの立上りエッジで入力されるデータを連続して 4 ビット分をラッチする回路であり、ラッチ回路 1 1 5 6 は通常動作時においてクロックの立上がりエッジで入力されるデータを連続して 4 ビット分ラッチするための回路である。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 2 3 3

【補正方法】変更

【補正の内容】

【0 2 3 3】

また、マルチプレクサ回路 1 1 5 8 は、入力データラッチ 1 1 5 6 および 1 1 5 4 のデータを内部に伝達する際、偶数アドレスの番地か奇数アドレスの番地かに従って、分配するためのマルチプレクサであり、出力用ラッチ 1 1 4 6 および 1 1 4 8 に対応して設けられるマルチプレクサ 1 5 0 0 は、レシーバ 1 1 4 2 および 1 1 4 4 からのデータを先に出力するデータと後に出力するデータの区分で、出力バッファ前のラッチに入力するためのマルチプレクサである。スクランブル回路 1 3 2 4 は、比較器に入力されるデータのスクランブルをテストリード時にテストリードサイクルの入力データに従って設定するための回路であり、マルチプレクサ回路 1 4 0 6 は、比較結果を、先に出力する結果データ、後に出力する結果データについて、出力バッファ前のラッチに選択的に書込むためのマルチプレクサである。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 2 4 6

【補正方法】変更

【補正の内容】

【0 2 4 6】

以降、バンク 0 ～バンク 7 のうちの偶数アドレスに対応した領域に書込まれるデータをデータ D L E と呼び、奇数アドレス領域に書込まれるデータを D L O と呼ぶことにする。同様にして、バンク 8 からバンク 1 5 の偶数アドレス領域に書込まれるデータを D U E と呼び、奇数アドレス領域に書込まれるデータを D U O と呼ぶことにする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0 2 6 0

【補正方法】変更

【補正の内容】

【0 2 6 0】

同様にして、時刻 t 1 3 から始まる内部クロック信号 i n t . C L K の立上りのエッジにおいては、データ D L O のうち、通常動作モードにおいて、データ入出力端子 D Q 0 ～ D Q 3 に対して出力される 4 ビットのデータが、時刻 t 1 1 においてデータ入出力端子 D Q 0 ～ D Q 1 2 に与えられたデータに基づいてこの同期型半導体記憶装置中で生成された期待値と比較され、この比較結果を示す 1 ビットのデータがデータ入出力端子 D Q 0 に与えられる。

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 2 7 7

【補正方法】変更

【補正の内容】

【0 2 7 7】

図 3 6 を参照して、データ端子 D Q 0 の電位が電源電位 V c c 以上の所定のレベルになっている間ストロープ信号 Q S が入力されると、データ端子 D Q 4、D Q 8、D Q 1 2、D Q 1 6、D Q 2 0、D Q 2 4、D Q 2 8 に入力されたデータは同期型半導体記憶装置のモードレジスタに書込まれる。このモードレジスタ書込用の信号 Q S 1、Q S 2 は図 3 5 に示したカウンタ 6 8 2 より発生され図 2 4 に示したスイッチ回路 6 4 2 に入力される。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 2 9 9

【補正方法】変更

【補正の内容】

【0 2 9 9】

センスアンプ 6 8 8 は、入出力ノード N O A と入出力ノード N O B との間に直列に接続される N チャネル M O S トランジスタ 6 9 6、6 9 7 と、入出力ノード N O A と入出力ノード N O B との間に直列に接続される P チャネル M O S トランジスタ 6 9 8、6 9 9 と、N チャネル M O S トランジスタ 6 9 6、6 9 7 の接続ノードと接地ノードとの間に接続されゲートに論理判定信号 L J S を受ける N チャネル M O S トランジスタ 6 9 5 と、P チャネル M O S トランジスタ 6 9 8、6 9 9 の接続ノードと電源ノードとの間に接続され論理判定信号 / L J S をゲートに受ける P チャネル M O S トランジスタ 7 0 0 とを含む。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 3 0 1

【補正方法】変更

【補正の内容】

【0 3 0 1】

このデータ縮退回路の動作を簡単に説明すると、入力される信号 S I G 1 ~ S I G n のうち論理レベルが H レベルである信号の数が偶数であれば出力信号 O U T A が H レベルとなり出力信号 O U T B が L レベルとなる。一方、入力信号 S I G 1 ~ S I G n のうち論理レベルが H である信号の数が奇数であれば出力信号 O U T A は L レベルに、出力信号 O U T B は H レベルになる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 3 0 2

【補正方法】変更

【補正の内容】

【0 3 0 2】

第 1 番目の切換回路 6 8 4 の入力ノード N I 1、N I 2 にはそれぞれ H レベル、L レベルのデータが与えられ、入力信号 S I G 1 が H レベルの場合はデータをそのまま対応する出力ノード N O 1、N O 2 に伝達し、入力信号 S I G 1 が L レベルの場合は、入力ノード N I 1 に与えられたデータは出力ノード N O 2 に出力されて入力ノード N I 2 に与えられたデータは出力ノード N O 1 に出力される。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 3 0 8

【補正方法】変更

【補正の内容】

【0308】

データの判定結果は、各サイクルでの64ビットのデータを4DQに振分けて出力する。結果の出力はストロブ信号QSがLレベルである期間に出力させる。このようにすることにより出力データのデータピン数を少なくすることができ、また出力データのデータレートも落とすことができるので、性能の低い安価なテストでも出力をモニタすることが可能となる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0348

【補正方法】変更

【補正の内容】

【0348】

図44を参照して、電流発生回路236は、ソースが電源電位Vccに結合されゲートとドレインがノードNIXに接続されるPチャネルMOSトランジスタ724と、ノードNIXと接地ノードとの間に直列に接続されるMOSトランジスタ725および定電流源Iと、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ726および定電流源I2と、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ727および定電流源I4と、ノードNIXと接地ノードとの間に直列に接続されるNチャネルMOSトランジスタ728および定電流源Inとを含む。NチャネルMOSトランジスタ725、726、727、728のゲートにはそれぞれカウンタからの出力信号C0、C1、C2、Cnが与えられる。電流発生回路236は、さらに、ソースが電源電位Vccと結合されゲートがノードNIXに接続されるPチャネルMOSトランジスタ722と、PチャネルMOSトランジスタ722のドレインと接地ノードとの間に接続されゲートがドレインに接続されているNチャネルMOSトランジスタ720とをさらに含む。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0371

【補正方法】変更

【補正の内容】

【0371】

図49は、位相比較器のテストを説明するための波形図である。

図49を参照して、位相比較器の一方の入力には外部クロックがバッファで増幅されたクロック信号CLK1が入力され他方の入力にはクロック信号CLK1がMOSトランジスタ428、430で遅延された信号CLK2が入力される。ここで、MOSトランジスタ428、430のゲートに入力されている制御信号/De1、De1の電位を変化させることによりMOSトランジスタの抵抗値は変化し遅延量が変化する。したがって、電位が十分活性化電位にありMOSトランジスタが十分な導通状態にあれば波形はW0に示すような波形となり位相比較器に入力される2つの信号の位相差はほとんど0に等しくなる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0372

【補正方法】変更

【補正の内容】

【0372】

制御信号/De1、De1を非活性化レベルにするに従い波形はW1、W2のように変化していき位相比較器に入力される信号の位相差はTd1、Td2のように変化する。したがって、カウンタ234の出力を外部よりモニタすることにより位相比較器の感度をチ

エックすることができる。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0389

【補正方法】変更

【補正の内容】

【0389】

設定部 762 . 1 は、さらに、ノード NS 2 と接地ノードとの間に直列に接続されゲートがノード NS 1 に接続される Nチャネル MOS トランジスタ 778、ヒューズ素子 H 2 と、ノード NS 2 と電源ノードとの間に接続されゲートがノード NS 1 に接続される P チャネル MOS トランジスタ 774 とを含む。ノード NS 2 からはこの設定部からの出力信号が出力される。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0391

【補正方法】変更

【補正の内容】

【0391】

また電流発生回路 768 と遅延段 770 とは、それぞれ図 4 2 に示した電流発生回路 236、遅延段 238 と同様な構成を有するので説明は繰り返さない。

【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】0395

【補正方法】変更

【補正の内容】

【0395】

求めた遅延量を 設定回路 762 に設定すれば、通常動作時にダミー回路は遅延量で動作する。

【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0396

【補正方法】変更

【補正の内容】

【0396】

設定回路 762 への遅延データ設定は設定部 762 . 1 ~ 762 . n 中のヒューズ素子 H 1、H 2 のいずれかを切断することにより行う。ヒューズ素子 H 1 を切断すれば電源立ち上げと共に設定部 762 . n の出力は L レベルとなり、ヒューズ素子 H 2 を切断すれば電源立ち上げと共に設定部 762 . n の出力は H レベルとなる。