

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/28

(11) 공개번호 10-2005-0104591
(43) 공개일자 2005년11월03일

(21) 출원번호 10-2004-0029931
(22) 출원일자 2004년04월29일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정우준
충청남도아산시탕정면호산1리삼성SDI기숙사홍익아파트106동204호
김진성
충청남도천안시신방동한라아파트106동2310호
채승훈
경기도수원시팔달구영통동청명마을4단지아파트408동601호
김태성
경기도용인시기흥읍공세리428-5번지
양진호
경기도용인시기흥읍공세리428-5

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 플라즈마 디스플레이 패널의 구동 방법 및 플라즈마 표시장치

요약

플라즈마 디스플레이 패널의 구동 방법에 있어서, 리셋 기간에 완만하게 상승하는 램프 전압을 인가한 후 하강 램프 전압의 최종 전압을 모든 방전 셀에서 방전을 개시할 수 있는 전압까지 내린다. 다음, 어드레스 기간에서 선택하고자 하는 방전 셀의 어드레스 전극과 주사 전극에 인가되는 전압의 차이를 최대 방전 개시 전압보다 크게 한다. 이때, 상기 리셋 기간 전에 유지 전극을 일정한 전압으로 바이어스한 상태에서 하강 램프 전압을 인가하여 주사 전극과 유지 전극에 각각 양의 벽 전하 및 음의 벽전하를 쌓는다. 이와 같이 하면, 어드레스 방전에서 내부 벽 전압에 의한 영향이 없으므로 벽 전압 소멸에 의한 마진 악화를 방지할 수 있을 뿐만 아니라 리셋 기간의 상승 램프 전압인가 시 강방전을 막을 수 있다.

대표도

도 6

색인어

벽 전하, 벽 전압, 리셋 기간, PDP

명세서

도면의 간단한 설명

도 1은 일반적인 플라즈마 디스플레이 패널의 일부 사시도이다.

도 2는 일반적인 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 5는 방전 셀에 하강 램프 전압이 인가되는 경우의 하강 램프 전압과 벽 전압 사이의 관계를 나타내는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)의 구동 방법에 관한 것이다.

플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 일반적인 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.

도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 1에 나타난 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

그리고 도 2에 나타난 바와 같이, 플라즈마 디스플레이 패널의 전극은 $n \times m$ 의 매트릭스 구조를 가지고 있다. 열 방향으로 어드레스 전극(A_1-A_m)이 배열되어 있고 행 방향으로 n 행의 주사 전극(Y_1-Y_n) 및 유지 전극(X_1-X_n)이 쌍으로 배열되어 있다.

종래의 플라즈마 디스플레이 패널을 구동하는 방법으로는 Kurata 등의 미국특허 6,294,875호에 기재된 방법이 있다. '875호의 구동 방법은 1 필드를 8개의 서브필드로 나눈 후, 제1 서브필드와 제2 내지 제8 서브필드의 리셋 기간에서 인가되는 파형을 달리하는 방법이다.

도 3에 나타난 바와 같이, 각 서브필드는 리셋 기간, 어드레스 기간 및 유지 기간으로 이루어진다. 그리고 제1 서브필드의 리셋 기간에서는 먼저 주사 전극(Y_1-Y_n)에 방전 개시 전압보다 작은 V_p 전압에서 방전 개시 전압을 넘는 V_r 전압까지 완만하게 상승하는 램프 전압을 인가한다. 이 램프 전압이 상승하는 동안 주사 전극(Y_1-Y_n)으로부터 어드레스 전극(A_1-A_m) 및 유지 전극(X_1-X_n)으로 각각 미약한 방전이 일어난다. 그리고 이 방전에 의해 주사 전극(Y_1-Y_n)에는 음의 벽 전하가 축적되고 어드레스 전극(A_1-A_m) 및 유지 전극(X_1-X_n)에는 양의 벽 전하가 축적된다. 도 1을 보면 벽 전하는 주사 전극(4)과 유지 전극(5)의 보호막(3) 표면에 형성되지만 아래에서는 설명의 편의상 주사 전극(4)과 유지 전극(5)에 형성되는 것으로 표현한다.

이어서 주사 전극(Y_1-Y_n)에 방전 개시 전압보다 낮은 V_q 전압에서 0V까지 완만하게 하강하는 램프 전압을 인가한다. 그러면 이 램프 전압이 하강하는 동안 방전 셀에 형성되어 있는 벽 전압에 의해 유지 전극(X_1-X_n) 및 어드레스 전극(A_1-A_m)에서 주사 전극(Y_1-Y_n)으로 미약한 방전이 일어난다. 그리고 이 방전에 의해 유지 전극(X_1-X_n), 주사 전극(Y_1-Y_n) 및 어드레스 전극(A_1-A_m)에 형성되어 있는 벽 전하들이 일부 소거되어 어드레싱에 적절한 상태로 설정된다. 마찬가지로 도 1을 보면 벽 전하는 어드레스 전극(8)의 절연체층(7) 표면에 형성되지만 아래에서는 설명의 편의상 어드레스 전극(8)에 형성되는 것으로 표현한다.

다음, 어드레스 기간에서는 선택할 방전 셀의 어드레스 전극(A_1-A_m)에 양의 전압(V_w)이 인가되고 주사 전극(Y_1-Y_n)에 0V가 인가된다. 그러면 리셋 기간에서 형성된 벽 전하에 의한 벽 전압과 양의 전압(V_w)에 의해 어드레스 전극(A_1-A_m)과 주사 전극(Y_1-Y_n) 사이 및 유지 전극(X_1-X_n)과 주사 전극(Y_1-Y_n) 사이에서 어드레스 방전이 일어난다. 이 방전에 의해 주사 전극(Y_1-Y_n)에 양의 벽 전하가 축적되고 유지 전극(X_1-X_n)과 어드레스 전극(A_1-A_m)에 음의 벽 전하가 축적된다. 그리고 어드레스 방전에 의해 벽 전하가 축적된 방전 셀에서는 유지 기간에서 인가되는 유지 펄스에 의해 유지 방전이 일어난다.

다음, 제1 서브필드의 유지 기간에서 주사 전극(Y_1-Y_n)에 인가되는 마지막 유지 펄스의 전압 레벨은 리셋 기간의 V_r 전압과 동일하고, 유지 전극(X_1-X_n)에는 V_r 전압과 유지 전압(V_s)의 차이에 해당되는 전압(V_r-V_s)이 인가된다. 그러면 어드레스 기간에서 선택된 방전 셀에서는 어드레스 방전에 의해 형성된 벽 전압에 의해 주사 전극(Y_1-Y_n)으로부터 어드레스 전극(A_1-A_m)으로 방전이 일어나고, 또한 주사 전극(Y_1-Y_n)으로부터 유지 전극(X_1-X_n)으로 유지 방전이 일어난다. 이 방전이 제1 서브필드의 리셋 기간에서 상승 램프 전압에 의해 발생한 방전에 해당한다. 그리고 선택되지 않은 방전 셀에서는 어드레스 방전이 없었으므로 방전이 일어나지 않는다.

이어지는 제2 서브필드의 리셋 기간에서는 유지 전극(X_1-X_n)에 V_h 전압이 인가되고 주사 전극(Y_1-Y_n)에 V_q 전압에서 0V까지 완만하게 하강하는 램프 전압이 인가된다. 즉, 제1 서브필드의 리셋 기간에서 인가된 하강 램프 전압과 동일한 전압이 주사 전극(Y_1-Y_n)에 인가된다. 그러면 제1 서브필드에서 선택된 방전 셀에서는 미약한 방전이 일어나고 선택되지 않은 방전 셀에서는 방전이 일어나지 않는다.

그리고 이어지는 나머지 서브필드의 리셋 기간에서도 제2 서브필드의 리셋 기간과 동일한 파형이 인가된다. 한편, 제8 서브필드에서는 유지 기간 이후에 소거 기간이 형성된다. 소거 기간에서는 유지 전극(X_1-X_n)에 0V에서 V_e 전압까지 완만하게 상승하는 램프 전압이 인가된다. 이 램프 전압에 의해 방전 셀에 형성되어 있는 벽 전하들이 소거된다.

이러한 종래의 구동 파형에서, 내부 벽 전압을 이용하는 어드레스 기간에서 어드레싱은 모든 주사 전극에 대해서 순차적으로 이루어지므로, 뒤늦게 선택되는 주사 전극에서는 내부 벽 전압이 소실된다는 문제점이 있다. 이러한 벽 전압의 소실은 결국 마진을 악화시킨다. 또한, 제2 서브필드의 리셋 기간과 같은 파형은 이전의 서브필드에서 선택된 셀만을 방전시켜 어드레싱에 적절한 벽 전하 상태를 형성시키므로 이전의 서브필드에서 선택되지 않은 셀이 계속해서 선택되지 않은 후에 선택되는 경우 벽 전압이 소실되는 문제점이 생긴다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래 기술의 문제점을 해결하기 위한 것으로 내부 벽 전압을 이용하지 않고 어드레싱할 수 있는 플라즈마 디스플레이 패널의 구동 방법을 제공하기 위한 것이다.

또한, 내부 벽 전압을 이용하지 않는 어드레싱할 수 있는 플라즈마 디스플레이 패널의 구동 방법의 리셋 기간에서 발생할 수 있는 강방전을 막는 플라즈마 디스플레이 패널의 구동 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 특징에 따른 플라즈마 디스플레이 패널의 구동 방법은

제1 기관 위에 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기관 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널의 구동 방법에 있어서,

(a) 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시키는 단계;

(b) 상기 제1 전극에 완만하게 상승하는 전압을 인가하는 단계; 및

(c) 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제3 전압에서 제4 전압까지 점진적으로 감소시키는 단계를 포함하며,

상기 제2 전압이 상기 제4 전압보다 실질적으로 낮은 전압인 것을 특징으로 한다. 여기서, 어드레스 기간 동안, 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제3 전극 및 제1 전극에 각각 제11 전압 및 제12 전압을 인가하는 단계; 및 유지 기간 동안, 상기 어드레스 단계에서 선택된 방전 셀을 유지 방전시키는 단계를 더 포함하며, 상기 단계(c)에서 상기 제3 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압은 제13 전압에서 제14 전압으로 점진적으로 감소하며, 상기 제14 전압은 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이의 절반에 해당하는 전압의 음의 값 이하인 것을 특징한다. 한편, 상기 제14 전압을 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이에 해당하는 전압의 음의 값 이하인 것을 특징으로 한다.

본 발명의 다른 특징에 따른 플라즈마 표시 장치는

제1 기관,

상기 제1 기관 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극,

상기 제1 기관과 마주보며 떨어져 있는 제2 기관,

상기 제1 및 제2 전극에 교차하는 방향으로 제2 기관 위에 형성되는 복수의 제3 전극, 그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀을 방전시키기 위해 상기 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동 회로를 포함하며,

상기 구동 회로는, 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시킨 후, 상기 제1 전극에 완만하게 상승하는 전압을 인가하며, 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 값을 제3 전압에서 제4 전압까지 점진적으로 감소시키고,

상기 제2 전압이 상기 제4 전압보다 실질적으로 낮은 전압인 것을 특징으로 한다. 여기서, 상기 구동 회로는 어드레스 기간 동안 상기 방전 셀 중 선택하고자 하는 방전 셀을 방전시키고, 유지 기간 동안에 상기 선택된 셀을 유지 방전시키며, 상기 제3 전압에서 제4 전압으로 점진적으로 감소시키는 동안에 상기 제3 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압은 제5 전압에서 제6 전압까지 실질적으로 감소되며, 상기 제6 전압은 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이의 절반에 해당하는 전압의 음의 값 이하인 것을 특징으로 한다. 한편, 상기 제6 전압은 실질적으로 상기 유지 기간 동안에 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이에 해당하는 전압의 음의 값 이하인 것을 특징으로 한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

먼저 도 4를 참조하여 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 상세하게 설명한다. 그리고, 아래 설명에서 어드레스 어드레스 전극(A), 주사 전극(Y) 및 유지 전극(X)으로 도면 부호를 표시하는 것을 모든 어드레스 전극, 주사 전극 및 유지 전극에 동일한 전압이 인가되는 것을 나타내며, 어드레스(Ai) 및 주사 전극(Yj)으로 표시하는 것은 어드레스 전극 및 주사 전극 중에서 일부에만 해당 전압을 인가되는 것을 나타낸다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4에 나타난 바와 같이 본 발명의 제1 실시예에 따른 구동 파형은 리셋 기간, 어드레스 기간 및 유지 기간을 포함한다. 여기서, 본 발명의 제1 실시예에 따른 구동 방법은 종래의 도 3과 같이 리셋 기간이 인가되는 파형을 달리한다는 점에서 동일하다. 그리고, 플라즈마 디스플레이 패널에는 각 기간에서 주사 전극(Y) 및 유지 전극(X)에 구동 전압을 인가하는 주사/유지 구동 회로(도시하지 않았음)와 어드레스 전극(A)에 구동 전압을 인가하는 어드레스 구동회로(도시하지 않았음)가 연결된다. 이러한 구동 회로와 플라즈마 디스플레이 패널이 연결되어 하나의 플라즈마 표시 장치를 이룬다.

제1 서브필드의 리셋 기간에서는 먼저 주사 전극(Y)에 방전 개시 전압보다 작은 V_{rp} 전압에서 방전 개시 전압을 넘는 V_{set} 전압까지 완만하게 상승하는 램프 전압을 인가한다. 이 램프 전압이 인가되는 동안에 주사 전극(Y)에서 어드레스 전극(A) 및 유지 전극(X)으로 각각 미약한 방전이 일어난다. 이러한 방전에 의해 주사 전극(Y)에 음(-)의 벽 전하가 축적되고 어드레스 전극(A) 및 유지 전극(X)에는 양(+)의 벽 전하가 축적된다.

다음으로, 주사 전극(Y)에 V_q 전압에서 V_n 전압까지 완만하게 하강하는 램프 전압이 인가된다. 이때 어드레스 전극(A)에는 기준 전압(도 4에서는 0V라 가정함)이 인가되고, 유지 전극(X)에는 V_e 전압으로 바이어스 된다. 그리고 방전 셀에서 어드레스 전극과 주사 전극 사이의 방전 개시 전압을 V_{fay} 전압이라고 했을 때, 하강 램프 전압의 마지막 전압(V_n)은 $-V_{fay}$ 에 해당하는 전압이다.

일반적으로 방전 셀에서 주사 전극과 어드레스 전극 사이 또는 주사 전극과 유지 전극 사이의 전압이 방전 개시 전압 이상이 되면 주사 전극과 어드레스 전극 사이 또는 주사 전극과 유지 전극 사이에서 방전이 일어난다. 특히, 본 발명의 제1 실시예에와 같이 완만하게 하강하는 램프 전압이 인가되어 방전이 일어나는 경우에는 방전 셀내부의 벽전압도 하강 램프 전압과 같은 속도로 감소하게 된다. 이러한 원리에 대해서는 미국특허공보 제5,745,086호에 상세하게 기재되어 있으므로, 이에 대한 자세한 설명은 생략한다.

아래에서는 도 5를 참조하여 $-V_{fay}$ 전압까지 하강하는 램프 전압이 인가되는 경우의 방전 특성에 대해서 설명한다.

도 5는 방전 셀에 하강하는 램프 전압이 인가되는 경우의 하강 램프 전압과 벽 전압 사이의 관계를 나타내는 도면이다. 도 5에서는 주사 전극과 어드레스 전극을 중심으로 설명하고, 하강 램프 전압이 인가되기 전에 주사 전극과 어드레스 전극에 각각 음의 벽 전하와 양의 벽 전하가 쌓여 있어서 일정량의 벽 전압(V_0)이 형성되어 있는 것으로 가정한다.

도 5에 나타난 바와 같이, 주사 전극에 인가되는 전압이 완만하게 감소하는 중에 벽 전압(V_{wall})과 주사 전극에 인가되는 전압(V_y)의 차이가 방전 개시 전압(V_{fay})를 넘는 경우에는 방전이 일어난다. 그리고 앞에서 설명한 바와 같이 방전이 일어나면 방전 내부의 벽 전압(V_{wall})은 하강 램프 전압(V_y)과 동일한 속도로 감소하게 된다. 이때, 하강 램프 전압(V_y)과 벽 전압(V_{wall})의 차이는 방전 개시 전압(V_{fay})을 유지하게 된다. 따라서, 도 5에 나타난 바와 같이, 주사 전극에 인가되는 전압(V_y)이 $-V_{fay}$ 전압($-V_f$ 전압임)까지 감소하면 방전 셀 내부에서 어드레스 전극과 주사 전극 사이의 벽 전압(V_{wall})은 0V가 된다.

그런데, 방전 셀마다 특성에 따라 방전 개시 전압에 차이가 있으므로 본 발명의 제1 실시예에서는 주사 전극에 인가되는 전압(V_y)이 모든 방전 셀에서 어드레스 전극(A)으로부터 주사 전극(Y)으로 방전이 일어날 수 있을 정도의 크기로 할 수 있다. 이때, 모든 방전 셀은 플라즈마 디스플레이 패널에서 화면을 표시할 때 영향을 줄 수 있는 영역(유효 표시 영역)에 있는 방전 셀을 포함한다.

즉, 수학적 1에 나타난 것처럼 어드레스 전극(A)에 인가되는 전압(0V)과 주사 전극(Y)에 인가되는 전압(V_n)의 차이($V_{A-Yreset}$)가 방전 셀 중에서 방전 개시 전압(V_{fay})이 가장 높은 것의 방전 개시 전압($V_{f,MAX}$, 이하 '최대 방전 개시 전압'이하 함)보다 크게 한다. 이때, V_n 전압의 크기($|V_n|$)가 최대 방전 개시 전압($V_{f,MAX}$)보다 너무 크면 음의 벽 전압이 형성되므로, V_n 전압의 크기($|V_n|$)는 최대 방전 개시 전압($V_{f,MAX}$)과 동일한 것이 바람직하다.

수학식 1

$$V_{A-Y, reset} = |V_n| \geq V_{f, MAX}$$

이와 같이, 주사 전극(Y)에 V_n 전압까지 하강하는 램프 전압이 인가되면, 모든 방전 셀에서 벽전하가 제거된다. 그리고 V_n 전압의 크기($|V_n|$)를 최대 방전 개시 전압($V_{f, MAX}$)으로 하면, 방전 개시 전압(V_f)이 최대 방전 개시 전압($V_{f, MAX}$)보다 작은 방전 셀에서는 반대로 음(-)의 벽 전압이 생성될 수 있다. 즉, 어드레스 전극(A)에 음의 벽전하가 형성될 수 있다. 이때, 생성된 벽 전압은 어드레스 기간에서 방전 셀 간의 불균일을 해소할 수 있는 전압이 된다.

이어서, 어드레스 기간에서는 먼저 주사 전극(Y)과 유지 전극(X)을 각각 V_{sch} 전압 및 V_e 전압으로 유지한 다음 표시하고자 하는 방전 셀을 선택하기 위해 주사 전극(Y)과 어드레스 전극(A)에 전압을 인가한다. 즉, 먼저 첫 번째 행의 주사 전극(Y1)에 음의 전압인 V_{sc} 전압을 인가하는 동시에 첫 번째 행 중 표시하고자 하는 방전 셀에 위치하는 어드레스 전극(Ai)에 양의 전압인 V_a 전압을 인가한다. 도 4에서는 V_{sc} 전압을 리셋 기간에서의 V_n 전압과 동일한 레벨로 하였다.

그러면 수학식 2에 나타난 것처럼 어드레스 기간에서 선택된 방전 셀에서의 어드레스 전극(Ai)과 주사 전극(Y1)의 전압의 차이($V_{A-Y, address}$)가 항상 최대 방전 개시 전압($V_{f, Max}$)보다 커지게 된다.

수학식 2

$$V_{A-Y, address} = V_{A-Y, reset} + V_w \geq V_{f, MAX}$$

따라서, V_a 전압이 인가된 어드레스 전극(Ai)과 V_{sc} 전압이 인가된 주사 전극(Y1)에 의해 형성되는 방전 셀에서는 어드레스 전극(Ai)과 주사 전극(Y1)사이 및 유지 전극(X1)과 주사 전극(Y1)사이에서 어드레스 방전이 일어난다. 그 결과 주사 전극(Y1)에는 양(+)의 벽 전하가 형성되고 유지 전극(X1)에는 음(-)의 벽 전하가 형성된다. 또한 어드레스 전극(Ai)에도 음(-)의 벽 전하가 형성된다.

다음, 두 번째 행의 주사 전극(Y2)에 V_{sc} 전압을 인가하면서 두 번째 행 중 표시하고자 하는 방전 셀에 위치하는 어드레스 전극(Ai)에 V_a 전압을 인가한다. 그러면 앞에서 설명한 것처럼 V_a 전압이 인가된 어드레스 전극(Ai)과 V_{sc} 전압이 인가된 주사 전극(Y2)에 의해 형성되는 방전 셀에서 어드레스 방전이 일어나서 방전 셀에 벽 전하가 형성된다. 마찬가지로 나머지 행의 주사 전극(Y3-Yn)에 대해서는 순차적으로 V_{sc} 전압을 인가하면서 표시하고자 하는 방전 셀에 위치하는 어드레스 전극에 V_a 전압을 인가하여, 벽 전하를 형성한다.

유지 기간에서는 먼저 주사 전극(Y)에 V_s 전압을 인가하면서 유지 전극(X)에 기준 전압(0V)을 인가한다. 그러면 어드레스 기간에서 선택된 방전 셀에서는, 주사 전극(Yj)과 유지 전극(Xj) 사이의 전압이 V_s 전압에 어드레스 기간에서 형성된 주사 전극(Yj)의 양(+)의 벽전하와 유지 전극(Xj)의 음(-)의 벽 전하에 의한 벽 전압이 더해진 것으로 되므로 주사 전극과 유지 전극 사이의 방전 개시 전압(V_{fxy})을 넘게 된다. 따라서, 주사 전극(Yj)과 유지 전극(Xj) 사이에서 유지 방전이 일어난다. 그리고 이 유지 방전이 일어난 방전 셀의 주사 전극(Yj)과 유지 전극(Xj)에는 각각 음(-)의 벽전하와 양(+)의 벽전하가 형성된다.

다음, 주사 전극(Y)에 0V가 인가되고 유지 전극(X)에 V_s 전압이 인가된다. 앞에서 유지 방전이 일어난 방전 셀에서는, 유지 전극(Xj)과 주사 전극(Yj) 사이의 전압이 V_s 전압에 앞의 유지 방전에서 형성된 유지 전극(Xj)의 양(+)의 벽 전하와 주사 전극(Yj)의 음(-)의 벽 전하에 의한 벽 전압이 더해진 것으로 되므로 방전 개시 전압을 넘게 된다. 따라서 주사 전극(Yj)과 유지 전극(Xj) 사이에서 유지 방전이 일어나고, 유지 방전이 일어난 방전 셀의 주사 전극(Yj)과 유지 전극(Xj)에는 각각 양(+)의 벽 전하와 음(-)의 벽 전하가 형성된다.

이후, 동일한 방법으로 V_s 전압과 0V가 주사 전극(Y)과 유지 전극(X)에 교대로 인가되어 유지 방전이 계속 행해진다. 그리고, 유지 기간의 마지막 유지 펄스에서는 주사 전극(Y)에 V_s 전압이 인가되고 유지 전극(X)에 0V 전압이 인가된다. 그러면 선택된 방전 셀에서는 주사 전극(Yj)으로부터 유지 전극(Xj)으로 방전이 일어나서 주사 전극(Yj)과 유지 전극(Xj)에 각각 음의 벽전하와 양의 벽전하가 형성된다.

다음으로, 제2 서브필드의 리셋 기간에서는 제1 서브필드의 유지 기간에서 인가된 마지막 유지 펄스 이후에 주사 전극(Y)에 V_q 전압에서 V_n 전압까지 완만하게 하강하는 램프 전압이 인가된다. 이때 제1 서브필드의 리셋 기간에서와 같이 어드레스 전극(A)에는 기준 전압(0V)이 인가되고, 유지 전극(X)은 V_e 전압으로 바이어스된다. 즉, 제1 서브필드의 리셋 기간에서 인가된 하강 램프 전압과 동일한 전압이 주사 전극(Y)에 인가된다. 그러면, 제1 서브필드에서 선택된 방전 셀에서는 미약한 방전이 일어나고 선택되지 않은 방전 셀에서는 방전이 일어나지 않는다. 이때, 제1 서브필드의 리셋 기간에서와 같이 제2 서브필드의 리셋 기간에서는 주사 전극(Y)과 어드레스 전극(A) 사이에 존재하던 벽 전하가 완전히 소거된다. 다시 말하면, 제1 서브필드에서 선택된 셀에 대해서만 제2 서브필드의 리셋 기간에 의해 약한 방전이 발생하여 주사 전극과 어드레스 전극 사이에 존재하던 벽전하가 완전히 소거된다.

제2 서브필드의 어드레스 기간과 유지 기간에 인가되는 파형은 제1 서브필드와 동일하므로 이하에서는 설명을 생략한다. 여기서, 제3 서브필드 내지 제8 서브필드는 제2 서브필드와 동일한 파형이 인가될 수 있을 뿐만 아니라 제3 서브필드 내지 제8 서브필드 중 임의의 서브필드에서 제1 서브필드와 같은 파형이 인가될 수 있다.

다음, 본 발명의 제1 실시예에서 설명한 어드레스 전극과 주사 전극 사이의 방전 개시 전압(V_{fay}), 유지 전극과 주사 전극 사이의 방전 개시 전압(V_{fxy}) 및 V_s 전압 사이의 관계에 대해서 설명한다.

플라즈마 디스플레이 패널에 방전은 양이온이 음극에 충돌될 때 방출되는 2차 전자의 양에 의해 결정되며, 이를 프로세스라 한다. 따라서 2차 전자 방출 계수(γ , 감마)가 낮은 물질로 덮여 있는 전극이 음극으로 작용하는 경우보다 2차 전자 방출 계수(γ , 감마)가 높은 물질로 덮여 있는 전극이 음극으로 작용하는 경우의 방전 개시 전압이 더 낮다. 그런데, 3전극 플라즈마 디스플레이 패널에서, 배면 기판에 형성되는 어드레스 전극은 색상 표현을 위해 형광체로 덮여 있고, 전면 기판에 형성되는 주사 전극과 유지 전극은 유지방전을 위해 MgO로 형성되는 유전체층으로 덮여 있다. 여기서 MgO 성분의 유전체층은 2차 전자 방출 계수가 높은 반면 형광체층은 2차 전자 방출 계수가 낮다. 그리고 주사 전극과 유지 전극은 대칭으로 형성되어 있는 반면, 어드레스 전극과 주사 전극은 비대칭으로 형성되어 있으므로, 어드레스 전극과 주사 전극 사이의 방전 개시 전압은 어드레스 전극이 양극으로 작용하는 경우와 음극으로 작용하는 경우에 달라질 수 있다.

즉, 형광체로 덮여 있는 어드레스 전극이 양극으로 작용하고 유전체층으로 덮여 있는 주사 전극이 음극으로 작용하는 경우의 방전 개시 전압(V_{fay})이 어드레스 전극이 음극으로 작용하고 주사 전극이 양극으로 작용하는 경우의 방전 개시 전압(V_{fya})보다 낮다. 그리고 통상적으로 어드레스 전극이 양극일 때의 방전 개시 전압(V_{fay}), 어드레스 전극이 음극일 때의 방전 개시 전압(V_{fya}) 및 주사 전극과 유지 전극 사이의 방전 개시 전압(V_{fxy}) 사이에는 수학적 3의 관계가 성립한다. 물론 이러한 관계는 방전 셀의 상태에 따라서 달라질 수도 있다.

수학적 3

$$V_{fay} + V_{fya} = 2V_{fxy}$$

리셋 기간 및 어드레스 기간에서는 주사 전극이 음극으로 작용하므로, 어드레스 전극과 주사 전극 사이의 방전 개시 전압(V_{fay})은 수학적 3의 관계로부터 수학적 4의 관계가 성립한다. 그리고 어드레스 기간에서 어드레스가 안된 방전 셀에서는 유지 방전이 일어나지 않아야 하므로, V_s 전압도 수학적 5과 같이 주사 전극과 유지 전극 사이의 방전 개시 전압(V_{fxy})보다 낮은 전압이다.

수학적 4

$$V_{fay} < V_{fxy}$$

수학식 5

$$V_s \ll V_{fy}$$

그리고 본 발명의 제1 실시예에서는 리셋 기간에서 어드레스 전극과 주사 전극 사이의 벽 전압을 0V에 가깝도록 하였으므로, 어드레스 기간에서 어드레스가 안된 방전 셀에서는 유지 기간에서 주사 전극과 어드레스 전극 사이 및 유지 전극과 어드레스 전극 사이에서도 연속적으로 방전이 일어나지 않아야 한다. 바꾸어 말하면, 연속적으로 방전이 일어나는 경우는 주사 전극에 V_s 전압이 인가되어 주사 전극과 어드레스 전극 사이에서 방전이 일어나고, 이 방전에 의해 어드레스 전극에 양의 벽 전하가 형성된 경우에 유지 전극에 V_s 전압이 인가될 때도 유지 전극과 어드레스 전극 사이에서 방전이 일어나는 경우이다. 그런데, 유지 전극과 주사 전극은 대칭 전극이므로 유지 전극과 어드레스 전극 사이의 방전개시전압은 V_{fay} 전압과 동일하고, 주사 전극과 어드레스 전극의 방전에 의해 유지 전극에 양의 벽 전하가 쌓이는 경우에 유지 전극과 어드레스 전극에 형성되는 벽 전압은 V_{fay} 전압을 넘을 수 없다. 따라서 주사 전극과 어드레스 전극 사이의 방전에 의해 유지 전극에 양의 벽 전하가 형성된 후 유지 전극에 V_s 전압이 인가될 때 방전이 일어나지 않기 위해서는 수학식 6의 관계, 즉 V_{fay} 전압이 $V_s/2$ 전압보다 클 필요가 있다.

수학식 6

$$V_s - V_{fay} < V_{fay}$$

$$V_{fay} > V_s/2$$

수학식 4 내지 6의 관계를 종합하여 보면, V_{fay} 전압은 $V_s/2$ 보다 높은 전압으로 설정할 필요가 있고, 또한 V_{fay} 전압과 V_s 전압 모두 V_{fxy} 전압보다 일정 전압 이상 낮아야 하므로 V_{fay} 전압은 V_s 전압 근방에서 결정될 수 있다. 즉, 수학식 7과 같은 관계가 성립한다. 실험으로 측정하였을 때 ΔV 는 0에서 30V 사이의 전압을 가진다.

수학식 7

$$V_s/2 < V_{fay} = V_s \pm \Delta V$$

도 4에서는 리셋 기간 및 어드레스 기간에서 유지 전극(X_1-X_n)에 인가되는 V_e 전압을 양의 전압으로 표현하였다. 어드레스 기간에서 주사 전극(Y_j)과 어드레스 전극(A_j) 사이의 방전에 의해 주사 전극(Y_j)과 유지 전극(X_j) 사이에서 방전이 일어날 수 있다면 V_e 전압은 다른 전압일 수도 있다. 예를 들어 V_e 전압은 0V 또는 음의 전압일 수도 있다.

이와 같이 본 발명의 제1 실시예에 의하면, 어드레스 기간에서 표시하고자 하는 방전 셀의 어드레스 전극과 주사 전극의 차이를 최대 방전 개시 전압보다 크게 함으로써, 리셋 기간에서 벽 전하가 형성되지 않아도 어드레스 방전이 일어난다. 따라서, 어드레스 방전이 리셋 기간에서 형성된 벽 전하의 영향을 받지 않으므로 벽 전하 소실로 인한 마진 악화의 문제점이 없어진다.

또한, 선택되는 방전 셀에서는 어드레스 전극(A)과 주사 전극(Y)의 전압차가 항상 최대 방전 개시 전압보다 V_a 이상으로 커질 수 있으므로, 벽전하의 관계없이 어드레스 방전이 일어날 수 있다.

이때, 리셋 기간에서 주사 전극(Y)에 V_q 전압에서 V_n 전압까지 완만하게 하강하는 램프 전압이 인가되는 동안에 유지 전극(X)에 V_e 전압을 바이어스 한다. 일반적으로 V_e 전압은 리셋 기간 후 주사 전극(Y)과 유지 전극(X)간의 벽 전압을 0V로 설정하기 위해 적절한 값으로 선택되어 진다. 따라서 리셋 기간의 하강 램프 전압을 인가 후에는 주사 전극(Y)과 유지 전극(X)사이의 벽 전압이 0V로 설정되며 본 발명의 제1 실시예와 같이 주사 전극(X)과 어드레스 전극(A)사의 벽 전압도 0V로 되어 벽전하가 모두 소거된다.

이와 같이, 본 발명의 제1 실시예에서의 리셋 기간의 파형을 통해서는 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압 및 주사 전극(Y)과 어드레스 전극(A) 사이 벽전압이 0V가 된다. 그러나, 이와 같이 벽 전압이 0V로 되는 경우 도 4에서 나타낸 제1 서브필드의 리셋 파형과 같이 완만하게 상승하는 램프 전압이 인가되는 서브필드에서 강한 방전이 발생할 수 있다. 이하 본 발명의 제1 실시예와 같이 주사 전극과 유지 전극 사이의 벽 전압 및 주사 전극과 어드레스 전극 사이의 벽전압을 모두 0V가 되는 경우 완만하게 상승하는 램프 전압을 인가하는 구간을 가지는 리셋 기간에서 강방전이 발생하는 이유에 대해서 알아본다.

일반적으로 주사 전극(Y)과 유지 전극(X)사이의 방전 개시 전압(V_{fyx})이 주사 전극(Y)과 어드레스 전극(A)사이의 방전 개시 전압(V_{fya})보다 더 높다. 또한, 도 4에 나타낸 제1 서브필드의 리셋 기간에서 완만하게 상승하는 램프 전압이 인가될 때 주사 전극(Y)에서 유지 전극(X) 및 어드레스 전극(A)으로 약한 방전이 발생한다. 따라서, 본 발명의 제1 실시예에서의 리셋 파형에 의해서 리셋 기간 후 주사 전극(Y)과 유지 전극(X) 사의 벽 전압 및 주사 전극(Y)과 어드레스 전극(A)사이의 벽 전압이 0V로 설정되므로, 즉 동일한 벽 전압 상태이므로 제1 서브필드의 리셋 기간의 상승하는 램프 전압이 될 때 주사 전극(Y)과 어드레스 전극(A) 사이의 방전이 주사 전극(Y)과 유지 전극(X)사이의 방전보다 먼저 일어난다.

한편, 상기에서 설명한 바와 같이 플라즈마 디스플레이 패널에서 방전은 양(+)이온이 음극에 충돌될 때 방출되는 2차 전자의 양에 의해 결정되므로 전자 방출 계수(γ , 감마)가 낮은 물질로 덮혀 있는 전극이 음극으로 작용으로 작용하는 경우에는 방전이 원활하게 일어나지 않아 방전이 일어나는 시점이 늦어진다. 그런데, 3 전극 플라즈마 디스플레이 패널에서, 배면 기판에 형성되는 어드레스 전극은 색상 표현을 위해 형광체로 덮여 있고, 전면 기판에 형성되는 주사 전극과 유지 전극은 유지 방전을 위해 MgO로 형성되는 유전체층으로 덮여 있다. 여기서 MgO 성분의 유전체층은 2차 전자 방출 계수가 높은 반면 형광층은 2차 전자 방출 계수가 낮다. 따라서, 리셋 기간의 상승하는 램프 전압이 인가되는 경우 주사 전극(Y)과 어드레스 전극(A)사이의 방전 개시 전압이 낮으므로 먼저 방전이 발생하나(이는 주사 전극과 어드레스 전극 사이 및 주사 전극과 유지 전극 사이에 벽 전압이 0V이기 때문임), 형광체로 덮혀 있는 어드레스 전극(A)이 음극으로 작용하기 때문에 방전이 원활하게 일어나지 않으므로 방전이 지연되고 일정한 임계값이 이상인 경우에 방전이 발생한다. 그러나, 주사 전극(Y)과 어드레스 전극(A)사이에서 방전이 일어나는 시점은 주사 전극(Y)과 어드레스 전극(A)사이의 방전 개시 전압을 넘어선 상태이므로 강방전이 발생하는 문제가 발생한다.

즉, 도 4와 같은 리셋 기간 후의 어드레스 기간에서 선택되지 않은 셀(선택되지 않은 셀은 리셋 기간에서의 벽 전하 상태를 그대로 유지함)에 제1 서브필드의 리셋 파형과 같이 완만하게 상승하는 램프 전압이 인가되는 경우, 주사 전극(Y)과 어드레스 전극(A)사이의 방전이 주사 전극(Y)과 유지 전극(X)사이의 방전보다 먼저 일어나 강방전이 발생한다. 다시 말하면, 도 4와 같은 리셋 파형과 같이 주사 전극과 어드레스 전극 사이의 벽 전압 및 주사 전극과 어드레스 전극 사이의 벽 전압을 0V로 설정하는 경우에는, 제1 서브필드의 리셋 기간의 상승 램프 파형에서 주사 전극과 어드레스 전극간에 먼저 방전이 발생하므로 상기와 같은 이유로 인해 강방전이 발생하는 문제가 있다.

이하에서는 본 발명의 제1 실시예에서 발생하는 강방전을 해결하는 방법으로 리셋 기간의 상승 램프 파형 인가 시에 주사 전극(Y)과 유지 전극(Y)사이에서 먼저 방전이 발생하도록 하는 방법에 대해서 구체적으로 알아본다.

도 6은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다. 도 6에 나타낸 바와 같이 본 발명의 제2 실시예에 따른 구동 파형은 완만하게 상승하는 램프 전압을 인가하는 구간을 가지는 리셋 기간 이전에, 주사 전극(Y)과 유지 전극(X)사이에 벽 전압을 형성시키는 구간(이하, '프리 리셋 기간'이라 함)이 위치한다. 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법은 프리 리셋 기간을 가지는 것을 제외하고는 본 발명의 제1 실시예와 동일한바 중복되는 부분의 설명은 생략한다.

프리 리셋 기간에서는 주사 전극(Y)에 완만하게 상승하는 램프 전압이 인가되기 이전에, 주사 전극(Y)에 V_{ps} 전압에서 V_{py} 전압까지 완만하게 하강하는 램프 전압이 인가한다. 이때 어드레스 전극(A)에는 기준 전압(0V)이 인가되고, 유지 전극(X)은 V_{px} 전압으로 바이어스 된다. 여기서, 주사 전극(Y)에 양(+)의 벽 전하 및 유지 전극(X)에 음(-)의 벽 전하를 형성시키기 위해서는 아래의 수학식 8에서와 같이 V_{px} 전압과 V_{py} 전압의 차가 V_n 전압과 V_e 전압의 차보다 더 커야 한다.

수학식 8

$$|V_{px} - V_{py}| > |V_n - V_e|$$

즉, 리셋 기간의 하강 램프 파형의 인가시의 주사 전극에 인가되는 V_n 전압과 유지 전극에 인가되는 V_e 전압이 인가되는 경우에는 벽 전압이 거의 0V로 설정되므로, 프리 리셋 기간에서는 이 전압차보다 더 크게 설정하여야 즉, 수학적 8과 같이 설정되어야 주사 전극(Y)에 양의 벽 전하 및 유지 전극에 음의 벽 전하가 형성된다. 이때, 프리 리셋 구간에서 주사 전극(X)과 유지 전극(Y)사이의 벽 전하를 제어하기 위해서는 V_{py} 전압과 V_n 전압을 동일한 전압으로 설정하고, V_{px} 전압을 V_e 전압보다 크게 설정 즉, $V_{px} > V_e$ 로 설정하는 것이 바람직하다.

우선, 이전 서브필드에서 도 4와 같은 리셋 기간의 파형이 인가되어 주사 전극(Y)과 유지 전극(X)사이의 벽 전압이 0V이고 어드레스 기간에서 선택되지 않은 방전 셀은, 프리 리셋 기간에서 주사 전극과 유지 전극간의 전압차가 방전 개시 전압이 이상이 되는 지점에서 유지 전극(X)으로부터 주사 전극(Y)에 미약한 방전이 발생한다. 미약한 방전에 의해 주사 전극(Y)에는 양(+)의 벽전하가 형성되고 유지 전극(X)에는 음(-)의 벽전하가 형성된다. 이때, 주사 전극(Y)과 유지 전극(X)사이의 전압차가 방전 개시 전압을 초과하여 방전이 발생하기 위해서는, 주사 전극(Y)에 인가되는 V_{py} 전압과 유지 전극(X)에 인가되는 V_{px} 전압의 차이가 리셋 기간의 하강 램프 전압이 인가될 때 주사 전극에 인가되는 V_n 전압과 유지 전극(X)에 인가되는 V_e 전압차보다 더 크다는 수학적 3의 조건을 만족하여야 한다.

한편, 이전 서브필드에서 도 4와 같은 리셋 기간의 파형이 인가되어 주사 전극(Y)과 어드레스 전극(A)사이의 벽 전압이 0V이고 어드레스 기간에서 선택되지 않은 방전 셀은, 프리 리셋 기간에서 어드레스 전극이 기준 전압(0V)으로 바이어스되어 있으므로 주사 전극과 어드레스 전극간의 전압차가 방전 개시 전압을 넘지 않아 방전이 발생하지 않는다. 즉, 리셋 기간의 하강 파형이 인가될 때 주사 전극(Y)과 어드레스 전극(A)에 전압차가 프리 리셋 기간의 주사 전극(Y)과 어드레스 전극(A)사이의 전압차보다 더 작으므로 방전이 발생하지 않는다.

이와 같이, 프리 리셋 기간을 완만하게 상승하는 램프 파형이 인가되는 리셋 기간 전에 됴으로써, 프리 리셋 기간에서 주사 전극(Y)과 유지 전극(Y)에 각각 형성된 양(+)의 벽 전하와 음(-)의 벽 전하로 인해 리셋 기간에서 주사 전극(Y)과 유지 전극(Y)사이의 방전을 주사 전극(Y)과 어드레스 전극(A)사이의 방전보다 앞당길 수 있다. 또한, 프리 리셋 기간에서 주사 전극(Y)과 유지 전극(Y)에 각각 양(+)의 벽 전하와 음(-)의 벽 전하를 형성시킴으로 인해, 방전이 기준보다 빨리 이루어지므로 본 발명의 제1 실시예에 따른 리셋 기간의 V_{set} 전압보다 더욱 낮은 전압인 V_{set}' 전압으로 설정할 수 있다.

한편, 프리 리셋 기간에서 주사 전극(Y)과 유지 전극(X)사이의 벽 전압은 리셋 기간에서 인가되는 V_{rp} 전압에 합쳐져서 강방전이 발생하지 않도록 설정하여야 한다.

도 6에서는 V_{px} 전압과 V_s 전압을 다른 레벨로 설정하였으나 전원 수를 감소시키기 위해 동일한 레벨로 설정하는 것이 바람직하며 V_{rp} 전압도 전원 수를 감소시키기 위해 V_s 전압과 동일한 레벨로 설정하는 것이 바람직하다. 또한, V_{ps} 전압도 V_q 전압과 동일한 전압레벨로 설정하는 것이 바람직하다. 다만, 이 경우 V_{py} 값은, 상기 수학적 3을 만족하도록 적절하게 설정하며, 상기에서 설명한 바와 같이 프리 리셋 기간에서 형성된 유지 전극과 주사 전극 사이의 벽 전압과 V_{rp} 전압의 합이 강방전이 발생하지 않도록 설정하여야 한다.

또한, 도 6에서의 프리 리셋 구간은 본 발명의 제1 실시예와 같이 리셋 기간에서 벽 전압을 모두 제거하는 경우에 리셋 기간 전에 위치하는 것으로 설명하였지만, 리셋 기간에서 주사 전극과 유지 전극의 방전 시작 시점보다 주사 전극과 어드레스 전극의 방전 시작 시점이 더 늦은 경우에 도 6과 같은 프리 리셋 기간을 됴으로써 리셋 기간에서의 강 방전을 해결할 수 있다.

이상, 본 발명의 실시예에서는 프리 리셋 기간과 리셋 기간에서 어드레스 전극에 인가되는 전압을 0V로 하여 설명하였지만, 어드레스 전극과 주사 전극 사이의 벽 전압은 어드레스 전극과 주사 전극에 인가되는 전압의 차에 의해 결정이 되므로 어드레스 전극과 주사 전극에 인가되는 전압의 차이가 본 발명의 실시예와 동일한 관계를 만족한다면 어드레스 전극과 주사 전극에 인가되는 전압을 다르게 설정할 수 있다.

그리고, 본 발명의 실시예에서는 프리 리셋 기간과 리셋 기간에서 램프 형태의 전압이 주사 전극에 인가되는 것으로 하여 설명하였지만, 램프 형태 이외의 약방전을 일으키면서 벽 전하를 제어할 수 있는 다른 형태의 전압을 주사 전극에 인가할 수도 있다. 이러한 형태의 전압은 시간 변화에 따라 점진적으로 전압 레벨이 변화하는 전압이다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 따르면 리셋 기간에서 형성된 벽 전하의 영향을 받지 않으므로 벽 전하 소실로 인한 마진의 악화의 문제점이 없어진다.

또한, 완만하게 상승하는 구간을 가지는 리셋 기간 전에 주사 전극과 유지 전극에 각각 양의 벽전하와 음의 벽전하를 형성시킴으로써 리셋 기간에서 발생할 수 있는 강 방전을 막을 수 있다.

(57) 청구의 범위

청구항 1.

제1 기관 위에 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기관 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되는 플라즈마 디스플레이 패널의 구동 방법에 있어서,

(a) 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시키는 단계;

(b) 상기 제1 전극에 완만하게 상승하는 전압을 인가하는 단계; 및

(c) 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제3 전압에서 제4 전압까지 점진적으로 감소시키는 단계를 포함하며,

상기 제2 전압이 상기 제4 전압보다 실질적으로 낮은 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 2.

제1항에 있어서,

상기 단계(a)에서 상기 제2 전극을 제5 전압으로 바이어스한 상태에서 상기 제1 전극에 제6 전압에서 제7 전압까지 완만하게 하강하는 전압을 인가하며, 상기 단계(b)에서 상기 제2 전극을 제8 전압으로 바이어스한 상태에서 상기 제1 전극에 제9 전압에서 제10 전압으로 완만하게 하강하는 전압을 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 3.

제2항에 있어서,

상기 제5 전압과 상기 제7 전압의 차가 상기 제8 전압과 상기 제10 전압의 차보다 실질적으로 더 큰 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

어드레스 기간 동안, 상기 방전 셀 중 선택하고자 하는 방전 셀의 상기 제3 전극 및 제1 전극에 각각 제11 전압 및 제12 전압을 인가하는 단계; 및

유지 기간 동안, 상기 어드레스 단계에서 선택된 방전 셀을 유지 방전시키는 단계를 더 포함하며,

상기 단계(c)에서 상기 제3 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압은 제13 전압에서 제14 전압으로 점진적으로 감소하며, 상기 제14 전압은 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이의 절반에 해당하는 전압의 음의 값 이하인 것을 특징으로 플라즈마 디스플레이 패널의 구동 방법.

청구항 5.

제4항에 있어서,

상기 제14 전압을 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이에 해당하는 전압의 음의 값 이하인 것을 특징으로 플라즈마 디스플레이 패널의 구동 방법.

청구항 6.

제4항에 있어서,

상기 제14 전압은 실질적으로 상기 제1 전극과 상기 제3 전극 사이의 방전 개시 전압의 음의 값 이하인 플라즈마 디스플레이 패널의 구동 방법.

청구항 7.

제6항에 있어서,

상기 방전 개시 전압은 상기 방전 셀에 벽 전하가 실질적으로 형성되어 있지 않은 상태에서 방전을 개시할 수 있는 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 8.

제6항에 있어서,

상기 단계(b) 동안 상기 제1 전극과 상기 제3 전극 사이의 벽 전압이 실질적으로 제거되는 플라즈마 디스플레이 패널의 구동 방법.

청구항 9.

제2항 또는 제3항에 있어서,

상기 제7 전압을 상기 제10 전압과 실질적으로 동일하며, 상기 제5 전압이 상기 제8 전압보다 실질적으로 더 큰 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 10.

제1항에 있어서,

상기 단계(b) 및 단계(c)는 리셋 기간인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 11.

제1항에 있어서,

상기 단계(a)에서, 상기 제1 전극에 양의 벽 전하가 형성되며 상기 제2 전극에 음의 벽 전하가 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 12.

제11항에 있어서,

상기 단계(b)에서, 상기 제1 전극과 상기 제2 전극 사이에서 먼저 방전이 발생한 후 상기 제1 전극과 상기 제3 전극 사이에서 방전이 발생하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 13.

제1 기관,

상기 제1 기관 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극,

상기 제1 기관과 마주보며 떨어져 있는 제2 기관,

상기 제1 및 제2 전극에 교차하는 방향으로 제2 기관 위에 형성되는 복수의 제3 전극, 그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀을 방전시키기 위해 상기 제1 전극, 제2 전극 및 제3 전극에 구동 전압을 공급하는 구동 회로를 포함하며,

상기 구동 회로는, 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압을 제1 전압에서 제2 전압까지 점진적으로 감소시킨 후, 상기 제1 전극에 완만하게 상승하는 전압을 인가하며, 상기 제2 전극의 전압에서 상기 제1 전극의 전압을 뺀 값을 제3 전압에서 제4 전압까지 점진적으로 감소시키고,

상기 제2 전압이 상기 제4 전압보다 실질적으로 낮은 전압인 플라즈마 표시 장치.

청구항 14.

제13항에 있어서,

상기 구동 회로는 어드레스 기간 동안 상기 방전 셀 중 선택하고자 하는 방전 셀을 방전시키고, 유지 기간 동안에 상기 선택된 셀을 유지 방전시키며,

상기 제3 전압에서 제4 전압으로 점진적으로 감소시키는 동안에 상기 제3 전극의 전압에서 상기 제1 전극의 전압을 뺀 전압은 제5 전압에서 제6 전압까지 실질적으로 감소되며, 상기 제6 전압은 실질적으로 상기 유지 기간에서 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이의 절반에 해당하는 전압의 음의 값 이하인 플라즈마 표시 장치.

청구항 15.

제14항에 있어서,

상기 제6 전압은 실질적으로 상기 유지 기간 동안에 상기 유지 방전을 위해 상기 제1 전극과 상기 제2 전극에 인가되는 전압의 차이에 해당하는 전압의 음의 값 이하인 플라스마 표시 장치.

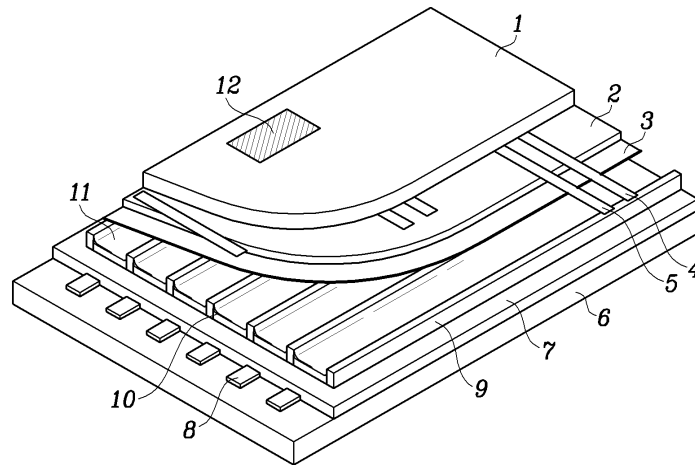
청구항 16.

제14항에 있어서,

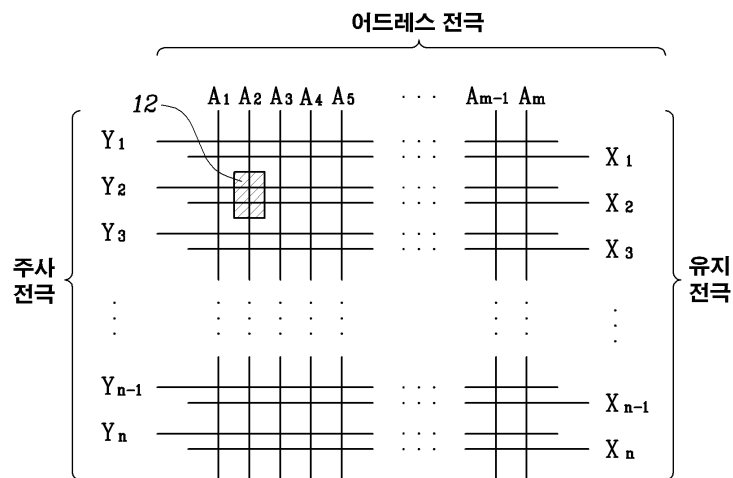
상기 제6 전압은 실질적으로 상기 제1 전극과 상기 제3 전극 사이의 방전 개시 전압의 음의 값 이하인 플라스마 표시 장치.

도면

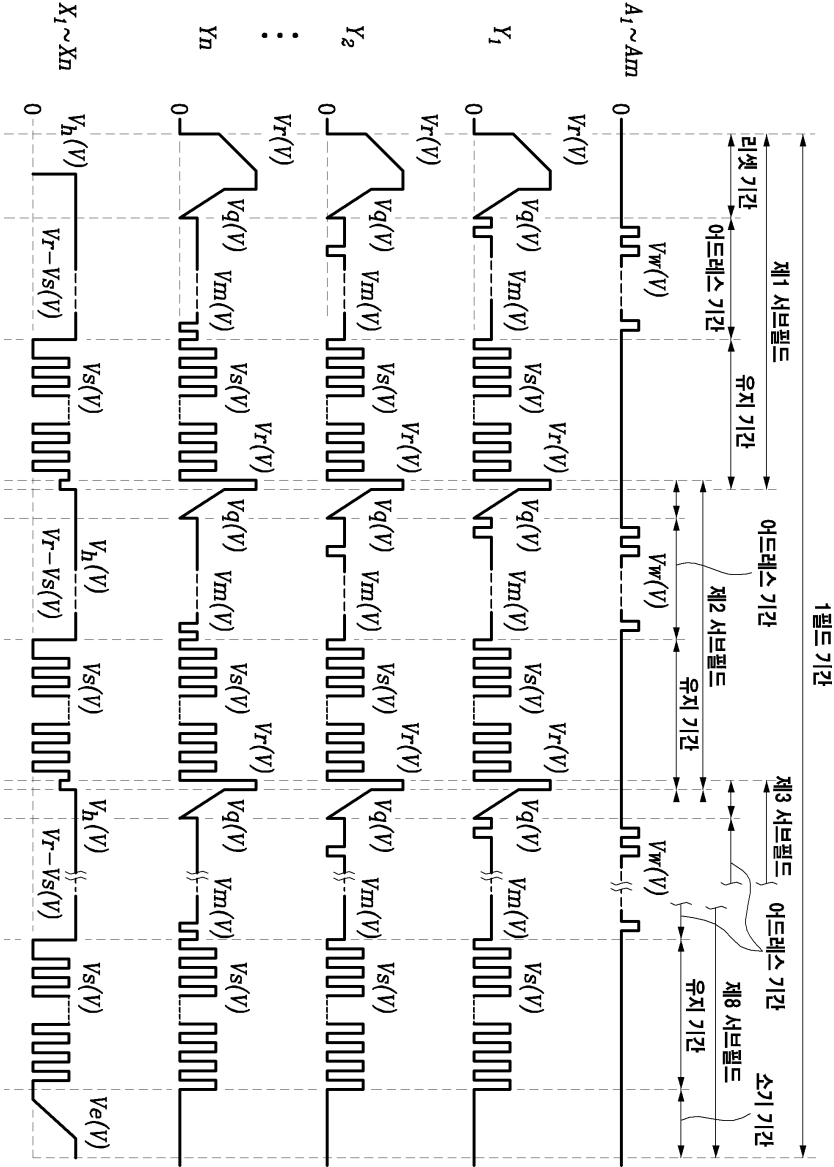
도면1



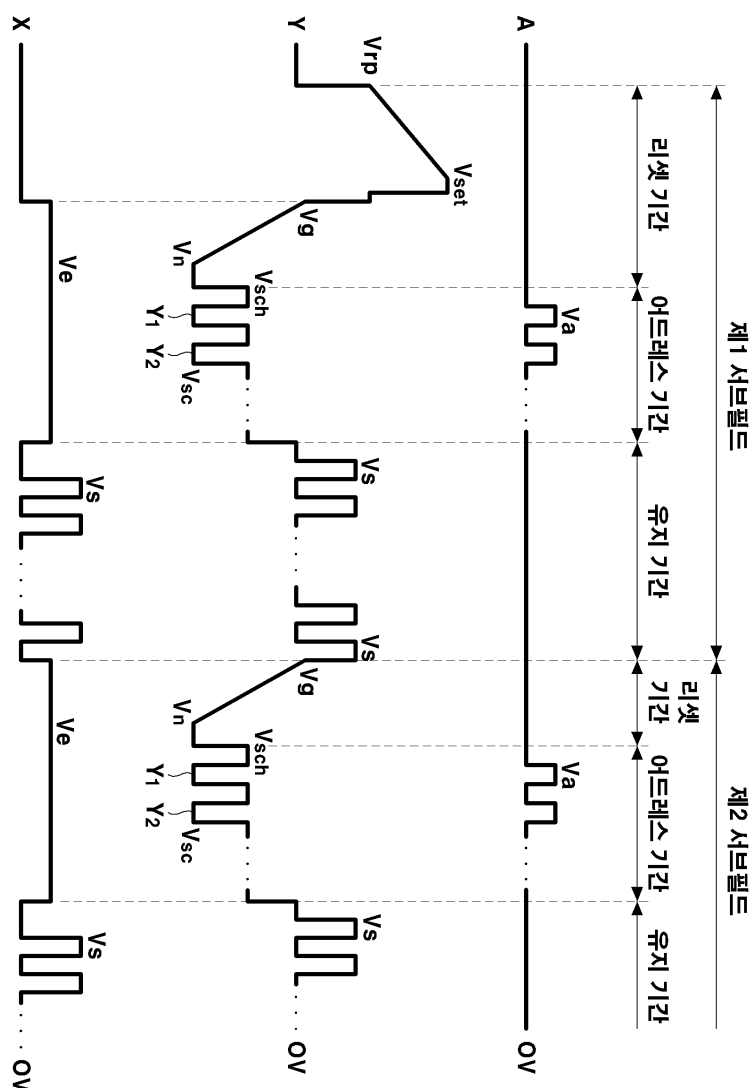
도면2



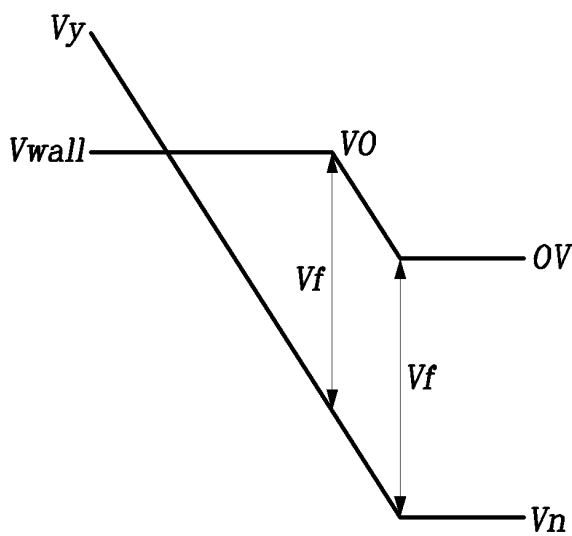
도면3



도면4



도면5



도면6

