[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/136 (2006.01)
G02F 1/133 (2006.01)
H01L 29/786 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200610126355.0

[43] 公开日 2007 年 2 月 7 日

[11] 公开号 CN 1908792A

[22] 申请日 2006.8.30
[21] 申请号 200610126355.0
[71] 申请人 友达光电股份有限公司
地址 中国台湾新竹市
[72] 发明人 詹德威 陈雅洁 丘钟毅 苏亭伟
黄乙白 张庭瑞 苏振嘉

[74] 专利代理机构 北京市柳沈律师事务所
代理人 张 波

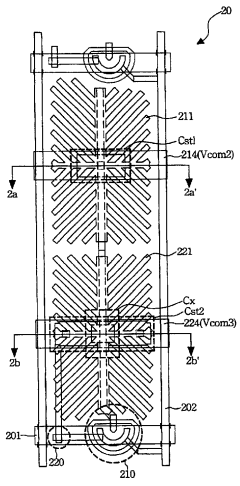
权利要求书 2 页 说明书 11 页 附图 9 页

[54] 发明名称

聚合物稳定配向的液晶面板

[57] 摘要

本发明涉及一种聚合物稳定配向的液晶面板，具有多个单位像素，其中每一个单位像素具有彼此独立的一第一像素电极与一第二像素电极，第一像素电极与该第二像素电极的图案的分布方向，各自区隔为四个分域。并透过单位像素内的像素电极、晶体管、液晶电容及储存电容的配置与设计，使得单一单位像素具有更多个分域。



1、一种聚合物稳定配向的液晶面板，包括:

多个单位像素，其中每一个该单位像素具有

一扫描线，传送一扫描信号;

一数据线，传送一电压信号;

一第一晶体管，响应于该扫描信号而开启，并传送该电压信号;

一第一液晶电容，由一第一像素电极、一液晶层、与一第一共享电极构成，连接于该第一晶体管以接收该电压信号;

一第一储存电容，由一第一电容电极、一第一介电层、与一第二共享电极构成，与该第一液晶电容并联，连接于该第一晶体管以接收该电压信号;

一第二液晶电容，由一第二像素电极、该液晶层、与该第一共享电极构成，耦接于该数据线，其中该第二像素电极与该第一像素电极彼此独立且电性分离；以及

一第二储存电容，由一第二电容电极、该第一介电层、与一第三共享电极构成，并与该第二液晶电容并联。

2、如权利要求 1 的液晶面板，其中该第一像素电极具有四个分域，每一个该分域内的部分该第一像素电极包含多条彼此平行的长条形图案，该些长条形图案沿着同一方向延伸分布。

3、如权利要求 1 的液晶面板，其中该第二像素电极具有四个分域，每一个该分域内的部分该第二像素电极包含多条彼此平行的长条形图案，该些长条形图案沿着同一方向延伸分布。

4、如权利要求 1 的液晶面板，其中该单位像素更具有一耦合电容，连接于该第一晶体管与该第二液晶电容之间，藉由该耦合电容使该第一液晶电容与该第二液晶电容具有不同的夹差电压。

5、如权利要求 4 的液晶面板，其中该耦合电容具有彼此相对的一第一极与一第二极，该第一极连接于该第一晶体管的源/漏极，而该第二极则分别连接于该第二像素电极与该第二电容电极。

6、如权利要求 4 的液晶面板，其中上述单位像素更具有第二晶体管，该第二晶体管的栅极端连接于该扫描线，而第二晶体管的源/漏极端分别连

接该数据线与该第二像素电极，该第二晶体管可让该第二像素电极上累积的电荷经由该扫描线释放。

7、如权利要求 1 的液晶面板，其中该第二共享电极与该第三共同电极分别施加不同电平电压，使该第一储存电容与该第二储存电容具有不同的夹差电压。

8、如权利要求 1 的液晶面板，其中该单位像素更具有一第三晶体管，响应于该扫描信号而开启，导通并传送该数据线上的该电压信号至该第二液晶电容与该第二储存电容。

9、如权利要求 8 的液晶面板，其中该第三晶体管的栅极连接于该扫描线，而该第三晶体管的源/漏极一端连接于该数据线，另一端则连接至该第二像素电极与该第二电容电极。

10、如权利要求 1 的液晶面板，其中该第一晶体管的栅极连接于该扫描线，而该第一晶体管的源/漏极一端连接于该数据线，另一端则连接至该第一像素电极与该第一电容电极。

聚合物稳定配向的液晶面板

技术领域

本发明涉及一种液晶面板，特别是涉及一种聚合物稳定配向液晶面板。

背景技术

随着显示科技的进步，与传统的 CRT 显示器相比，液晶显示器(liquid crystal display, TFT-LCD)由于具有轻、薄、低辐射以及体积小而不占空间的优势，目前已经成为显示器市场的主力产品，同时大量的应用于计算器、个人数字助理(PDA)、笔记型计算机、数字相机、移动电话等各式电子产品中。

为因应液晶显示产品的快速发展，液晶面板厂商的竞争日增。业界积极的投入研发以及采用更先进的生产设备，使液晶显示器的生产成本不断下降，更令液晶显示器的需求量大增。为了进一步扩展液晶显示器的应用领域与品质，当前液晶显示器的研究重点，主要集中在如何增广视角以及缩短屏幕的反应时间。

为了达成上述需求，液晶面板往往采用多重分域垂直配向(multi-domain vertical alignment; MVA)的设计。借着在制作液晶面板的过程中，在共享电极与像素电极上形成配向控制用的凸块或开口，使液晶分子在未施加电压的情况下，便沿着凸块或开口的形状，呈现稍微倾斜的状态。如此一来，当对像素电极施加电压时，液晶分子在电场的驱迫下，会迅速的由微略倾斜的状态，朝预定方向倾倒，而大幅缩短屏幕反应时间，并达成增广视角的效果。

由于多重分域垂直配向技术必须利用薄膜沉积工艺、光刻工艺以及蚀刻工艺等，来形成凸块或开口于共享电极或像素电极上，所以在工艺的复杂度与制造成本上都相对的提高了不少。此外，形成于基板的凸块常会遮蔽部分的光线，所以凸块会减少像素的开口率，进而降低液晶显示器的画面亮度。

为了改善应用多重分域垂直配向(MVA)技术的液晶面板所产生的问

题，业界发展出利用一种应用聚合物稳定配向(polymer stabilized alignment; PSA)技术来制造液晶面板的设计。

液晶面板包括了一上基板、一液晶分子层、一下基板。液晶分子层形成于上基板与下基板之间。在液晶分子层与上基板之间设置一共享电极。

请参照图 1，此图显示了现有聚合物稳定配向液晶面板中的像素结构，此像素结构主要形成于下基板表面。对每一个单位像素 10 而言，其主要组件包括了扫描线 101、数据线 102、薄膜晶体管 103、储存电容 104 及像素电极 105。在进行操作程序时，可藉由扫描线 101 输入一扫描信号，导通薄膜晶体管 103，而使数据线 102 上的电压信号传送到像素电极 105 中。同时，由数据线 102 所输入的电压信号，会保留在储存电容 104 中，以便在影像数据供给空档中，仍可继续维持单位像素 10 在一定的灰阶位准。

如图中所显示，像素电极 105 的形状包含了多条彼此平行的长条形图案，这些长条型图案分别朝向四个方位角度沿伸(即图中的鱼骨状图案)。当此单位像素 10 作用时，在像素电极 105 与共享电极间产生的电场，会使液晶分子层内的液晶分子依据此电场而产生相对应的偏转。由于像素电极 105 形状的关系，液晶分子会分别朝向四个方位角度偏转，而形成四重分域的效果。

为了缩短液晶面板的反应时间，可在制作出上述像素电极 105 后，再使用聚合物稳定配向技术，让液晶分子具有固定的预倾角。其制作方式是在制作液晶面板的过程中，在液晶分子层多加入一种用于聚合物配向的单体，并施加电压信号至共享电极与像素电极 105 上，使得各液晶分子偏转到一预定方向，同时上述单体亦随着液晶分子的排列方向而排列。接着，利用一能量光(可为可见光或紫外光)或热聚合的方式，使上述单体聚合成高分子聚合物，并倾斜的形成于液晶面板中。

藉由此聚合物稳定配向技术，高分子聚合物可使液晶分子具有一预倾角，亦即液晶分子在未受电场驱动时，受到高分子聚合物的影响，而会倾斜的排列。因此，当液晶分子受到电场驱动时，液晶分子便可迅速地偏转到适当的方位，进而缩短液晶面板的反应时间。

另外，由于聚合物稳定配向(PSA)的液晶面板内不具有凸块与开口，与多重分域垂直配向(MVA)的液晶面板相比，不会有暗态漏光的问题，因此，可提供高对比、高亮度的液晶显示器。

目前聚合物稳定配向(PSA)的液晶面板中，像素电极 105 由 ITO 材料所构成，并藉由光刻工艺制作出鱼骨状的图案，可将单一像素分割成四个分域。尽管此种设计可大幅增进液晶面板的对比值、亮度值，且有效缩短反应时间。但是随着液晶面板尺寸增加的趋势，此种设计仍无法解决大视角色偏的问题，且无法进一步降低色饱和度不足(color washout)的现象。

发明内容

本发明的目的在于提供一种应用聚合物稳定配向技术所制造的液晶面板，透过液晶面板中的每一个单位像素内的像素电极、晶体管、液晶电容及储存电容的配置与设计，使得单一单位像素的分域由现有的四个分域增加到八个分域。如此一来，由于单位像素内分域的增加，对于大视角色偏的问题，就有了极大的改善，也进一步降低色饱和度不足(color washout)的现象。

本发明所揭露的聚合物稳定配向的液晶面板(PSA LCD panel)，具有多个单位像素，其中每一单位像素具有彼此独立的第一像素电极与第二像素电极。第一像素电极与第二像素电极的图案的分布方向，各自区隔为四个分域。

本发明所揭露的聚合物稳定配向的液晶面板，包括多个单位像素，其中每一个单位像素包括一扫描线、一数据线、一第一晶体管、一第一液晶电容、一第一储存电容、一第二液晶电容及一第二储存电容。

扫描线，用以传送扫描信号。数据线，用以传送电压信号。第一晶体管，响应于扫描信号而开启，并传送电压信号。第一液晶电容，由第一像素电极、液晶层、与第一共享电极构成，连接于第一晶体管以接收电压信号。第一储存电容，由第一电容电极、第一介电层、与第二共享电极构成，与第一液晶电容并联，连接于第一晶体管以接收电压信号。

第二液晶电容，由第二像素电极、液晶层、与第一共享电极构成，耦接于数据线，其中第二像素电极与第一像素电极彼此独立且可为电性分离。第二储存电容，由第二电容电极、第一介电层、与第三共享电极构成，并与第二液晶电容并联。

为了能更进一步了解本发明的特征及内容，请参阅以下有关本发明的详细说明与附图。

附图说明

图 1 为现有聚合物稳定配向的液晶面板中的像素结构的上视图；

图 2 为本发明第一实施例的单位像素上视图；

图 3 为本发明第一实施例的单位像素等效电路示意图；

图 4A 为图 2 的单位像素中 2a-2a'剖面线的剖面图；

图 4B 为图 2 的单位像素中 2b-2b'剖面线的剖面图；

图 5 为本发明第二实施例的单位像素上视图；

图 6A 为图 5 的单位像素中 4a-4a'剖面线的剖面图；

图 6B 为图 5 的单位像素中 4b-4b'剖面线的剖面图；

图 7 为本发明第三实施例的单位像素上视图；

图 8 为本发明第三实施例的单位像素等效电路示意图；

图 9A 为图 7 的单位像素中 5a-5a'剖面线的剖面图；以及

图 9B 为图 7 的单位像素中 5b-5b'剖面线的剖面图。

附图标记说明

10、20、40、50：单位像素

101、201、401、501：扫描线

102、202、402、502：数据线

103：薄膜晶体管

104：储存电容

105：像素电极

210、410、510：第一晶体管

220：第二晶体管

200、400、500：上基板

240、440、540：液晶层

530：第三晶体管

260、460、560：第一介电层

270、470、570：第二介电层

Clc1：第一液晶电容

211、411、511：第一像素电极

212、412、512：第一共享电极

Cst1：第一储存电容

213、413、513：第一电容电极

214、414、514：第二共享电极

Clc2：第二液晶电容

221、421、521：第二像素电极

Cst2：第二储存电容

223、423、523：第二电容电极

224、424、524：第三共享电极

Cx：耦合电容

233：第一极

234：第二极

具体实施方式

本发明提供了一种利用聚合物稳定配向(polymer stabilized alignment; PSA)技术所制造的液晶面板。其中，在液晶面板中的每个单位像素具有多重分域图案，用来产生比现有技术更多的分域，藉此改善大视角色偏的问题。有关本发明的详细描述如下所示。

本发明揭露了一种聚合物稳定配向液晶面板(PSA LCD panel)，此液晶面板包括了多个单位像素、具有彩色滤光片的上基板以及具有薄膜晶体管的下基板。请同时参照图 2、图 3、图 4A 及图 4B，其中图 2 及图 3 分别显示了本发明第一实施例的单位像素 20 上视图及其等效电路示意图，而图 4A 及图 4B 则分别为图 2 的单位像素 20 中 2a-2a'剖面线及 2b-2b'剖面线的剖面图。如图所示，液晶面板的每一个单位像素 20 包括一扫描线 201、一数据线 202、一第一晶体管 210、一第一液晶电容 Clc1、一第一储存电容 Cst1、一第二液晶电容 Clc2 及一第二储存电容 Cst2。

扫描线 201，用以传送一扫描信号。数据线 202，用以传送一电压信号。第一晶体管 210 为单位像素 20 的开关，会响应于扫描信号而开启，可导通并传送电压信号到一第一像素电极 211，其中，第一像素电极 211 直接连接于第一晶体管 210。

第一液晶电容 Clc1，由第一像素电极 211、一液晶层 240、与一第一共享电极 212 所构成。上述第一液晶电容 Clc1 连接于第一晶体管 210，以接

收电压信号。其中，第一共享电极 212 形成于液晶面板的上基板 200 端。

第一储存电容 Cst1，由一第一电容电极 213、一第一介电层 260、与一第二共享电极 214 所构成。此第一储存电容 Cst1 与第一液晶电容 Clc1 并联，且连接于第一晶体管 210，以接收电压信号。如图 2 所示，第一晶体管 210 的栅极连接于扫描线 201，而第一晶体管 210 的源/漏极一端连接于数据线 202，另一端则连接至第一像素电极 211 与第一电容电极 213。

第二液晶电容 Clc2，由一第二像素电极 221、液晶层 240、与第一共享电极 212 所构成，且第二液晶电容 Clc2 耦接于数据线 202。其中，第二像素电极 221 与第一像素电极 211 彼此独立且可为电性分离，亦即，第一像素电极 211 与第二像素电极 221 彼此隔离而未直接接触，亦可未电性导通或可未耦合。第二储存电容 Cst2，由第二电容电极 223、第一介电层 260、与一第三共享电极 224 构成，并与第二液晶电容 Clc2 并联。

此外，请参照图 4A 及图 4B，单位像素 20 中更具有一第二介电层 270 位于各像素电极与各电容电极之间，亦即介于液晶层 240 与第一介电层 260 之间。

如上所述，本发明液晶面板的每一个单位像素 20 具有彼此独立的第一像素电极 211 与第二像素电极 221。请参照图 2，第一像素电极 211 与第二像素电极 221 其图案的分布方向，各自区隔为四个分域。每一个分域内的部份第一像素电极 211 与第二像素电极 221 包含多条彼此平行的长条形图案，且这些长条形图案朝着同一方向延伸分布。

在优选实施例中，位于上述四个分域中的该些长条形图案的延伸方向的方位角度约分别介于 40-50 度、130-140 度、220-230 度、与 310-320 度。因此，第一像素电极 211 与第二像素电极 221 所呈现出来的图案分布，近似于鱼骨状图案。

请参照图 2 与图 3，第一实施例的单位像素 20 更具有一耦合电容 Cx，连接于第一晶体管 210 与第二液晶电容 Clc2 之间。耦合电容 Cx 具有彼此相对的一第一极 233 与一第二极 234。第一极 233 连接于第一晶体管 210 的源/漏极，而第二极 234 则分别连接于第二像素电极 221 与第二电容电极 223。

请参照图 4B，图中显示耦合电容 Cx 的一种形成态样，耦合电容 Cx 的第一极 233 为第一电容电极 213，耦合电容 Cx 的第二极 234 为第二像素电极 221。而此耦合电容 Cx 是由第二像素电极 221、第二介电层 270、与第

一电容电极 213 构成。二第二电容电极 223 分别藉由二接触孔(未标示)与第二像素电极 221 电连接，第一电容电极 213 藉由另一接触孔(未标示)与第一像素电极 211 电连接，如图 4A 所示。

承先前所述，由于第一像素电极 211 直接连接于第一晶体管 210，使得耦合电容 Cx 并联于第一液晶电容 Clc1，而第二像素电极 221 经由耦合电容 Cx 连接于第一晶体管 210。因此，可藉由耦合电容 Cx 使第一像素电极 211 与第二像素电极 221 具有不同的电位。也就是说，藉由耦合电容 Cx 使第一液晶电容 Clc1 与第二液晶电容 Clc2 具有不同的夹差电压。

因此，当单位像素 20 作用时，第一像素电极 211 的电位与数据线 202 所提供的电压信号相同，而第二像素电极 221 的电位是由电容耦合的方式来提供。可藉由调整耦合电容 Cx 的大小，而改变第二像素电极 221 的电位。

由于第一像素电极 211 与第二像素电极 221 电位的不同，而分别在两像素电极所属的液晶层 240 的区域产生两种不同的电场强度，使得两区域的液晶分子倾倒的程度不同。同时，再加上第一像素电极 211 与第二像素电极 221 的图案的分布方向，各自区隔为四个分域，使得单一单位像素 20 的分域由现有的四个分域增加到八个分域。如此一来，由于单位像素 20 内分域的增加，对于大视角色偏的问题，就有了极大的改善。

另外，可在上述单位像素 20 中设置一第二晶体管 220，其中，此第二晶体管 220 可选择一充电能力较弱的晶体管。第二晶体管 220 的栅极端连接于扫描线 201，而源/漏极端分别连接于数据线 202 与第二像素电极 221。也就是说，第二晶体管 220 可响应于扫描信号而开启，并可导通数据线 202 与第二像素电极 221。如此一来，第二晶体管 220 可让第二像素电极 221 上累积的电荷经由扫描线 201 释放，而防止因为电荷累积在第二像素电极 221 所形成的影像残留现象。

请同时参照图 5、图 6A 及图 6B，其中图 5 显示了本发明第二实施例的单位像素 40 上视图，而图 6A 及图 6B 则分别为图 5 的单位像素 40 中 4a-4a' 剖面线及 4b-4b' 剖面线的剖面图。

如图所示，液晶面板的每一个单位像素 40 包括扫描线 401、数据线 402、第一晶体管 410、第一液晶电容 Clc1、第一储存电容 Cst1、第二液晶电容 Clc2 及第二储存电容 Cst2。

此单位像素 40 内各组件的连接关系及功能皆与第一实施例大致相同，

且单位像素 40 内具有彼此独立的第一像素电极 411 与第二像素电极 421。请参照图 5，第一像素电极 411 与第二像素电极 421 的图案的分布方向，各自区隔为四个分域。每一个分域内的部分第一像素电极 411 与第二像素电极 421 包含多条彼此平行的长条形图案，且在每一个分域内的这些长条形图案朝着同一方向延伸分布。

上述组件中，第一液晶电容 Clc1，由第一像素电极 411、一液晶层 440、与一第一共享电极 412 所构成。其中，第一共享电极 412 形成于液晶面板的上基板 400 端。第一储存电容 Cst1，由一第一电容电极 413、一第一介电层 460、与一第二共享电极 414 所构成，且此第一储存电容 Cst1 与第一液晶电容 Clc1 并联，第二共享电极 414 形成于液晶面板的下基板(未绘示)端。

第二液晶电容 Clc2，由一第二像素电极 421、液晶层 440、与第一共享电极 412 所构成。第二储存电容 Cst2，由第二电容电极 423、第一介电层 460、与一第三共享电极 424 构成，且此第二储存电容 Cst2 与第二液晶电容 Clc2 并联。

此外，请参照图 6A 及图 6B，单位像素 40 中更具有一第二介电层 470 位于各像素电极与各电容电极之间，亦即介于液晶层 440 与第一介电层 460 之间，电容电极 423 藉由接触孔(未标示)与第二像素电极 421 电连接，第一电容电极 413 藉由另一接触孔(未标示)与第一像素电极 411 电连接。

第一储存电容 Cst1 与第二储存电容 Cst2，分别与第一液晶电容 Clc1 及第二液晶电容 Clc2 并联。第一储存电容 Cst1 的第一电容电极 413 与第二储存电容 Cst2 的第二电容电极 423 皆经由第一晶体管 410 连接于数据线 402，而第一储存电容 Cst1 的第二共通电极 414 与第二储存电容 Cst2 的第三共通电极 424 则可分别输入不同电平的电压 Vcom2、Vcom3，使二个储存电容具有不同的夹差电压。

在第二实施例中，由于第一储存电容 Cst1 与第二储存电容 Cst2 的电容值的不同，使得单位像素 40 开启时，因为第一像素电极 411 与第二像素电极 421 接收到的电位不同，而分别在两像素电极所属的液晶层 440 的区域产生了两种不同的电场强度，使得两区域的液晶分子倾倒的程度不同。

同时，再加上第一像素电极 411 与第二像素电极 421 的图案的分布方向，各自区隔为四个分域，使得单一单位像素 40 的分域为八个分域。如此一来，由于单位像素 40 内分域的增加，对于大视角色偏的问题，就有了极

大的改善。

此外，第一像素电极 411 与第二像素电极 421 两区块的电位及电场强度，可透过第二共通电极 414 与第三共通电极 424 所分别输入的不同的电平电压 Vcom2、Vcom3 来控制，并且可针对个别最佳的电压值来做调整，以减轻两像素电极的直流偏压(DC bias)，改善影像残留(image sticking)的现象。

请同时参照图 7 及图 8、图 9A 及图 9B，其中图 7 及图 8 分别显示了本发明第三实施例的单位像素 50 上视图及其等效电路示意图，而图 9A 及图 9B 则分别为图 7 的单位像素 50 中 5a-5a'剖面线及 5b-5b'剖面线的剖面图。

如图所示，液晶面板的每一个单位像素 50 至少可区分为两个子像素 SP。每个单位像素 50 包括扫描线 501、数据线 502、第一晶体管 510、第三晶体管 530、第一液晶电容 Clc1、第一储存电容 Cst1、第二液晶电容 Clc2 及第二储存电容 Cst2。

其中，扫描线 501，用以传送扫描信号。数据线 502，用以传送电压信号。第一晶体管 510，会响应于扫描信号而开启，可导通并传送电压信号到第一像素电极 511。第二晶体管 520，会响应于扫描信号而开启，可导通并传送电压信号到第二像素电极 521。在优选实施例中，第一像素电极 511 与第二像素电极 521 分别直接连接于第一晶体管 510 与第三晶体管 530，以接收电压信号。

第一液晶电容 Clc1，由第一像素电极 511、液晶层 540、与第一共享电极 512 所构成。上述第一液晶电容 Clc1 连接于第一晶体管 510，以接收电压信号。其中，第一共享电极 512 形成于液晶面板的上基板 500 端。

第一储存电容 Cst1，由第一电容电极 513、第一介电层 560、与第二共享电极 514 所构成。此第一储存电容 Cst1 与第一液晶电容 Clc1 并联，且连接于第一晶体管 510，以接收电压信号。如图 7 所示，第一晶体管 510 的栅极连接于扫描线 501，而第一晶体管 510 的源/漏极一端连接于数据线 502，另一端则连接至第一像素电极 511 与第一电容电极 513。

第二液晶电容 Clc2，由第二像素电极 521、液晶层 540、与第一共享电极 512 所构成，且第二液晶电容 Clc2 耦接于数据线 502。其中，第二像素电极 521 与第一像素电极 511 彼此独立且可电性分离，也就是说，第一像素电极 511 与第二像素电极 521 彼此之间没有直接接触，也可没有电性导

通或可没有耦合的现象。

第二储存电容 Cst2，由第二电容电极 523、第一介电层 560、与一第三共享电极 524 构成，并与第二液晶电容 Clc2 并联。如图 7 所示，第三晶体管 530 的栅极连接于扫描线 501，而第三晶体管 530 的源/漏极一端连接于数据线 502，另一端则连接至第二像素电极 521 与第二电容电极 523。也就是说，第三晶体管 530，可响应于扫描信号而开启，导通并传送数据线 502 上的电压信号至第二液晶电容 Clc2 与第二储存电容 Cst2。

此外，请参照图 9A 及图 9B，单位像素 50 中更具有一第二介电层 570 位于各像素电极与各电容电极之间，亦即介于液晶层 540 与第一介电层 560 之间。第一电容电极 513 藉由接触孔(未标示)与第一像素电极 511 电连接，第二电容电极 523 藉由另一接触孔(未标示)与第二像素电极 521 电连接。

因此，本发明的第三实施例中每一个单位像素 50 具有两个子像素 SP，且每个子像素 SP 包括有独立的晶体管、液晶电容、储存电容。

值得注意的是，本发明的液晶面板的每一个单位像素 50 具有彼此独立的第一像素电极 511 与第二像素电极 521。请参照图 7，第一像素电极 511 与第二像素电极 521 的图案的分布方向，各自区隔为四个分域。每一个分域内的部分第一像素电极 511 与第二像素电极 521 包含多条彼此平行的长条形图案，且每一个分域内的这些长条形图案朝着同一方向延伸分布。

当单位像素 50 内的扫描线 501 传送扫描信号时，第一晶体管 510 与第二晶体管 520 会响应扫描信号而开启，同时由数据线 502 传送电压信号至第一像素电极 511 与第二像素电极 521，并驱动各自的显示区域。此时，由于第一储存电容 Cst1 的第二共享电极 514 与第二储存电容 Cst2 的第三共享电极 524 可输入不同电平的电压 Vcom2、Vcom3，因此两储存电容的夹差电压在不同的子像素 SP 内是不同的。

接着，在扫描线 501 停止传输扫描信号后，进一步调整第二共享电极 514 与第三共享电极 524 的电压 Vcom2、Vcom3，使其呈现周期性的振荡，并经由耦合的方式使各个子像素 SP 的液晶层产生不同的电位差或电场，而使液晶分子倾斜的角度产生差异。

同时，再加上第一像素电极 511 与第二像素电极 521 的图案的分布方向，各自区隔为四个分域，便可使得单一单位像素 50 的分域为八个分域。如此一来，由于单位像素 50 内分域的增加，对于大视角色偏的问题，就有

了极大的改善，也进一步降低色饱和度不足(color washout)的现象。

本发明虽以优选实施例阐明如上，但是其并非用以限定本创作精神与创作实体，仅止于上述实施例尔。因此，在不脱离本发明的精神与范围内所作的修改，均应包含在所附权利要求内。

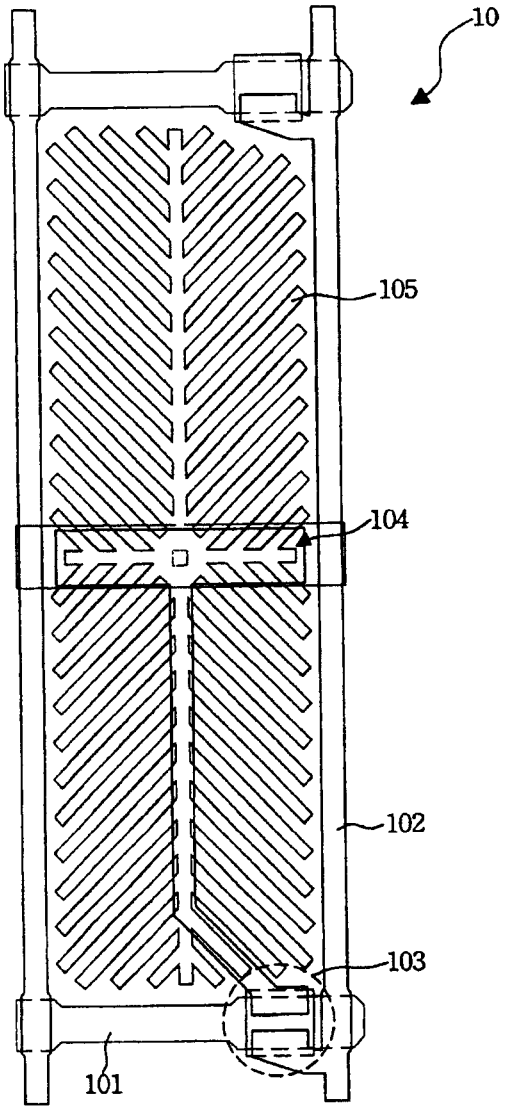


图 1

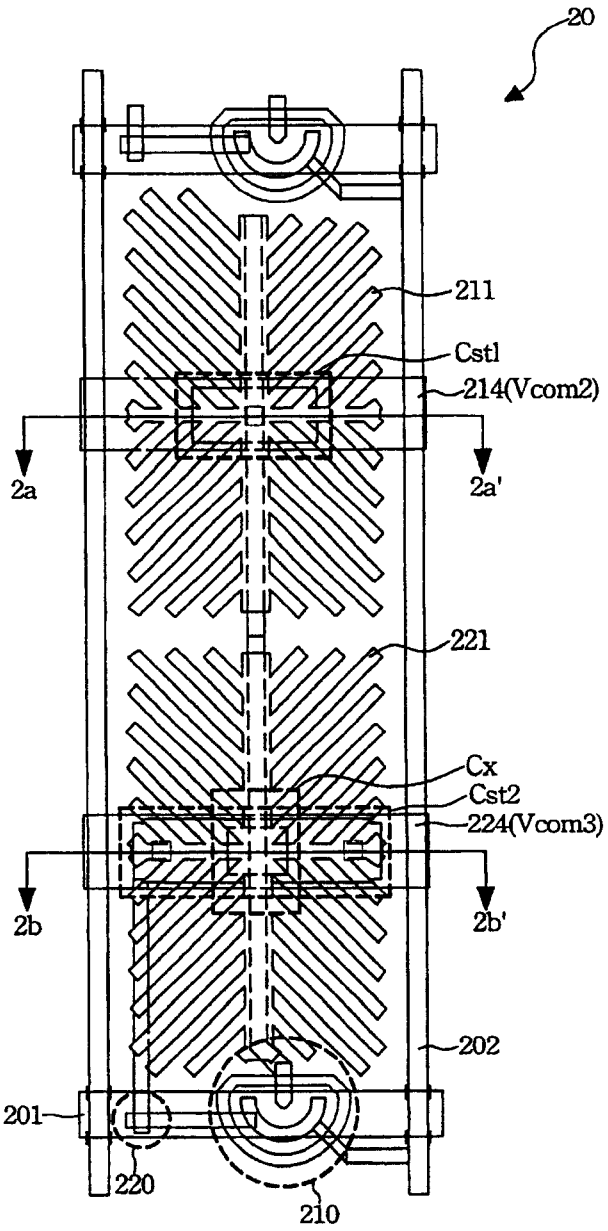

20
211
Cstl
214(Vcom2)
2a
2a'
221
Cx
Cst2
224(Vcom3)
2b
2b'
202
201
220
210

图 2

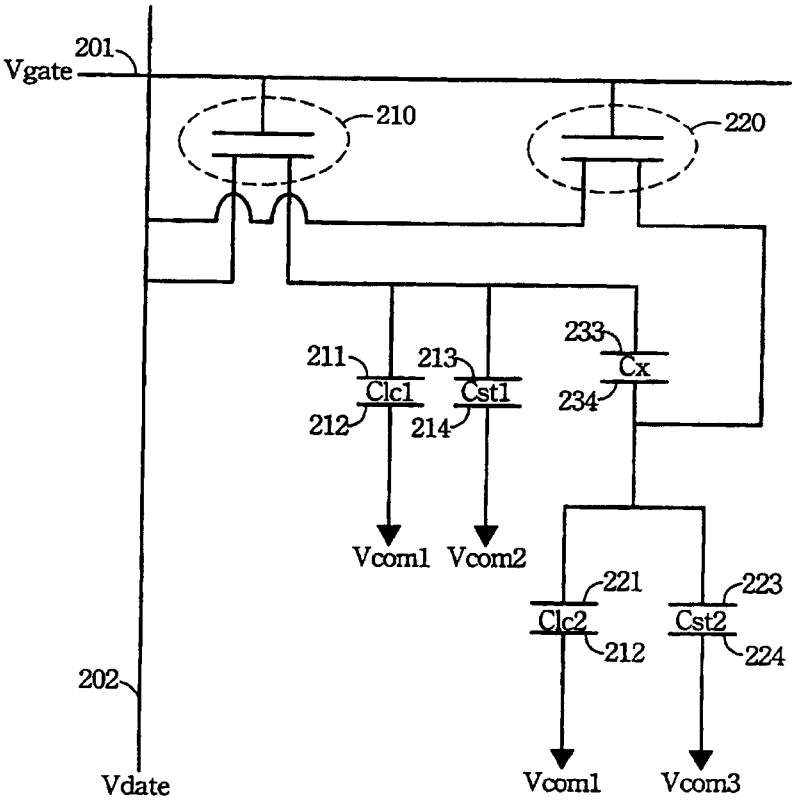

201
Vgate
210
220
211
213
Clc1
Cst1
212
214
233
Cx
234
Vcom1
Vcom2
221
223
Clc2
Cst2
212
224
202
Vdate
Vcom1
Vcom3

图 3

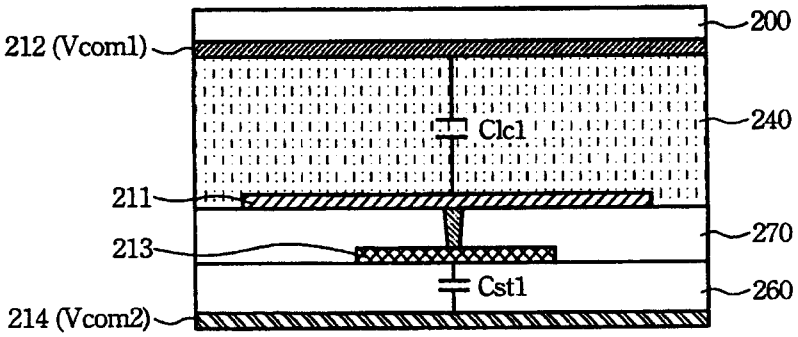

212 (Vcom1)
200
240
Clc1
211
213
270
Cst1
260
214 (Vcom2)

图 4A

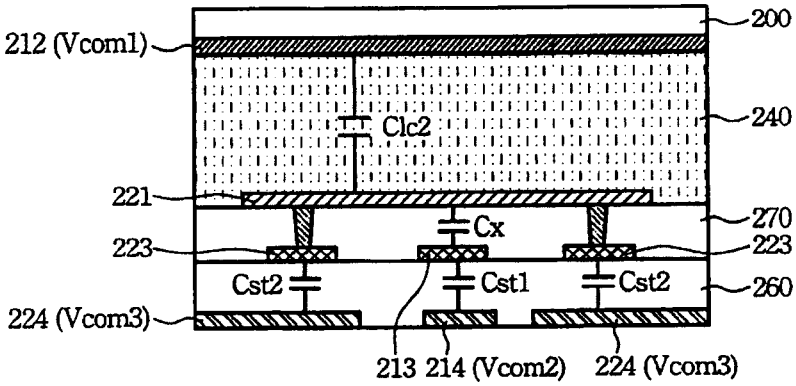

212 (Vcom1)
200
240
Clc2
221
270
Cx
223
223
Cst2
Cst1
Cst2
260
224 (Vcom3)
213
214 (Vcom2)
224 (Vcom3)

图 4B

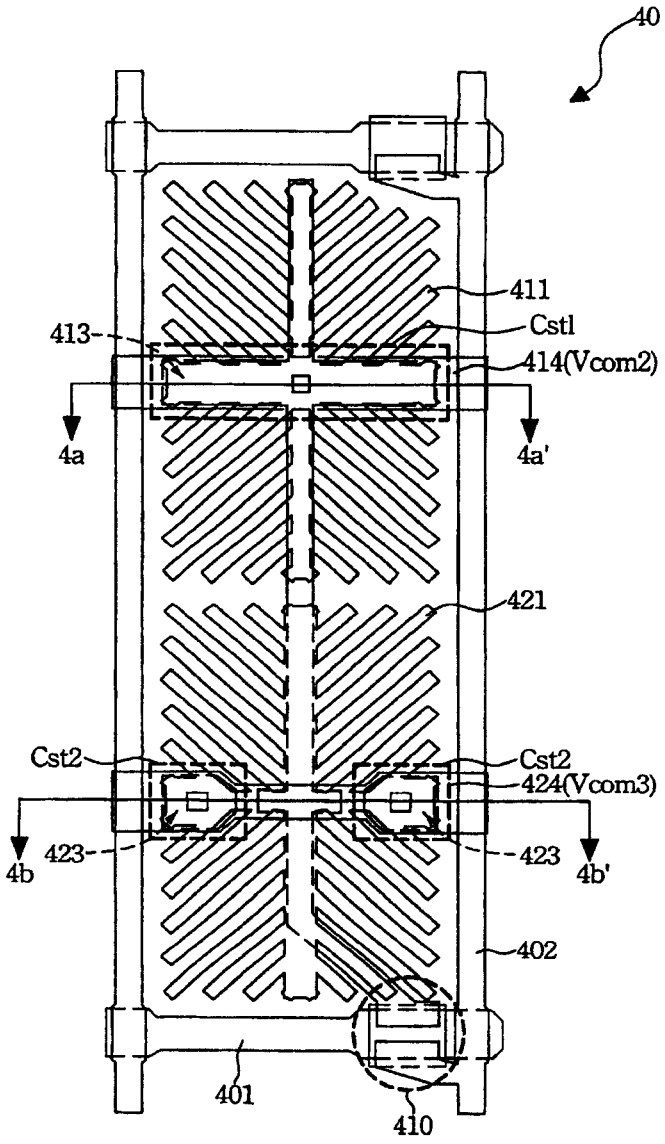

40
411
Cstl
413
414(Vcom2)
4a
4a'
421
Cst2
Cst2
424(Vcom3)
4b
423
423
4b'
402
401
410

图 5

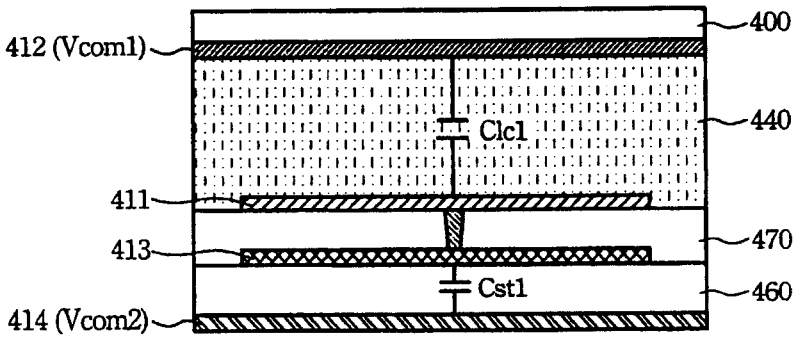

412 (Vcom1)
400
440
Clc1
411
413
470
Cst1
460
414 (Vcom2)

图 6A

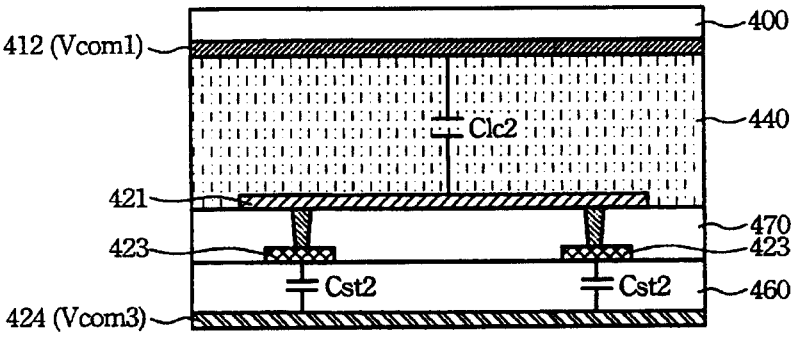

412 (Vcom1)
400
440
Clc2
421
470
423
423
Cst2
Cst2
460
424 (Vcom3)

图 6B

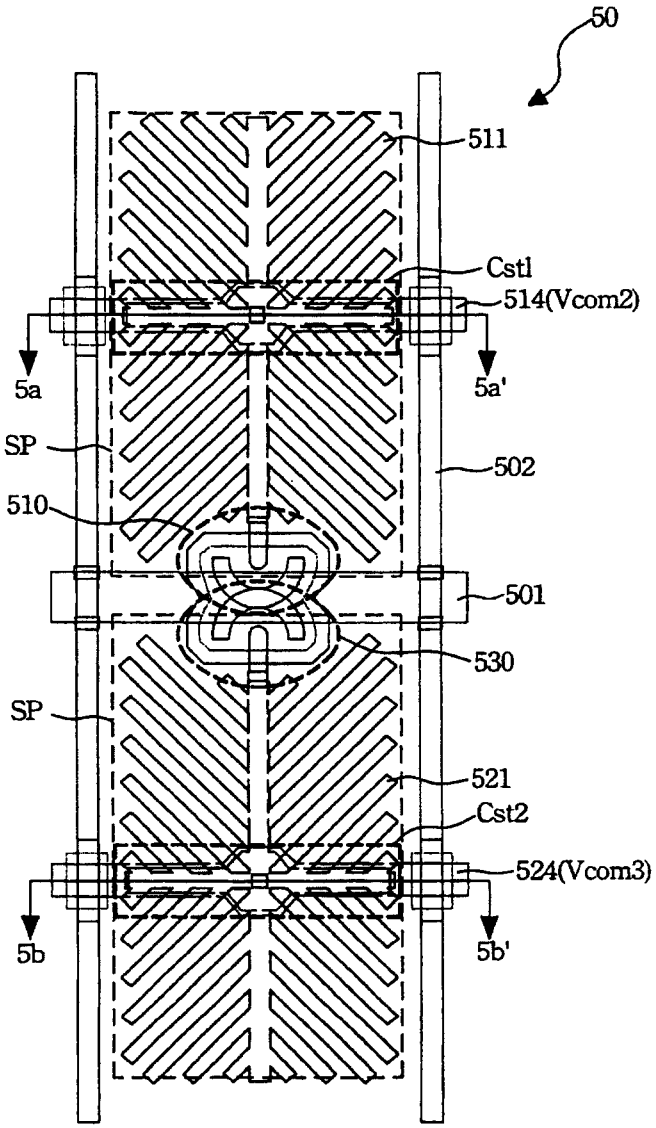

50
511
Cstl
514(Vcom2)
5a
5a'
SP
502
510
501
530
SP
521
Cst2
524(Vcom3)
5b
5b'

图 7

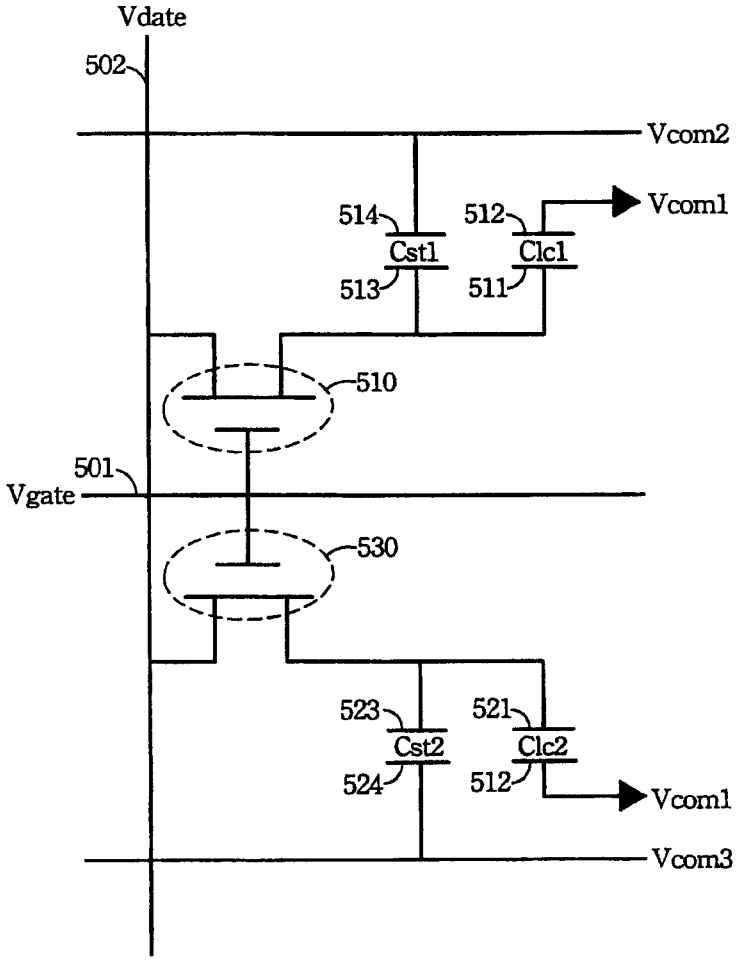

Vdate
502
Vcom2
514
512
Vcom1
Cst1
Clc1
513
511
510
501
Vgate
530
523
521
Cst2
Clc2
524
512
Vcom1
Vcom3

图 8

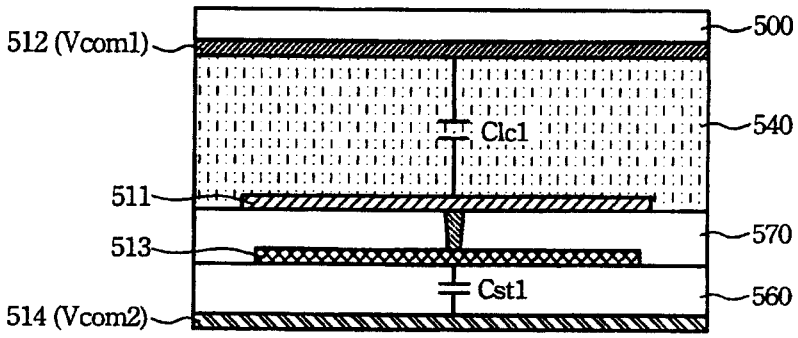

512 (Vcom1)
500
Clc1
540
511
513
570
Cst1
560
514 (Vcom2)

图 9A

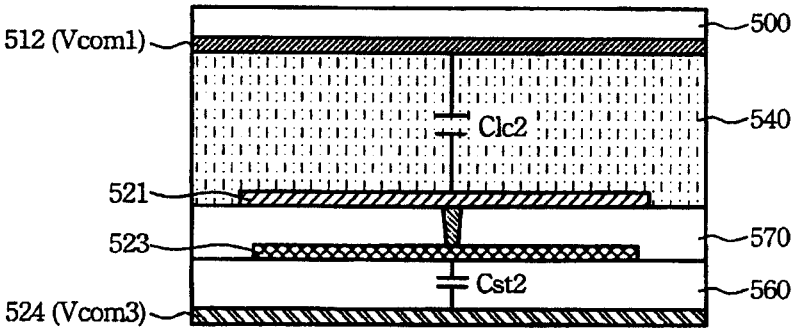

512 (Vcom1)
500
Clc2
540
521
523
570
Cst2
560
524 (Vcom3)

图 9B