

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/050160 A1

PCT

(43) 国際公開日
2010年5月6日(06.05.2010)

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/06 (2006.01)
G02F 1/133 (2006.01) H01L 27/08 (2006.01)
G02F 1/1333 (2006.01) H01L 27/092 (2006.01)
G02F 1/1368 (2006.01) H01L 27/14 (2006.01)
H01L 21/8234 (2006.01) H01L 29/786 (2006.01)
H01L 21/8238 (2006.01) H01L 31/10 (2006.01)

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 貝川裕之
(KAIGAWA, Hiroyuki).

(74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(21) 国際出願番号: PCT/JP2009/005574

(22) 国際出願日: 2009年10月22日(22.10.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2008-276024 2008年10月27日(27.10.2008) JP

(71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
22番22号 Osaka (JP).

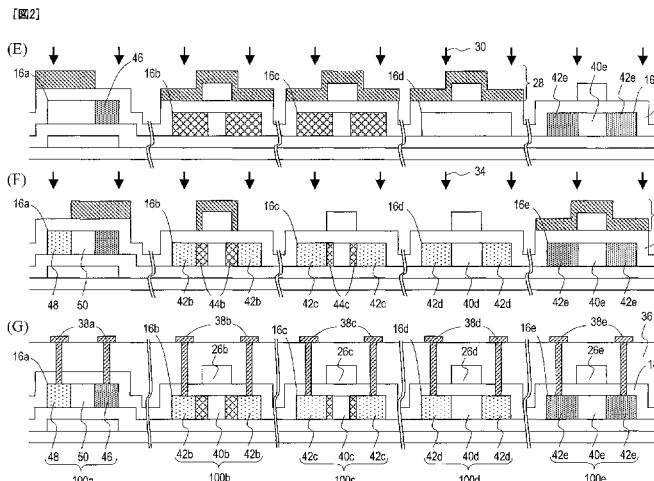
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A method for manufacturing a semiconductor device, which comprises: a step of forming a mask layer (20) on a gate insulating film (18), said mask layer (20) having openings above the regions to be a low-concentration impurity region and a source/drain region in first and second semiconductor layers; a step of forming implantation regions (24b, 24c) of a first conductivity type respectively in the first and second semiconductor layers by implanting an impurity (22) of the first conductivity type into the first and second semiconductor layers through the openings of the mask layer (20); a step of respectively forming first and second gate electrodes (26b, 26c) covering a part of the implantation regions of the first conductivity type and the regions to be channel regions in the first and second semiconductor layers; a step of forming another mask layer (28) which has openings above the regions of the implantation region (24b) of the first conductivity type in the first semiconductor layer, said regions being on both ends of the first semiconductor layer, the entire area of the second semiconductor layer and a part of a third semiconductor layer; and a step of implanting an impurity of the first conductivity type into the first, second and third semiconductor layers through the openings of the another mask layer (28).

(57) 要約:

[続葉有]



WO 2010/050160 A1



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体装置の製造方法は、ゲート絶縁膜 18 上に、第 1 および第 2 半導体層のうち低濃度不純物領域およびソース・ドレイン領域となる領域上に開口部を有するマスク層 20 を形成する工程と、マスク層 20 の開口部を介して、第 1 および第 2 半導体層に第 1 導電型の不純物 22 を注入することにより、第 1 および第 2 半導体層に第 1 導電型注入領域 24 b、24 c をそれぞれ形成する工程と、第 1 および第 2 半導体層のうち第 1 導電型注入領域の一部とチャネル領域となる部分とを覆う第 1 および第 2 ゲート電極 26 b、26 c をそれぞれ形成する工程と、第 1 半導体層の第 1 導電型注入領域 24 b のうち第 1 半導体層の両端部に位置する領域上と、第 2 半導体層の全体と、第 3 半導体層の一部との上に開口部を有する他のマスク層 28 を形成する工程と、他のマスク層 28 の開口部を介して第 1、第 2 および第 3 半導体層に第 1 導電型の不純物を注入する工程とを包含する。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、薄膜トランジスタ（Thin Film Transistor：TFT）を備えた半導体装置の開発が進められている。このような半導体装置の代表的な例として、アクティブマトリクス型液晶表示装置、有機EL表示装置などが挙げられる。このような表示装置は、携帯電話などの携帯電子機器を含む様々な電子機器に用いられる。

[0003] アクティブマトリクス型の表示装置では、表示領域にスイッチング素子として多数の薄膜トランジスタ（TFT）が設けられている。TFTは、使用するシリコン薄膜の結晶性に応じて、非晶質シリコンTFTおよび結晶質シリコンTFTに大別される。一般に、結晶質シリコン膜の電界効果移動度は非晶質シリコン膜の電界効果移動度よりも高いため、結晶質シリコンTFTは、非晶質シリコンTFTよりも高速に動作することが可能である。従って、結晶質シリコン膜を用いると、スイッチング素子として画素毎に設けられるTFT（「画素用TFT」と呼ぶ。）のみでなく、表示領域周辺に形成される駆動回路や種々の機能回路などの周辺回路を構成するTFT（「駆動回路用TFT」と呼ぶ。）をも同一基板上に形成することが可能になる。

[0004] また、最近では、画素用TFTおよび駆動回路用TFTに加えてフォトダイオードも同一基板上に形成し、光センサー機能を備えた表示装置、例えばタッチパネル式の表示装置やアンビニエントライトセンサー付きの表示装置などに使用することも提案されている。

[0005] ここで、画素用TFTおよび駆動回路用TFTは、それぞれに要求される特性に応じて、異なる構造を有することが好ましい。

[0006] 画素用TFTには、オフリーク電流が極めて小さいことが要求される。液

晶表示装置では、画面を書き換えるまでの１フレームの期間中、液晶に印加された電圧を保持する必要があるが、画素用ＴＦＴのオフ電流（オフリーク電流）が大きいと、液晶に印加された電圧が時間とともに低下して表示特性を劣化させる可能性があるからである。

[0007] 画素用ＴＦＴの構造として、例えばＴＦＴのチャネル領域とソース領域・ドレイン領域との間の少なくとも一方に低濃度不純物領域（*L i g h t l y D o p e d D r a i n*、以下「ＬＤＤ領域」と略することがある。）を形成した構造が知られている。このような構造は、「ＬＤＤ構造」と称されている。この構造では、ゲート電極のエッジと低抵抗なソース・ドレイン領域との間に、ソース・ドレイン領域よりも高抵抗なＬＤＤ領域を存在させるので、ＬＤＤ領域を有していない（「シングルドレイン構造」）ＴＦＴと比べてオフリーク電流を大幅に低減できる。また、ＬＤＤ領域によってドレイン近傍の電界集中を緩和することができるので、ホットエレクトロンによる劣化を抑制できる。「ホットエレクトロンによる劣化」とは、ドレイン近傍の電界集中によって生じたホットエレクトロンの一部がゲート絶縁膜の中に注入されたり、シリコン膜中に欠陥準位が形成されることによって、トランジスタの特性が変動することをいう。なお、ＬＤＤ領域の一部のみがゲート電極と重なっていてもよく、同様の効果が得られる。ただし、ＬＤＤ構造のＴＦＴでは、ＬＤＤ領域が抵抗となるので、シングルドレイン構造のＴＦＴよりも電流駆動力が低下してしまうという欠点もある。

[0008] 一方、駆動回路用ＴＦＴは高速動作を行う必要があるので、駆動回路用ＴＦＴには、電流駆動力が大きい、すなわちオン電流が大きいことが要求される。

[0009] 駆動回路用ＴＦＴの構造として、ＬＤＤ領域がゲート電極によってオーバーラップされた構造が知られている。このような構造は、「*G O L D (G a t e O v e r l a p p e d L D D)* 構造」と称されている。ＧＯＬＤ構造を有するＴＦＴでは、ゲート電極に電圧を印加すると、ゲート電極がオーバーラップしたＬＤＤ領域にキャリアとなる電子が蓄積される。よって、Ｌ

ＤＤ領域の抵抗を小さくすることができるので、ＴＦＴの電流駆動力の低下を抑えることができる。また、上述したＬＤＤ構造（ＬＤＤ領域の少なくとも一部がゲート電極と重なっていない構造）のＴＦＴよりもＬＤＤ領域の不純物濃度を低くできるので、ドレイン近傍の電界集中をより効果的に緩和でき、ホットエレクトロン劣化耐性を大幅に改善できる。

[0010] ただし、ＧＯＬＤ構造のＴＦＴは、前述したＬＤＤ構造のＴＦＴよりもオフリーク電流が大きくなるという欠点があり、画素用ＴＦＴには適さない。これは、ＴＦＴがオフ状態であっても、ゲート電極がオーバーラップしたＬＤＤ領域に蓄積層が形成されるためであると考えられる。

[0011] このように、ＴＦＴの用途および目的に応じて最適なＴＦＴ構造を選択する必要がある。従って、例えば駆動回路一体型のアクティブマトリクス基板を作製しようとする、互いに異なる構造を有する画素用ＴＦＴおよび駆動回路用ＴＦＴを同一基板上に形成しなければならない。

[0012] 特許文献１には、同一基板上に、駆動回路用ＴＦＴおよび画素用ＴＦＴを形成する方法が開示されている。この方法では、基板上に、駆動回路用ＴＦＴおよび画素用ＴＦＴの活性層となる複数の半導体層を形成した後、駆動回路用ＴＦＴの活性層となる半導体層のみに対して、レジストマスクを利用して、ＬＤＤ領域を形成するための不純物イオンの注入（１回目の低濃度不純物注入工程とよぶ。）を先に行っている。この方法では、１回目の低濃度不純物注入工程の後、各半導体層上にゲート電極を形成する。続いて、ゲート電極をマスクとして、画素用ＴＦＴの活性層となる半導体層に、ＬＤＤ領域を形成するための不純物イオンの注入（２回目の低濃度不純物注入工程とよぶ。）を行う。この後、駆動回路用および画素用ＴＦＴの活性層となる半導体層に対し、高濃度で不純物イオンを注入し、ソース・ドレイン領域を形成する。このようにして、画素用ＴＦＴとしてＬＤＤ構造ＴＦＴ、駆動回路用ＴＦＴとしてＧＯＬＤ構造ＴＦＴを作製している。

[0013] 特許文献１の方法によると、低濃度不純物注入工程を、ゲート電極の形成工程の前後にそれぞれ行う必要がある。このため、同じ構造を有する複数の

T F Tを作製する場合と比べて、製造工程数が増加し、製造コストも増大する。

[0014] 製造工程数および製造コストを低減し、生産性を向上させるためには、T F Tの作製に使用するフォトマスクの枚数を1枚でも減らすことが重要である。フォトマスクは、フォトリソグラフィーにより、エッチング工程やイオン注入工程でマスクとなるレジストパターンを形成するために使用される。従って、フォトマスクの枚数が1枚増えることは、エッチングやイオン注入などの工程の他に、フォトリソグラフィーによるレジストパターンの形成、レジストパターンの剥離、洗浄および乾燥工程が増加することを意味する。特にフォトリソグラフィーによるレジストパターンの形成には、レジスト塗布、プレベーク、露光、現像、ポストベークなどの煩雑な工程が行われる。このように、フォトマスクの枚数が1枚増えるだけでも、製造工程数および製造コストが増大し、リードタイムも長くなり、生産性を大幅に低下させてしまう。

[0015] そこで、フォトマスクを1枚でも減らすための種々のプロセスが提案されている（特許文献2～5）。

[0016] 例えば特許文献2および5に提案された方法では、半導体層上に2層構造のゲート電極を形成し、ゲート電極をマスクとして不純物を高濃度で半導体層に注入して、ソース・ドレイン領域を形成する。この後、ゲート電極の上層のみをエッチングしてその幅を小さくする。次いで、幅を小さくした上層をマスクとし、下層を介して、半導体層に不純物を低濃度で注入し、L D D領域を形成する。この方法によると、1枚のフォトマスクでG O L D構造T F Tを作製することができる。さらに、特許文献3には、基板上の複数の半導体層上に、それぞれ、幅の大きい下層と、下層よりも幅の小さい上層とからなる2層構造のゲート電極を形成し、ゲート電極の構造を利用して、L D D構造T F TおよびG O L D構造T F Tを作り分ける方法が提案されている。

[0017] 一方、特許文献6には、G O L D構造およびL D D構造T F Tの活性層と

なる半導体層に、それぞれチャネル領域となる部分を覆うレジストマスクを形成して、不純物イオンを低濃度で注入する方法が開示されている。この方法では、不純物イオンを低濃度で注入した後、上記レジストマスクを除去し、GOLD構造TFETの活性層となる半導体層上に、除去したレジストマスクよりも一回り大きいサイズのゲート電極を形成する。また、LDD構造TFETの活性層となる半導体層上には、除去したレジストマスクと同じサイズのゲート電極を、チャネル領域となる部分を覆うように形成する。続いて、LDD構造TFETの活性層となる半導体層のうちLDD領域として残す領域を覆うマスクを形成する。この後、これらの半導体層に高濃度で不純物イオンを注入して、ソース・ドレイン領域を形成する。この方法によると、特許文献1のように、不純物イオンを低濃度で注入するイオン注入工程を2回行う必要がない。

先行技術文献

特許文献

- [0018] 特許文献1：特開2005-328088号公報
特許文献2：特開2002-76351号公報
特許文献3：特開2005-243938号公報
特許文献4：特開2001-77373号公報
特許文献5：特開2001-320053号公報
特許文献6：特開2005-346503号公報

発明の概要

発明が解決しようとする課題

- [0019] 特許文献2および3の方法によると、ゲート電極エッチングを2回に分けて行うので、ゲート電極幅の制御が困難となり、その結果、TFETの駆動能力にバラツキが生じる可能性がある。
- [0020] 特許文献6の方法では、LDD構造TFETの活性層となる半導体層上に、除去したレジストマスクと同じサイズのゲート電極を形成する。低濃度でイ

オン注入を行った際に用いたレジストマスクと、その後に形成するゲート電極とのサイズは略等しい。このため、ゲート電極のアライメントずれが生じると、半導体層のうち低濃度で不純物イオンが注入されなかった領域（チャネル領域）の位置とゲート電極の位置とがずれてしまう。その結果、ゲート電極の端部とＬＤＤ領域との間に高抵抗な領域が存在し、オン抵抗が大幅に増大するおそれがある。

[0021] 従って、従来の方法では、ＴＦＴなどの半導体素子の信頼性を確保しつつ、フォトマスクの使用枚数を削減することが難しいという問題があった。

[0022] さらに、駆動回路一体型のアクティブマトリクス基板などの半導体装置では、例えばＬＤＤ構造およびＧＯＬＤ構造のｎチャネル型ＴＦＴに加えて、シングルドレイン構造のｎチャネル型ＴＦＴ、シングルドレイン構造のｐチャネル型ＴＦＴも同一基板上に作り込まれることもある。また、アクティブマトリクス基板を光センサー機能付きの表示装置に用いる場合には、上記ＴＦＴと同時にダイオードも同一基板上に作り込むことが好ましい。このように、種々の構造のＴＦＴおよびダイオード（ＴＦＤ）を形成する際には、フォトマスクの枚数がさらに増加し、製造工程が極めて複雑になる。従って、素子の信頼性を損なうことなく、フォトマスクの枚数を削減することがより重要である。

[0023] 本発明は、上記事情に鑑みてなされたものであり、その主な目的は、ＬＤＤ構造のＴＦＴ、ＧＯＬＤ構造のＴＦＴおよびＴＦＤを含む複数の半導体素子を同一基板上に備えた半導体装置の製造方法において、半導体素子の信頼性を低下させることなく、フォトマスクの使用枚数を削減して生産性を向上させることにある。

課題を解決するための手段

[0024] 本発明の半導体装置の製造方法は、少なくとも２つの薄膜トランジスタと、ダイオードとを同一基板上に備えた半導体装置の製造方法であって、（ａ）基板上に、薄膜トランジスタ形成用の島状の第１および第２半導体層と、ダイオード形成用の島状の第３半導体層とを形成する工程と、（ｂ）前記第

1、第2および第3半導体層を覆うゲート絶縁膜を形成する工程と、（c）前記第1および第2半導体層のうち低濃度不純物領域およびソース・ドレイン領域となる領域上の前記ゲート絶縁膜を露出する開口部を有するマスク層を形成する工程と、（d）前記マスク層の開口部を介して、前記ゲート絶縁膜の上方から前記第1および第2半導体層に第1導電型の不純物を注入することにより、前記第1および第2半導体層に第1導電型注入領域をそれぞれ形成する工程と、（e）前記ゲート絶縁膜上に、前記第1および第2半導体層のうち前記第1導電型注入領域の一部と前記チャネル領域となる部分とを覆う第1および第2ゲート電極をそれぞれ形成する工程と、（f）前記第1半導体層の前記第1導電型注入領域のうち前記第1半導体層の両端部に位置する領域、前記第2半導体層の全体および前記第3半導体層の一部上の前記ゲート絶縁膜を露出する開口部を有する他のマスク層を形成する工程と、（g）前記他のマスク層の開口部を介して、前記ゲート絶縁膜の上方から前記第1、第2および第3半導体層に前記第1導電型の不純物を注入することにより、前記第1半導体層にソース・ドレイン領域を形成し、前記第2半導体層のうち前記第2ゲート電極で覆われていない領域にソース・ドレイン領域を形成し、かつ、前記第3半導体層に第1導電型領域を形成するとともに、前記第1および第2半導体層の前記第1導電型注入領域のうち前記ソース・ドレイン領域が形成されなかった領域を低濃度不純物領域とする工程とを包含する。

[0025] ある好ましい実施形態において、前記第3半導体層の他の一部に、前記第1導電型と異なる第2導電型の不純物を注入することにより、前記第3半導体層に第2導電型領域を形成する工程（h）をさらに包含する。

[0026] ある好ましい実施形態において、前記工程（a）は、他の薄膜トランジスタ形成用の島状の第4半導体層を形成する工程をさらに含み、前記第4半導体層のチャネル領域となる部分を覆うように第4ゲート電極を形成する工程（i 1）と、前記第4ゲート電極をマスクとして、前記第4半導体層に前記第2導電型の不純物を注入することにより、前記第4半導体層にソース・ド

レイン領域を形成する工程（i 2）とをさらに包含し、前記工程（i 1）は前記工程（e）と同時に行われ、前記工程（i 2）は前記工程（h）と同時に行われる。

[0027] 前記工程（d）および（g）において、前記第4半導体層には前記第1導電型の不純物は注入されないことが好ましい。

[0028] 前記工程（d）は、前記第4半導体層の全体に前記第1導電型の不純物を注入する工程をさらに含んでもよい。

[0029] ある好ましい実施形態において、前記工程（a）は、他の薄膜トランジスタ形成用の島状の第5半導体層を形成する工程をさらに含み、前記第5半導体層のチャネル領域となる部分を覆うように第5ゲート電極を形成する工程（j 1）と、前記第5ゲート電極をマスクとして、前記第5半導体層に前記第1導電型の不純物を注入することにより、前記第5半導体層にソース・ドレイン領域を形成する工程（j 2）とをさらに包含し、前記工程（d）において、前記第5半導体層には前記第1導電型の不純物は注入されず、前記工程（j 1）は前記工程（e）と同時に行われ、前記工程（j 2）は前記工程（g）と同時に行われる。

[0030] 前記第1導電型はn型であり、前記第2導電型はp型であってもよい。

[0031] 本発明の半導体装置は、第1および第2薄膜トランジスタとダイオードとを同一基板上に備えた半導体装置であって、前記第1および第2薄膜トランジスタは、それぞれ、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、第1導電型の不純物を含むソース・ドレイン領域と、前記チャネル領域と前記ソース領域および前記ドレイン領域との間にそれぞれ設けられ、前記ソース領域および前記ドレイン領域よりも低濃度で前記第1導電型の不純物を含む低濃度不純物領域とを有する半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられ、少なくとも前記チャネル領域と重なるように配置されたゲート電極とを有し、前記ダイオードは、第1導電型の不純物を含む第1導電型領域と、前記第1導電型と異なる第2導電型の不純物を含む第2導電型領域とを含む半導体層を有し、前

記第 1 薄膜トランジスタにおいて、前記ゲート電極は前記低濃度不純物領域の一部と重なっており、前記第 2 薄膜トランジスタにおいて、前記ゲート電極は前記低濃度不純物領域の全体と重なっており、前記第 1 および第 2 薄膜トランジスタの前記低濃度不純物領域および前記ソース・ドレイン領域は同一の不純物元素を含み、前記第 1 および第 2 薄膜トランジスタの前記低濃度不純物領域の厚さ方向における前記第 1 導電型の不純物の濃度プロファイルは略等しく、前記第 1 および第 2 薄膜トランジスタの前記ソース・ドレイン領域の厚さ方向における前記第 1 導電型の不純物の濃度プロファイルは略等しい。

[0032] ある好ましい実施形態において、前記第 2 薄膜トランジスタにおいて、前記ゲート電極の端部は、前記ソース領域または前記ドレイン領域の端部と整合しており、前記第 1 薄膜トランジスタにおいて、前記ゲート電極の端部は、前記低濃度不純物領域の端部、前記ソース領域の端部および前記ドレイン領域の端部の何れとも整合していない。

[0033] 前記基板上に形成された第 3 薄膜トランジスタをさらに備え、前記第 3 薄膜トランジスタは、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、前記第 2 導電型の不純物を含むソース・ドレイン領域とを含む半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、前記ダイオードの第 2 導電型領域と、前記第 3 薄膜トランジスタの前記ソース・ドレイン領域との厚さ方向における前記第 2 導電型の不純物の濃度プロファイルは略等しく、前記第 3 薄膜トランジスタの前記ソース・ドレイン領域は前記第 1 導電型の不純物を含んでいなくてもよい。

[0034] 前記基板上に形成された第 4 薄膜トランジスタをさらに備え、前記第 4 薄膜トランジスタは、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、前記第 1 導電型の不純物を含むソース・ドレイン領域とを含む半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、前記ダイオードの第 1 導電型領域と、

前記第４薄膜トランジスタの前記ソース・ドレイン領域との厚さ方向における前記第１導電型の不純物の濃度プロファイルは略等しく、前記第４薄膜トランジスタにおいて、前記ソース・ドレイン領域の端部は、前記ゲート電極の端部と整合していてもよい。

発明の効果

- [0035] 本発明によると、生産性に優れた簡便な方法で、信頼性の高い半導体装置を製造できる。特に、ＬＤＤ構造のＴＦＴおよびＧＯＬＤ構造のＴＦＴのＬＤＤ領域を形成するためのイオン注入工程を共有させることにより、フォトマスクの使用枚数を削減できる。また、ＴＦＴのソース・ドレイン領域およびＴＦＤのｎ型またはｐ型領域を形成するためのイオン注入工程を共有してもよく、これにより、フォトマスクの使用枚数をさらに削減できる。
- [0036] さらに、上記ＴＦＴおよびＴＦＤと同一基板上に、上記ＴＦＴと逆導電型のＴＦＴを作製することもできる。このとき、製造工程数を増加させることなく、かつ、カウンタードープを行うことなく、逆導電型のＴＦＴのソース・ドレイン領域を形成できるので好ましい。
- [0037] 本発明は、駆動回路一体型のアクティブマトリクス基板に好適に用いられ得る。ＬＤＤ構造のＴＦＴを画素用ＴＦＴとして用い、ＧＯＬＤ構造のＴＦＴを駆動回路用ＴＦＴとして用いると、オフ特性に優れた画素用ＴＦＴとオン特性に優れた駆動回路用ＴＦＴとを同時に実現できる。また、ダイオードを駆動回路などの回路で使用してもよいし、光センサーとして機能させることもできる。

図面の簡単な説明

- [0038] [図１]（Ａ）～（Ｄ）は、本発明による第１の実施形態の半導体装置の製造方法を説明するための模式的な工程断面図である。
- [図２]（Ｅ）～（Ｇ）は、本発明による第１の実施形態の半導体装置の製造方法を説明するための模式的な工程断面図である。
- [図３]（ａ）および（ｂ）は、本発明による第１の実施形態の方法で作製された薄膜トランジスタの半導体層とゲート電極との位置関係を示す断面図であ

り、（a）は設計通りに作製された場合、（b）はアライメントずれが生じた場合を例示する図である。

[図4]（a）および（b）は、特許文献6に記載された方法で作製された薄膜トランジスタの半導体層とゲート電極との位置関係を示す断面図であり、（a）は設計通りに作製された場合、（b）はアライメントずれが生じた場合を例示する図である。

[図5]（A）～（C）は、本発明による第1の実施形態の半導体装置の他の製造方法を説明するための工程断面図である。

[図6]（D）および（E）は、本発明による第1の実施形態の半導体装置の他の製造方法を説明するための工程断面図である。

[図7]（A）～（D）は、参考例の半導体装置の製造方法を説明するための工程断面図である。

[図8]（E）～（G）は、参考例の半導体装置の製造方法を説明するための工程断面図である。

[図9]本発明による第2実施形態の光センサーTFDの回路図である。

[図10]本発明による第2実施形態の光センサー方式のタッチパネルの構成図である。

[図11]本発明による第2実施形態のタッチパネル方式の液晶表示装置における背面基板を例示する模式的な平面図である。

[図12]本発明による第2実施形態のアンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。

発明を実施するための形態

[0039] 以下、図面を参照しながら、本発明による半導体装置の実施形態を説明する。本明細書では、「半導体装置」は、機能回路が形成された基板やアクティブマトリクス基板、および、液晶表示装置や有機EL表示装置などの表示装置を広く含むものとする。

[0040] （第1の実施形態）

以下、図面を参照しながら、本発明による第1の実施形態の半導体装置を

製造する方法を説明する。ここでは、同一の半導体膜を用いて、ダイオード（TFD）、LDD構造を有するnチャネル型TFET、GOLD構造を有するnチャネル型TFET、シングルドレイン構造のnチャネル型TFETおよびシングルドレイン構造のpチャネル型TFETを同一基板上に作りこむ方法を例に説明する。

[0041] 図1（A）～（D）および図2（E）～（G）は本実施形態の半導体装置を製造する方法を示す模式的な工程断面図である。

[0042] まず、図1（A）に示すように、基板11の表面のうちTFDが形成される領域に遮光層（厚さ：例えば30～200nm）12を形成した後、基板11を覆う絶縁膜（厚さ：例えば500nm）14を形成する。

[0043] 基板11は絶縁性の表面を有する基板であればよく、石英基板、ガラス基板の他、表面が絶縁層で覆われたSi基板や金属基板を用いてもよい。遮光層12は、金属膜またはケイ素膜等を堆積し、パターニングを行うことによって形成できる。金属膜としては、後の製造工程における熱処理を考慮し、高融点金属であるタンタル（Ta）やタングステン（W）、モリブデン（Mo）からなる膜を用いることが好ましい。本実施形態では、遮光層12を、最終製品において、TFDに対する基板裏面方向からの光を遮るように配置する。絶縁膜14は、例えばプラズマCVD法で形成される。絶縁膜14は、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜であってもよい。

[0044] 次に、図1（B）に示すように、絶縁膜14上に島状の半導体層16a～16eを形成し、続いて、これらの半導体層16a～16eを覆うゲート絶縁膜（厚さ：例えば100nm）18を形成する。

[0045] 半導体層16a～16eは、結晶質半導体膜（結晶質シリコン膜）を用いて形成される。具体的には、まず、プラズマCVD法やスパッタ法などの公知の方法を用いて、非晶質構造を有する半導体膜（ここでは、非晶質シリコン膜）を堆積する。非晶質シリコン膜の厚さは例えば20nm以上100nm以下とする。なお、絶縁膜14と非晶質シリコン膜とを同じ方法で形成する場合には、両者を連続形成してもよい。この後、非晶質シリコン膜を結晶

化させて結晶質シリコン膜を得る。非晶質シリコン膜の結晶化は公知の方法で行うことができる。例えば、非晶質シリコン膜にレーザー光を照射することにより結晶化させてもよい。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、結晶化を助長するための触媒元素、たとえばN i等を非晶質シリコン表面に付着させた後、熱処理（例えばレーザー照射）により非晶質シリコン膜を結晶化させておいてもよい。得られた結晶質シリコン膜に対して、フォトリソグラフィーおよびエッチングによりパターニングを行い、複数の島状の半導体層 1 6 a ~ 1 6 e を得る。

[0046] なお、図 1 (B) では、簡単のため、ダイオードの活性層となる半導体層 1 6 a、LDD構造を有するnチャネル型TFTの活性層となる半導体層 1 6 b、GOLD構造を有するnチャネル型TFTの活性層となる半導体層 1 6 c、シングルドレイン構造を有するnチャネル型TFTの活性層となる半導体層 1 6 d、およびpチャネル型TFTの活性層となる半導体層 1 6 eをそれぞれ1つずつ並べて示しているが、各半導体層の個数や配置は図示する例に限定されない。

[0047] ゲート絶縁膜 1 8 としては、例えば厚さが100nmの酸化ケイ素(SiO₂)膜を形成する。ゲート絶縁膜 1 8 の形成は、CVD法を用いて行うことができる。

[0048] 次に、図 1 (C) に示すように、マスク層 2 0 として、半導体層 1 6 b、1 6 cのうちLDD領域およびソース・ドレイン領域となる領域上のゲート絶縁膜 1 8 を露出する開口部を有するレジスト膜を形成する。この後、マスク層 2 0 の開口部を介して半導体層 1 6 b、1 6 cに不純物イオン 2 2 を注入して、半導体層 1 6 b、1 6 cに、不純物イオン 2 2 を低濃度で含む不純物イオン注入領域 2 4 b、2 4 cをそれぞれ形成する。なお、半導体層 1 6 a、1 6 d、1 6 eの全体はマスク層 2 0 によってマスクされているので、これらの半導体層には不純物イオン 2 2 が注入されない。

[0049] 本実施形態では、不純物イオン 2 2 としてリンイオンを注入する。注入の

際の加速電圧は例えば80 kV、ドーズ量は $1 \times 10^{13} / \text{cm}^2$ とする。半導体層16b、16cのうち不純物イオン22が注入されなかった領域は、それぞれ、チャネル領域40b、40cとなる。

[0050] 次いで、マスク層20を除去し、図1(D)に示すように、半導体層16b~16e上にそれぞれゲート電極26b~26eを形成する。このうちゲート電極26b、26cは、半導体層16b、16cのうちチャネル領域40b、40cと、不純物イオン注入領域24b、24cの一部（チャネル領域40b、40cの両端部に位置する部分）とを覆うように形成される。ゲート電極26d、26eは、半導体層16d、16eのうちチャネル領域となる部分を覆うように形成される。ゲート電極26b~26eの形成は、例えば、スパッタ法により、ゲート絶縁膜18上にタングステン(W)膜（厚さ：例えば400 nm）を形成した後、W膜上にフォトリソを形成し、フォトリソをマスクとしてW膜をエッチングすることによって行うことができる。なお、ゲート電極26b~26eを、例えばTa₂N₅膜およびW膜からなる積層膜をパターニングすることによって形成してもよい。

[0051] 次に、図2(E)に示すように、マスク層28として、半導体層16aの一部および半導体層16eのソース・ドレイン領域となる領域上のゲート絶縁膜18を露出する開口部を有するレジスト膜（不図示）を形成する。この後、マスク層28の開口部を介して、半導体層16a、16eにp型の不純物イオン30を高濃度で注入する。これにより、半導体層16aにp型領域46が形成され、半導体層16eにソース・ドレイン領域42eが形成される。半導体層16eのうち不純物イオン30が注入されなかった領域はチャネル領域40eとなる。なお、半導体層16b~16dの全体はマスク層28によってマスクされているので、これらの半導体層には不純物イオン30が注入されない。

[0052] 本実施形態では、不純物イオン30としてボロンイオンを注入する。注入の際の加速電圧は例えば80 kVとする。また、本工程におけるドーズ量は、図1(C)に示すイオン注入工程におけるドーズ量よりも高くなるように

設定されればよく、例えば $3 \times 10^{15} / \text{cm}^2$ とする。

[0053] この後、マスク層 28 を除去する。続いて、図 2 (F) に示すように、さらに他のマスク層 32 として、半導体層 16 a の p 型領域 46 以外の領域の一部、半導体層 16 b の不純物イオン注入領域 24 b の両端部（ソース・ドレイン領域となる領域）、および半導体層 16 c、16 d の上に位置するゲート絶縁膜 18 を露出する開口部を有するレジスト膜（厚さ：1.5 μm 程度（不図示））を形成する。この後、マスク層 32 およびゲート絶縁膜 18 の上方から n 型の不純物イオン 34 を高濃度で注入する。これにより、半導体層 16 a に n 型領域 48 が形成され、半導体層 16 b にソース・ドレイン領域 42 b が形成される。また、半導体層 16 c、16 d のうちゲート電極 26 c、26 d で覆われていない領域は、それぞれ、ソース・ドレイン領域 42 c、42 d となる。また、半導体層 16 a のうち、前工程で不純物イオン 30（図 2 (E)）が注入されず、かつ、本工程でも不純物イオン 34 が注入されなかった領域は真性領域 50 となる。半導体層 16 b、16 c の不純物イオン注入領域 24 b、24 c のうち不純物イオン 34 が注入されなかった領域は、低濃度不純物（LDD）領域 44 b、44 c となり、半導体層 16 d のうち不純物イオン 34 が注入されなかった領域はチャネル領域 40 d となる。

[0054] 本実施形態では、不純物イオン 34 としてリンイオンを用いる。また、注入の際の加速電圧を 50 kV とする。本工程におけるドーズ量は、図 1 (C) に示すイオン注入工程におけるドーズ量よりも高くなるように設定されればよく、例えば $3 \times 10^{15} / \text{cm}^2$ とする。

[0055] 次いで、マスク層 32 を除去した後、熱処理により、n 型領域 48、p 型領域 46、LDD 領域 44 b、44 c、および、ソース・ドレイン領域 42 b ~ 42 e の不純物イオンを活性化させる。熱処理の方法として、炉アニール法、ランプアニール法、レーザーアニール法などを用いることができる。

[0056] この後、図 2 (G) に示すように、ゲート電極 26 b ~ 26 e および半導体層 16 a ~ 16 e を覆うように層間絶縁膜 36 を形成する。層間絶縁膜 3

6は、SiN膜およびSiO₂膜からなる積層構造を有していてもよい。層間絶縁膜36に、半導体層16aのn型・p型領域48、46および半導体層16b~16eのソース・ドレイン領域42b~42eにそれぞれ達するコンタクトホールを設けた後、層間絶縁膜36上（コンタクトホールの内部を含む）に、例えばスパッタ法で導電膜（図示せず）を形成する。この導電膜から、フォトリソグラフィー法及びエッチング法等により、所望の形状の電極38a~38eを形成する。このようにして、ダイオード100a、nチャネル型薄膜トランジスタ100b~100dおよびpチャネル型薄膜トランジスタ100eを得る。

[0057] 上記方法では、薄膜トランジスタ100cは自己整合プロセスを利用して作製されるので、ソース・ドレイン領域42cのLDD領域44c側の端部は、ゲート電極26cの一方の端部と整合する。一方、薄膜トランジスタ100bでは、低濃度および高濃度で行う何れのイオン注入工程でもゲート電極26bをマスクとする自己整合プロセスを利用しない。従って、ゲート電極26bの端部は、LDD領域44b、ソース・ドレイン領域42bの何れの端部とも整合しない。

[0058] 薄膜トランジスタ100bでは、LDD領域44bの一部はゲート電極26bと重なっていない（LDD構造）。このような構成では、ゲート電極26bの端部とソース・ドレイン領域42bとの間にLDD領域44bが存在するので、オフリーク電流を抑制することができる。従って、本実施形態の半導体装置を表示装置に適用する場合には、薄膜トランジスタ100bを画素用TFTとして好適に用いることができる。なお、後述するように、ゲート電極26bのチャネル方向に沿った幅を、チャネル領域40bの幅（チャネル長）よりも十分大きくなるように設計することによって、アライメントずれに起因するオン特性の低下を防止することができる。

[0059] また、薄膜トランジスタ100cでは、ゲート電極26cはLDD領域44cの全体およびチャネル領域40cと重なっている（GOLD構造）。このような構造によると、ゲート電極26cの端部での電界集中を緩和できる

ので、ホットエレクトロン劣化を効果的に抑制できる。また、LDD領域44cの全体がゲート電極26cによってオーバーラップされており、ゲート電極26cに電圧を印加すると、LDD領域44cに電子を蓄積できる。よって、LDD領域44cに起因するオン電流の低下を抑制できる。従って、本実施形態の半導体装置を表示装置に適用する場合には、薄膜トランジスタ100cを駆動回路用TFTとして好適に用いることができる。

[0060] なお、本実施形態における「LDD領域」は、その不純物濃度が $3 \times 10^{17} \text{ atoms/cm}^3$ 以上であり、かつ、ソース・ドレイン領域の不純物濃度よりも低い領域を指す。従って、半導体層のうち極めて低濃度（ $3 \times 10^{17} \text{ atoms/cm}^3$ 未満）で不純物を含む領域を含まない。例えばLDD領域に注入された不純物の一部がゲート電極の下にあるチャネル領域まで拡散する場合もあるが、不純物が拡散した部分の不純物濃度は極めて低いと考えられるため、そのような部分は「LDD領域」には含まれない。

[0061] 本実施形態によると、薄膜トランジスタ100b、100cとなる半導体層16b、16cに低濃度で不純物を注入する工程、および、高濃度で不純物を注入する工程を同時に行う。従って、薄膜トランジスタ100b、100cのLDD領域44b、44cは同一の不純物元素を含み、その厚さ方向における濃度プロファイルは略等しくなる。同様に、ソース・ドレイン領域42b、42cは同一の不純物元素を含み、その厚さ方向における濃度プロファイルは略等しくなる。

[0062] また、上記方法では、薄膜トランジスタ100dのソース・ドレイン領域42d、およびダイオード100aのn型領域48も、ソース・ドレイン領域42b、42cと同一の注入工程によって形成されるので、ソース・ドレイン領域42b、42cと同一の不純物元素を含み、その厚さ方向における濃度プロファイルも略等しくなる。また、薄膜トランジスタ100eのソース・ドレイン領域42eと、ダイオード100aのp型領域46とを同一の注入工程によって形成するため、ソース・ドレイン領域42eおよびp型領域46は同一の不純物元素を含み、その厚さ方向における濃度プロファイル

は略等しくなる。

[0063] このように、本実施形態では、不純物の注入工程を共有するので、製造工程数および製造コストを低減できる。特に、後述する参考例のプロセスと比較すると、低濃度で不純物を注入するためのフォトマスクの数を1つ低減できるので、製造工程を大幅に簡略化できる。

[0064] さらに、上記方法によると、pチャネル型TFTの活性層となる半導体層16eにはn型不純物が注入されないため、p型不純物を高濃度で注入する、いわゆるカウンタードープを行う必要がない。従って、例えば特許文献1に記載された方法よりも有利である。カウンタードープを行う場合、より高い濃度で不純物を注入しなければならないので、製造コストが上昇して生産性が低下するだけでなく、高濃度の不純物によって半導体層の結晶性が低くなり、製品の品質が低下するおそれがあるからである。さらに、本実施形態によると、工程数を増やすことなく、カウンタードープを回避できるので好ましい。

[0065] また、特許文献6に記載された方法と比べると、次のようなメリットもある。図3(a)は、本実施形態の方法によって得られたゲート電極26bおよび半導体層16bを例示する模式的な拡大断面図である。簡単のため、図1および図2と同様の構成要素には同じ参照符号を付し、説明を省略する。上記方法では、図3(a)に示すような構成が得られるように、各マスク層20、32やゲート電極26bの設計を行う。しかしながら、ゲート電極26bを形成する際に、アライメントずれが発生して、図3(b)のようにゲート電極26bの位置が設計された位置からずれてしまう場合がある。このような場合でも、アライメント精度を考慮して、チャネル長およびゲート電極26bのサイズを決めておくことにより、チャネル領域40bをゲート電極26bで確実に覆うことが可能である。

[0066] これに対し、特許文献6に記載された方法では、図4(a)に示すように、ゲート電極86は、チャネル領域80、LDD領域84およびソース・ドレイン領域82が形成された半導体層88のうちチャネル領域80上に配置

され、チャネル方向に沿ってチャネル領域 80 と略同じ長さを有するように設計されている。従って、ゲート電極 86 を形成する際には、LDD 領域 84 を形成した後、チャネル領域 80 の端部とゲート電極 86 の端部とが整合するように厳密に位置合わせを行う必要がある。ゲート電極のアライメントずれが生じると、図 4 (b) に示すように、チャネル領域 80 の一部がゲート電極 86 と重ならなくなる。この部分が抵抗領域となるため、TFT のオン抵抗が著しく増大してしまう。

[0067] このように、本実施形態によると、アライメントずれに起因する TFT 特性のバラツキを抑制しつつ、フォトマスクの枚数を減少させることができる。

[0068] なお、本実施形態の半導体装置の構成は、同一基板上に、ダイオード、LDD 構造の TFT および GOLD 構造の TFT を少なくとも 1 つずつ備えていればよく、シングルドレイン構造の TFT や p チャネル型 TFT を備えていなくてもよい。透光性を有さない基板を使用する場合には、TFT の基板側に遮光層を設けなくてもよい。また、製造方法も図 1 および図 2 に示す方法に限定されない。例えば、高濃度で p 型不純物を注入する工程を、高濃度で n 型不純物を注入する工程よりも後に行ってもよい。

[0069] TFT および TFT に含まれる各層の形成方法や材料、厚さ、不純物の種類、各 LDD 領域の不純物濃度などは適宜選択され得る。TFT のチャネル長や LDD 領域のサイズ（チャネル方向の長さ）も適宜選択され得る。また、さらに他の構造の TFT や TFT を備えていてもよい。例えば、1 つの半導体層上に複数のゲート電極を設けて、いわゆるマルチゲート構造 TFT を形成してもよい。

[0070] さらに、以下に説明するように、低濃度で不純物イオンを注入する工程を利用して、TFT の閾値を調整するためのチャネルドーピングを行うこともできる。

[0071] 図 5 (A) ~ (C)、図 6 (D) および (E) は、本実施形態の半導体装置の他の製造方法を説明するための工程断面図である。簡単のため、図 1 お

よび図2と同様の構成要素には同じ参照符号を付して説明を省略する。

[0072] まず、図5(A)に示すように、図1(A)および(B)を参照して前述した方法と同様の方法で、基板11上に、遮光層12、絶縁膜14、半導体層16a~16eおよびゲート絶縁膜18を形成する。

[0073] この後、図5(B)に示すように、ゲート絶縁膜18上にマスク層20'を形成し、半導体層16b~16dに低濃度でn型の不純物イオン22を注入する。マスク層20'は、半導体層16dの全体を開口する開口部を有している点で、図1(C)に示すマスク層20と異なる。従って、半導体層16b、16cのLDD領域およびソース・ドレイン領域となる領域のみでなく、シングルドレイン構造TF形成用の半導体層16dの全体にもn型不純物イオンが低濃度で注入される。

[0074] 続いて、図5(C)、図6(D)および(E)に示すように、図1(D)、図2(E)および(F)を参照して前述した方法と同様の方法で、ゲート電極26b~26eの形成工程、p型不純物イオンを高濃度で注入する工程、およびn型不純物イオンを高濃度で注入する工程を行う。この後、図示しないが、層間絶縁膜および配線・電極を形成することにより、ダイオード、LDD構造のnチャネル型薄膜トランジスタ、GOLD構造のnチャネル型薄膜トランジスタ、シングルドレイン構造のnチャネル型薄膜トランジスタ、およびpチャネル型薄膜トランジスタが得られる。

[0075] なお、従来は、自己整合プロセスを最大限に利用する目的で、LDD構造のTFを作製する際には、ゲート電極をマスクとしてLDD領域を形成し、GOLD構造のTFを作製する際には、ゲート電極をマスクとしてソース・ドレイン領域を形成していた。同一基板上にこれらのTFを作り込む場合、上記のそれぞれの形成方法を適用すると、以下に説明する参考例のようなプロセスとなる。

[0076] <参考例のプロセス>

図7(A)~(D)、図8(E)~(G)は、参考例による4種類のTFおよびTFDの作製方法を示す断面工程図である。ここでは、TFD、L

DD構造のnチャネル型TFET、GOLD構造のnチャネル型TFET、シングルドレイン構造のnチャネル型TFETおよびpチャネル型TFETを同一基板上に作製する方法を例に説明する。簡単のため、図1および図2に示す構成要素と同様の構成要素には同じ参照符号を付し、説明を省略する。

[0077] まず、図7(A)および(B)に示すように、基板11の上に、遮光層12、絶縁膜14、半導体層16a~16eおよびゲート絶縁膜18を形成する。形成方法は、図1(A)および(B)を参照しながら説明した方法と同様である。

[0078] 次に、図7(C)に示すように、ゲート絶縁膜18の上に、マスク層120として、半導体層16cのうちLDD領域およびソース・ドレイン領域となる領域上に開口部を有するレジスト膜を形成する。この後、マスク層120の開口部にn型の不純物イオン（例えばリンイオン）を低濃度で注入して、半導体層16cに不純物イオン注入領域124cを形成する（1回目の低濃度不純物注入工程）。半導体層16cのうちリンイオンが注入されなかった領域は、チャネル領域40cとなる。

[0079] この後、マスク層120を除去し、図7(D)に示すように、半導体層16b~16e上にそれぞれゲート電極26b~26eを形成する。このうちゲート電極26cは、半導体層16cのうちチャネル領域40cと、不純物イオン注入領域124cの一部（チャネル領域40cの両端部に位置する部分）とを覆うように形成される。ゲート電極26b、26d、26eは、半導体層16b、16d、16eのうちチャネル領域となる部分を覆うように形成される。

[0080] 次に、図8(E)に示すように、マスク層121を形成して半導体層16aの全体をマスクする。この状態で、半導体層16b~16eにn型の不純物イオン（例えばリン）を低濃度で注入する（2回目の低濃度不純物注入工程）。これにより、半導体層16bに不純物イオン注入領域125bが形成される。また、半導体層16cのうちゲート電極26cと重なっていない部分にさらにリンイオンが注入されて不純物イオン注入領域125cとなる。

このとき、不純物イオン注入領域 1 2 4 c のうちゲート電極 2 6 c で覆われており、本工程でリンイオンが注入されなかった領域が L D D 領域 1 4 4 c となる。さらに、半導体層 1 6 d、1 6 e のうちゲート電極 2 6 d、2 6 e と重なっていない部分にも不純物イオン注入領域 1 2 5 d、1 2 5 e が形成される。半導体層 1 6 d、1 6 e のうちリンイオンが注入されなかった領域はチャネル領域 4 0 d、4 0 e となる。

[0081] 続いて、図 8 (F) に示すように、マスク層 1 2 8 として、半導体層 1 6 a の一部および半導体層 1 6 e 上に開口部を有するレジスト膜を形成する。この後、マスク層 1 2 8 の開口部を介して、半導体層 1 6 a、1 6 e に p 型の不純物イオン（例えばボロンイオン）を高濃度で注入する。これにより、半導体層 1 6 a に p 型領域 4 6 が形成され、半導体層 1 6 e にソース・ドレイン領域 4 2 e が形成される。なお、半導体層 1 6 e には、前工程でリンイオンが注入されているため、本工程によって p 型のソース・ドレイン領域 4 2 e を形成しようとする、注入されたリンイオンを反転させる必要がある（カウンタードープ）。従って、ドーズ量をより高く設定しなければならない。

[0082] この後、マスク層 1 2 8 を除去する。続いて、図 8 (G) に示すように、さらに他のマスク層 1 3 2 として、半導体層 1 6 a のうち p 型領域 4 6 以外の領域の一部、半導体層 1 6 b の不純物イオン注入領域 1 2 5 b の両端部（ソース・ドレイン領域となる領域）、および半導体層 1 6 c、1 6 d の全体の上に位置するゲート絶縁膜 1 8 を露出する開口部を有するレジスト膜（厚さ：1.5 μm 程度）を形成する。続いて、マスク層 1 3 2 およびゲート絶縁膜 1 8 の上方から n 型の不純物イオン（例えばリンイオン）を高濃度で注入する。これにより、半導体層 1 6 a のうちマスク層 1 3 2 の開口部を介してリンイオンが注入された領域は n 型領域 4 8 となり、半導体層 1 6 b のうちマスク層 1 3 2 の開口部を介してリンイオンが注入された領域はソース・ドレイン領域 1 4 2 b となり、半導体層 1 6 c、1 6 d のうちゲート電極 2 6 c、2 6 d で覆われていない領域は、それぞれ、ソース・ドレイン領域 1

4 2 c、1 4 2 dとなる。また、半導体層 1 6 aのうちリンイオンもボロニイオンも注入されなかった領域は真性領域 5 0となる。半導体層 1 6 bの不純物イオン注入領域 1 2 5 bのうちマスク層 1 3 2でマスクされ、リンイオンが高濃度で注入されなかった領域は、L D D領域 1 4 4 bとなる。

[0083] このようにして、基板 1 1上に、ダイオード 2 0 0 a、L D D構造の nチャネル型薄膜トランジスタ 2 0 0 b、G O L D構造の nチャネル型薄膜トランジスタ 2 0 0 c、シングルドレイン構造の nチャネル型薄膜トランジスタ 2 0 0 dおよび pチャネル型薄膜トランジスタ 2 0 0 eを得る。

[0084] 上記の参考例の方法によると、全部で 7 枚のフォトマスクが必要である。具体的には、(1) 遮光層 1 2を形成するためのエッチング工程、(2) 半導体層 1 6 a ~ 1 6 eを形成するためエッチング工程、(3) G O L D構造の T F T形成用の半導体層 1 6 cに低濃度でリンを注入するための低濃度リン注入工程(1回目の低濃度不純物注入工程)、(4) ゲート電極 2 6 b ~ 2 6 eを形成するためのエッチング工程、(5) L D D構造の T F T形成用の半導体層 1 6 bに低濃度でリンを注入するための低濃度リン注入工程(2回目の低濃度不純物注入工程)、(6) 高濃度でボロンを注入するための高濃度ボロン注入工程、(7) 高濃度でリンを注入するための高濃度リン注入工程の 7 つの工程でそれぞれフォトマスクが使用される。

[0085] これに対し、図 1 および図 2を参照しながら説明した本実施形態の方法によると、低濃度リン注入工程を 1 回しか行わないので、フォトマスクの使用枚数を 6 枚に減らすことができる。具体的には、(1) 遮光層 1 2を形成するためのエッチング工程、(2) 半導体層 1 6 a ~ 1 6 eを形成するためエッチング工程、(3) 半導体層 1 6 b、1 6 cに低濃度でリンを注入するための低濃度リン注入工程、(4) ゲート電極 2 6 b ~ 2 6 eを形成するためのエッチング工程、(5) 高濃度でボロンを注入するための高濃度ボロン注入工程、(6) 高濃度でリンを注入するための高濃度リン注入工程の 6 つの工程でそれぞれフォトマスクが使用される。

[0086] このように、本実施形態によると、参考例のプロセスよりもフォトマスク

を1枚削減でき、その結果、製造工程数を大幅に低減できる。具体的には、生産コストを約7%低くでき、リードタイムを約7%短くすることが可能である。また、フォトリソグラフィ工程を1回減らすことができるので、歩留まりの低下を約7%抑制できる。

[0087] (第2の実施形態)

本発明による第2の実施形態の半導体装置を説明する。本実施形態の半導体装置は、センサー機能を備えた表示装置である。これらの表示装置は、図1および図2を参照して前述した半導体装置を用いて構成されている。

[0088] 本実施形態のセンサー機能を備えた表示装置は、例えば、タッチセンサー付きの液晶表示装置であり、表示領域と、表示領域の周辺に位置する額縁領域とを有している。表示領域は、複数の表示部（画素）と、複数の光センサー部とを有している。各表示部は、画素電極と、画素スイッチング用TFTとを含んでおり、各光センサー部はTFDを含んでいる。画素スイッチング用TFTとして、例えば図2（G）に示すLDD構造を有する薄膜トランジスタ100b、光センサー部のTFDとして、図2（G）に示すダイオード100aを用いる。額縁領域には、各表示部を駆動するための表示用の駆動回路が設けられており、駆動回路には駆動回路用TFTが利用されている。駆動回路用TFTとして、例えば図2（G）に示すGOLD構造を有する薄膜トランジスタ100cを用いる。画素スイッチング用TFTおよび駆動回路用TFTと、光センサー部のTFDとは、第1の実施形態で説明したような方法により、同一基板上に形成されている。

[0089] 本実施形態では、光センサー部は、対応する表示部（例えば原色の画素）に隣接して配置されている。1つの表示部に対して1つの光センサー部を配置してもよいし、複数の光センサー部を配置してもよい。または、複数の表示部のセットに対して光センサー部を1個ずつ配置してもよい。例えば、3つの原色（RGB）の画素からなるカラー表示画素に対して、1個の光センサー部を設けることができる。このように、表示部の数に対する光センサー部の数（密度）は、分解能に応じて適宜選択できる。

- [0090] 光センサー部の観察者側にカラーフィルターが設けられていると、光センサー部を構成するＴＦＤの感度が低下するおそれがあるため、光センサー部の観察者側にはカラーフィルターが設けられていないことが好ましい。
- [0091] なお、本実施形態の表示装置の構成は、上記に限定されない。例えば、光センサー用のＴＦＤを額縁領域に配置して、外光の照度に応じて表示の明るさを制御するアンビエントライトセンサーが付加された表示装置を構成することもできる。また、光センサー部の観察者側にカラーフィルターを配置して、カラーフィルターを介した光を光センサー部で受光することにより、光センサー部をカラーイメージセンサーとして機能させることもできる。
- [0092] 以下、図面を参照しながら、本実施形態の表示装置の構成を、タッチパネルセンサーを備えたタッチパネル液晶表示装置を例に説明する。
- [0093] 図９は、表示領域に配置される光センサー部の構成の一例を示す回路図である。光センサー部は、光センサー用薄膜ダイオード６０１と、信号蓄積用のコンデンサー６０２と、コンデンサー６０２に蓄積された信号を取り出すための薄膜トランジスタ６０３とを有する。ＲＳＴ信号が入り、ノード６０４にＲＳＴ電位が書き込まれた後、光によるリークでノード６０４の電位が低下すると、薄膜トランジスタ６０３のゲート電位が変動してＴＦＴゲートが開閉する。これにより、信号ＶＤＤを取り出すことができる。
- [0094] 図１０は、アクティブマトリクス方式のタッチパネル液晶表示装置の一例を示す模式的な断面図である。この例では、各画素に対して光センサー部が１個ずつ配置されている。
- [0095] 図示する液晶表示装置は、液晶モジュール７０２と、液晶モジュール７０２の背面側に配置されたバックライト７０１とを備えている。ここでは図示していないが、液晶モジュール７０２は、例えば、光透性を有する背面基板と、背面基板に対向するように配置された前面基板と、これらの基板の間に設けられる液晶層とによって構成される。液晶モジュール７０２は、複数の表示部（原色の画素）を有しており、各表示部は、画素電極（図示せず）と、画素電極に接続された画素スイッチング用薄膜トランジスタ７０５とを有

している。また、各表示部に隣接して、薄膜ダイオード706を含む光センサー部が配置されている。図示していないが、各表示部の観察者側にはカラーフィルターが配置されているが、光センサー部の観察者側にはカラーフィルターが設けられていない。薄膜ダイオード706およびバックライト701の間には遮光層707が配置されており、バックライト701からの光は遮光層707により遮光されて薄膜ダイオード706には入らず、外光704のみが薄膜ダイオード706に入射する。この外光704の入射を薄膜ダイオード706でセンシングし、光センシング方式のタッチパネルが実現される。なお、遮光層707は、少なくとも、バックライト701の光が、薄膜ダイオード706のうち真性領域に入らないように配置されていけばよい。

[0096] 図11は、アクティブマトリクス方式のタッチパネル液晶表示装置における背面基板の一例を示す模式的な平面図である。本実施形態の液晶表示装置は、多数の画素（R、G、B画素）から構成されるが、ここでは、簡略化のため2画素分のみを示す。

[0097] 背面基板1000は、それぞれが、画素電極122および画素スイッチング用薄膜トランジスタ124を有する複数の表示部（画素）と、各表示部に隣接して配置され、光センサーフォトダイオード126、信号蓄積用のコンデンサー128および光センサー用フォロアー（*f o l l o w e r*）薄膜トランジスタ129を含む光センサー部とを備えている。

[0098] 薄膜トランジスタ124はLDD構造を有している。薄膜トランジスタ124のソース領域は画素用ソースバスライン134に接続され、ドレイン領域は画素電極122に接続されている。薄膜トランジスタ124は、画素用ゲートバスライン132からの信号によってオンオフされる。これにより、画素電極122と、背面基板1000に対向して配置された前面基板に形成された対向電極とによって液晶層に電圧を印加し、液晶層の配向状態を変化させることによって表示を行う。

[0099] 一方、光センサーフォトダイオード126は、例えば第1実施形態で説明

したTFDと同様の構成を有し、 p^+ 型領域126p、 n^+ 型領域126n、およびそれらの領域126p、126nの間に位置する真性領域126iとを備えている。信号蓄積用のコンデンサー128は、ゲート電極層とSi層とを電極とし、ゲート絶縁膜で容量を形成している。光センサーフォトダイオード126における p^+ 型領域126pは、光センサー用RST信号ライン136に接続され、 n^+ 型領域126nは、信号蓄積用のコンデンサー128における下部電極（Si層）に接続され、このコンデンサー128を経て光センサー用RWS信号ライン138に接続されている。さらに、 n^+ 型領域126nは、光センサー用フォロアー薄膜トランジスタ129におけるゲート電極層に接続されている。光センサー用フォロアー薄膜トランジスタ129のソース・ドレイン領域は、それぞれ、光センサー用VDD信号ライン140、光センサー用COL信号ライン142に接続されている。

[0100] このように、光センサーフォトダイオード126、信号蓄積用のコンデンサー128、および光センサー用フォロアー薄膜トランジスタ129は、それぞれ、図9に示す駆動回路の薄膜ダイオード601、コンデンサー602、薄膜トランジスタ603に対応しており、光センサーの駆動回路を構成している。この駆動回路による光センシング時の動作を以下に説明する。

[0101] （１）まず、RWS信号ライン138により、信号蓄積用のコンデンサー128にRWS信号が書き込まれる。これにより、光センサーフォトダイオード126における n^+ 型領域126nの側にプラス電界が生じ、光センサーフォトダイオード126に関して逆バイアス状態となる。（２）基板表面のうち光が照射されている領域に存在する光センサーフォトダイオード126では、光リークが生じてRST信号ライン136の側に電荷が抜ける。（３）これにより、 n^+ 型領域126nの側の電位が低下し、その電位変化により光センサー用フォロアー薄膜トランジスタ129に印加されているゲート電圧が変化する。（４）光センサー用フォロアー薄膜トランジスタ129のソース側にはVDD信号ライン140よりVDD信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続されたCOL信号ライ

ン 1 4 2 へ流れる電流値が変化するため、その電気信号を C O L 信号ライン 1 4 2 から取り出すことができる。(5) C O L 信号ライン 1 4 2 から R S T 信号を光センサーフォトダイオード 1 2 6 に書き込み、信号蓄積用のコンデンサー 1 2 8 の電位をリセットする。上記 (1) ~ (5) の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。

[0102] 本実施形態のタッチパネル液晶表示装置における背面基板の構成は図 1 1 に示す構成に限定されない。例えば、各画素スイッチング用 T F T に補助容量 (C s) が設けられていてもよい。また、図示する例では、R G B 画素のそれぞれに隣接して光センサー部が設けられているが、上述したように、R G B 画素からなる 3 つの画素セット (カラー表示画素) に対して 1 つの光センサー部が配置されていてもよい。

[0103] ここで、再び図 1 0 を参照する。上述してきた例では、図 1 0 に示す断面図からわかるように、薄膜ダイオード 7 0 6 を表示領域に配置して、タッチセンサーとして利用しているが、薄膜ダイオード 7 0 6 を表示領域の外に形成し、バックライト 7 0 1 の輝度を、外光 7 0 4 の照度に合わせてコントロールするためのアンビニエントライトセンサーとして利用することもできる。

[0104] 図 1 2 は、アンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。液晶表示装置 2 0 0 0 は、表示領域 1 5 2、ゲートドライバ 1 5 6、ソースドライバ 1 5 8 および光センサー部 1 5 4 を有する L C D 基板 1 5 0 と、L C D 基板 1 5 0 の背面側に配置されたバックライト 1 6 0 とを備えている。L C D 基板 1 5 0 のうち表示領域 1 5 2 の周辺に位置し、ドライバ 1 5 6、1 5 8 や光センサー部 1 5 4 が設けられている領域を「額縁領域」と呼ぶこともある。

[0105] バックライト 1 6 0 の輝度は、バックライト制御回路 (図示せず) によって制御されている。また、図示しないが、表示領域 1 5 2 およびドライバ 1 5 6、1 5 8 には、T F T が利用されており、光センサー部 1 5 4 には T F D が利用されている。光センサー部 1 5 4 は、外光の照度に基づく照度信号

を生成し、フレキシブル基板を用いた接続を利用してバックライト制御回路に入力する。バックライト制御回路では、この照度信号に基づいてバックライト制御信号を生成し、バックライト 160 に出力する。

[0106] なお、本発明を適用すると、アンビニエントライトセンサー付き有機 EL 表示装置を構成することもできる。そのような有機 EL 表示装置は、図 12 に示す液晶表示装置と同様に、同一の基板上に表示部と光センサー部とが配置された構成を有することができるが、基板の背面側にバックライト 160 を設ける必要がない。この場合には、光センサー部 154 を、基板 150 に設けられた配線によってソースドライバ 158 に接続し、光センサー部 154 からの照度信号をソースドライバ 158 に入力する。ソースドライバ 158 は、照度信号に基づいて表示部 152 の輝度を変化させる。

[0107] 以上、本発明の具体的な実施形態について説明を行なったが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明の TFT を用いて、ガラス基板上にアナログ駆動を行うための回路やデジタル駆動を行うための回路も同時構成できる。例えば、アナログ駆動を行なう回路の場合、ソース側駆動回路、画素部およびゲート側駆動回路を有し、ソース側駆動回路には、シフトレジスタ、バッファ、サンプリング回路（トランスファゲート）、また、ゲート側駆動回路には、シフトレジスタ、レベルシフタ、バッファが設けられる。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。また、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成し得る。

産業上の利用可能性

[0108] 本発明によると、薄膜トランジスタおよびダイオードを同一基板上に備えた半導体装置を製造する際に、使用するフォトマスクの枚数を削減できるので、製造工程数および製造コストを大幅に低減できる。

[0109] 本発明は、薄膜トランジスタおよびダイオードを備えた種々の半導体装置、例えばアクティブマトリクス基板、液晶表示装置や有機 EL 表示装置など

の表示装置に好適に適用できる。

符号の説明

[0110]	1 0 0 a	ダイオード
	1 0 0 b ~ 1 0 0 e	薄膜トランジスタ
	1 1	基板
	1 2	遮光層
	1 4	絶縁膜
	1 6 a ~ 1 6 e	半導体層
	1 8	ゲート絶縁膜
	2 0、2 8、3 2	マスク層
	2 2、3 0、3 4	不純物イオン
	3 6	層間絶縁膜
	3 8 a ~ 3 8 e	電極・配線
	2 4 b、2 4 c	低濃度不純物イオン注入領域
	2 6 b ~ 2 6 e	ゲート電極
	4 0 b ~ 4 0 e	チャネル領域
	4 2 b ~ 4 2 e	ソース・ドレイン領域
	4 4 b、4 4 c	L D D 領域
	4 6	p 型領域
	4 8	n 型領域
	5 0	真性領域

請求の範囲

[請求項1] 少なくとも2つの薄膜トランジスタと、ダイオードとを同一基板上に備えた半導体装置の製造方法であって、

（a）基板上に、薄膜トランジスタ形成用の島状の第1および第2半導体層と、ダイオード形成用の島状の第3半導体層とを形成する工程と、

（b）前記第1、第2および第3半導体層を覆うゲート絶縁膜を形成する工程と、

（c）前記第1および第2半導体層のうち低濃度不純物領域およびソース・ドレイン領域となる領域上の前記ゲート絶縁膜を露出する開口部を有するマスク層を形成する工程と、

（d）前記マスク層の開口部を介して、前記ゲート絶縁膜の上方から前記第1および第2半導体層に第1導電型の不純物を注入することにより、前記第1および第2半導体層に第1導電型注入領域をそれぞれ形成する工程と、

（e）前記ゲート絶縁膜上に、前記第1および第2半導体層のうち前記第1導電型注入領域の一部と前記チャネル領域となる部分とを覆う第1および第2ゲート電極をそれぞれ形成する工程と、

（f）前記第1半導体層の前記第1導電型注入領域のうち前記第1半導体層の両端部に位置する領域、前記第2半導体層の全体および前記第3半導体層の一部上の前記ゲート絶縁膜を露出する開口部を有する他のマスク層を形成する工程と、

（g）前記他のマスク層の開口部を介して、前記ゲート絶縁膜の上方から前記第1、第2および第3半導体層に前記第1導電型の不純物を注入することにより、前記第1半導体層にソース・ドレイン領域を形成し、前記第2半導体層のうち前記第2ゲート電極で覆われていない領域にソース・ドレイン領域を形成し、かつ、前記第3半導体層に第1導電型領域を形成するとともに、前記第1および第2半導体層の

前記第 1 導電型注入領域のうち前記ソース・ドレイン領域が形成されなかった領域を低濃度不純物領域とする工程と
を包含する半導体装置の製造方法。

[請求項2] 前記第 3 半導体層の他の一部に、前記第 1 導電型と異なる第 2 導電型の不純物を注入することにより、前記第 3 半導体層に第 2 導電型領域を形成する工程（h）をさらに包含する請求項 1 に記載の半導体装置の製造方法。

[請求項3] 前記工程（a）は、他の薄膜トランジスタ形成用の島状の第 4 半導体層を形成する工程をさらに含み、

前記第 4 半導体層のチャネル領域となる部分を覆うように第 4 ゲート電極を形成する工程（i 1）と、

前記第 4 ゲート電極をマスクとして、前記第 4 半導体層に前記第 2 導電型の不純物を注入することにより、前記第 4 半導体層にソース・ドレイン領域を形成する工程（i 2）とをさらに包含し、

前記工程（i 1）は前記工程（e）と同時に行われ、前記工程（i 2）は前記工程（h）と同時に行われる請求項 2 に記載の半導体装置の製造方法。

[請求項4] 前記工程（d）および（g）において、前記第 4 半導体層には前記第 1 導電型の不純物は注入されない請求項 3 に記載の半導体装置の製造方法。

[請求項5] 前記工程（d）は、前記第 4 半導体層の全体に前記第 1 導電型の不純物を注入する工程をさらに含む請求項 3 に記載の半導体装置の製造方法。

[請求項6] 前記工程（a）は、他の薄膜トランジスタ形成用の島状の第 5 半導体層を形成する工程をさらに含み、

前記第 5 半導体層のチャネル領域となる部分を覆うように第 5 ゲート電極を形成する工程（j 1）と、

前記第 5 ゲート電極をマスクとして、前記第 5 半導体層に前記第 1

導電型の不純物を注入することにより、前記第 5 半導体層にソース・ドレイン領域を形成する工程（j 2）とをさらに包含し、

前記工程（d）において、前記第 5 半導体層には前記第 1 導電型の不純物は注入されず、

前記工程（j 1）は前記工程（e）と同時に行われ、前記工程（j 2）は前記工程（g）と同時に行われる請求項 1 から 5 のいずれかに記載の半導体装置の製造方法。

[請求項7] 前記第 1 導電型は n 型であり、前記第 2 導電型は p 型である請求項 1 から 6 のいずれかに記載の半導体装置の製造方法。

[請求項8] 第 1 および第 2 薄膜トランジスタとダイオードとを同一基板上に備えた半導体装置であって、

前記第 1 および第 2 薄膜トランジスタは、それぞれ、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、第 1 導電型の不純物を含むソース・ドレイン領域と、前記チャネル領域と前記ソース領域および前記ドレイン領域との間にそれぞれ設けられ、前記ソース領域および前記ドレイン領域よりも低濃度で前記第 1 導電型の不純物を含む低濃度不純物領域とを有する半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられ、少なくとも前記チャネル領域と重なるように配置されたゲート電極とを有し、

前記ダイオードは、第 1 導電型の不純物を含む第 1 導電型領域と、前記第 1 導電型と異なる第 2 導電型の不純物を含む第 2 導電型領域とを含む半導体層を有し、

前記第 1 薄膜トランジスタにおいて、前記ゲート電極は前記低濃度不純物領域の一部と重なっており、

前記第 2 薄膜トランジスタにおいて、前記ゲート電極は前記低濃度不純物領域の全体と重なっており、

前記第 1 および第 2 薄膜トランジスタの前記低濃度不純物領域および前記ソース・ドレイン領域は同一の不純物元素を含み、前記第 1 お

よび第2薄膜トランジスタの前記低濃度不純物領域の厚さ方向における前記第1導電型の不純物の濃度プロファイルは略等しく、前記第1および第2薄膜トランジスタの前記ソース・ドレイン領域の厚さ方向における前記第1導電型の不純物の濃度プロファイルは略等しい半導体装置。

[請求項9] 前記第2薄膜トランジスタにおいて、前記ゲート電極の端部は、前記ソース領域または前記ドレイン領域の端部と整合しており、

前記第1薄膜トランジスタにおいて、前記ゲート電極の端部は、前記低濃度不純物領域の端部、前記ソース領域の端部および前記ドレイン領域の端部の何れとも整合していない請求項8に記載の半導体装置。

[請求項10] 前記基板上に形成された第3薄膜トランジスタをさらに備え、
前記第3薄膜トランジスタは、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、前記第2導電型の不純物を含むソース・ドレイン領域とを含む半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し、

前記ダイオードの第2導電型領域と、前記第3薄膜トランジスタの前記ソース・ドレイン領域との厚さ方向における前記第2導電型の不純物の濃度プロファイルは略等しく、

前記第3薄膜トランジスタの前記ソース・ドレイン領域は前記第1導電型の不純物を含んでいない請求項8または9に記載の半導体装置。

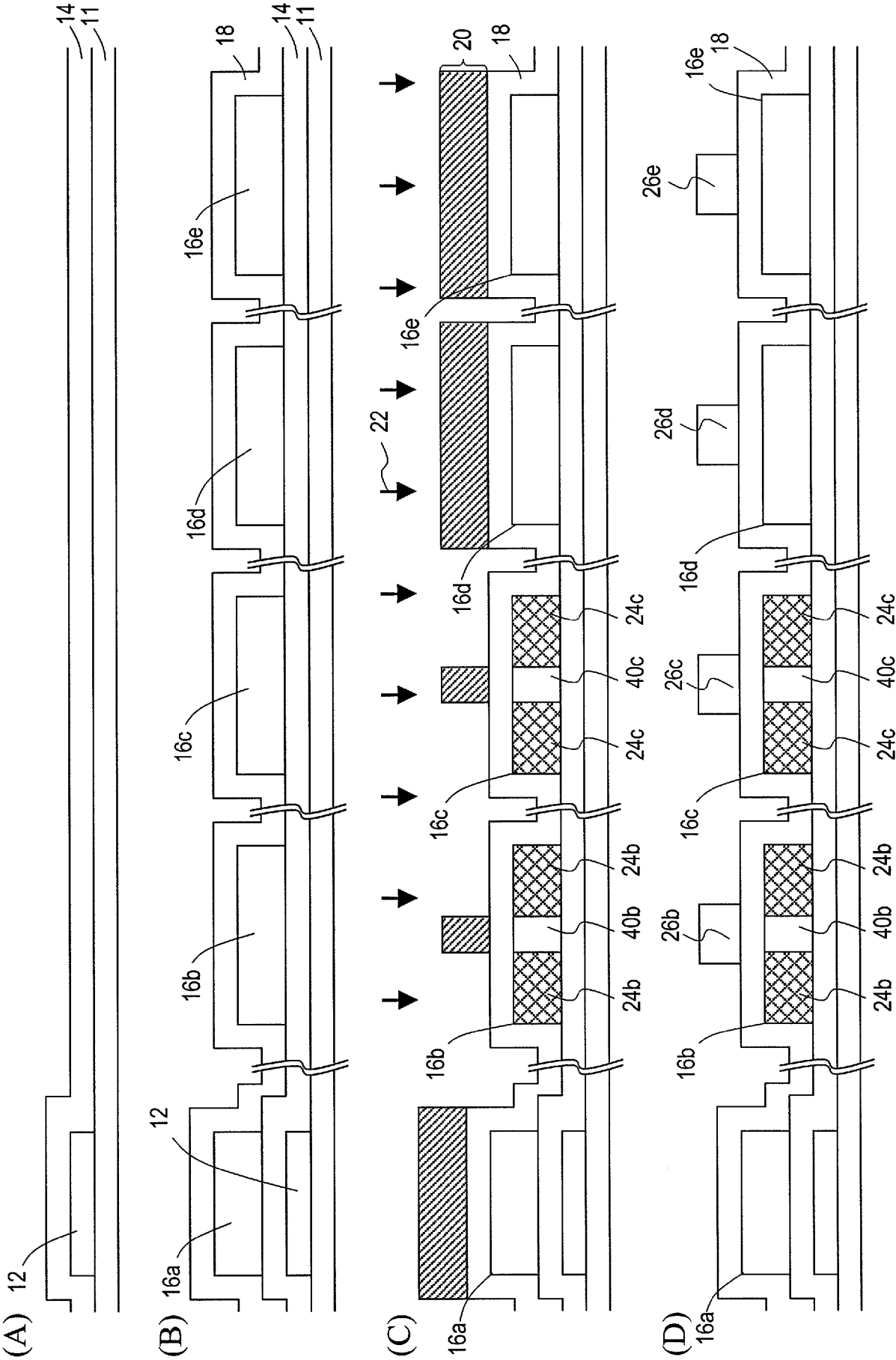
[請求項11] 前記基板上に形成された第4薄膜トランジスタをさらに備え、
前記第4薄膜トランジスタは、チャネル領域と、前記チャネル領域の両側にそれぞれ位置し、前記第1導電型の不純物を含むソース・ドレイン領域とを含む半導体層と、前記半導体層の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極とを有し

、

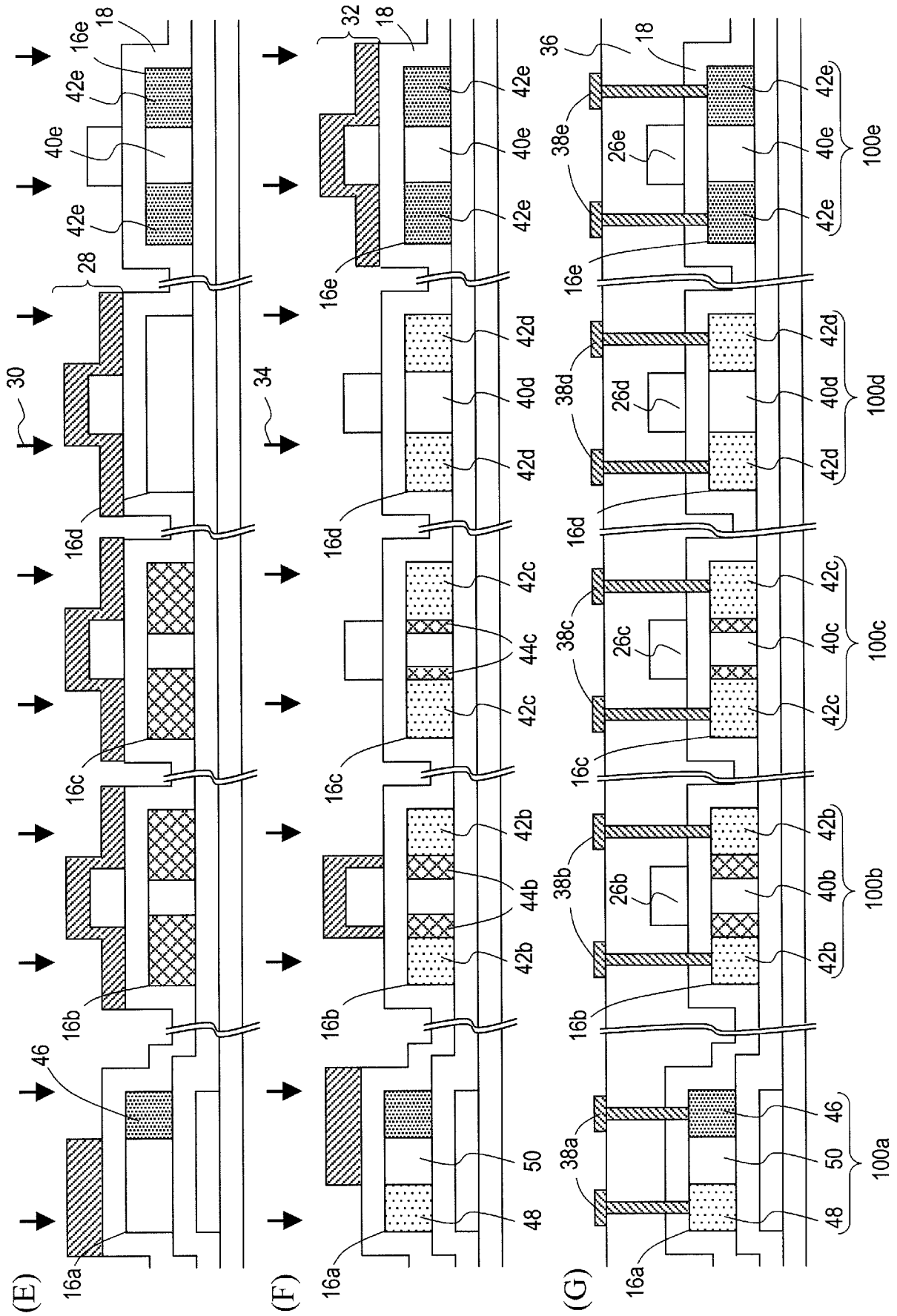
前記ダイオードの第 1 導電型領域と、前記第 4 薄膜トランジスタの前記ソース・ドレイン領域との厚さ方向における前記第 1 導電型の不純物の濃度プロファイルは略等しく、

前記第 4 薄膜トランジスタにおいて、前記ソース・ドレイン領域の端部は、前記ゲート電極の端部と整合している請求項 8 から 10 のいずれかに記載の半導体装置。

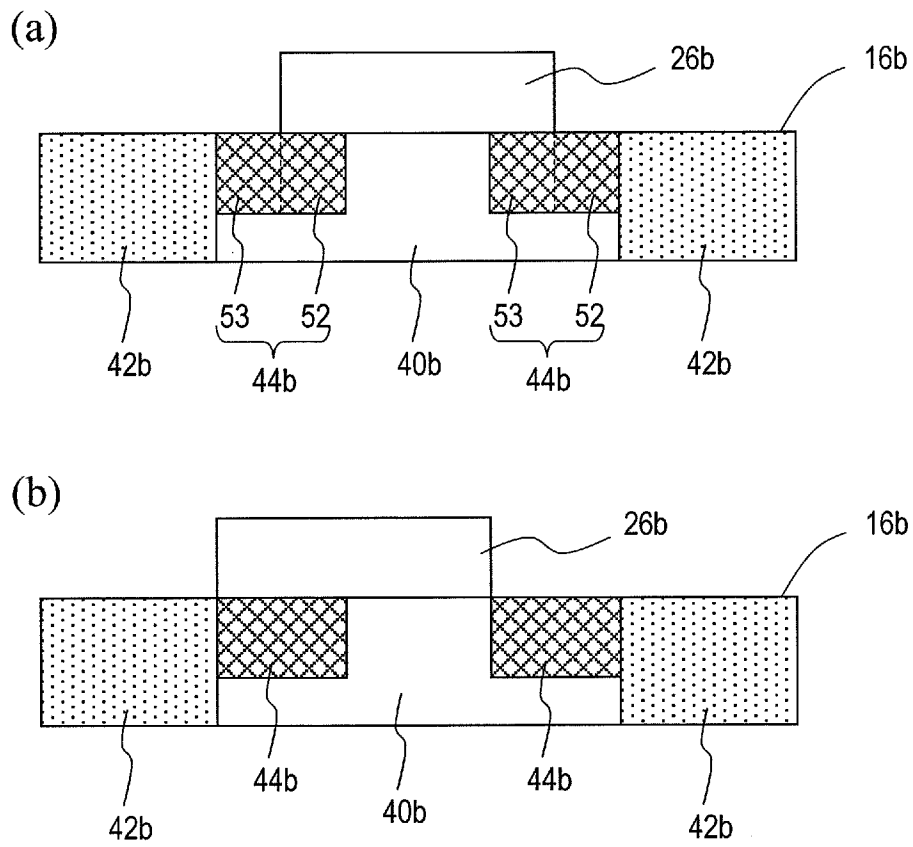
[図1]



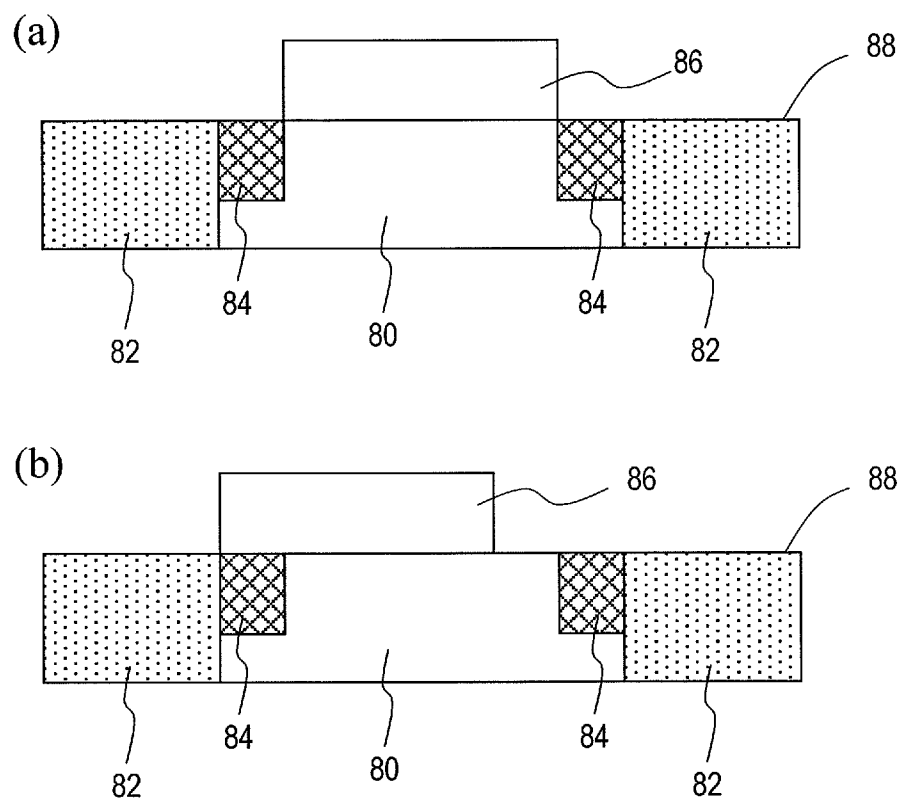
[図2]



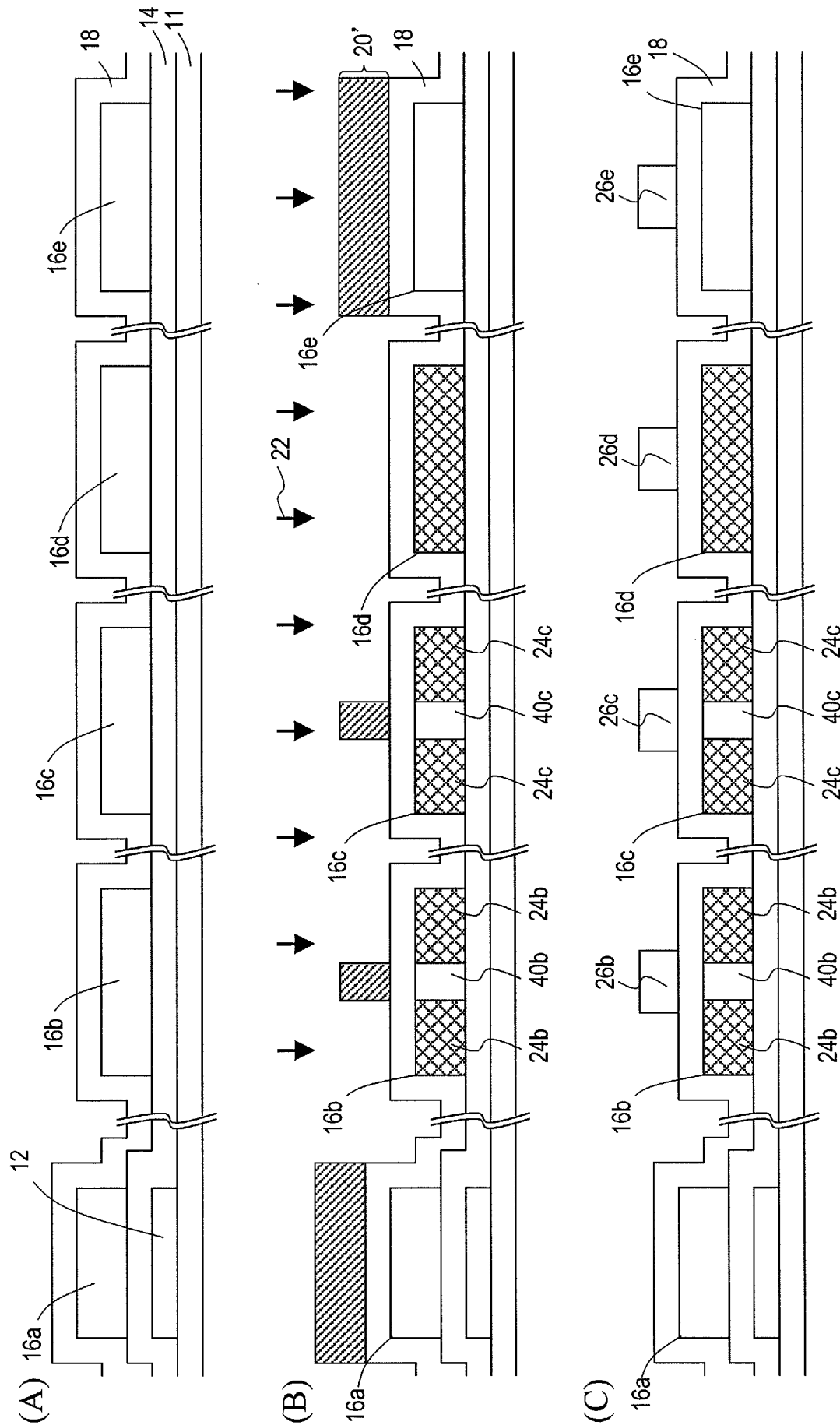
[図3]



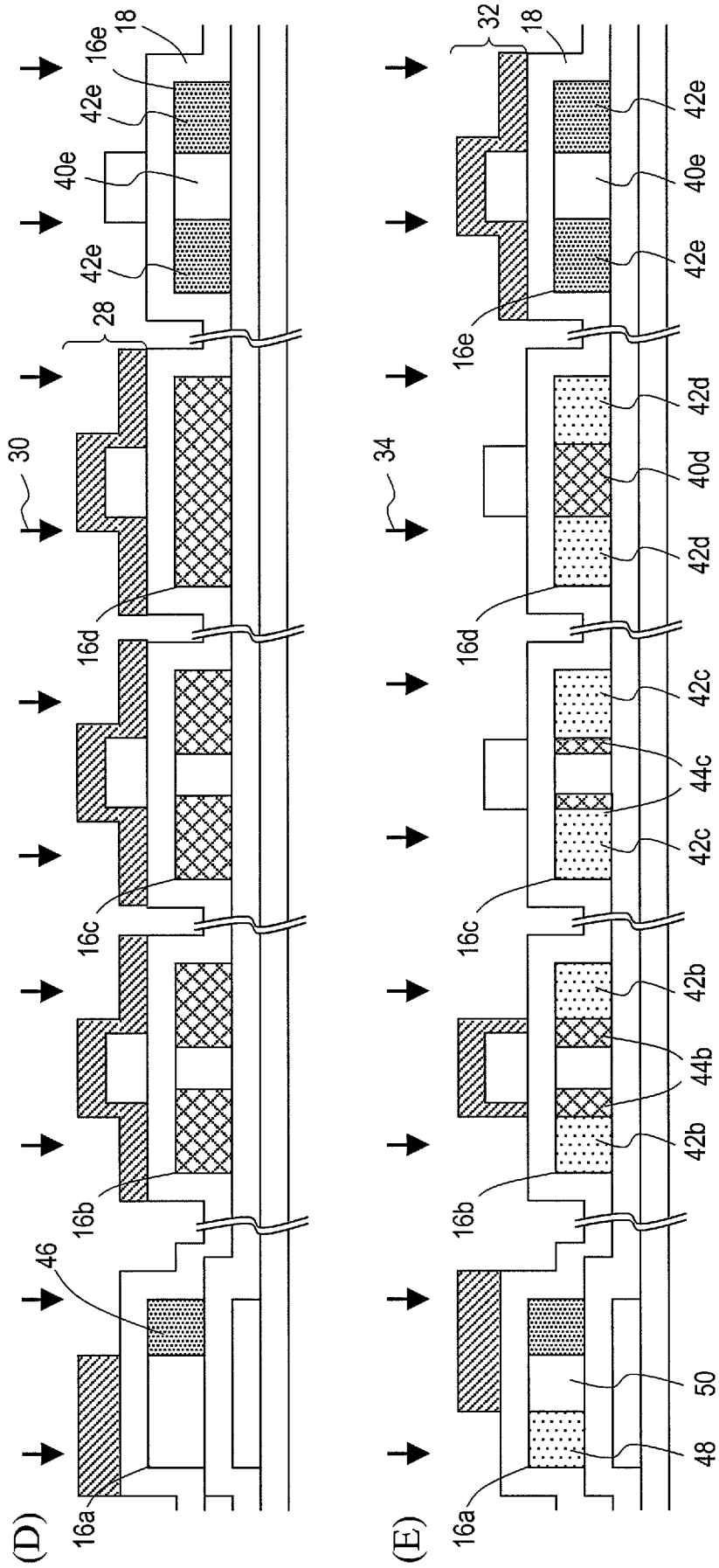
[図4]



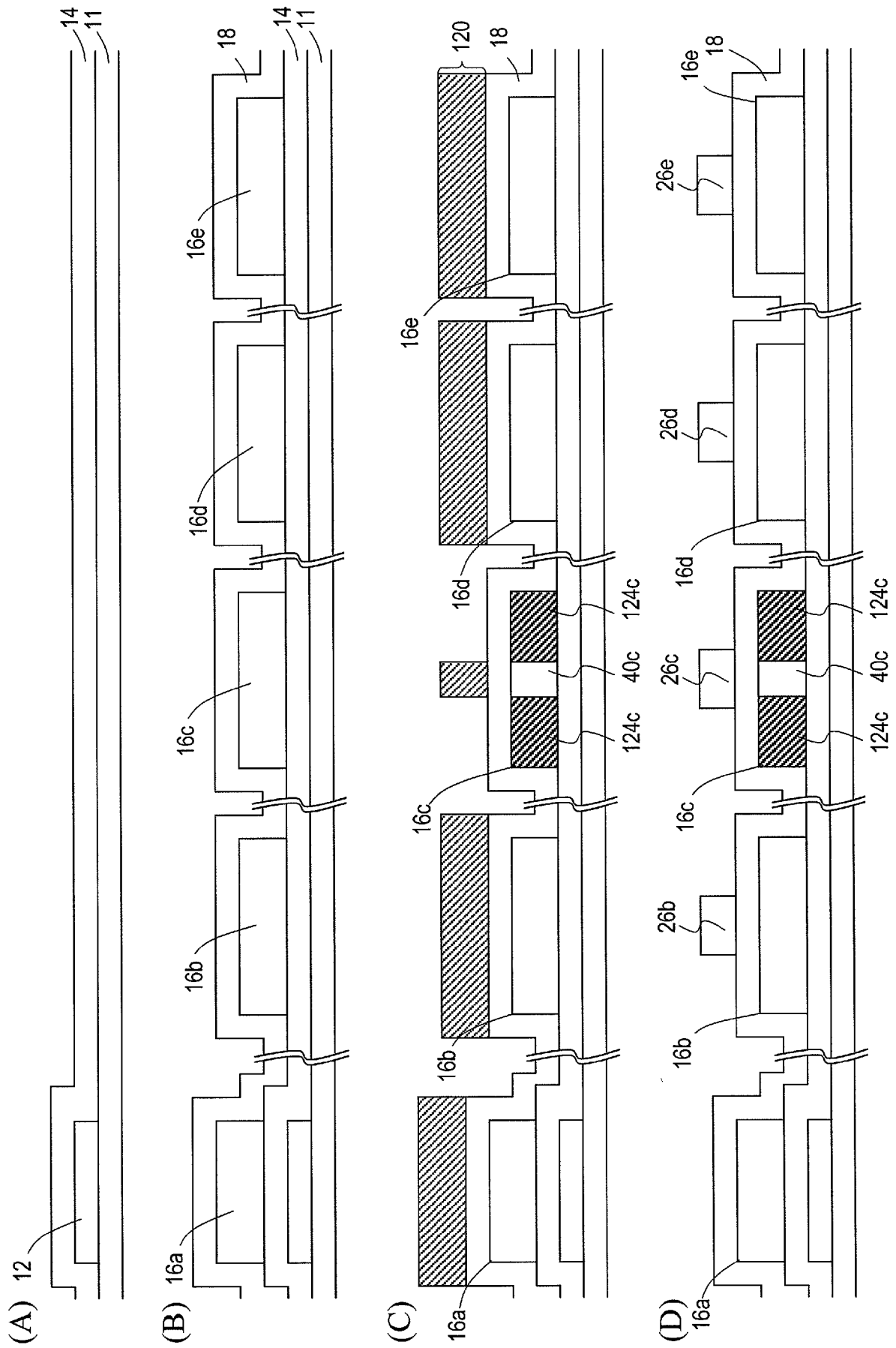
[図5]



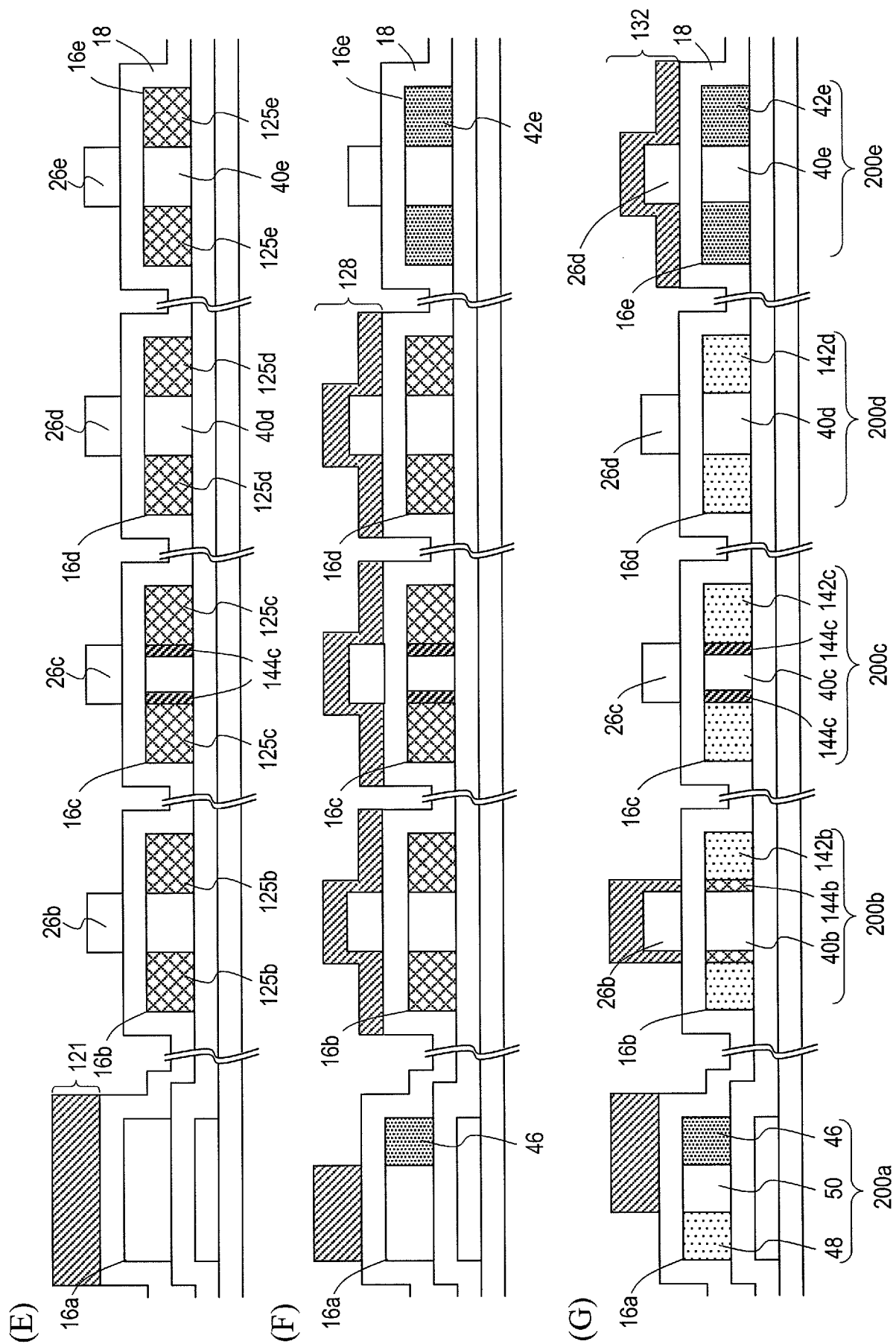
[図6]



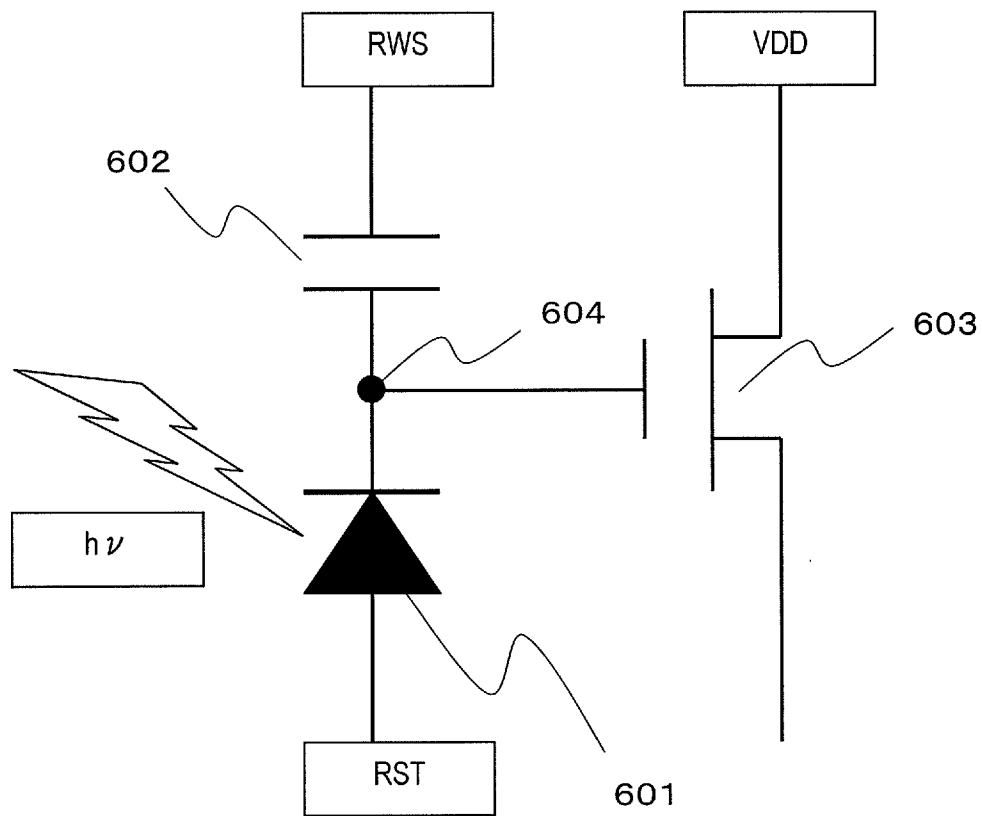
[図7]



[図8]



[図9]



[図10]

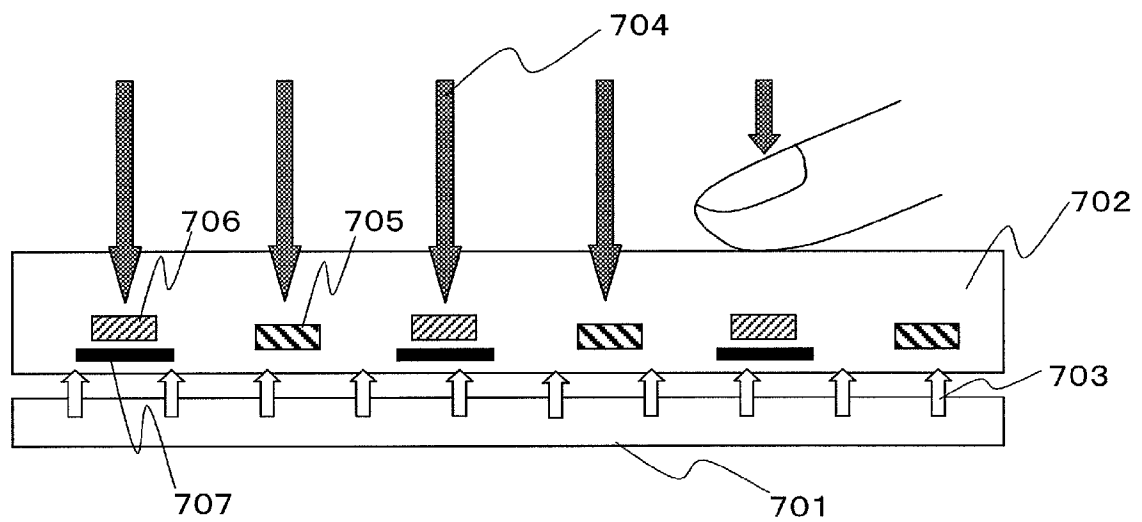


Figure 1 is a perspective view of a liquid crystal display device 2000. The device includes a first substrate 150 and a second substrate 160. A liquid crystal layer 152 is formed between the two substrates. A pixel electrode 154 is formed on the first substrate 150, and a common electrode 156 is formed on the second substrate 160. A backlight circuit control signal input terminal 158 is also shown.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005574

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i,
G02F1/1368(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i,
H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G02F1/133, G02F1/1333, G02F1/1368, H01L21/8234, H01L21/8238,
H01L27/06, H01L27/08, H01L27/092, H01L27/14, H01L29/786, H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-299469 A (Semiconductor Energy Laboratory Co., Ltd.), 24 October 2000 (24.10.2000), paragraphs [0043] to [0058]; fig. 6 to 8 & US 6777716 B1	1, 2, 7 3-6, 8-11
Y	JP 2003-188384 A (Seiko Epson Corp.), 04 July 2003 (04.07.2003), paragraphs [0002], [0157] to [0175]; fig. 30 to 32 (Family: none)	1, 2, 7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 November, 2009 (16.11.09)

Date of mailing of the international search report
01 December, 2009 (01.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005574

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L27/14(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i, G02F1/1368(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,
H01L27/092(2006.01)i, H01L27/14(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, G02F1/133, G02F1/1333, G02F1/1368, H01L21/8234, H01L21/8238, H01L27/06, H01L27/08,
H01L27/092, H01L27/14, H01L29/786, H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-299469 A（株式会社半導体エネルギー研究所）2000.10.24, 段落0043～0058, 図6～8 & US 6777716 B1	1, 2, 7 3-6, 8-11
Y	JP 2003-188384 A（セイコーエプソン株式会社）2003.07.04, 段落0002、0157～0175, 図30～32（ファミリーなし）	1, 2, 7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 1 1 . 2 0 0 9

国際調査報告の発送日

0 1 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

電話番号 03-3581-1101 内線 3462

4M

4665