

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第6495272号  
(P6495272)

(45) 発行日 平成31年4月3日 (2019.4.3)

(24) 登録日 平成31年3月15日 (2019.3.15)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 0 1 V
	HO 1 L 29/78 6 5 5 G

請求項の数 14 (全 15 頁)

(21) 出願番号 特願2016-528598 (P2016-528598)	(73) 特許権者 507044103 エコ・セミコンダクターズ・リミテッド イギリス国 エルイー2 2エルディー、 レスター、グリーブ・ロード、ウィルミン トン・コート 2
(86) (22) 出願日 平成26年7月2日 (2014.7.2)	
(65) 公表番号 特表2016-527722 (P2016-527722A)	
(43) 公表日 平成28年9月8日 (2016.9.8)	
(86) 国際出願番号 PCT/GB2014/052013	
(87) 国際公開番号 W02015/011440	(74) 代理人 100073184 弁理士 柳田 征史
(87) 国際公開日 平成27年1月29日 (2015.1.29)	(74) 代理人 100090468 弁理士 佐久間 剛
審査請求日 平成29年6月29日 (2017.6.29)	(72) 発明者 マダシル, サンカラ 英国 エルイー2 21ディー レスター シャー レスター グリーブ ロード ウ ィルミントン コート 2
(31) 優先権主張番号 1313126.3	
(32) 優先日 平成25年7月23日 (2013.7.23)	
(33) 優先権主張国 英国 (GB)	
(31) 優先権主張番号 1314474.6	
(32) 優先日 平成25年8月13日 (2013.8.13)	
(33) 優先権主張国 英国 (GB)	審査官 杉山 芳弘
	最終頁に続く

(54) 【発明の名称】 MOS - バイポーラ素子

(57) 【特許請求の範囲】

【請求項 1】

半導体素子であって、  
第 1 導電型及び第 2 導電型の少なくとも 1 つ のカソード領域が配された第 1 導電型のベース領域、  
第 2 導電型の第 1 ウエル領域、  
第 1 導電型の第 2 ウエル領域、  
第 2 導電型のドリフト領域、  
第 1 導電型のアノード領域、及び  
アノードコンタクト、

を含む複数のセルであって、該複数のセルが導電コンタクトにより相互に接続されているもの、を有し、

前記セルのそれぞれが前記第 1 ウエル領域内に配され、前記第 1 ウエル領域が前記第 2 ウエル領域内に配されている、  
半導体素子において、

前記素子が、縦方向で前記第 2 ウエル領域及び前記ドリフト領域と交差し、横方向で前記ベース領域及び前記第 1 および第 2 ウエル領域と交差する、細長トレンチであって、前記第 2 ウエル領域の全厚の一部に亘って伸びている、細長トレンチを有し、

絶縁膜が前記トレンチの内表面を実質的に覆うように設けられ、

第 1 ゲートが前記トレンチを実質的に埋めるように前記絶縁膜上に形成され、

前記素子が、前記素子の動作中に、前記ベース領域と前記第 1 ウエル領域の間の接合における空乏領域が前記第 1 ウエル領域と前記第 2 ウエル領域の間の接合まで延びることができ、よって前記第 1 ウエル領域の電位を前記アノードコンタクトの電位のいかなる上昇からも実質的に絶縁するように構成され、

前記複数のセルの少なくとも一部のセルが作動し、前記複数のそれ以外のセルがダミーセルとして不作動であるように構成されている、

ことを特徴とする半導体素子。

【請求項 2】

請求項 1 に記載の半導体素子を作製する方法において、

第 2 導電型の半導体層内に前記第 2 ウエル領域を、残余半導体層が前記ドリフト領域を形成するように、形成する工程、

前記第 2 ウエル領域内に前記第 1 ウエル領域を形成する工程、

前記第 1 ウエル領域内に前記ベース領域を形成する工程、及び

前記カソード領域を形成する工程、

を含み、

前記方法がさらに、細長トレンチを、前記トレンチが縦方向で前記第 2 ウエル領域及び前記ドリフト領域と交差し、横方向で前記ベース領域及び前記第 1 ウエル領域と交差するように、形成する工程を含み、

前記方法がさらに、半導体基板上に請求項 1 に記載の半導体素子を複数作製する工程であって、該半導体素子の一部は作動するように、それ以外の半導体素子はダミーセルとして作動しないように構成する工程を含む、

ことを特徴とする方法。

【請求項 3】

前記トレンチの各々が前記カソード領域の各々の形成に先立って形成されることを特徴とする請求項 2 に記載の方法。

【請求項 4】

半導体基板上に、複数の、請求項 1 に記載の半導体素子を形成する工程であって、その際、前記素子は 1 つ以上の実質的に平行な列をなして配置されるものである、工程、及び

1 つまたは複数の前記半導体素子列に実質的に直交して通る、実質的に平行な列をなす、複数本の細長トレンチを、前記トレンチのそれぞれが縦方向で前記第 2 ウエル領域及び前記ドリフト領域と交差し、横方向で少なくとも 1 つの半導体素子の前記ベース領域及び前記第 1 ウエル領域と交差するように、形成する工程、

を含むことを特徴とする請求項 2 に記載の方法。

【請求項 5】

少なくとも 1 本のトレンチが、横方向で、前記半導体素子のそれぞれの前記第 1 ウエル領域及び前記第 2 ウエル領域と交差することを特徴とする請求項 2 に記載の方法。

【請求項 6】

前記少なくとも 1 本のトレンチが前記第 2 ウエル領域の全厚を貫通しないことを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記少なくとも 1 本のトレンチが横方向で前記第 2 ウエル領域の全厚を貫通して前記ドリフト領域に延び込むことを特徴とする請求項 5 に記載の方法。

【請求項 8】

少なくとも 1 本のトレンチの前記内表面上に絶縁層を形成する工程及び前記トレンチのそれぞれを実質的に埋めるように構成されたゲートを形成する工程をさらに含むことを特徴とする請求項 2 に記載の方法。

【請求項 9】

少なくとも 1 つの前記素子列の前記素子のそれぞれが作動するように構成されることを特徴とする請求項 4 に記載の方法。

【請求項 10】

一つおきの前記素子列の前記素子のそれぞれが作動するように構成され、残余素子列の前記素子がダミーセルと指定されることを特徴とする請求項 4 に記載の方法。

【請求項 1 1】

半導体構造において、実質的に平行な素子列をなして配置された、複数の、請求項 1 に記載の半導体素子を含み、前記半導体素子列に実質的に直交する、実質的に平行な列をなして配置された複数本のトレンチを有し、前記トレンチのそれぞれが、前記素子列のそれぞれの前記素子の、縦方向で前記第 2 ウエル領域及び前記ドリフト領域と交差し、横方向で前記ベース領域、前記第 1 ウエル領域及び前記第 2 領域と交差し、前記トレンチの少なくとも 1 本の前記内表面を実質的に覆うように絶縁膜が設けられ、前記少なくとも 1 本のトレンチを実質的に埋めるようにゲートが前記絶縁膜上に形成されており、前記素子の少なくとも一部が作動し、それ以外の前記素子がダミーセルとして作動しないように構成されていること、特徴とする半導体構造。

10

【請求項 1 2】

一つおきの前記素子列の前記素子のそれぞれが作動するように構成され、残余素子列の前記素子がダミーセルと指定されることを特徴とする請求項 1 1 に記載の半導体構造。

【請求項 1 3】

複数の前記セル及び / または前記素子が接続領域によって相互に接続されてクラスターをなしていることを特徴とする請求項 1 1 に記載の半導体構造。

【請求項 1 4】

前記接続領域が 1 本以上のトレンチを含むことを特徴とする請求項 1 3 に記載の半導体構造。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は MOS - バイポーラ素子に関し、さらに詳しくは、クラスター化絶縁ゲートバイポーラトランジスタ (CIGBT) 及びその作製のためのプロセスに関する。

【背景技術】

【0002】

従来、小電力用途及び中電力用途にはパワー金属酸化物電界効果トランジスタ (MOSFET) が用いられてきた。しかし、絶縁ゲートバイポーラトランジスタ (IGBT) が、そのより低いオン状態電力損失及びより大きい電流密度により、一層優れたスイッチング性能を可能にすることがわかってきた。IGBT の電力定格は徐々に大きくなっていて、高電圧直流 (HVC) インバータシステム及びトラクション伝導装置制御のような中電力用途においてサイリスタを置き換えると予想される。

30

【0003】

MOS ゲート型サイリスタ (MGT) 素子は、より小さい順方向電圧降下及び改善された電流密度を示すから、トランジスタ型素子に対する有望な代替と見なされてきた。特許文献 1 に説明される CIGBT は、全ての動作条件下で高アノード電圧からカソードセルを保護する独特のセルフクランピング機能をもつ、MOS ゲート型サイリスタ素子である。このセルフクランピング機能は、高ゲートバイアス時の電流飽和も可能にし、低スイッチング損失も提供し、その低オン状態電圧及び高電圧遮断能力は CIGBT を IGBT への代替として極めて好適にする。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開第 01 / 18876 号

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の課題は、CIGBT 技術を用いる、カソードセル構造及びその作製方法を提供

50

することにある。

【課題を解決するための手段】

【0006】

本発明にしたがえば、

第1及び第2の導電型の内の少なくとも1つのカソード領域がその中に配されていて、  
導電コンタクトによって相互に接続されている、第1の導電型のベース領域、

第2導電型の第1ウエル領域、

第1導電型の第2ウエル領域、

第2導電型のドリフト領域、

第1導電型のアノード領域、及び

アノードコンタクト、

を含む少なくとも1つのセルを有し、

それぞれのセルが第1ウエル領域内に配され、第1ウエル領域が第2ウエル領域内に配されている、

半導体素子が提供され、

素子は、縦方向で第2ウエル領域及びドリフト領域と交差し、横方向でベース領域及び第1ウエル領域と交差する、細長トレンチを有し、

絶縁膜がトレンチの内表面を実質的に覆うように設けられ、

ゲートがトレンチを実質的に埋めるように絶縁膜上に設けられ、

素子は、素子の動作中に、ベース領域と第1ウエル領域の間の接合における空乏領域が第1ウエル領域と第2ウエル領域の間の接合まで延びることができ、よって第1ウエル領域の電位をアノードコンタクトの電位のいかなる上昇からも実質的に絶縁するように構成される。

【0007】

本発明の第1の実施形態例において、トレンチは横方向で第1ウエル及び第2ウエルと交差するように構成され、この場合、トレンチは、必要に応じて、第2ウエル領域の全厚を貫通してドリフト領域に延び込むことができるか、またはできない。したがって、トレンチは第2ウエル領域に必ずしも延び込めるとは限らないが、延び込む場合には、第2ウエル内で終端することができ、あるいは第2ウエルの全厚を貫通してドリフト領域に延び込むことができる。これは、例えば、所要の素子特性及びプロセス上の制約に依存する。

【0008】

本発明にしたがえば、上で定めた半導体素子を作製する、

第2導電型の半導体層内に第2ウエル領域を、残余半導体層がドリフト領域を形成するように、形成する工程、

第2ウエル領域内に第1ウエル領域を形成する工程、

第1ウエル領域内にベース領域を形成する工程、及び

カソード領域を形成する工程、

を含む方法も提供し、方法はさらに、

細長トレンチを、縦方向で第2ウエル領域及びドリフト領域と交差し、横方向でベース領域及び第1ウエル領域と交差するように、形成する工程、を含む。

【0009】

本発明の一実施形態例において、方法はさらに、

複数の、請求項1に記載の半導体素子を一枚の半導体基板上に形成する工程、素子は1つ以上の実質的に平行な列をなして配置される、及び

それぞれのトレンチが縦方向で第2ウエル領域及びドリフト領域と交差し、横方向で少なくとも1つの半導体素子のベース領域及び第1ウエル領域と交差するように、半導体素子の1つ以上の列に実質的に直交して通る、実質的に平行な列をなす、複数本の細長トレンチを形成する工程、

を含む。

## 【0010】

少なくとも1本のトレンチは横方向でそれぞれの半導体素子の第1ウエル領域及び第2ウエル領域と交差するように構成することができるが、それらのトレンチは第2のウエル領域の全厚を貫通しないことが好ましい。

## 【0011】

方法はさらに、それぞれのトレンチの内表面上に絶縁層を形成する工程及びそれぞれのトレンチを実質的に埋めるように構成されたゲートを形成する工程を含むことができる。

## 【0012】

本発明の一実施形態例において、それぞれの素子または少なくとも1つの素子列は作動するように構成することができる。

10

## 【0013】

しかし、本発明の別の例においては、一部の素子だけが作動するように構成することができ、残余不作動素子はダミーセルと指定される。例えば、一つおきの素子列のそれぞれの素子は作動するように構成することができ、残余素子列の素子はダミーセルと指定される。

## 【0014】

本発明の範囲は、実質的に平行な素子列をなして配置された、上に定められたような複数の半導体素子を有し、半導体素子列に実質的に直交する、実質的に平行な列をなして配置された複数本のトレンチを含み、それぞれのトレンチが、それぞれの素子列の素子の、縦方向で第2ウエル領域及びドリフト領域と交差し、横方向で少なくとも1つの半導体素子のベース領域、第1ウエル領域及び第2ウエル領域と交差するように構成されて、絶縁膜がトレンチの内の少なくとも1本の内表面を実質的に覆うように設けられ、ゲートが少なくとも1本のそのようなトレンチを実質的に埋めるように絶縁膜上に形成されている、半導体構造に及ぶ。

20

## 【図面の簡単な説明】

## 【0015】

【図1a】図1aは、本発明の一実施形態例にしたがう、カソード構造の簡略な部分前断面図である。

【図1b】図1bは本発明の一実施形態例にしたがう、ダミートレンチを有するカソード構造の簡略な部分側断面図である。

30

【図1c】図1cは複数のカソードセルをもつ構造の簡略な平面図である。

【図2a】図2aは、本発明の一実施形態例にしたがう、カソード配置形状の簡略な平面図である。

【図2b】図2bは、本発明の別の実施形態例にしたがう、カソード配置形状の簡略な平面図である。

【図2c】図2cは、本発明のまた別の実施形態例にしたがう、カソード配置形状の簡略な平面図である。

【図2d】図2dは、本発明のまた別の実施形態例にしたがう、カソード配置形状の簡略な平面図である。

【図2e】図2eは、本発明のまた別の実施形態例にしたがう、カソード配置形状の簡略な平面図である。

40

【図2f】図2fは複数のカソードセルをもつ構造の、単一基板上に複数のカソードセルをどのようにしてまとめて構築できるかを説明する、平面図である。

【図2g】図2gは、明確にするため、接続トレンチが省略されている、図2aの配置形状の平面図である。

【図3a】図3aは、本発明の一実施形態例にしたがう、素子の作製プロセスの様々な段階の一つを説明する簡略な断面図である。

【図3b】図3bは、本発明の一実施形態例にしたがう、素子の作製プロセスの様々な段階の一つを説明する簡略な断面図である。

【図3c】図3cは、本発明の一実施形態例にしたがう、素子の作製プロセスの様々な段

50

階の一つを説明する簡略な断面図である。

【図 3 d】図 3 d は、本発明の一実施形態例にしたがう、素子の作製プロセスの様々な段階の一つを説明する簡略な断面図である。

【図 3 e】図 3 e は、本発明の一実施形態例にしたがう、素子の作製プロセスの様々な段階の一つを説明する簡略な断面図である。

【図 3 f】図 3 f は、トレンチの構成を説明するための、本発明の一実施形態例にしたがう素子の単セルの簡略な平面図である。

【図 4】図 4 は本発明の一実施形態例にしたがう素子の相対ドーピングプロファイルを示す。

【図 5】図 5 は、クラスターを接続するためのプレーナゲートの使用を示す、本発明の一実施形態例にしたがう構造を示す。

【発明を実施するための形態】

【0016】

本発明の一実施形態例を、単なる例として、添付図面を参照してここで説明する。

【0017】

図面の図 1 a を参照する。図 1 a では、本発明の一実施形態例にしたがって作製されたセルの内部構造を説明するために、コンタクト層、アノード領域及びアノードコンタクトが、またカソード領域も、省略されている。したがって、図 1 a は、一般には単結晶シリコンの、半導体材料の基体の一部 10 を示す。素子は、上表面にカソードセルのパターンを設けるためにそれを通して拡散がなされる N 型シリコンから作製された、NPT（非パンチスルー）素子である。PT（パンチスルー）技術及び/またはフィールドストップ（FS）技術も本発明の範囲内にある。

【0018】

素子構造は、Pウエル 20 が拡散でつくり込まれる Nドリフト領域 24 を有する。素子は、Pウエル内に垂直方向にも水平方向にも広がり、したがって、使用において、主電流経路内に広がるであろう、P領域 20b を残すように、Pウエル 20 内に拡散でつくり込まれる Nウエル 22 をさらに有する。領域 20b は MOSFET ゲート 140 が上に重なるチャンネルを与える。図 1 a, 1 b 及び 1 c において、ゲート酸化物は黒地で示される。

【0019】

Nウエル 22 内に、カソードセルのクラスターが、トレンチで分離されて、設けられる。それぞれのセルは構造が同じであり、よってそれらの内の 1 つだけが詳細に説明される。すなわち、それぞれのセルは Nウエル 22 内に拡散でつくり込まれた浅い Pベース 32 を有する。

【0020】

本発明の一実施形態にしたがう素子に対する相対ドーピングプロファイルが図面の図 4 に示される。

【0021】

拡散は全て、例えば複数の通常のリソグラフィ工程を用い、上表面を通してなされる。これらの拡散を達成するために用いられる特定のプロセスは本発明に必須ではなく、拡散領域を得るためのいずれか既知のプロセスを用いることができ、したがって、そのプロセスのいかなる詳細もこれ以上説明されることはない。しかし、これらの領域に選択的にまたはそうではなしに関わる、エピタキシーのような、成長プロセスでこの素子構造を形成することが可能であり、このプロセスが、特に炭化シリコン素子のような広バンドギャップ素子に、ただし排他的ではなしに、適用可能であることは、当業者によって認められるであろう。

【0022】

図面の図 1 b を次に参照すれば、先述したように、Nウエルはカソードセルのクラスターを収め、それぞれのセルは同じ対称構造を有する。セルは、それぞれのセルのゲート構造によって交差される単 Pベース領域 32 に形成される。ゲート構造は、表面 26 からエッチングで掘り込まれ、表面から Pウエル領域 20 に延び込む、トレンチ 40 を有する。

別の実施形態において、トレンチ40はNウェル領域にしか延び込まないか、あるいはPウェルの厚さを貫通してドレイン領域20に延び込む。多結晶シリコンゲート38がトレンチ内に配され、ゲート酸化物33によって隣接するシリコン材料から絶縁される。

#### 【0023】

本発明の一実施形態例において、トレンチゲートの形成後、P<sup>+</sup>領域34が選択拡散によってPベース32につくり込まれ、次いで、N<sup>+</sup>カソード領域36が拡散でP<sup>+</sup>領域34につくり込まれる。カソード領域はP<sup>+</sup>ベース領域34と非整流性接合を形成する。別の実施形態例において、P<sup>+</sup>領域34及びカソード領域36はトレンチ40の形成前に形成され、よって、P<sup>+</sup>領域34及びカソード領域36を、またPベース領域32及びNウェル22も、貫通するようにトレンチを形成することができる。

10

#### 【0024】

したがって、いずれの場合にも、表面に隣接して、N<sup>+</sup>領域36がベース材料32内に形成される。領域132a及び132bはそれぞれ、各々がPウェル20の領域122にソース36及びドレインを有する、MOSFETのチャネルをゲートによって与える。ゲートはPウェルに被着されたカソード/ソースコンタクト金属膜(140:図1a)からの電気伝導を制御する。図1bにおいて、カソードコンタクトはそれぞれのソース領域36まで広がる金属膜によって与えられ、表面26においてコンタクトはN<sup>+</sup>領域36とPベース34の間のPN接合をまたぐことに気付くであろう。

#### 【0025】

P<sup>+</sup>アノード領域14がドリフト領域24の下表面上に形成され、アノードコンタクト16がアノード領域14につくられる。

20

#### 【0026】

いくつかの場合、カソードセルのNウェルと隣接セルのNウェルの間の離隔を大きくするため、構造内にいわゆる「ダミーセル」を設けることが必要になり得る。これは図1bに示されるように単に1つのセルを含めることにより、ただしそのセルをフローティングのままにするかまたは接地し、したがって不動作にすることによって達成され得る。ダミーセルにおいて、n<sup>+</sup>領域はない。それゆえ、ダミーセルをカソードに接続してもしなくても差し支えない。これらのダミーセルはクラスター内に離ればなれに分散させることができる。さらに、作動セル内のいくつかのトレンチ40aは「ダミートレンチ」と指定することができる。これは図1bの構成において、単にダミートレンチとして指定されたトレンチに対するカソードコンタクト37を省略して、それらを休止状態または不動作のままにすることによって達成される。構造内のダミーセルの数及び作動セル内のダミートレンチの数は、設計、用いられる製造プロセス及び所要の素子特性に依存する。しかし、カソードセル構造におけるダミーセルの使用により、オン状態損失とターンオフ損失の間のトレードオフを改善されることが示されている。上述したように、ダミーセルはフローティングのままにするかまたは接地することができる。ダミーセル及びダミートレンチはまとめて接地するかまたはフローティングのままにしておくことができる。ダミートレンチもフローティングのままにしておくことができる。

30

#### 【0027】

上述した素子に用いるための可能な多くの様々なトレンチ構成が思い描かれる。図面の図2a、2b、2c、2d及び2eをここで参照すれば、4つの異なる可能なストライプ型カソード配置形状が示されている。図2aは、全カソードが「活」コンポーネントであるように、100%がコンタクトであり、軸に沿ってダミーコンポーネントが全く設けられていない、ストライプ型構造を示す。これは、(他のカソードクラスターへの)接続トレンチが省略されている、図面の図2gに一層明確に示される。図2bは活性セル毎に1つのダミーセルがある場合を示し、トレンチ40間の黒地領域300がダミー領域である。図示される構成において、ダミーはY軸に沿って配置される。図2cは単位トレンチ毎に2つのダミーがある場合を示し、図2dは単位トレンチ毎に3つのダミーがある場合を示す。

40

#### 【0028】

50

図 2 e はダミー 3 0 0 がトレンチ 4 0 に直交して配置されている場合を示す。

【 0 0 2 9 】

カソードクラスターはまとめて構築することができる。例えば、図面の図 1 c 及び 2 f を参照すれば、カソードセルのブロック 1 0 0 間に複数本の平行「ストライプ」またはトレンチ 4 0 があるストライプ型構成が示され、それぞれのセルにはゲートコンタクト（図示せず）のセットが与えられ、それぞれのセルはゲートコンタクトにより、トレンチ 1 0 2 を介して、電源に接続される。これらの接続トレンチが図示される態様で、すなわち縦方向及び／または横方向にデバイスにかかるように、構成される必要はないことは了解されるであろう。多数の別の構成、例えばジグザグパターンが思い浮かび、本発明はこの点に関して全く限定されない。用いられる特定の装置の負荷条件に依存して、多くのトレンチゲートをクラスター間に分散させることができる。しかし、図 2 b にでは「活」ブロック間により広いスペースがあり、図 2 c 及び 2 d でもスペースはやはり広い。これらのスペースに「ダミー」トレンチは必ずしも必要ではない。しかし、エッチング及びリソグラフィの容易さを含む、作製上の制約により、設計毎にリソグラフィまたはエッチングのマスクを変えなければならなくなることを避けるためには、これが望ましいことであり得る。全ての構成において、図 1 b に示されるように、同じトレンチが、縦方向でそれぞれの素子のドリフト領域及び P ウエル領域と交差し、また横方向でベース領域、N ウエル領域及び P ウエル領域とも交差することがわかる。

【 0 0 3 0 】

図面の図 5 に示されるように、クラスターセルを接続するためにプレーナゲートが用いられ得ることは了解されるであろう。

【 0 0 3 1 】

図 1 b をさらに参照すれば、ゲートに閾電圧より大きい正バイアスを印加すると、カソード MOSFET がオンになり、N ドリフト領域 2 4 に電子が供給される。アノード電圧がバイポーラ立ち上がり電圧より大きいと、正孔がアノードから注入される。しかし、正孔が直接にカソード領域に流れ込む経路はない。この結果、P ウエル領域 2 0 の電位が高くなる。N 領域 2 2 の濃度は素子の総合性能に重要な役割を果たし、電荷蓄積 IGBT (CS-IGBT) の場合のように、正孔に対する障壁を形成するのに必要な臨界値より大きい。制御ゲートがオンであれば、N ウエル 2 2 は N ウエル領域に形成された蓄積領域及び P ベース領域 3 2 内の反転チャネルを介してカソード電位に結合される。P ウエルと N ウエルの接合の電位差が内蔵電位より大きくなると、サイリスタが動作し始めることになる。

【 0 0 3 2 】

サイリスタがオンになると、N ウエル 2 2 / P ウエル 2 0 の電位はアノード電圧のさらなる上昇とともに高くなる。この電位上昇により P ベース 3 2 / N ウエル 2 2 空乏領域が拡大する。N ウエル 2 2 の濃度は P ベース 3 2 の濃度より低いから、空乏領域は主に N ウエル領域内に広がる。（ドーピング濃度、N ウエル深さ、P ベース深さ及び MOS チャネル飽和特性によって決定される）ある電圧において、空乏領域は P ウエル / N ウエル接合 2 3 に接触し、この点において素子はクランプされる。このセルフクランプ機能が、以降のアノード電位のいかなる上昇も P ウエル 2 0 / N ドリフト領域 2 4 だけにかけて降下することを保証する。

【 0 0 3 3 】

素子のターンオフ性能は IGBT のターンオフ性能と同様である。制御ゲートがオフになると、セルフクランプがおこるまで、P ベース 3 2 / N ウエル 2 2 にかかる電位が上昇する。クランプされてしまうと、P ウエル 2 0 の幅が広いという性質が P ベース領域 3 2 , 3 4 への正孔の有効な収集を可能にする。

【 0 0 3 4 】

クラスター化絶縁ゲートバイポーラトランジスタの、P ウエル及びドリフト領域と縦方向に交差し、ベース、N ウエル及び P ウエル領域と横方向に交差するように単一の細長トレンチが用いられる、他の構造が思い描かれることは了解されるであろう。本発明はこの



点に関して限定されるつもりはない。

#### 【 0 0 3 5 】

図面の図 3 a から 3 h を参照してここで作製プロセスの一例を説明する。すなわち、図 3 a を参照すれば、プロセスは上表面 2 0 1 及び、上表面 2 0 1 と表裏をなす、下表面 2 0 2 を有する n 型半導体 2 0 0 の作製をもって始まる。次に、図 3 b に示されるように、n 型半導体 2 0 0 の上表面 2 0 1 を通して、例えば、フォトリソグラフィ及びイオン注入により、P ウエル層 2 2 0 が形成される。図面の図 3 c を参照すれば、P ウエル層 2 2 0 内に、同じく構造の上表面 2 0 1 を通して、例えば、フォトリソグラフィ及びイオン注入により、N ウエル層 2 2 2 が形成される。図 3 d には、N ウエル層 2 2 2 内に、同じく上表面を通し、同じく、例えば、フォトリソグラフィ及びイオン注入を用いて、形成された P ベース層 2 3 2 が見られる。

10

#### 【 0 0 3 6 】

次に図面の図 3 e を参照すれば、例えば、ドライエッチングにより、ゲートとしてはたらくことになるトレンチ 2 4 0 が選択的に形成される。これらのトレンチ 2 4 0 は横方向に P ベース層 2 3 2、N ウエル層 2 2 2 及び P ウエル層 2 2 0 と交差するように形成されるが、トレンチは N ウエル領域 2 2 2 内で終端することができ、あるいは P ウエル領域 2 2 0 を貫通してドリフト領域に延び込むことができる。トレンチは、図 3 f の簡略な平面図に示されるように、縦方向に、基板 2 0 0、P ウエル層 2 2 0 及び N ウエル層 2 2 2 とも交差する。一実施形態例において、トレンチゲートの形成後に P<sup>+</sup> 層 2 3 4 及びカソード層 2 3 6 が形成されるが、これらの層はトレンチの形成に先立って形成され得る。

20

#### 【 0 0 3 7 】

図 3 e に戻って参照すれば、トレンチ 2 4 0 の内表面がゲート酸化物（絶縁膜 2 4 2）で覆われ、トレンチを埋めるようにゲート電極 2 4 4 がゲート酸化膜 2 4 2 上に形成される。ゲート電極 2 4 4 は、例えば、化学的気相成長法（CVD）のような、当業者に既知のいずれか適するプロセスにより、ドーパント多結晶シリコンで形成することができる。トレンチ開口を覆って絶縁膜（図示せず）が選択的に形成され、次いで基板の上表面を覆ってカソード電極（図示せず）が形成される。

#### 【 0 0 3 8 】

最後に、n 型基板 2 0 0 の下表面 2 0 2 上に N<sup>+</sup> バッファ層（図示せず）が、必要であれば、形成され、P アノード層が形成される。しかし、NPT 技術においてバッファ層は必要ではないことが了解されるであろう。

30

#### 【 0 0 3 9 】

素子のそれぞれの領域及び層が形成される態様に本発明が限定されるとは決して意図されていないことは了解されるであろう。多くの適する堆積方法、エッチング方法及び注入方法の内のいずれか 1 つは当業者には明らかであろうし、それらは全て本発明の範囲内に入るとされる。

#### 【 符号の説明 】

#### 【 0 0 4 0 】

- 2 0      P ウエル
- 2 0 b    P 領域
- 2 2      N ウエル
- 2 3      P ウエル / N ウエル 接合
- 2 4      N ドリフト 領域
- 2 6      表面
- 3 2      P ベース
- 3 3      ゲート 酸化物
- 3 4      P<sup>+</sup> 領域
- 3 6      N<sup>+</sup> カソード 領域
- 3 7      カソード コンタクト
- 3 8      多結晶 シリコン ゲート

40

50



【図 2 a】

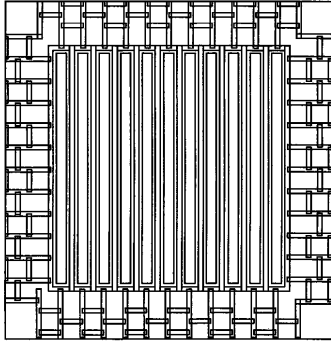


Fig. 2a

【図 2 c】

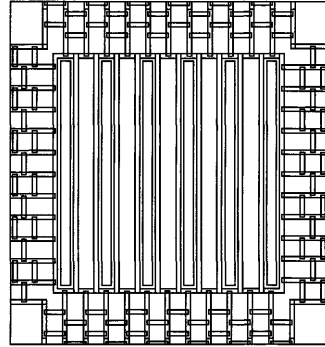


Fig. 2c

【図 2 b】

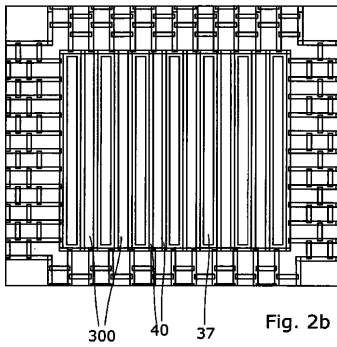


Fig. 2b

【図 2 d】

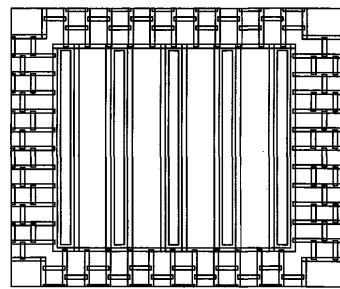
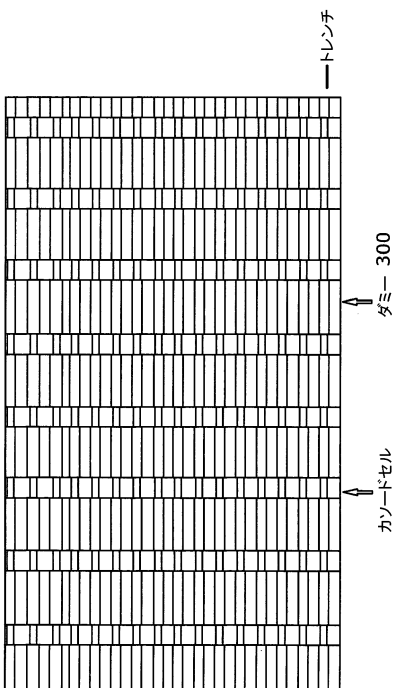


Fig. 2d

【図 2 e】



【図 2 f】

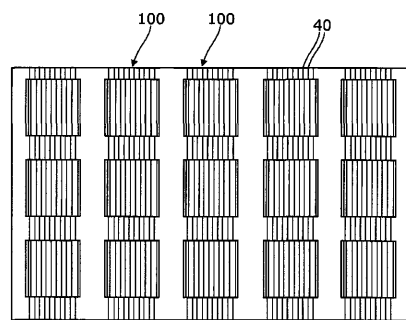


Fig. 2f

【図 2 g】

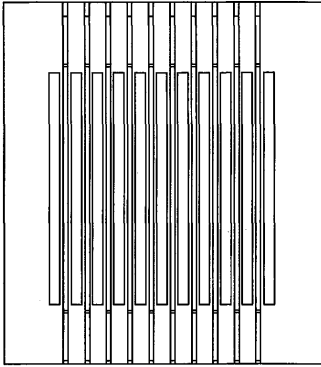


Fig. 2g

【図 3 a】

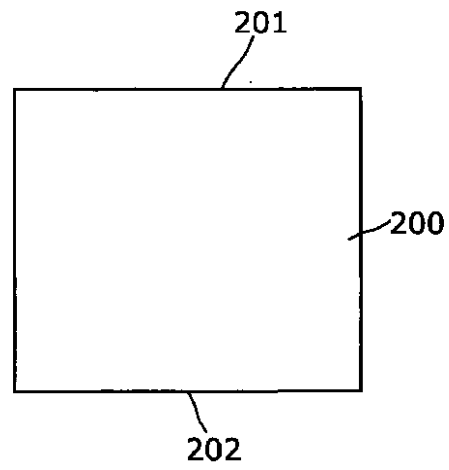


Fig. 3a

【図 3 b】

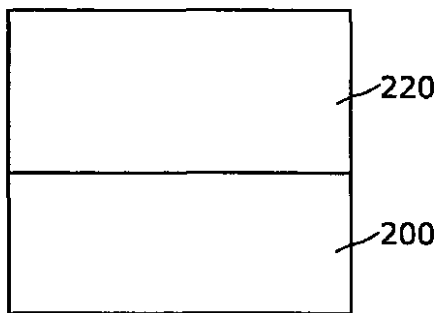


Fig. 3b

【図 3 c】

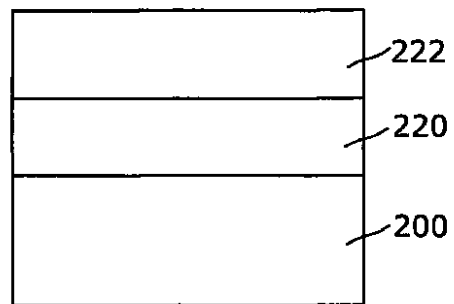


Fig. 3c

【図 3 d】

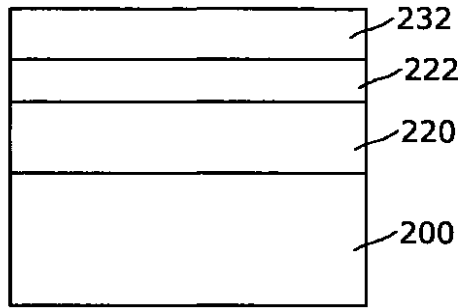


Fig. 3d

【図 3 e】

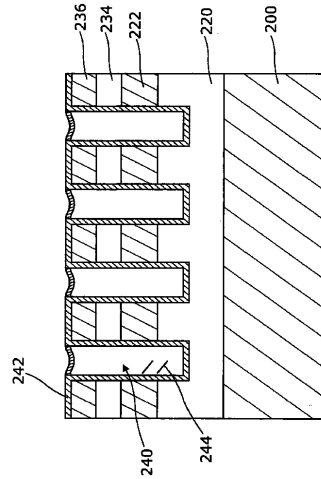
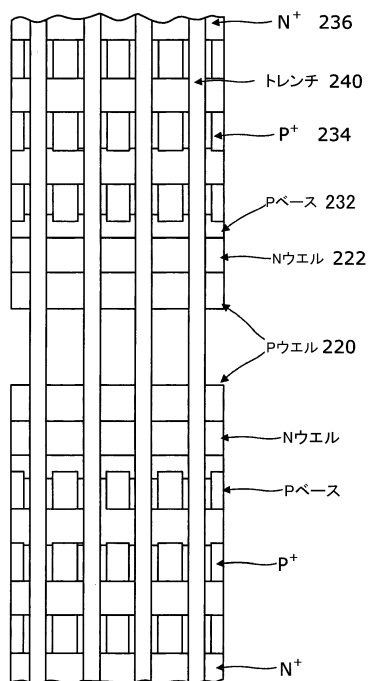
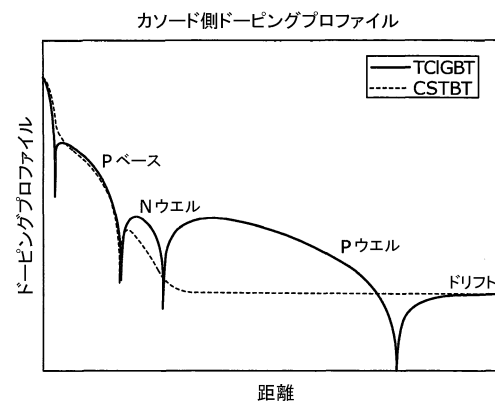


Fig. 3e

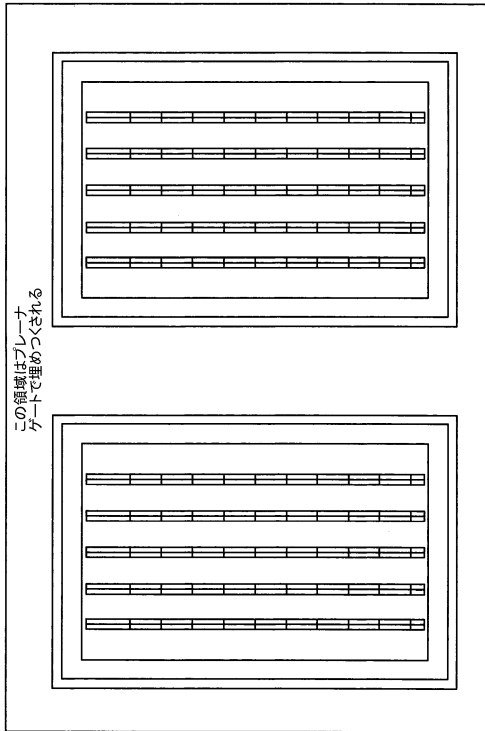
【図 3 f】



【図 4】



【図 5】



---

フロントページの続き

(56)参考文献 米国特許出願公開第2009/0008674 (US, A1)

特開2001-044415 (JP, A)

特表2003-509849 (JP, A)

特開2012-227335 (JP, A)

特開2004-200540 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/749

H01L 29/739

H01L 29/78

H01L 21/336