

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 531 812

②1 N° d'enregistrement national :

83 13245

⑤1 Int Cl³ : H 01 L 27/06, 21/82, 29/68.

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 12 août 1983.

③0 Priorité JP, 13 août 1982, n° 139 932.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 7 du 17 février 1984.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : HITACHI, LTD. — JP.

⑦2 Inventeur(s) : Hideki Yasuoka, Yasunobu Tanizaki, Akira
Muramatsu et Norio Anzai.

⑦3 Titulaire(s) :

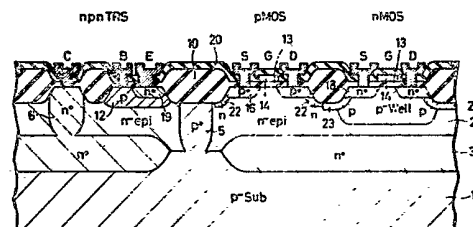
⑦4 Mandataire(s) : Dupuy et Loyer.

⑤4 Dispositif à circuits intégrés à semiconducteurs du type « BI-CMOS-IC » et son procédé de fabrication.

⑤7 L'invention concerne un dispositif à semiconducteurs à
circuits intégrés et un procédé de fabrication d'un tel dispositif.

Ce dispositif comprend un substrat semiconducteur 1, une
couche semiconductrice 2 et des régions ensevelies 3, déter-
minant des régions en forme d'îlots isolés, une région semi-
conductrice diffusée 5 entre les éléments 1 et 4, un transistor
bipolaire (*npn*) et des transistors (*pMOS*, *nMOS*) étant formés
dans lesdites régions en forme d'îlots.

Application notamment aux circuits intégrés comportant des
éléments bipolaires et des éléments MOS complémentaires, à
haute densité d'intégration.



FR 2 531 812 - A1

La présente invention concerne les dispositifs à circuits intégrés à semiconducteurs.

En ce qui concerne les circuits intégrés, dans lesquels un élément bipolaire exécutant une opération analogique et des éléments MOS complémentaires exécutant des opérations numériques sont formés sur un seul substrat semiconducteur de telle manière que les dispositifs analogiques et numériques coexistent (circuits intégrés désignés ci-après sous le terme abrégé de "circuits intégrés Bi-CMOS.IC"), on connaît parfaitement bien l'emploi d'une structure utilisant du Al (aluminium) pour constituer la grille de l'élément MOS, comme cela est décrit par exemple dans la demande de brevet japonais publiée au Journal Officiel N° 56-152 258. Dans le cas de la fabrication du circuit intégré Bi-CMOS.IC présentant la structure à grilles de Al, il est d'une pratique usuelle d'adopter un procédé selon lequel une couche de Si (silicium) de type n^- , que l'on a réalisée par croissance épitaxiale sur un substrat en Si de type p^- , est isolée sous la forme de plusieurs régions en forme d'îles ou d'îlots de Si par des jonctions p-n formées par diffusion de type p, à la suite de quoi on réalise les éléments bipolaires et les éléments CMOS dans les régions respectives en forme d'îlots de la couche de Si de type n^- . Cependant la grille en Al possède une largeur d'environ 8 microns, dimension que l'on ne peut réduire, et la surface de la région (partie) d'isolation ne peut pas être réduite avec l'isolant de la jonction p-n. C'est pourquoi, dans l'art antérieur, il se pose un problème en ce qui concerne l'obtention d'une densité élevée d'intégration.

Conformément à la publication du Journal Officiel, mentionnée ci-dessus, qui décrit un procédé de fabrication d'un circuit intégré Bi-CMOS-IC possé-

dant la structure à grille de Al, on forme simultanément par diffusion une région d'isolation ou région isolante, la région de base (de type p) d'un élément bipolaire et un puits de type p pour la formation d'un élément MOS à canal n. En outre, conformément à cette publication du Journal Officiel, des diffusions de type p^+ pour la partie de contact de la base, de la source et du drain, un élément MOS à canal p et la partie de la surface de la région isolante sont utilisées en commun, tandis que des diffusions de type n^+ pour l'émetteur de l'élément bipolaire et pour la source et le drain de l'élément MOS à canal n sont utilisées en commun. Avec un tel processus, on obtient des caractéristiques bipolaires inférieures étant donné que la concentration en impureté de la base est aussi faible que celle du puits de type p. Il se pose par exemple le problème selon lequel la grandeur f_T (fréquence de largeur de bande du gain en courant) est faible (40 MHz), que l'impédance de sortie est faible et qu'il est susceptible de ce produire un effet d'injection intense. En outre, on ne peut pas tellement s'attendre à obtenir une densité élevée d'intégration en raison de la structure à grilles de Al.

Un circuit Bi-MOS-IC possédant une structure à grille en Si, qui permet d'obtenir une densité d'intégration supérieure à la structure à grille en Al est connu d'après la demande de brevet publiée dans le Journal Officiel au Japon sous le numéro 55-157 257, et des circuits Bi-CMOS possédant une structure à grilles de Si sont connus d'après les demandes de brevets publiées au Journal Officiel au Japon sous les numéros 56-7462 et 56-15068. Etant donné que le circuit intégré Bi-MOS ou le circuit intégré Bi-CMOS, décrit dans le Journal Officiel mentionné ci-dessus, possède la structure à isola-

tion entre éléments, qui utilise la technique LOCOS (oxydation locale du silicium), il est possible d'obtenir une densité encore supérieure d'intégration. Mais dans le cas des circuits intégrés décrits dans les demandes de brevet publiées au Journal Officiel sous les numéros 55-157 257 et 56-15068, les potentiels du substrat sont limités et des thyristors parasites sont susceptibles de se développer. D'autre part, dans le cas du circuit intégré décrit dans la demande de brevet publiée au Journal Officiel mentionné ci-dessus numéro 56-7462, l'agencement des circuits est limité étant donné qu'un substrat est utilisé en tant que région de collecteur d'un élément bipolaire.

Un but de la présente invention est de fournir un circuit intégré Bi-CMOS.IC, dans lequel des éléments bipolaires et des éléments MOS sont intégrés avec une haute densité d'intégration dans un seul corps semiconducteur, sans aucune altération de leurs caractéristiques.

Un autre but de la présente invention est de fournir un circuit intégré Bi-CMOS.IC, dans lequel il existe une tendance moindre au développement de thyristors parasites.

Un autre but de la présente invention est de fournir un nouveau procédé de fabrication d'un circuit intégré Bi-CMOS.IC.

Un circuit intégré Bi-CMOS.IC conforme à la présente invention comporte un substrat semiconducteur possédant un premier type de conductivité, et une couche semiconductrice possédant un second type de conductivité et qui est réalisée par croissance épitaxiale sur une surface principale dudit substrat semiconducteur et qui est isolée électriquement sous la forme d'un ensemble de régions semiconductrices en forme d'îlots au moyen d'une pellicule d'oxyde super-

ficielle épaisse réalisée par oxydation locale, et une couche semiconductrice diffusée possédant le premier type de conductivité et formée entre ladite pellicule d'oxyde et ledit substrat, un élément semiconducteur de type bipolaire étant formé dans l'une desdites régions en forme d'îlots, tandis que des éléments semiconducteurs de type CMOS sont formés dans les autres régions en forme d'îlots, que la pellicule d'oxyde superficielle épaisse formée par oxydation locale est insérée entre une région de base et une région de contact de collecteur à l'intérieur d'une région en forme d'îlots formée par ledit élément semiconducteur de type bipolaire, et que des électrodes de grille réalisées avec un semiconducteur ou un métal à haut point de fusion (métal réfractaire) sont disposées au-dessus des autres régions en forme d'îlots munies desdits éléments semiconducteurs de type CMOS.

Un procédé pratique de fabrication d'un circuit intégré Bi-CMOS.IC conforme à la présente invention inclue les phases opératoires consistant à préparer un substrat en silicium de type p possédant des régions ensevelies de type n formées de façon sélective en lui-même, à former par croissance épitaxiale une couche de silicium de type n sur ledit substrat en silicium de type p comportant des régions ensevelies de type n, à former une couche de type p à l'intérieur de ladite couche en silicium de type n de manière à obtenir des régions en forme d'îlots incluant lesdites régions ensevelies de type n, à former un puits de type p dans l'une desdites régions en forme d'îlots, à oxyder localement une surface de ladite couche de silicium de type n grâce à l'utilisation d'un masque imperméable à l'oxydation de manière à former une pellicule d'oxyde épaisse sur ladite surface de ladite couche de silicium de type n, à intro-

duire une impureté de type n pour réaliser un contact de collecteur d'un transistor bipolaire et à introduire une impureté de type p pour former une base de ce transistor dans une autre desdites régions en forme d'îlots en utilisant comme masque ladite pellicule d'oxyde épaisse, à former des pellicules d'isolant de grille sur des surfaces dudit puits de type p et également sur une autre desdites régions d'îlots, à déposer du silicium polycristallin sur lesdites pellicules d'isolant de grille, à introduire une impureté de type p pour réaliser une source et un drain d'un transistor à effet de champ MOS à canal p, dans ladite autre région en forme d'îlots en utilisant une partie dudit silicium polycristallin en tant que masque, et à introduire une impureté de type n pour former une source et un drain d'un transistor à effet de champ MOS à canal n, dans ledit puits de type p en utilisant une autre partie dudit silicium polycristallin en tant que masque, et à introduire simultanément une impureté de type n pour former un émetteur dudit transistor bipolaire à l'intérieur de la région de base.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels:

les figures 1 à 12 sont des vues en coupe d'un circuit intégré, illustrant différentes phases ou étapes opératoires d'un procédé de fabrication d'un circuit intégré Bi-CMOS. IC conforme à la présente invention; et

la figure 13 est une vue en coupe montrant une forme de réalisation d'un circuit intégré Bi-CMOS conforme à la présente invention.

Les caractéristiques de la présente invention

seront aisément comprises à la lecture de la description qui va suivre des formes de réalisation préférées de l'invention considérées en référence aux dessins annexés.

5 Les figures 1 à 12 montrent les étapes d'un circuit intégré Bi-CMOS.IC au cours des phases opératoires principales de sa fabrication, et ce suivant des coupes typiques.

(1) Comme représenté sur la figure 1, après
10 avoir déposé de façon sélective du Sb (antimoine) ou analogue sur une surface principale d'un substrat en Si de type p^- de haute résistivité (substrat sous la forme d'une pastille ou d'une puce) 1, on forme sur le substrat, par croissance épitaxiale, une couche
15 de Si de type n^- 2 (épaisseur 8 à 12 microns) possédant une faible concentration d'impureté et un profil uniforme de distribution de l'impureté en profondeur, et simultanément on forme des régions ensevelies de type n^+ 3 possédant une épaisseur prédéterminée, entre le substrat de type p^- et la couche de type n^- . Sur la figure, une surface ou zone I désigne une zone dans laquelle un élément bipolaire est formé, tandis qu'une zone II est une zone dans laquelle des éléments CMOS sont formés.

25 (2) On forme une pellicule d'oxyde 4 sur la surface de la couche de type n^- 2 en oxydant sa surface et on y aménage des fenêtres. Les fenêtres, hormis l'une d'elles, sont recouvertes par un masque (non représenté), et on forme une couche diffusée de
30 type p (couche isolante ou d'isolation) 5 au moyen de l'introduction de l'impureté, suivant deux phases, avec dépôt et diffusion d'une impureté B (bore) pour l'isolation. De façon analogue, dans la zone I, on forme une couche diffusée de type n^+ 6 dans une autre
35 fenêtre de manière à réaliser le contact de collecteur

du transistor npn en utilisant l'introduction d'une impureté, suivant deux phases, en mettant en oeuvre un dépôt et une diffusion d'une impureté P (phosphore). La couche diffusée de type p 5 et la couche diffusée de type n⁺ 6 diffusent jusqu'à une épaisseur égale approximativement à la moitié de la couche de type n⁻ 2. En outre, dans la zone II, on implante des ions B (bore) dans une fenêtre de manière à former un puits de type p (se reporter à la figure 2).

10 (3) Lors de la réalisation de la diffusion pénétrante ou de redistribution du puits, on réalise la formation du puits p⁻ 7 comme représenté sur la figure 3. Simultanément, la couche diffusée de type p 5 se raccorde au substrat de type p⁻ 1 de manière à isoler la zone I et la zone II. De même la zone diffusée de type n⁺ 6 du contact de collecteur atteint la région ensevelie de type n⁺ 3.

(4) On élimine la pellicule d'oxyde sur l'ensemble de la surface. Ensuite, comme représenté sur 20 la figure 4, on forme à nouveau une pellicule d'oxyde mince sur laquelle on dépose du Si₃N₄ (nitrure de silicium) 8, à la suite de quoi, on forme un masque imperméable à l'oxydation et destiné à être utilisé pour une oxydation locale en mettant en oeuvre 25 le traitement de formation de masque. Ultérieurement, bien que cela ne soit pas représenté sur la figure, on implante des ions de type n dans les parties de la zone II et une impureté de type p pour réaliser des dispositifs d'arrêt de canal après application d'une 30 résine photorésistante sur lesdites parties et moyennant l'utilisation du masque imperméable à l'oxydation.

(5) Lors de la mise en oeuvre de l'oxydation à basse température, les parties de la surface de Si 35 non munies du masque imperméable à l'oxydation

sont équipées localement de pellicules d'oxyde de champ épaisses 10 comme représenté sur la figure 5. Pendant le traitement d'oxydation, les dispositifs d'arrêt de canal de type p et de type n (indiqués
5 par des lignes formées de tirets) sont formés au-dessous des pellicules d'oxyde de champ.

(6) on élimine la couche de Si_3N_4 8 et la pellicule d'oxyde mince sous-jacente 9 de manière à mettre à nu la surface du Si. On oxyde légèrement
10 la surface dégagée du Si de manière à former une pellicule d'oxyde mince, à la suite de quoi on dépose une pellicule d'oxyde 11 au moyen de l'oxydation du Si à basse température. Comme représenté sur la figure 6, seule une partie de base est ouverte,
15 et l'impureté B (bore) est déposée à ce niveau (ou des ions sont implantés à ce niveau) de manière à former une couche diffusée de type p peu profonde 12.

(7) afin de former les pellicules d'isolant de champ, on soumet la surface de la zone II
20 à une attaque chimique et on réalise une oxydation des grilles de manière à former ainsi les pellicules d'oxyde de grille 13 des éléments MOS, comme cela est représenté sur la figure 7.

(8) on dépose du silicium polycristallin (polysilicium) sur l'ensemble de la surface et on en élimine la partie inutile par attaque chimique photosensible, ce qui entraîne la formation des grilles en polysilicium 14 dans des parties de la
25 zone II comme représenté sur la figure 8.

(9) on dépose une pellicule d'oxyde 4 en utilisant le dépôt chimique en phase vapeur. Comme représenté sur la figure 9, seule est dégagée ou ouverte une partie destinée à former l'élément MOS à
35 canal p, et en utilisant la grille de polysilicium

en tant que masque, on dépose l'impureté B (bore), puis on la fait diffuser de manière à former une source et un drain 7 de type p^+ , selon un mode d'auto-alignement.

5 (10) on forme une nouvelle pellicule d'oxyde 17 obtenue selon un dépôt chimique en phase vapeur. Comme représenté sur la figure 10, on réalise une ouverture dans des parties destinées à former la source et le drain de l'élément à canal n et dans une
10 partie destinée à former l'émetteur de l'élément npn bipolaire, puis on implante des ions As (arsenic) à l'intérieur desdites parties et on les fait diffuser au moyen d'une diffusion pénétrante de redistribution, de manière à former la source et le
15 drain de type n^+ 18 et l'émetteur de type n^+ 19. Alors, afin d'obtenir simultanément un contact ohmique favorable, on implante également des ions As dans la région de contact de collecteur 10, c'est-à-dire qu'on y introduit des atomes d'impureté supplémentaires.
20

(11) on dépose sur l'ensemble de la surface une pellicule isolante 20 en PSG (verre aux phosphosilicates) ou analogue. Ensuite, comme représenté sur la figure 11, on aménage des trous de contact par attaque chimique photosensible, de manière à dégager
25 les parties de contact des différentes régions.

(12) on dépose du Al (aluminium) par évaporation (ou par pulvérisation) sur l'ensemble de la surface et on réalise une attaque chimique photosensible. Ensuite, on soumet la structure résultante à
30 un recuit avec un écoulement de H_2 , ce qui entraîne la formation des électrodes en Al 21 maintenues en contact ohmique avec les régions respectives, comme cela est représenté sur la figure 12. Certaines des
35 électrodes en Al s'étendent sur la pellicule de PSG

et servent de conducteurs de câblage en Al pour le raccordement électrique des régions désirées parmi les différentes régions.

La figure 13 est une vue en coupe montrant de façon typique le circuit intégré Bi-CMOS.IC terminé. Sur la figure, les références 22 et 23 désignent les dispositifs d'arrêt de canal.

Conformément à la présente invention décrite ci-dessus en liaison aux formes de réalisation, on peut atteindre les objectifs de la présente invention pour les raisons indiquées ci-après.

(1) En utilisant la couche de Si épitaxiale possédant une faible concentration en impureté en tant que partie destinée à former l'élément, il est possible de déterminer la tension V_{th} (tension de seuil) de l'élément MOS à canal p. Conformément à la concentration épitaxiale, la dose de l'implantation ionique pour le puits de type p possédant une faible concentration en impureté peut être déterminée et la tension de seuil V_{th} de l'élément MOS à canal n formé dans le puits de type p peut être déterminée. Un autre avantage tient au fait que la tension BV_{VCO} (tension de claquage ou rupture collecteur-base) peut être aisément réglée ou commandée dans l'élément bipolaire.

(2) Compte-tenu de l'utilisation de la couche de Si épitaxiale et de la réalisation de la couche ensevelie de type n^+ au-dessous des éléments MOS, l'effet de verrouillage est empêché, c'est-à-dire que la formation d'un thyristor parasite est empêché.

(3) La pellicule d'oxyde épaisse et la jonction diffusée sont utilisées conjointement pour réaliser l'isolation de la zone de l'élément bipolaire et de la zone des éléments MOS. Cette disposition réduit l'étalement ou l'extension latérale de la dif-

fusion par rapport à l'isolation obtenue uniquement sur la base de la jonction diffusée comme dans le cas du circuit intégré CMOS.IC classique, et ceci permet d'obtenir une densité d'intégration supérieure et est efficace pour empêcher l'effet de verrouillage.

(4) A l'intérieur de l'élément bipolaire, la pellicule d'oxyde épaisse partiellement enterrée ou ensevelie dans la couche de Si épitaxiale existe entre la région de contact de collecteur et la région de base. Comme cela ressort de la figure 6, la pellicule d'oxyde épaisse est un masque de diffusion pour réaliser la région de base et élimine la diffusion de la base suivant la direction latérale. En dehors de cela, comme cela ressort de la figure 10, ceci supprime la diffusion de contact du collecteur suivant la direction latérale pendant l'implantation ionique supplémentaire (ou la diffusion) dans la région de contact de collecteur. Par conséquent, même lorsque la tolérance d'alignement des masques entre la région de base et la région de contact de collecteur possédant une concentration élevée en impureté est réglée de manière à être suffisante, les deux régions ne viennent pas en contact. C'est pourquoi, la zone ou surface d'occupation d'un élément bipolaire diminue tandis que la tension BV_{VCO} (tension de rupture ou de claquage collecteur-base) de cet élément ne diminue pas.

(5) Par suite de l'utilisation de la grille de polysilicium pour chaque élément CMOS, on peut réaliser la diffusion de la source et du drain selon un mode d'auto-alignement. Par conséquent, l'erreur ou le défaut d'alignement des masques n'a pas besoin d'être pris en compte, et la longueur de la grille peut être rendue aussi faible qu'environ 5 mi-

crons. L'utilisation des grilles en polysilicium permet d'obtenir une densité supérieure d'intégration, conjointement à l'utilisation de la pellicule d'oxyde épaisse pour réaliser l'isolation entre l'élément à canal p et l'élément à canal n. Conformément à la présente invention utilisant les grilles de Si, il est devenu possible de réduire la surface ou taille de la microplaquette de 25 % par rapport au cas de l'utilisation de grilles en Al.

(6) Compte-tenu du fait que la source et le drain de l'élément MOS à canal n sont formés au moyen de la phase de diffusion commune avec la diffusion de l'émetteur de l'élément npn, on peut donner une faible valeur à la longueur de la grille de l'élément MOS à canal n. Avec le procédé de fabrication des circuits intégrés Bi-CMOS-IC décrit dans la demande de brevet japonaise publiée au Journal Officiel sous le numéro 56-152 258 mentionnée ci-dessus, lorsque la diffusion de l'émetteur est profonde, la longueur de la grille de l'élément MOS à canal n doit être rendue importante. Au contraire, conformément à la présente invention, la diffusion de l'émetteur est réalisée d'une manière aussi peu profonde que possible afin d'éviter cet inconvénient. Par conséquent, les conditions de diffusion de la base deviennent très importantes pour amener le gain h_{FE} (gain de courant continu d'émetteur mis à la masse) du transistor bipolaire dans la gamme 100-400. Conformément à la présente invention, comme cela sera compris de la forme de réalisation indiquée ci-dessus, la région de base est formée au moyen d'une phase opératoire séparée de la formation du puits de type p, et intervenant après la formation des pellicules épaisses obtenues par oxydation locale, qui prennent une intervalle de temps important. Par conséquent,

la région d'émetteur peut être formée avec une épaisseur plus faible que la région de base et le puits de type p. C'est pourquoi, même le transistor bipolaire possédant le gain h_{FE} mentionné ci-dessus
5 peut être réalisé aisément sans que ceci n'affecte l'élément MOS.

(7) Etant donné que la diffusion de base de l'élément bipolaire est réalisée avant l'oxydation de la grille, ceci ne perturbe pas les pellicules
10 d'oxyde de grille. C'est pourquoi, on peut aisément régler ou commander l'épaisseur de la pellicule d'oxyde de grille ou la tension de seuil V_{th} de l'élément CMOS.

(8) L'implantation d'ions est réalisée en
15 utilisant la couche de Si_3N_4 pour réaliser la pellicule d'oxyde épaisse, en tant que masque, et la dose d'implantation est correctement stimulée, ce qui a pour effet que la tension V_{th} d'un transistor MOS parasite au niveau d'un puits de type p ou d'un transistor MOS parasite au niveau de la couche épitaxiale
20 de type n^- peut être accrue.

(9) Compte-tenu du fait que les diffusions pénétrantes ou diffusions de redistribution du puits de type p et de la couche de type p d'isolation de
25 jonction sont réalisées simultanément, il est possible de réduire le nombre des phases opératoires. La concentration en impureté du puits de type p est limitée étant donné que la tension V_{th} de l'élément MOS à canal n est déterminée par la concentration de surface. En outre, la profondeur du puits doit être égale
30 au moins à 5 microns. Par ailleurs, la profondeur de la diffusion de type p d'isolation de jonction doit être égale au moins à l'épaisseur de la couche épitaxiale. Par conséquent, la couche de diffusion
35 de type p d'isolation de jonction est réalisée jus-

qu'à la profondeur correcte par avance, comme cela est visible sur la figure 2, ce qui a pour effet que les diffusions pénétrantes ou diffusions de redistribution simultanées sont possibles.

5 (10) Dans le cas où l'on forme, dans le substrat semiconducteur identique, un circuit qui requiert une diode Zener possédant une tension de Zener de 5-6 V, il est possible de réaliser la diode Zener en utilisant la jonction n-entre une région semiconductrice de type p formée en même temps que le drain et la source de l'élément MOS à canal p, et une région semiconductrice de type n⁺ formée en même temps que l'émetteur de l'élément bipolaire, et la tension Zener mentionnée ci-dessus est aisément atteinte au moyen d'un accroissement de la concentration en impureté de la source et du drain de l'élément à canal p.

20 (11) Etant donné que le puits de type p est formé devant la pellicule d'oxyde épaisse (pellicule d'oxyde de champ), on peut également former la pellicule d'oxyde épaisse dans la puits de type p. Par conséquent, on peut former un ensemble d'éléments MOS à canal n dans le puits de type p unique. En outre, on peut étendre les limites de la tension d'alimentation de service. C'est-à-dire que, compte tenu de la présence de la pellicule d'oxyde épaisse, l'apparition d'un transistor MOS parasite est moins susceptible de se produire.

30 (12) avant de réaliser la région de base, on forme la région de contact de collecteur profonde à l'intérieur de la couche Si épitaxiale de manière qu'elle contacte la région ensevelie de sorte que l'influence de cette région de contact sur la région de base peut être empêchée. En particulier dans cette forme de réalisation, le contact de collecteur est

formé avant que soit formé le puits de type p, ce qui permet d'empêcher également toute influence de ce contact sur le puits de type p. La région de contact de collecteur est maintenue en contact avec la
5 région ensevelie afin de réduire la résistante de collecteur.

(13) Compte-tenu de ce qui précède, il est possible d'assembler sur une même plaquette (substrat), un circuit intégré CMOS de faibles dimensions permettant des opérations logiques et un circuit intégré
10 bipolaire permettant des opérations linéaires. En outre, on peut obtenir un produit de hautes performances, sans que les caractéristiques des circuits intégrés respectifs n'en souffrent.

15 En dehors des formes de réalisation précédentes, la présente invention englobe toutes les modifications suivantes:

(1), pour l'électrode de grille on peut utiliser un métal à haut point de fusion tel que du Mo
20 (molybdène), autre que le Si. Pour former l'électrode de grille, il est préférable d'utiliser un semi-conducteur ou un métal à haut point de fusion qui puisse résister aux températures de diffusion.

(2) le puits de type p est utilisé en tant que
25 moyen d'isolation de jonction pour les éléments.

(3) la diffusion de la base de l'élément bipolaire est réalisée en commun avec la diffusion de la source et du drain de l'élément MOS à canal p.

(4) la diffusion de l'émetteur de l'élément
30 bipolaire et la diffusion de la source et du drain de l'élément MOS à canal n sont réalisées en utilisant des modes opératoires séparés.

(5) les régions ensevelies de type n^+ situées au-dessous de certains éléments MOS sont omises.

35 La présente invention est efficace lors-

qu'elle est utilisée dans un circuit intégré linéaire possédant une mémoire logique, dont on exige une faible dissipation de puissance. Dans un circuit intégré linéaire possédant des transistors MOSFET de puissance, ou bien dans un circuit intégré possédant une capacité élevée de commande ou de pilotage dans un réseau de portes ou dans un système logique MOS.

Enfin, la désignation "électrode de grille en Si" indiquée dans la présente invention englobe non seulement une électrode constituée par du Si seul, mais également une électrode constituée par du Si dans lequel un autre matériau métallique se trouve contenu, ou bien une électrode à structure empilée, constituée par des couches de Si et un autre matériau métallique. En outre, la pellicule d'isolant de grille de l'élément MOS n'est pas limitée à la pellicule d'oxyde, mais inclut également le cas du nitrure de silicium (Si_3N_4).

REVENDICATIONS

1. Dispositif à circuits intégrés à semiconducteurs, caractérisé en ce qu'il comporte un substrat semiconducteur (1) possédant un premier type de conductivité et une couche semiconductrice (2) possédant un second type de conductivité et qui est obtenue par croissance épitaxiale sur une surface principale dudit substrat à semiconducteurs et qui est isolée électriquement sous la forme de plusieurs régions semiconductrices en forme d'îlots par une pellicule d'oxyde superficielle épaisse (4) formée par oxydation locale, et une couche semiconductrice diffusée (5) possédant le premier type de conductivité et formée entre ladite pellicule d'oxyde (4) et ledit substrat (1), un élément semiconducteur de type bipolaire formé dans une (I) desdites régions en forme d'îlots, tandis que des éléments semiconducteurs du type CMOS sont formés dans les autres régions en forme d'îlots (II), la pellicule d'oxyde superficielle épaisse (4) formée par oxydation locale étant insérée entre une région de base (12) et une région de contact de collecteur (6) à l'intérieur de ladite région en forme d'îlots (I) munie dudit élément semiconducteur du type bipolaire, et que des électrodes de grille (14) constituées par un semiconducteur ou par un métal à haut point de fusion sont disposées au-dessus desdites autres régions en forme d'îlots (II) munies desdits éléments semiconducteurs du type CMOS.

2. Dispositif à circuits intégrés à semiconducteurs selon la revendication 1, caractérisé en ce que des régions ensevelies (3) possédant le second type de conductivité et une concentration en impureté élevée sont formées entre le substrat (1) possédant le premier type de conductivité et ledit élément semiconducteur de type bipolaire et lesdits

éléments semiconducteurs du type MOS desdites régions en forme d'îlots.

3. Dispositif à circuits intégrés à semiconducteurs selon la revendication 1, caractérisé en ce que ledit semiconducteur est du silicium polycristallin.

4. Dispositif à circuits intégrés à semiconducteurs selon la revendication 2, caractérisé en ce que ladite région de contact de collecteur (6) est en contact avec la région ensevelie (3).

5. Dispositif à circuits intégrés à semiconducteurs selon la revendication 1, caractérisé en ce qu'une région de puits (7) possédant le premier type de conductivité est formée dans l'une desdites autres régions en forme d'îlots (II) et que l'élément semiconducteur de type MOS possédant un canal désiré est formé dans ladite région de puits (7).

6. Dispositif à circuits intégrés à semiconducteurs selon la revendication 5, caractérisé en ce que ladite région de base (12) est formée avec une profondeur inférieure à ladite région de puits (7).

7. Procédé de fabrication d'un dispositif à circuits intégrés à semiconducteurs, caractérisé en ce qu'il inclut les phases opératoires consistant à préparer un substrat semiconducteur (1) possédant un premier type de conductivité, à former une couche semiconductrice (2) possédant un second type de conductivité sur ledit substrat semiconducteur (1) au-dessus de régions ensevelies (3) possédant le second type de conductivité, à former une couche isolante (5) à l'intérieur de la couche semiconductrice de manière à obtenir des régions en forme d'îlots (I,II) incluant lesdites régions en-

sevelies, à former un puits (7) possédant le premier type de conductivité dans l'une desdites régions en forme d'îlots, à former une pellicule d'oxyde (4) sur une surface de ladite couche semiconductrice
5 par oxydation locale, à former une première région semiconductrice (12) possédant le premier type de conductivité et destinée à former une base d'un transistor bipolaire, dans une région sélectionnée desdites régions en forme d'îlot, à former une se-
10 conde région semiconductrice possédant le second type de conductivité et destinée à devenir un émetteur (9) dudit transistor bipolaire, à l'intérieur de ladite première région semiconductrice, à former des troisièmes régions semiconductrices (16) possé-
15 dant le premier type de conductivité et destinées à devenir une source et un drain d'un transistor MOSFET possédant un canal ayant le premier type de conductivité, à l'intérieur de ladite région en forme d'îlots (II) muni de ladite région de puits (7), et
20 à former des quatrièmes régions semiconductrices (18) possédant le second type de conductivité et destinées à former une source et un drain d'un transistor MOSFET possédant un canal ayant le second type de conductivité à l'intérieur de ladite région
25 de puits.

8. Procédé de fabrication d'un dispositif intégré à semiconducteur selon la revendication 7, caractérisé en ce que ledit premier type de conductivité est le type p et que ledit second type de
30 conductivité est le type n.

9. Procédé de fabrication d'un dispositif à circuits intégrés à semiconducteurs selon la revendication 7, caractérisé en ce que la phase opératoire de formation du puits (7) est mise en oeuvre
35 avant la formation de ladite pellicule d'oxyde (4).

10. Procédé de fabrication d'un dispositif à circuits intégrés à semiconducteurs selon la revendication 7, caractérisé en ce que ladite première région semiconductrice est formée après la formation de ladite pellicule d'oxyde.

11. Procédé de fabrication d'un dispositif à circuits intégrés à semiconducteurs caractérisé en ce qu'il comprend les phases opératoires consistant à préparer un substrat en silicium de type p (1), à réaliser par croissance épitaxiale une couche de silicium de type n (2) sur ledit substrat en silicium de type p au-dessus de régions ensevelies de type n (3), à former une couche de type p (5) à l'intérieur de ladite couche en silicium de type n (2), de manière à obtenir des régions en forme d'îlots incluant lesdites régions ensevelies de type n, à former un puits de type p (7) dans l'une desdites régions en forme d'îlots, à oxyder localement une surface de ladite couche de silicium de type n (2) en utilisant un masque imperméable à l'oxydation (8) de manière à former une pellicule d'oxyde épaisse (10) sur ladite surface de ladite couche de silicium de type n, à introduire une impureté de type n pour un contact de collecteur d'un transistor bipolaire et à introduire une impureté de type p pour une base de ce transistor dans une autre (12) desdites régions en forme d'îlots en utilisant ladite pellicule d'oxyde épaisse (10) en tant que masque, à former des pellicules d'isolant de grille (13) sur des surfaces dudit puits du type p (7) et dans une autre desdites régions en forme d'îlots, à former une couche de silicium polycristallin (14) sur lesdites pellicules d'isolant de champ, à introduire une impureté de type p de manière à former une source et un drain (7) d'un transistor MOSFET à canal p, dans ladite autre

région en forme d'îlots en utilisant une partie dudit silicium polycristallin en tant que masque, et à introduire une impureté de type n en vue de former une source et un drain (18) d'un transistor MOSFET

5. à canal n dans ledit puits de type p en utilisant une autre partie de ladite couche de silicium polycristallin en tant que masque, et à introduire simultanément une impureté de type n pour réaliser un émetteur (19) dudit transistor bipolaire, dans la région de base.

FIG. 1

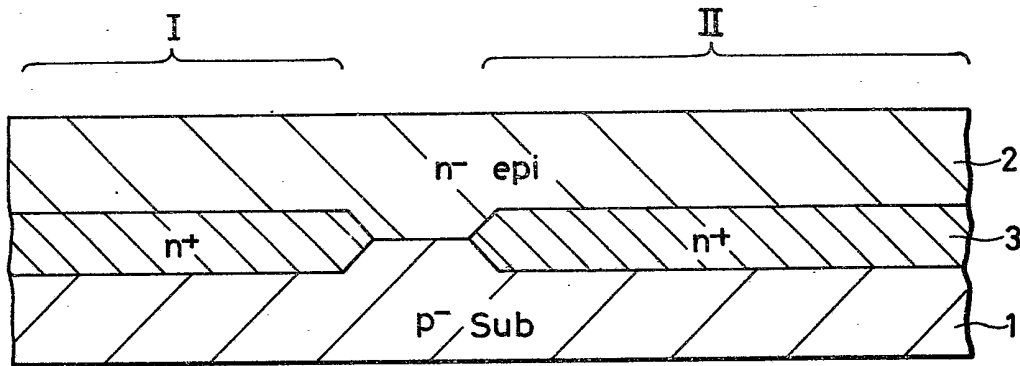


FIG. 2

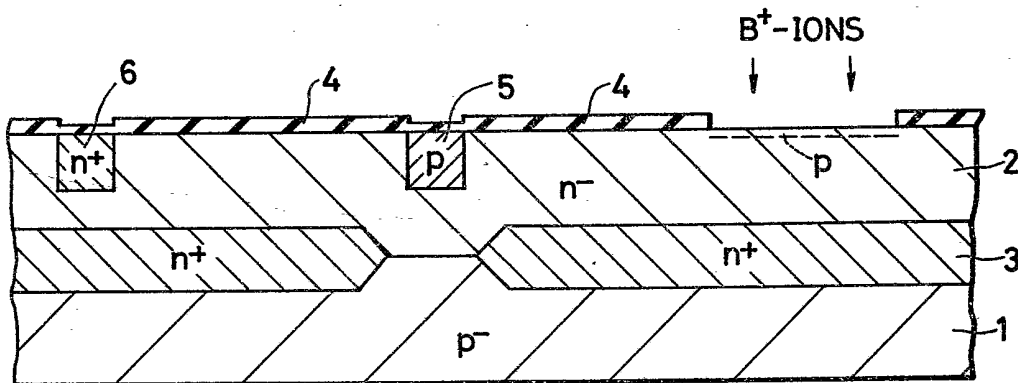
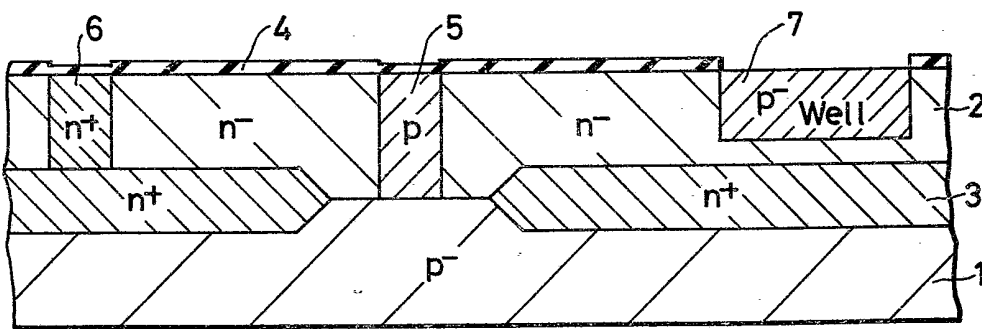


FIG. 3



2/5

FIG. 4

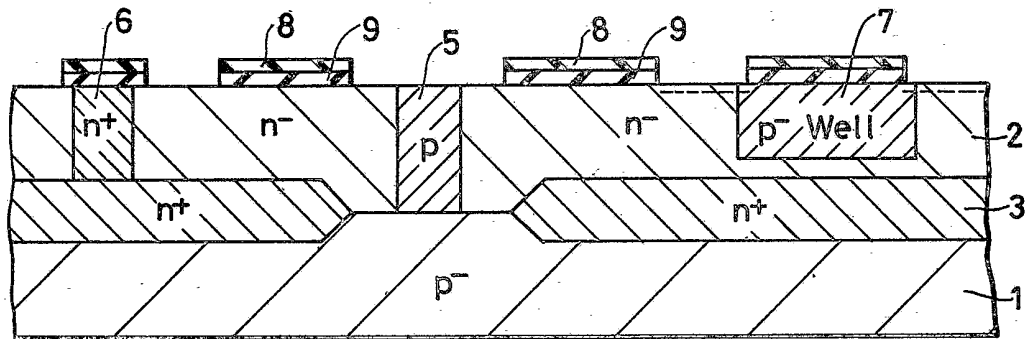


FIG. 5

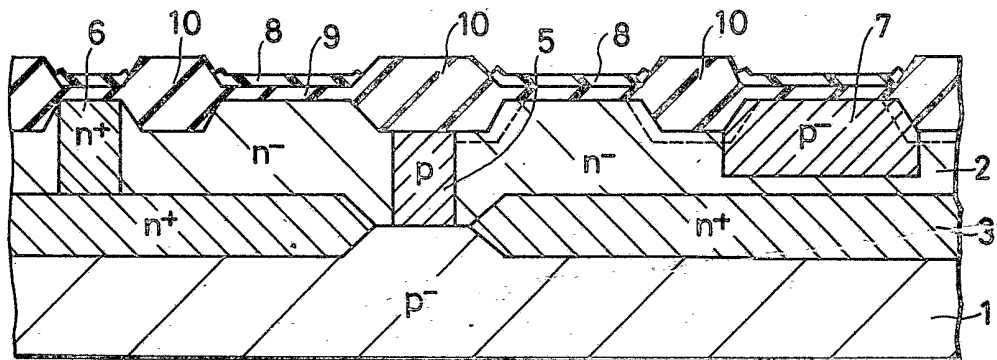


FIG. 6

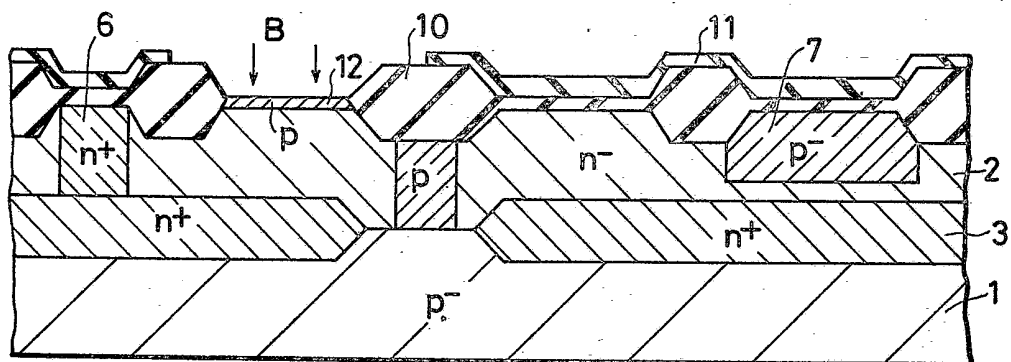


FIG. 7

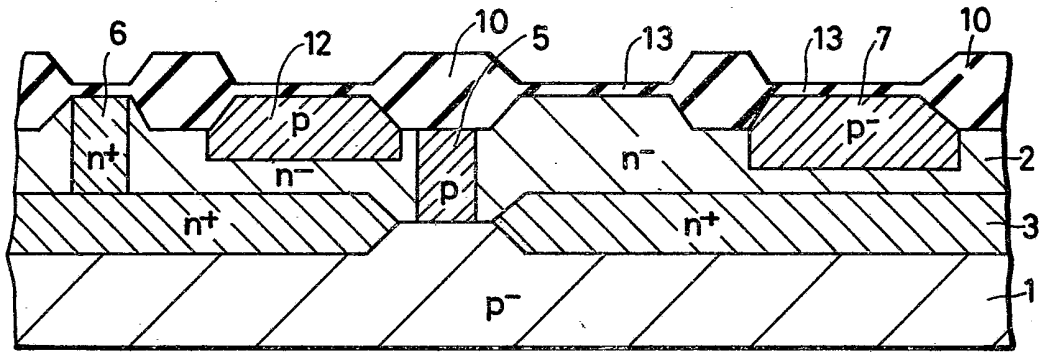


FIG. 8

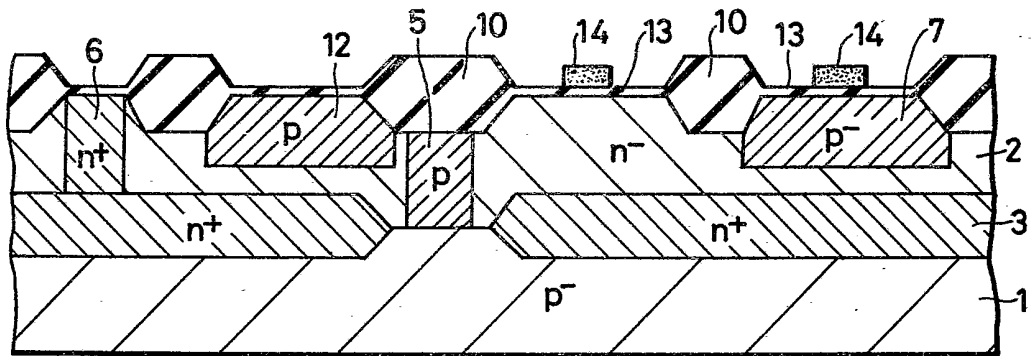


FIG. 9

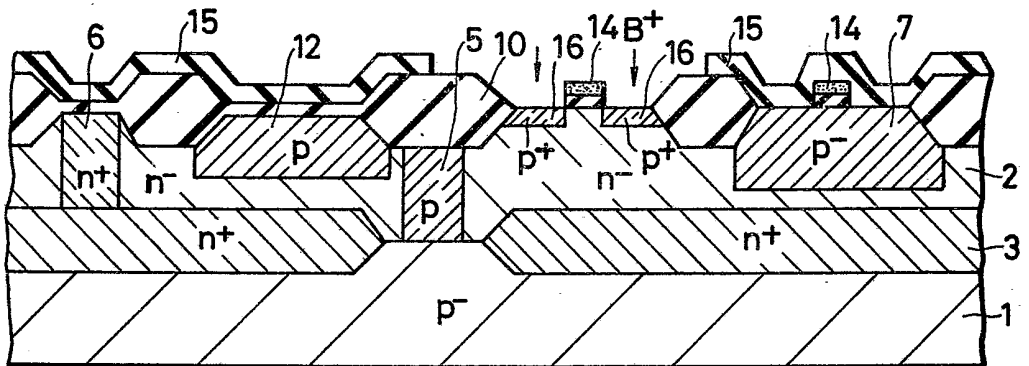


FIG. 10

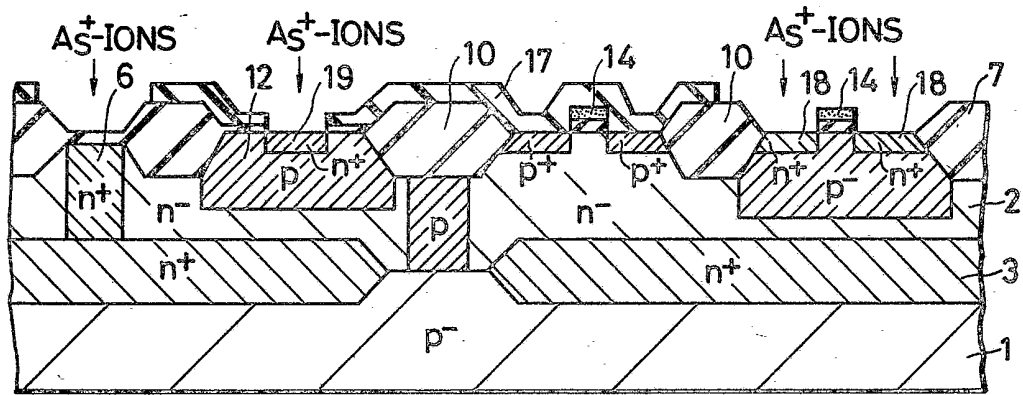


FIG. 11

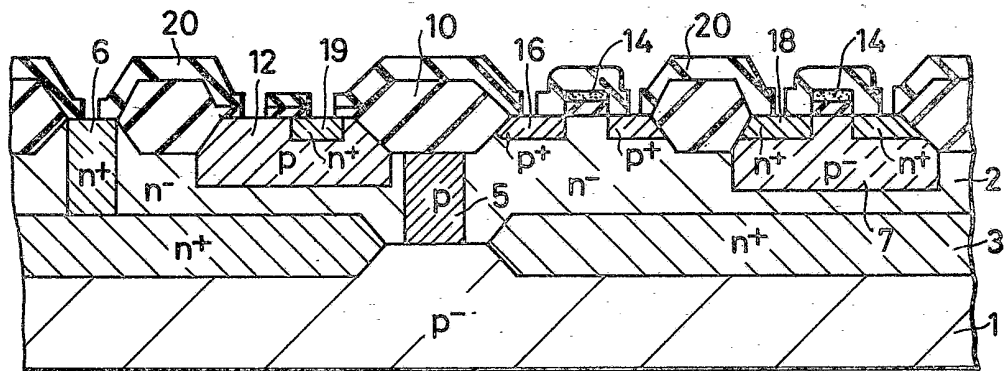


FIG. 12

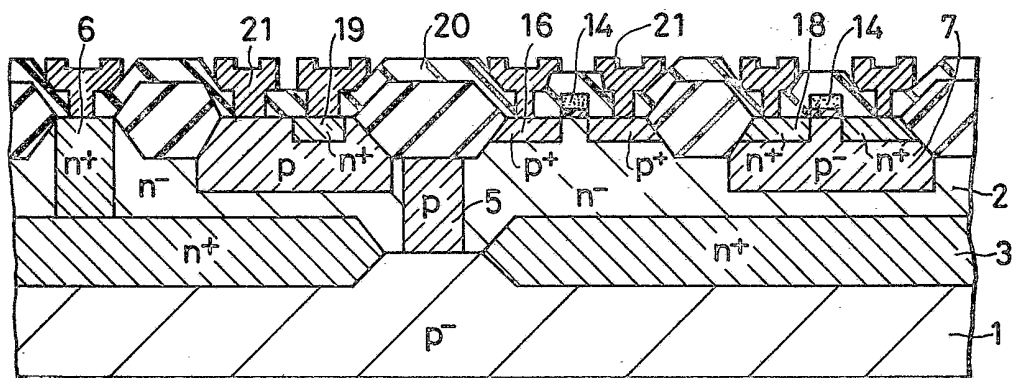


FIG. 13

