



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년12월27일

(11) 등록번호 10-1690216

(24) 등록일자 2016년12월21일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/136* (2006.01)
H01L 21/336 (2006.01)
- (21) 출원번호 10-2011-7028525
- (22) 출원일자(국제) 2010년04월20일
 심사청구일자 2015년04월20일
- (85) 번역문제출일자 2011년11월29일
- (65) 공개번호 10-2012-0007068
- (43) 공개일자 2012년01월19일
- (86) 국제출원번호 PCT/JP2010/057317
- (87) 국제공개번호 WO 2010/125986
 국제공개일자 2010년11월04일
- (30) 우선권주장
 JP-P-2009-111693 2009년05월01일 일본(JP)

(56) 선행기술조사문현

JP10173195 A*

JP2007096055 A*

JP2008218495 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398(72) 발명자
 아키모토 켄고
 일본국 2430036 가나가와Ken 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 카와에 다이스케
 일본국 2430036 가나가와Ken 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 황의만

전체 청구항 수 : 총 12 항

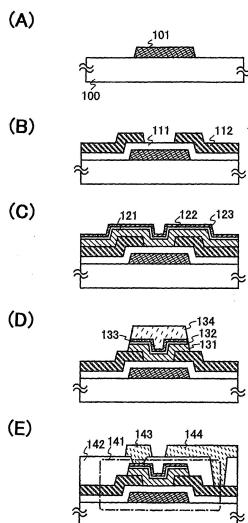
심사관 : 유재천

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요 약

박막 트랜지스터의 스레시홀드 전압을 제어하기 위해, 박막 트랜지스터의 채널 형성 영역의 상하에 게이트 절연막을 통하여 게이트 전극을 형성했을 때에, 프로세스수의 증가를 초래하지 않고, 전기 특성이 우수한 박막 트랜지스터를 구비한 반도체 장치를 얻는 것을 과제의 하나로 한다.

산화물 반도체층의 상방에 제공하는 게이트 전극을 형성할 때, 산화물 반도체층의 패터닝과 동시에 형성함으로써, 제 2 게이트 전극의 제작에 필요한 프로세스수의 증가를 삼감한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

반도체 장치의 제작 방법에 있어서,

절연 표면 위에 제 1 도전층을 형성하는 단계;

제 1 패터닝을 수행하여 제 1 게이트 전극을 형성하는 단계;

상기 제 1 게이트 전극 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 제 2 도전층을 형성하는 단계;

제 2 패터닝을 수행하여 배선층을 형성하는 단계;

상기 제 1 절연막 위 및 상기 배선층 위에, 산화물 반도체막, 제 2 절연막, 및 제 3 도전층을 형성하는 단계;

제 3 패터닝을 수행하여 섬 형상의 산화물 반도체막, 상기 섬 형상의 산화물 반도체막 위의 섬 형상의 제 2 절연막, 및 상기 섬 형상의 제 2 절연막 위의 제 2 게이트 전극을 형성하는 단계;

상기 제 1 절연막, 상기 배선층, 상기 섬 형상의 산화물 반도체막, 상기 섬 형상의 제 2 절연막, 및 상기 제 2 게이트 전극을 덮는 충간 절연층을 형성하는 단계;

제 4 패터닝을 수행하여 상기 제 2 게이트 전극에 이르는 개구 및 상기 배선층에 이르는 개구를 형성하는 단계;

상기 충간 절연층 위에 도전성 재료를 형성하는 단계; 및

제 5 패터닝을 수행하여 상기 제 2 게이트 전극에 접속되는 리드 배선, 및 상기 배선층에 접속되는 화소 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

반도체 장치의 제작 방법에 있어서,

절연 표면 위에 제 1 도전층을 형성하는 단계;

제 1 패터닝을 수행하여 제 1 게이트 전극을 형성하는 단계;

상기 제 1 게이트 전극 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 제 2 도전층을 형성하는 단계;

제 2 패터닝을 수행하여 배선층을 형성하는 단계;

상기 제 1 절연막 위 및 상기 배선층 위에, 산화물 반도체막, 채널 보호막, 제 2 절연막, 및 제 3 도전층을 형성하는 단계;

제 3 패터닝을 수행하여 섬 형상의 산화물 반도체막, 상기 섬 형상의 산화물 반도체막 위의 섬 형상의 채널 보호막, 상기 섬 형상의 채널 보호막 위의 섬 형상의 제 2 절연막, 및 상기 섬 형상의 제 2 절연막 위의 제 2 게이트 전극을 형성하는 단계;

상기 제 1 절연막, 상기 배선층, 상기 섬 형상의 산화물 반도체막, 상기 섬 형상의 채널 보호막, 상기 섬 형상의 제 2 절연막, 및 상기 제 2 게이트 전극을 덮는 충간 절연층을 형성하는 단계;

제 4 패터닝을 수행하여 상기 제 2 게이트 전극에 이르는 개구 및 상기 배선층에 이르는 개구를 형성하는 단계;

상기 충간 절연층 위에 도전성 재료를 형성하는 단계; 및

제 5 패터닝을 수행하여 상기 제 2 게이트 전극에 접속되는 리드 배선, 및 상기 배선층에 접속되는 화소 전극을

형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체막은 제 1 산화물 반도체막이고,

상기 제 2 패터닝을 수행하여, 상기 배선층 위에 제 2 산화물 반도체막을 형성하고,

상기 제 3 패터닝을 수행하여 상기 산화물 반도체막과 상기 배선층이 서로 중첩되는 영역에, 상기 제 2 산화물 반도체막으로부터 형성된 베퍼층을 제공하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체막은 제 1 산화물 반도체막이고,

상기 제 2 패터닝을 수행하여, 상기 배선층 아래에 제 2 산화물 반도체막을 형성하는, 반도체 장치의 제작 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 리드 배선은 상기 제 2 게이트 전극과 중첩되게 제공되는, 반도체 장치의 제작 방법.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 충간 절연층은 폴리이미드를 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 7

제 2 항에 있어서,

상기 채널 보호막은 아몰퍼스 실리콘을 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체막은 산화규소를 포함하는, 반도체 장치의 제작 방법.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 리드 배선은 상기 제 1 게이트 전극에 접속되어 형성되는, 반도체 장치의 제작 방법.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 2 절연막은 50 nm 이상 500 nm 이하의 막두께로 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 2 항에 있어서,

상기 산화물 반도체막은 인듐과 아연을 포함하는, 반도체 장치의 제작 방법.

청구항 12

제 11 항에 있어서,

상기 산화물 반도체막은 갈륨을 더 포함하는, 반도체 장치의 제작 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 박막 트랜지스터(이하, TFT라고도 함)로 구성된 회로를 가지는 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경기술

[0003] 금속 산화물은 다양하게 존재하고 다양한 용도에 이용되고 있다. 산화인듐은 잘 알려진 재료이며, 액정 디스플레이 등에 필요한 투명 전극 재료로서 이용되고 있다.

[0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들면, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특허문현 1 내지 4, 비특허문현 1).

[0005] 그런데, 금속 산화물은 일원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들면, 호밀러거스상을 가지는 $InGaO_3(ZnO)_m$ (m : 자연수)은, In, Ga 및 Zn을 가지는 다원계 산화물 반도체로서 알려져 있다(비특허문현 2 내지 4).

[0006] 그리고, 상기와 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체를 박막 트랜지스터의 채널층으로서 적용할 수 있다는 것을 확인할 수 있다(특허문현 5, 비특허문현 5 및 6).

선행기술문헌**특허문헌**

[0007] (특허문현 0001) 일본국 특개소 60-198861호 공보

(특허문현 0002) 일본국 특개평 8-264794호 공보

(특허문현 0003) 일본국 특표평 11-505377호 공보

(특허문현 0004) 일본국 특개 2000-150900호 공보

(특허문헌 0005) 일본국 특개 2004-103957호 공보

비특허문헌

[0008]

(비)특허문헌 0001) M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」, Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

(비)특허문헌 0002) M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350°C」, J. Solid State Chem., 1991, Vol. 93, p. 298-315

(비)특허문헌 0003) N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, In₂O₃(ZnO)_m(m = 3, 4, and 5), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m(m = 7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」, J. Solid State Chem., 1995, Vol. 116, p. 170-178

(비)특허문헌 0004) 나카무라 마사키, 키미즈카 노보루, 모리 타카히코, 이소베 미츠마사, 「호말러거스상, InFeO₃(ZnO)_m(m : 자연수)와 그 동형 화합물의 합성 및 결정 구조」, 고체 물리, 1993년, Vol. 28, No. 5, p. 317-327

(비)특허문헌 0005) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」, SCIENCE, 2003, Vol. 300, p. 1269-1272

(비)특허문헌 0006) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」, NATURE, 2004, Vol. 432 p. 488-492

발명의 내용

해결하려는 과제

[0009]

산화물 반도체를 박막 트랜지스터의 채널층에 이용한 경우, 제조 공정에 따라, 스레시홀드 전압이 마이너스측, 혹은 플러스측으로 시프트하는 경우가 있다. 따라서, 채널층에 산화물 반도체를 이용한 박막 트랜지스터에서는, 스레시홀드 전압의 제어를 행할 수 있는 구성이 필요하다.

[0010]

박막 트랜지스터의 스레시홀드 전압은, 박막 트랜지스터의 채널 형성 영역의 상하에 게이트 절연막을 통하여 게이트 전극을 형성하고, 상부 및/또는 하부의 게이트 전극의 전위를 제어함으로써 소망의 값으로 제어할 수 있다. 채널 형성 영역의 상하에 게이트 전극을 배치하는 것은 프로세스수의 증가를 초래하게 된다. 따라서, 프로세스수의 증가를 초래하지 않고, 또한, 보다 확실히 스레시홀드 전압의 제어를 행할 수 있는 구성으로 하는 것이 요구된다.

[0011]

본 발명의 일양태는, 채널층에 산화물 반도체를 이용하고, 또한 스레시홀드 전압을 제어함으로써, 전기 특성이 우수한 박막 트랜지스터를 구비한 반도체 장치를, 프로세스수의 증가를 초래하지 않고 얻기 위한 제작 방법을 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0012]

스레시홀드 전압을 소망의 값으로 제어하기 위해, 산화물 반도체막의 상하에 게이트 전극을 형성한다. 구체적으로는, 산화물 반도체막의 하방에 형성하는 게이트 전극(제 1 게이트 전극이라고도 부름), 및 산화물 반도체막의 상방에 형성하는 게이트 전극(제 2 게이트 전극, 혹은 백 게이트 전극이라고도 부름)을 형성한다. 이 때, 제 2 게이트 전극은 산화물 반도체막의 패터닝과 동시에 형성함으로써, 제 2 게이트 전극의 제작에 필요로 하는 프로세스수의 증가를 삼감한다.

- [0013] 본 명세서에 개시하는 본 발명의 일양태는, 절연 표면 위에 제 1 도전층을 형성하고, 제 1 패터닝에 의해 제 1 게이트 전극을 형성하고, 제 1 게이트 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 2 도전층을 형성하고, 제 2 패터닝에 의해 배선층을 형성하고, 제 1 절연막 위 및 배선층 위에, 산화물 반도체막과 제 2 절연막과 제 3 도전층을 형성하고, 제 3 패터닝에 의해, 섬 형상의 산화물 반도체막, 섬 형상의 산화물 반도체막 위의 섬 형상의 제 2 절연막, 및 섬 형상의 제 2 절연막 위의 제 2 게이트 전극을 형성하고, 제 1 절연막, 배선층, 섬 형상의 산화물 반도체막, 섬 형상의 제 2 절연막, 및 제 2 게이트 전극을 덮는 층간 절연층을 형성하고, 제 4 패터닝에 의해 제 2 게이트 전극 및 배선층에 이르는 개구를 형성하고, 층간 절연층 위에 도전성 재료를 형성하고, 제 5 패터닝에 의해, 제 2 게이트 전극에 접속되는 리드 배선, 및 배선층에 접속되는 화소 전극을 형성하는 반도체 장치의 제작 방법이다.
- [0014] 본 명세서에 개시하는 본 발명의 일양태는, 절연 표면 위에 제 1 도전층을 형성하고, 제 1 패터닝에 의해 제 1 게이트 전극을 형성하고, 제 1 게이트 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 제 2 도전층을 형성하고, 제 2 패터닝에 의해 배선층을 형성하고, 제 1 절연막 위 및 배선층 위에, 산화물 반도체막과 채널 보호막과 제 2 절연막과 제 3 도전층을 형성하고, 제 3 패터닝에 의해, 섬 형상의 산화물 반도체막, 섬 형상의 산화물 반도체막 위의 섬 형상의 채널 보호막, 섬 형상의 채널 보호막 위의 섬 형상의 제 2 절연막, 및 섬 형상의 제 2 절연막 위의 제 2 게이트 전극을 형성하고, 제 1 절연막, 배선층, 섬 형상의 산화물 반도체막, 섬 형상의 채널 보호막, 섬 형상의 제 2 절연막, 및 제 2 게이트 전극을 덮는 층간 절연층을 형성하고, 제 4 패터닝에 의해 제 2 게이트 전극 및 배선층에 이르는 개구를 형성하고, 층간 절연층 위에 도전성 재료를 형성하고, 제 5 패터ning에 의해, 제 2 게이트 전극에 접속되는 리드 배선, 및 배선층에 접속되는 화소 전극을 형성하는 반도체 장치의 제작 방법이다.
- [0015] 또한, 반도체 장치의 제작 방법에 있어서, 제 2 패터닝에 의해, 배선층 위에 제 2 산화물 반도체막을 형성하고, 제 3 패터닝에 의해, 산화물 반도체막과 배선층이 중첩하는 영역에 제 2 산화물 반도체막으로 이루어지는 베퍼층을 형성해도 좋다.
- [0016] 또한, 반도체 장치의 제작 방법에 있어서, 제 2 패터닝에 의해, 배선층 아래에 제 2 산화물 반도체막을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.
- [0017] 또한, 반도체 장치의 제작 방법에 있어서, 리드 배선은 제 2 게이트 전극에 중첩되어 형성되어 있어도 좋다.
- [0018] 또한, 반도체 장치의 제작 방법에 있어서, 층간 절연층은 폴리이미드이어도 좋다.
- [0019] 또한, 반도체 장치의 제작 방법에 있어서, 채널 보호막은 아몰퍼스(amorphous) 실리콘으로 이루어져도 좋다.
- [0020] 또한, 반도체 장치의 제작 방법에 있어서, 산화물 반도체막은 산화규소를 포함하여 형성되어 있어도 좋다.
- [0021] 또한, 반도체 장치의 제작 방법에 있어서, 리드 배선은 제 1 게이트 전극에 접속되어 형성되어 있어도 좋다.
- [0022] 또한, 반도체 장치의 제작 방법에 있어서, 제 2 절연막의 막두께는 50 nm 이상 500 nm 이하로 제작되어도 좋다.

발명의 효과

- [0023] 본 발명의 일 양태에 의해, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 있어서, 프로세스수의 증가를 초래하지 않고, 또한 스레시홀드 전압의 제어를 행할 수 있는 구조으로 할 수 있다.

도면의 간단한 설명

- [0024] 도 1(A) 내지 도 1(E)는 본 발명의 일양태를 나타낸 단면도이다.
 도 2(A) 내지 도 2(E)는 본 발명의 일양태를 나타낸 단면도이다.
 도 3(A) 내지 도 3(E)는 본 발명의 일양태를 나타낸 단면도이다.
 도 4(A) 내지 도 4(E)는 본 발명의 일양태를 나타낸 단면도이다.
 도 5(A) 내지 도 5(E)는 본 발명의 일양태를 나타낸 단면도이다.

도 6(A) 내지 도 6(E)는 본 발명의 일양태를 나타낸 단면도이다.

도 7(A) 및 도 7(B)는 표시 장치의 블력도, TFT에 대하여 설명하기 위한 도면이다.

도 8은 표시 장치의 블력도를 나타낸 도면이다.

도 9는 전위 변화의 파형을 나타낸 도면이다.

도 10(A) 및 도 10(B)는 화소의 레이아웃에 대하여 나타낸 도면이다.

도 11은 표시 장치의 블력도를 설명하기 위한 도면이다.

도 12는 전위 변화의 파형을 나타낸 도면이다.

도 13은 화소의 레이아웃에 대하여 나타낸 도면이다.

도 14는 본 발명의 일양태를 나타낸 반도체 장치의 화소 등가 회로를 설명한 도면이다.

도 15(A) 내지 도 15(C)는 본 발명의 일양태를 나타낸 반도체 장치를 설명한 단면도이다.

도 16(A) 및 16 7(B)는 본 발명의 일양태를 나타낸 반도체 장치를 설명한 상면도 및 단면도이다.

도 17(A1) 및 17(A2)는 도 17(B)의 본 발명의 일양태를 나타낸 반도체 장치를 설명한 상면도 및 단면도이다.

도 18은 본 발명의 일양태를 나타낸 반도체 장치를 설명한 단면도이다.

도 19(A) 및 도 19(B)는 본 발명의 일양태를 나타낸 반도체 장치를 설명한 단면도 및 전자기기의 외관도이다.

도 20(A) 내지 도 20(C)는 본 발명의 일양태를 나타낸 전자기기를 나타낸 도면이다.

도 21(A) 및 도 21(B)는 본 발명의 일양태를 나타낸 전자기기를 나타낸 도면이다.

도 22는 실시예를 설명하기 위한 도면이다.

도 23은 실시예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025]

이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 단, 실시형태 및 실시예는 많은 다른 양태로 실시하는 것이 가능하고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경 할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면간에 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

[0026]

또한, 각 실시형태의 도면 등에 나타낸 각 구성의 크기, 층의 두께, 신호 파형의 변형, 또는 영역은, 명료화를 위하여 과장하여 표기하고 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.

[0027]

또한, 본 명세서에서 이용하는 「제 1」, 「제 2」, 「제 3」 등의 용어는, 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0028]

(실시형태 1)

[0029]

본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 단면도를 이용하여 설명한다.

[0030]

먼저, 절연 표면을 가지는 기판(100) 위에 제 1 도전층을 형성하고, 제 1 포토마스크를 이용하여 패터닝(제 1 패터닝)을 행하고, 제 1 게이트 전극(101)을 포함하는 게이트 배선, 용량 배선, 및 단자 전극 등을 형성한다(도 1(A) 참조). 절연 표면을 가지는 기판(100)은 알루미노 실리케이트 유리, 알루미노 봉규산 유리, 바륨 봉규산 유리와 같은 전자 공업용으로 사용되는 유리 기판(「무알칼리 유리 기판」이라고도 불림), 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 이용할 수 있다. 기판(100)이 마더 유리인 경우, 기판의 크기는, 제 1 세대($320\text{ mm} \times 400\text{ mm}$), 제 2 세대($400\text{ mm} \times 500\text{ mm}$), 제 3 세대($550\text{ mm} \times 650\text{ mm}$), 제 4 세대($680\text{ mm} \times 880\text{ mm}$, 또는 $730\text{ mm} \times 920\text{ mm}$), 제 5 세대($1000\text{ mm} \times 1200\text{ mm}$ 또는 $1100\text{ mm} \times 1250\text{ mm}$), 제 6 세대($1500\text{ mm} \times 1800\text{ mm}$), 제 7 세대($1900\text{ mm} \times 2200\text{ mm}$), 제 8 세대($2160\text{ mm} \times 2460\text{ mm}$), 제 9 세대($2400\text{ mm} \times 2800\text{ mm}$)

mm, 2450 mm×3050 mm), 제 10 세대(2950 mm×3400 mm) 등을 이용할 수 있다.

[0031] 또한, 제 1 게이트 전극(101)의 재료는, 몰리브덴, 티탄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 도전층을 형성할 수 있다. 본 실시형태에서는, 일례로서 막두께 100 nm의 텉스텐의 단층을 이용한다.

[0032] 제 1 게이트 전극(101)을 적층 구조로 하는 경우, 예를 들면, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티탄층 혹은 질화탄탈을 적층한 2층 구조, 질화티탄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 또한, Ca를 포함하는 구리층 위에 배리어층이 되는 Ca를 포함하는 산화구리층의 적층이나, Mg를 포함하는 구리층 위에 배리어층이 되는 Mg를 포함하는 산화구리층의 적층도 있다. 또한, 3층의 적층 구조로서는, 텉스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티탄의 합금과, 질화티탄층 또는 티탄층을 적층한 적층으로 하는 것이 바람직하다.

[0033] 또한, 패터닝이란, 막(층)을 형상 가공하는 것을 말하고, 포토레지스트의 형성, 노광, 현상, 예칭 공정, 레지스트 박리 공정, 세정, 및 검사 등의 일련의 처리를 수반하는 포토리소그래피 공정에 의해 막의 마스크 패턴(차광 패턴이라고도 함)을 형성하는 것을 말한다. 즉, 기판 위에 형성한 층의 불필요한 부분을 제거하여, 소망의 형상으로 가공하는 것을 말한다.

[0034] 또한, 포토레지스트의 도포는 형상 가공하는 막의 전면에 도포하는 것이 아니라, 미리 형상 가공하는 마스크 패턴보다 큰 형상의 패턴을 스크린 인쇄법, 또는 잉크젯법에 의해 형성해도 좋다. 포토레지스트를 미리 형상 가공하는 마스크 패턴보다 큰 형상의 패턴으로 하고, 그 후, 포토레지스트에 포토리소그래피 공정 등에 의해 소망의 형상 가공을 함으로써, 현상에 의해 박리하는 포토레지스트의 양을 삭감할 수 있다. 따라서, 반도체 장치를 제작하는 비용의 저비용화를 도모할 수 있다.

[0035] 또한, 기판(100) 위의 게이트 전극(101)과의 사이에, 절연막을 형성해도 좋다. 절연막은 CVD법, 플라즈마 CVD 법, 스퍼터링법, 스판 코트법 등의 방법에 의해, 규소를 포함하는 산화물 재료, 질화물 재료를 이용하여, 단층 또는 적층하여 형성된다. 이 절연막은 형성하지 않아도 좋지만, 기판(100)으로부터의 오염 물질의 확산 등을 차단하는 효과가 있다.

[0036] 다음에, 제 1 게이트 전극(101)을 덮는 제 1 게이트 절연막(111)(제 1 절연막이라고도 함)을 형성한다. 제 1 게이트 절연막(111)은 스퍼터링법, PCVD법 등을 이용하여 막두께를 50~400 nm로 한다. 제 1 게이트 절연막(111)은 일례로서, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 본 실시형태에서는, 일례로서 막두께 100 nm의 산화질화규소막을 이용한다. 또한, 게이트 절연막은 단층으로 하지 않고, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막의 어느 2층으로 형성할 수 있고, 또한, 3층의 게이트 절연막을 형성해도 좋다. 그 외에도, 제 1 게이트 절연막(111)으로서는 일례로서, 산화알루미늄, 산화마그네슘, 질화알루미늄, 산화아이트륨, 산화하프늄 등의 금속 화합물로 형성할 수 있다.

[0037] 여기에서, 산화질화규소막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것으로서, 러더포드 후방 산란법(RBS : Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS : Hydrogen Forward Scattering)을 이용하여 측정한 경우에, 농도 범위로서 산소가 55~70 원자%, 질소가 0.5~15 원자%, Si가 25~35 원자%, 수소가 0.1~10 원자%의 범위로 포함되는 것을 말한다. 또한, 질화산화규소막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것으로서, 농도 범위로서 산소가 5~30 원자%, 질소가 20~55 원자%, Si가 25~35 원자%, 수소가 10~30 원자%의 범위로 포함되는 것을 말한다. 단, 산화질화규소 또는 질화산화규소를 구성하는 원자의 합계를 100 원자%로 했을 때, 질소, 산소, 규소 및 수소의 함유 비율이 상기의 범위 내에 포함되는 것으로 한다.

[0038] 다음에, 제 1 게이트 절연막(111) 위에 금속 재료로 이루어지는 도전층(제 2 도전층이라고도 함)을 스퍼터링법이나 진공 증착법으로 형성하고, 제 2 포토마스크를 이용하여 패터닝(제 2 패터닝)을 행하고, 소스 전극 또는 드레인 전극이 되는 배선층(112)을 포함하는 신호선, 용량 배선, 및 단자 전극 등을 형성한다(도 1(B) 참조). 본 실시형태에서는, 일례로서 막두께 100 nm의 티탄을 이용한다. 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200°C~600°C의 열처리를 행하는 경우에는, 이 열처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 단체(單體)는 내열성이 떨어지고, 또한, 부식하기 쉽다는 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티탄(Ti), 탄탈(Ta), 텉스텐(W),

몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0039] 여기에서는, 도전막으로서 Al막과 Ti막을 적층한 도전막으로 한다. 또한, 도전막은 티탄막의 단층 구조로 해도 좋다. 또한, 도전막으로서 Ti막과, 그 Ti막 위에 중첩하여 Nd를 포함하는 알루미늄(Al-Nd)막을 적층하고, 또한 그 위에 Ti막을 성막하는 3층 구조로 해도 좋다. 도전막은 실리콘을 포함하는 알루미늄막의 단층 구조로 해도 좋다.

[0040] 다음에, 제 1 게이트 절연막(111) 및 배선층(112) 위에 산화물 반도체막(121)(제 1 산화물 반도체막이라고도 함)을 형성한다. 산화물 반도체막(121)의 막두께는 5 nm 이상 200 nm 이하로 하고, 바람직하게는 5 nm 이상 50 nm 이하, 더욱 바람직하게는 10 nm 이상 30 nm 이하로 한다. 산화물 반도체막(121)의 막두께를 작게 함으로써, TFT 특성(스레시홀드 전압 등)의 편차를 저감할 수 있다. 본 실시형태에서는 산화물 반도체막(121)으로서 제 1 In-Ga-Zn-O계 비단결정막(또는, In-Ga-Zn-O계 비단결정막이라고도 함)을 100 nm 성막한다. 직경 8 인치의 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물 반도체 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)을 이용하여, 기관과 타겟 사이의 거리를 170 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 아르곤 또는 산소 분위기하에서 성막한다. 또한, 펄스 직류(DC) 전원을 이용하면, 먼지를 경감할 수 있어, 막두께 분포도 균일하게 되기 때문에 바람직하다.

[0041] 스팍터링법에 의해 In-Ga-Zn-O계 산화물 반도체막(121)을 형성하는 경우에, In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟에, 산화실리콘 등의 절연성의 불순물을 포함시켜 두어도 좋다. 산화물 반도체에 절연성의 불순물을 포함시킴으로써, 성막되는 산화물 반도체를 아몰퍼스화하는 것이 용이해진다. 또한, 산화물 반도체막(121)이 후의 프로세스에 의해 열처리되는 경우에, 그 열처리에 의해 결정화되어 버리는 것을 억제할 수 있다.

[0042] 또한 산화물 반도체막(121)으로서는, 1 족 원소(예를 들면, 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs)), 13 족 원소(예를 들면, 붕소(B), 갈륨(Ga), 인듐(Indium), 탈륨(Tl)), 14 족 원소(예를 들면, 탄소(C), 실리콘(Si), 게르마늄(Ge), 주석(Sn), 납(Pb))), 15 족 원소(예를 들면, 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi)) 또는 17 족 원소(예를 들면, 불소(F), 염소(Cl), 브롬(Br), 요오드(I)) 등의 불순물 원소 중 일종, 또는 복수종이 첨가된 산화아연(ZnO)의 비정질(아몰퍼스) 상태, 다결정 상태 또는 비정질 상태와 다결정 상태가 혼재하는 미결정(마이크로 크리스탈이라고도 불림) 상태의 것, 또는 불순물 원소가 아무것도 첨가되어 있지 않은 것을 이용할 수 있다. 구체적인 일례로서는, $InGaO_3(ZnO)_5$, 산화마그네슘아연($Mg_xZn_{(1-x)}O$) 또는 산화카드뮴아연($Cd_xZn_{(1-x)}O$), 산화카드뮴(CdO), In-Ga-Zn-O계의 아몰퍼스 산화물 반도체(a-IGZO), In-Sn-Zn-O계, Ga-Sn-Zn-O계, In-Zn-O계, Sn-Zn-O계, In-Sn-O계, 또는 Ga-Zn-O계의 산화물 반도체 중 어느 하나를 이용할 수 있다. 또한, In-Ga-Zn-O계 비단결정막으로 대표되는 산화물 반도체는 에너지 갭(Eg)이 넓은 재료이기 때문에, 산화물 반도체막의 상하에 2개의 게이트 전극을 형성해도 오프 전류의 증대를 억제할 수 있어 적합하다.

[0043] 또한, 산화물 반도체막으로서 SiO_x 를 포함하는 산화물 반도체 타겟을 이용하여 스팍터링법에 의해 얻어지는 산화실리콘을 포함하는 산화물 반도체막을 이용해도 좋고, 대표적으로는 SiO_2 를 0.1 중량% 이상 20 중량% 이하, 바람직하게는 1 중량% 이상 6 중량% 이하 포함하는 산화물 반도체 타겟을 이용하여 성막을 행하고, 산화물 반도체막에 결정화를 저해하는 $SiO_x(X>0)$ 를 포함시킴으로써, 박막 트랜지스터의 게이트 전압이 0 V에 가능한 한 가까운 정(正)의 스레시홀드 전압으로 채널이 형성되는 박막 트랜지스터를 실현할 수 있다.

[0044] 다음에, 산화물 반도체막(121) 위에 제 2 절연막(122)을 형성한다. 제 2 절연막(122)은 스팍터링법, PCVD법 등을 이용하고, 막두께를 5 nm 이상 3000 nm 이하로 한다. 제 2 절연막(122)은, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 본 실시형태에서는, 일례로서 막두께 100 nm의 산화질화규소막을 이용한다. 또한, 제 2 절연막(122)은 단층으로 하지 않고, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막의 어느 2층으로 형성할 수 있고, 또한, 3층의 게이트 절연막을 형성해도 좋다. 그 외에도, 제 2 절연막(122)으로서는 일례로서 산화알루미늄, 산화마그네슘, 질화알루미늄, 산화이트륨, 산화하프늄 등의 금속 화합물로 형성할 수 있다. 또한, 제 2 절연막(122)의 재료는 제 1 게이트 절연막(111)과 같은 재료로 형성함으로써, 같은 성막 장치를 사용하여 형성할 수 있고, 저비용화를 도모할 수 있다. 또한, 제 2 절연막(122)은 TFT 특성의 편차를 저감하도록, 5 nm 이상 200 nm 이하로 형성하는 것이 바람직하다.

[0045] 다음에, 제 2 절연막(122) 위에 제 3 도전층(123)을 형성한다(도 1(C) 참조). 제 3 도전층(123)은 스팍터링법, 진공 증착법 등을 이용하고, 막두께를 5 nm 이상 1000 nm 이하로 한다. 본 실시형태에서는, 일례로서 막두께 100 nm의 티탄을 이용한다. 제 3 도전층(123)의 재료로서는 배선층(112)과 같은 도전막을 들 수 있다.

- [0046] 다음에, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리에 의해 얻어진 레지스트 마스크에 의해, 상술한 산화물 반도체막(121), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 1(D) 참조). 여기서의 에칭 공정은 웨트 에칭에 한정되지 않고, 드라이 에칭을 이용해도 좋다. 또한 드라이 에칭을 이용함으로써 산화물 반도체막(121), 제 2 절연막(122), 제 3 도전층(123)의 단면을 테이퍼를 가지는 형상으로 하는 것이 가능하다. 그리고, 섬 형상의 산화물 반도체막(131)(제 1 섬 형상의 산화물 반도체막이라고도 함), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 제 2 게이트 절연막(132)(섬 형상의 제 2 절연막이라고도 함), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 1(D) 참조). 또한, 제 2 게이트 전극(133) 위의 레지스트 마스크(134)는, 이후에 레지스트 박리 공정, 세정 등의 공정을 거쳐 제거되는 것이다. 또한 섬 형상의 산화물 반도체막(131), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은 에칭을 동일 공정으로 행함에 따라, 도 1(D)에 나타낸 바와 같이 단부가 일치하여, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을, 테이퍼를 가지는 형상으로 함으로써, 단차 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.
- [0047] 또한, 본 명세서에서 설명하는 「섬 형상」이란, 패터닝에 의해 형성되는 막이 외부와의 전기적인 접속을 취하는 단자에 대하여, 이 막에 의해 기판 위에 연장 설치하여 이 단자와의 접속을 취하지 않는 형상을 가리킨다. 일례로서는, 화소 내에 설치되는 TFT의 반도체층이 해당한다.
- [0048] 도 1(D)에서는, 산화물 반도체막(121) 위에 제 2 절연막(122), 제 2 절연막(122) 위에 제 3 도전층(123)을 성막한 후에, 섬 형상의 산화물 반도체막(131), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)을 패터닝(제 3 패터닝)에 의해 형성한다. 도 1(D)의 제작 방법을 취함으로써, 다음과 같은 이점이 있다. 먼저, 산화물 반도체막을 섬 형상의 산화물 반도체막에 패터닝했을 때 잔존하는 레지스트 마스크를 박리할 때에, 레지스트의 박리액에 의한 처리, 또는 애싱 처리를 행하는 것에 의한 섬 형상의 산화물 반도체 표면에 대한 데미지를 경감할 수 있다.
- [0049] 또한, 도 1(D)의 단면에서의 제 2 게이트 전극(133)의 폭은 섬 형상의 산화물 반도체막(131)의 하면의 배선층(112)(소스 전극 및 드레인 전극)의 간격보다 넓어지도록 형성하는 것이 바람직하다. 제 2 게이트 전극(133)의 형상을, 섬 형상의 산화물 반도체막(131)의 하면의 배선층(112)(소스 및 드레인 전극)의 간격보다 넓어지는 형상으로 함으로써, 섬 형상의 산화물 반도체막(131)에 대한 차광의 효과를 높일 수 있다. 스퍼터링법으로 성막한 In-Ga-Zn-O계 비단결정막은 파장 450 nm 이하에 광감도를 가진다. 따라서, 파장 450 nm 이하의 광을 차단하는 차광층이 되는 제 2 게이트 전극(133)을 형성하는 것은 산화물 반도체막(131)을 가지는 박막 트랜지스터의 전기 특성의 변동을 저감하는 효과를 얻을 수 있어 적합하다.
- [0050] 또한, 레지스트 마스크(134)를 제거한 후, 200°C~600°C, 대표적으로는 300°C~500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 노(爐)에 넣고, 산소를 포함하는 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광아닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은 제 1 In-Ga-Zn-O계 비단결정막의 성막 후라면 특별히 한정되지 않는다. 본 실시형태에서는, 섬 형상의 산화물 반도체막(131) 위를 섬 형상의 제 2 게이트 절연막(132)으로 덮는 구성으로 할 수 있기 때문에, 열처리 후의 제 1 In-Ga-Zn-O계 비단결정막의 열화를 저감할 수 있기 때문에 적합하다.
- [0051] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작하고, 박막 트랜지스터(141)를 덮어, 층간 절연층이 되는 수지층(142)을 형성한다. 그리고, 수지층(142)에 제 4 패터닝을 행하여, 제 2 게이트 전극(133), 배선층(112)에 이르는 개구를 형성한다. 그리고 층간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 5 패터닝에 의해, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 형성한다(도 1(E) 참조).
- [0052] 또한, 수지층(142)은 막두께 $0.5\text{ }\mu\text{m}$ ~ $3\text{ }\mu\text{m}$ 의 범위에서 형성한다. 수지층(142)에 이용하는 감광성 또는 비감광성의 유기 재료는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 또는 벤조시클로부텐, 또는 이들의 적층 등을 이용한다. 여기에서는, 감광성의 폴리이미드를 도포법에 의해 형성하고, 노광 및 현상 및 소성을 행하여, 표면이 평坦한 $1.5\text{ }\mu\text{m}$ 의 두께의 폴리이미드로 이루어지는 수지층(142)을 형성한다. 도포법을 이용하여 폴리이미드를 형성함으로써, 공정수를 줄여야 한다. 또한, 섬 형상의 산화물 반도체막(131)으로의 수분이나 수소 등의 침입을 차단하는 보호 절연층으로서도 기능한다.
- [0053] 또한, 수지층(142)에는 제 4 포토마스크에 의해, 리드 배선(143) 및 화소 전극(144)과, 제 2 게이트 전극(133)

과 배선층(112)과의 전기적인 접속을 취하기 위한 개구(컨택트홀)가 형성된다. 그리고 도전성 재료가 수지층(142) 위 및 컨택트홀 내에 형성되고, 제 5 포토마스크를 이용하여 패터닝을 행함으로써 리드 배선(143), 화소 전극(144)이 형성된다.

[0054] 또한, 리드 배선(143)은 제 2 게이트 전극(133)의 전위를 제어하기 위한 배선에 접속하기 위한 배선이다. 따라서, 리드 배선(143)을 고정 전위가 입력되는 단자까지 리드하는 구성이여도 좋고, 제 1 게이트 전극에 이르는 컨택트홀을 형성하고, 제 1 게이트 전극과 제 2 게이트 전극을 전기적으로 접속하기 위해 리드하는 구성으로 해도 좋다. 제 2 게이트 전극(133)을 제 1 게이트 전극(101)과 다른 전위로 하는 경우에는, 제 2 게이트 전극(133)과 제 1 게이트 전극(101)을 전기적으로 접속하기 위한 개구는 형성할 필요가 없다. 또한 리드 배선(143) 및 화소 전극(144)을 형성하기 위한 도전성 재료는 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 또한, 리드 배선(143) 및 화소 전극(144)으로서 배선층(112)과 같은 재료와의 적층 구조로 해도 좋다.

[0055] 이상 설명한 바와 같이, 본 실시형태에 설명한 반도체 장치의 제작 방법은 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에, 산화물 반도체막의 패터닝 전에 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는, 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 따라서, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할 수 있다.

[0056] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0057] (실시형태 2)

[0058] 본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 실시형태 1과는 다른 단면도를 이용하여 설명한다.

[0059] 도 2(A) 내지 도 2(E)는, 도 1(A) 내지 도 1(E)과 일부 다른 구조를 나타낸다. 도 2(A) 내지 도 2(E)에 있어서, 도 1(A) 내지 도 1(E)과 다른 부분 이외에는, 동일한 부호를 이용하여 설명하고, 상세한 설명에 대해서는 상기 실시형태에서의 설명을 원용하는 것으로 한다.

[0060] 도 2(A) 내지 도 2(E)는, 도 1(B)의 배선층(112) 위에 베퍼층이 되는 제 2 산화물 반도체막을 형성한 예이다. 도 2(A)에 대해서는, 도 1(A)과 같은 설명이 된다.

[0061] 도 2(B)에서는, 제 1 게이트 절연막(111) 위에 금속 재료로 이루어지는 도전층(제 2 도전층)을 스퍼터링법이나 진공 증착법으로 형성하고, 도전층 위에 산화물 반도체막을 스퍼터링법으로 형성하고, 제 2 포토마스크를 이용하여 패터닝(제 2 패터닝)을 행하고, 소스 전극 또는 드레인 전극이 되는 배선층(112), 산화물 반도체막(113)(제 2 산화물 반도체막, 저저항 산화물 반도체막이라고도 함), 용량 배선, 및 단자 전극 등을 형성한다(도 2(B) 참조). 본 실시형태에서는 산화물 반도체막(113)이 되는 제 2 산화물 반도체막으로서는, 질소 가스를 포함하는 분위기 중에서 스퍼터링법에 의해 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물 반도체 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)을 이용하여 얻은 인듐, 갈륨, 및 아연을 포함하는 산질화물막을 성막한다. 이 산질화물막은, 후에 행하는 열처리를 행하는 것에 의해, 상술한 제 1 산화물 반도체막인 In-Ga-Zn-O계 비단결정막보다 저저항의 산화물 반도체막(또는 제 2 In-Ga-Zn-O계 비단결정막이라고 함)이 된다.

[0062] 또한, 저저항의 산화물 반도체막은, 축퇴한 산화물 반도체를 이용하는 것이 바람직하다. 또한, 축퇴한 산화물 반도체는 투광성을 가지는 것이 바람직하다. 저저항의 산화물 반도체막은, 일례로서 질소를 포함시킨 In-Ga-Zn-O계 비단결정막, 즉 In-Ga-Zn-O-N계 비단결정막(IGZON막이라고도 부름)을 이용하면 좋다. 또한, 저저항의 산화물 반도체막은 Ga-Zn-O계 비단결정막, 또는 질소를 포함시킨 Ga-Zn-O계 비단결정막, 즉 Ga-Zn-O-N계 비단결정막을 이용해도 좋다. 또한, 저저항의 산화물 반도체막은, Al-Zn-O계 비단결정막, 또는 질소를 포함시킨 Al-

Zn-O계 비단결정막, 즉 Al-Zn-O-N계 비단결정막을 이용해도 좋다. 또한, Ga-Zn-O계 산화물 반도체 또는 Ga-Zn-O-N계 산화물 반도체에 포함되는 갈륨은, 1 중량% 이상 10 중량% 이하인 것이 바람직하고, Al-Zn-O계 산화물 반도체 또는 Al-Zn-O-N계 산화물 반도체에 포함되는 알루미늄은, 1 중량% 이상 10 중량% 이하인 것이 바람직하다. 또한, 질소를 포함시킨 Zn-O-N계 비단결정막이나, 질소를 포함시킨 Sn-Zn-O-N계 비단결정막을 이용해도 좋다.

[0063] 다음에, 도 1(C)와 마찬가지로, 제 1 게이트 절연막(111) 및 산화물 반도체막(113) 위에 산화물 반도체막(121), 제 2 절연막(122), 및 제 3 도전층(123)을 순차 적층하여 형성한다(도 2(C) 참조).

[0064] 다음에, 도 1(D)와 마찬가지로, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리에 의해 얻어진 레지스트 마스크에 의해, 상술한 산화물 반도체막(113)(제 2 산화물 반도체막), 산화물 반도체막(121)(제 1 산화물 반도체막), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 2(D) 참조). 그리고, 섬 형상의 산화물 반도체막(131), 섬 형상의 산화물 반도체막(131) 아래의 베퍼층(135)(저저항 영역, N⁺영역, n⁺층이라고도 함), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 제 2 게이트 절연막(132)(제 2 절연막이라고도 함), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 2(D) 참조). 또한, 베퍼층(135), 섬 형상의 산화물 반도체막(131), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은 에칭을 동일 공정으로 행함으로써, 도 2(D)에 나타낸 바와 같이 단부가 일치하고, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을 테이퍼를 가지는 형상으로 함으로써, 단차 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.

[0065] 또한, 레지스트 마스크(134)를 제거한 후, 200°C ~ 600°C, 대표적으로는 300°C ~ 500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣고, 산소를 포함하는 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 산화물 반도체막인 In-Ga-Zn-O계 비단결정막 및 제 2 산화물 반도체막인 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광아닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 성막 후라면 특별히 한정되지 않는다.

[0066] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작하고, 박막 트랜지스터(141)를 덮어, 충간 절연층이 되는 수지층(142)을 형성한다. 또한, 도 1(E)와 마찬가지로 제 4 및 제 5 포토마스크를 이용하여, 박막 트랜지스터(141)를 덮어 충간 절연층이 되는 수지층(142)을 형성하고, 다음에 충간 절연층이 되는 수지층(142)에 제 2 게이트 전극(133), 배선층(112)에 이르는 개구를 형성하고, 그리고 충간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 제작한다(도 2(E) 참조).

[0067] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다. 따라서, 상기 실시 형태와 마찬가지로, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에 산화물 반도체막의 패터닝 전에, 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는, 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 따라서, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 쉽게 설정할 수 있다.

[0068] (실시형태 3)

[0069] 본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 실시형태 1, 실시형태 2와는 다른 단면도를 이용하여 설명한다.

[0070] 도 3(A) 내지 도 3(E)는, 도 1(A) 내지 도 1(E), 도 2(A) 내지 도 2(E)와 일부 다른 구조를 나타낸다. 도 3(A) 내지 도 3(E)에 있어서, 도 1(A) 내지 도 1(E), 도 2(A) 내지 도 2(E)와 다른 부분 이외는, 동일한 부호를 이용하여 설명하고, 상세한 설명에 대해서는 상기 실시형태에서의 설명을 원용하기로 한다.

[0071] 도 3(A) 내지 도 3(E)는, 도 1(B)의 배선층(112) 아래에 베퍼층이 되는 제 2 산화물 반도체막을 형성한

예이다. 도 3(A)에 대해서는, 도 1(A)과 같은 설명이 된다.

[0072] 도 3(B)에서는, 제 1 게이트 절연막(111) 위에 산화물 반도체막을 스퍼터링법으로 형성하고, 산화물 반도체막 위에 금속 재료로 이루어지는 도전층(제 2 도전층)을 스퍼터링법이나 진공 증착법으로 형성하고, 제 2 포토마스크를 이용하여 패터닝(제 2 패터닝)을 행하고, 소스 전극 또는 드레인 전극이 되는 배선층(112), 산화물 반도체막(113)(제 2 산화물 반도체막, 저저항 산화물 반도체막, 베퍼층이라고도 함), 용량 배선, 및 단자 전극 등을 형성한다(도 3(B) 참조). 본 실시형태에서는 산화물 반도체막(113)이 되는 제 2 산화물 반도체막으로서는, 질소 가스를 포함하는 분위기 중에서 스퍼터링법에 의해 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물 반도체 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)을 이용하여 얻은 인듐, 갈륨, 및 아연을 포함하는 산질화물막을 성막한다. 이 산질화물막은 후에 행하는 열처리를 행하는 것에 의해, 상술한 제 1 산화물 반도체막인 In-Ga-Zn-O계 비단결정막보다 저저항의 산화물 반도체막(또는 제 2 In-Ga-Zn-O계 비단결정막이라고 함)이 된다.

[0073] 다음에, 도 1(C)와 마찬가지로, 제 1 게이트 절연막(111) 및 배선층(112) 위에 산화물 반도체막(121)(제 1 산화물 반도체막), 제 2 절연막(122), 및 제 3 도전층(123)을 순차 적층하여 형성한다(도 3(C) 참조).

[0074] 다음에, 도 1(D)와 마찬가지로, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리로 얻어진 레지스트 마스크에 의해, 산화물 반도체막(121), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 3(D) 참조). 그리고, 섬 형상의 산화물 반도체막(131), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 제 2 게이트 절연막(132), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 3(D) 참조). 또한 섬 형상의 산화물 반도체막(131), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은 에칭을 동일 공정으로 행함으로써, 도 3(D)에 나타낸 바와 같이 단부가 일치하고, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을, 테이퍼를 가지는 형상으로 함으로써, 단자 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.

[0075] 또한, 레지스트 마스크(134)를 제거한 후, 200°C~600°C, 대표적으로는 300°C~500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣고, 산소를 포함하는 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 산화물 반도체막인 In-Ga-Zn-O계 비단결정막 및 제 2 산화물 반도체막인 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광아닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 성막 후라면 특별히 한정되지 않는다.

[0076] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작한다. 또한, 도 1(E)과 마찬가지로 제 4 및 제 5 포토마스크를 이용하여, 박막 트랜지스터(141)를 덮어 층간 절연층이 되는 수지층(142)을 형성하고, 다음에 층간 절연층이 되는 수지층(142)에 컨택트홀을 개구하고, 그리고 층간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 제작한다(도 3(E) 참조).

[0077] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다. 따라서, 상기 실시형태와 마찬가지로, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에 산화물 반도체막의 패터닝 전에, 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는 산화물 반도체막의 막두께에 의한 단자 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 따라서, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할 수 있다.

[0078] (실시형태 4)

[0079] 본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 실시형태 1과는 다른 단면도를 이용하여 설명한다.

[0080] 또한, 도 4(A) 내지 도 4(E)는, 도 1(A) 내지 도 1(E)과 일부 다른 구조를 나타낸다. 도 4(A) 내지 도 4(E)에

있어서, 도 1(A) 내지 도 1(E)과 다른 부분 이외는, 동일한 부호를 이용하여 설명하고, 상세한 설명에 대해서는 상기 실시형태에서의 설명을 원용하는 것으로 한다.

[0081] 도 4(A) 내지 도 4(E)는, 도 1(B)의 산화물 반도체막(121)과 제 2 절연막(122)과의 사이에 채널 보호막을 형성한 예이다. 도 4(A), 도 4(B)에 대해서는, 도 1(A), 도 1(B)과 같은 설명이 된다.

[0082] 도 4(C)에서는, 제 1 게이트 절연막(111) 및 배선층(112) 위에 산화물 반도체막(121), 채널 보호막(124), 제 2 절연막(122), 및 제 3 도전층(123)을 순차 적층하여 형성한다. 본 실시형태에서는 채널 보호막(124)이 되는 재료로서는 일례로서 무기 절연 재료, 또한, 무기 절연 재료에 한정하지 않고 스팍터링법으로 얻어진 비정질 반도체막 또는 그 화합물, 대표적으로는 아몰퍼스 실리콘막을 이용하여 형성하면 좋다. 또한, 채널 보호막(124)에 이용하는 비정질 실리콘막의 화합물이란, 스팍터링법으로 형성되는 붕소 등의 p형의 불순물 원소를 포함하는 p형 비정질 실리콘막, 혹은 스팍터링법으로 형성되는 인 등의 n형의 불순물 원소를 포함하는 n형 비정질 실리콘막을 가키린다. 그 중에서도, 채널 보호막(124)에 p형 비정질 실리콘막을 이용하는 경우, 오프시의 리크 전류를 저감하고, p형 비정질 실리콘막에 접하여 형성된 산화물 반도체막의 백 채널로 발생한 캐리어(전자)를 없애는 효과가 있다. 또한, 채널 보호막(124)에 비정질 실리콘막을 이용한 경우, 비정질 실리콘막은 수분이나, 수소 이온이나, OH⁻ 등을 차단하는 기능을 가진다. 또한, 비정질 실리콘막은 산화물 반도체로 광이 입사하는 것을 차단하는 차광층으로서도 기능한다.

[0083] 본 실시형태에서는, 채널 보호막(124)으로서 붕소를 포함하는 타겟을 이용한 스팍터링법으로 얻어지는 붕소를 포함하는 아몰퍼스 실리콘막을 이용한다. 또한, 붕소를 포함하는 아몰퍼스 실리콘막의 성막 조건은 저파워 조건, 또는 기판 온도를 200°C 미만으로 한다. 채널 보호막(124)은 산화물 반도체막(121)과 접하여 형성되기 때문에, 채널 보호막(124)의 성막시 및 에칭시에 있어서의 산화물 반도체막(121)에 대한 데미지를 극력 저감하는 것이 바람직하다.

[0084] 다음에, 도 1(D)와 마찬가지로, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리로 얻어진 레지스트 마스크에 의해, 산화물 반도체막(121), 채널 보호막(124), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 4(D) 참조). 그리고, 섬 형상의 산화물 반도체막(131)(제 1 섬 형상의 산화물 반도체막이라고도 함), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 채널 보호막(136), 섬 형상의 채널 보호막(136) 위의 섬 형상의 제 2 게이트 절연막(132)(섬 형상의 제 2 절연막이라고도 함), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 4(D) 참조). 또한, 섬 형상의 산화물 반도체막(131), 섬 형상의 채널 보호막(136), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은 에칭을 동일 공정으로 행함으로써, 도 4(D)에 나타낸 바와 같이, 단부가 일치하여, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을, 테이퍼를 가지는 형상으로 함으로써, 단차 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.

[0085] 또한, 레지스트 마스크(134)를 제거한 후, 도 1(D)와 마찬가지로, 200°C~600°C, 대표적으로는 300°C~500°C의 열처리를 행하는 것이 바람직하다.

[0086] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작한다. 또한, 도 1(E)와 마찬가지로 제 4 및 제 5 포토마스크를 이용하여, 박막 트랜지스터(141)를 덮어 중간 절연층이 되는 수지층(142)을 형성하고, 다음에 중간 절연층이 되는 수지층(142)에 컨택트홀을 개구하여, 중간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 제작한다(도 4(E) 참조).

[0087] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다. 따라서, 상기 실시 형태와 마찬가지로, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에, 산화물 반도체막의 패터닝 전에 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는, 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 따라서, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할 수 있다.

[0088] (실시형태 5)

[0089] 본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 실시형태 2와는 다른 단면도를 이용하여 설명한다.

[0090] 또한, 도 5(A) 내지 도 5(E)는, 도 2(A) 내지 도 2(E), 도 4(A) 내지 도 4(E)와 일부 다른 구조를 나타낸다. 도 5(A) 내지 도 5(E)에 있어서, 도 2(A) 내지 도 2(E), 도 4(A) 내지 도 4(E)와 다른 부분 이외는, 동일한 부호를 이용하여 설명하고, 상세한 설명에 대해서는 상기 실시형태에서의 설명을 원용하기로 한다.

[0091] 도 5(A) 내지 도 5(E)는, 도 1(B)의 배선층(112) 위에 버퍼층이 되는 제 2 산화물 반도체막을 형성한 예이다. 도 5(A), 도 5(B)에 대해서는, 도 2(A), 도 2(B)와 같은 설명이 된다.

[0092] 다음에, 제 1 게이트 절연막(111) 및 산화물 반도체막(113) 위에, 도 4(C)와 마찬가지로 하여, 산화물 반도체막(121), 채널 보호막(124), 제 2 절연막(122), 및 제 3 도전층(123)을 순차 적층하여 형성한다(도 5(C) 참조).

[0093] 다음에, 도 2(D)와 마찬가지로, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리에 의해 얻어진 레지스트 마스크에 의해, 상술한 산화물 반도체막(113)(제 2 산화물 반도체막), 산화물 반도체막(121)(제 1 산화물 반도체막), 채널 보호막(124), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 5(D) 참조). 그리고, 섬 형상의 산화물 반도체막(131), 섬 형상의 산화물 반도체막(131) 아래의 버퍼층(135)(저저항 영역, N⁺형 영역, n⁺층이라고도 함), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 채널 보호막(136), 섬 형상의 채널 보호막(136) 위의 섬 형상의 제 2 게이트 절연막(132), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 5(D) 참조). 또한, 버퍼층(135), 섬 형상의 산화물 반도체막(131), 섬 형상의 채널 보호막(136), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은, 에칭을 동일 공정으로 행하는 것에 의해, 도 5(D)에 나타낸 바와 같이 단부가 일치하고, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을 테이퍼를 가지는 형상으로 함으로써, 단차 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.

[0094] 또한, 레지스트 마스크(134)를 제거한 후, 200°C ~ 600°C, 대표적으로는 300°C ~ 500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣고, 산소를 포함하는 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 In-Ga-Zn-O계 비단결정막 및 제 2 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광아닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은, 제 1 In-Ga-Zn-O계 비단결정막 및 제 2 In-Ga-Zn-O계 비단결정막의 성막 후라면 특별히 한정되지 않는다.

[0095] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작한다. 또한, 도 2(E)와 마찬가지로 제 4 및 제 5 포토마스크를 이용하여, 박막 트랜지스터(141)를 덮어 중간 절연층이 되는 수지층(142)을 형성하고, 다음에 중간 절연층이 되는 수지층(142)에 제 2 게이트 전극(133), 배선층(112)에 이르는 개구를 형성하고, 그리고 중간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 제작한다(도 5(E) 참조).

[0096] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다. 그 때문에, 상기 실시형태와 마찬가지로, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막의 패터닝 전에, 산화물 반도체막 위에 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는, 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 그 때문에, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할 수 있다.

[0097] (실시형태 6)

- [0098] 본 실시형태에서는, 상하를 2개의 게이트 전극에 끼워진 산화물 반도체막을 이용한 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 대하여 실시형태 3과는 다른 단면도를 이용하여 설명한다.
- [0099] 또한, 도 6(A) 내지 도 6(E)는, 도 3(A) 내지 도 3(E), 도 4(A) 내지 도 4(E)와 일부 다른 구조를 나타내고 있다. 도 6(A) 내지 도 6(E)에 있어서, 도 3(A) 내지 도 3(E), 도 4(A) 내지 도 4(E)와 다른 부분 이외는, 동일한 부호를 이용하여 설명하고, 상세한 설명에 대해서는 상기 실시형태에서의 설명을 원용하기로 한다.
- [0100] 도 6(A) 내지 도 6(E)는, 도 3(B)의 배선층(112) 아래에 제 2 In-Ga-Zn-O계 비단결정막인 산화물 반도체막(113)(저저항 영역, 베퍼층이라고도 함)을 형성한 예이다. 도 6(A), 도 6(B)에 대해서는, 도 3(A), 도 3(B)와 같은 설명이 된다.
- [0101] 다음에, 제 1 게이트 절연막(111) 및 배선층(112) 위에, 도 4(C)와 마찬가지로 하여, 산화물 반도체막(121), 채널 보호막(124), 제 2 절연막(122), 및 제 3 도전층(123)을 순차 적층하여 형성한다(도 6(C) 참조).
- [0102] 다음에, 도 3(D)와 마찬가지로, 제 3 도전층(123) 위에 레지스트를 형성하고, 제 3 포토마스크를 이용하여 노광, 현상의 처리를 행한다. 그리고, 제 3 포토마스크에 의한 노광, 현상의 처리에 의해 얻어진 레지스트 마스크에 의해, 산화물 반도체막(121), 채널 보호막(124), 제 2 절연막(122), 제 3 도전층(123)의 에칭 공정을 행한다(도 6(D) 참조). 그리고, 섬 형상의 산화물 반도체막(131), 섬 형상의 산화물 반도체막(131) 위의 섬 형상의 채널 보호막(136), 섬 형상의 채널 보호막(136) 위의 섬 형상의 제 2 게이트 절연막(132), 섬 형상의 제 2 게이트 절연막(132) 위의 제 2 게이트 전극(133)이 얻어지고, 제 2 게이트 전극(133) 위에 레지스트 마스크(134)가 잔존한다(도 6(D) 참조). 또한 섬 형상의 산화물 반도체막(131), 섬 형상의 채널 보호막(136), 섬 형상의 제 2 게이트 절연막(132), 및 제 2 게이트 전극(133)은, 에칭을 동일 공정으로 행하는 것에 의해, 도 6(D)에 나타낸 바와 같이 단부가 일치하여, 연속적인 구조로 되어 있다. 또한, 레지스트 마스크(134)의 단면을, 테이퍼를 가지는 형상으로 함으로써, 단차 형상에 의한 배선의 단선, 단락 등을 막을 수 있다.
- [0103] 또한, 레지스트 마스크(134)를 제거한 후, 200°C~600°C, 대표적으로는 300°C~500°C의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣고, 산소를 포함하는 질소 분위기하에서 350°C, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 산화물 반도체막인 In-Ga-Zn-O계 비단결정막 및 제 2 산화물 반도체막인 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열처리(광아닐도 포함함)는 중요하다. 또한, 열처리를 행하는 타이밍은, 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 성막 후라면 특별히 한정되지 않는다.
- [0104] 이상의 공정을 거쳐, 박막 트랜지스터(141)를 제작한다. 또한, 도 3(E)와 마찬가지로 제 4 및 제 5 포토마스크를 이용하여, 박막 트랜지스터(141)를 덮어 층간 절연층이 되는 수지층(142)을 형성하고, 다음에 층간 절연층이 되는 수지층(142)에 컨택트홀을 개구하고, 그리고 층간 절연층이 되는 수지층(142) 위에 도전성 재료를 형성하고, 제 2 게이트 전극(133)에 접속되는 리드 배선(143), 배선층(112)에 접속되는 화소 전극(144)을 제작한다(도 6(E) 참조).
- [0105] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다. 따라서, 상기 실시형태와 마찬가지로, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 관하여, 적층하는 층의 수의 증가에 상관없이 프로세스수의 증가를 초래하는 일이 없다. 따라서, 제조 공정의 단축화, 저비용화를 도모할 수 있다. 그리고, 제 2 게이트 전극에 의한 전위의 제어에 의해, 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 본 실시형태의 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에, 산화물 반도체막의 패터닝 전에, 제 2 절연막을 형성할 수 있다. 따라서, 제 2 절연막에는, 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 그 때문에, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할 수 있다.
- [0106] (실시형태 7)
- [0107] 본 실시형태에서는, 표시 장치에 대하여, 블럭도, 회로도, 각 신호 등의 전위 변화를 나타낸 파형도, 상면도(레이아웃도) 등을 참조하여 설명한다.
- [0108] 도 7(A)는, 액티브 매트릭스형 액정 표시 장치의 블럭도의 일례를 나타낸다. 도 7(A)에 나타낸 액정 표시 장치는, 기판(800) 위에 표시 소자를 구비한 화소를 복수 가지는 화소부(801)와, 각 화소의 게이트 전극에 접속된

주사선을 제어하는 주사선 구동 회로(802)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(803)를 가진다. 각 화소에는, 도 7(B)에 나타낸 박막 트랜지스터(804)(TFT : Thin Film Transistor라고도 함)가 설치되어 있다. 박막 트랜지스터(804)는 제 1 제어 신호(G1) 및 제 2 제어 신호(G2)에 의해, In 단자와 Out 단자간의 전기적인 제어를 행하는 소자이다. 또한, 도 7(B)에 나타낸 박막 트랜지스터(804)의 심볼은, 상기 실시형태 1 내지 6의 어느 하나에 설명한 4 단자에 의해 제어되는 박막 트랜지스터를 의미하고, 도면 등에서 이하 이용하기로 한다.

[0109] 또한, 여기에서는, 주사선 구동 회로(802) 및 신호선 구동 회로(803)를 표시 장치에 제작하는 형태를 나타냈지만, 주사선 구동 회로(802)의 일부를 IC 등의 반도체 장치로 실장해도 좋다. 또한, 신호선 구동 회로(803)의 일부를 IC 등의 반도체 장치로 실장해도 좋다. 주사선 구동 회로(802)를 기판(800) 위에 복수 설치하는 구성으로 해도 좋다.

[0110] 도 8은 표시 장치를 구성하는 신호 입력 단자, 주사선, 신호선, 비선행 소자를 포함하는 보호 회로, 및 화소부의 위치 관계를 설명한 도면이다. 절연 표면을 가지는 기판(820) 위에는 주사선(823A) 및 제어선(823B)과 신호선(824)이 교차하여 배치되고, 화소부(827)가 구성되어 있다. 또한, 화소부(827)는 도 7에 나타낸 화소부(801)에 상당한다. 또한, 제어선(823B)을 신호선(824)과 평행하게 되도록 배치하는 구성으로 해도 좋다.

[0111] 화소부(827)는 복수의 화소(828)가 매트릭스 형상으로 배열하여 구성되어 있다. 화소(828)는 주사선(823A), 제어선(823B), 신호선(824)에 접속되는 화소 TFT(829)(박막 트랜지스터라고도 함), 보유 용량부(830), 화소 전극(831)을 포함하여 구성되어 있다.

[0112] 여기서 나타낸 화소 구성에 있어서, 보유 용량부(830)에서는, 한쪽의 전극과 화소 TFT(829)가 접속되고, 다른 한쪽의 전극과 용량선(832)이 접속되는 경우를 나타낸다. 또한, 화소 전극(831)은 표시 소자(액정 소자, 발광 소자, 콘트라스트 매체(전자 잉크) 등)를 구동하는 한쪽의 전극을 구성한다. 이를 표시 소자의 다른 한쪽의 전극(대향 전극이라고도 함)은 코면 단자(833)에 접속되어 있다. 코면 단자로부터는 공통 전위(코면 전위라고도 부름)가 표시 소자의 다른 한쪽의 전극에 공급된다.

[0113] 보호 회로(835)는, 화소부(827)로부터 연장하여 설치된 배선과, 신호선 입력 단자(822)와의 사이에 배치되어 있다. 또한, 보호 회로(835)는 주사선 구동 회로(802)와 화소부(827) 사이에 배치되어 있다. 본 실시형태에서는, 복수의 보호 회로(835)를 배치하여, 주사선(823A), 제어선(823B), 신호선(824), 및 용량선(832)에 정전기 등에 의해 서지 전압이 인가되고, 화소 TFT(829) 등이 파괴되지 않게 구성되어 있다. 따라서, 보호 회로(835)에는 서지 전압이 인가되었을 때에, 코면 배선에 전하를 놓아주도록 구성되어 있다.

[0114] 본 실시형태에서는, 신호선 입력 단자(822) 근방에 보호 회로(835)를 배치하는 예를 나타내고 있다. 단, 보호 회로(835)의 배치 위치, 보호 회로(835)의 유무는 이것에 한정되는 것은 아니다.

[0115] 도 8의 화소 TFT(829)에, 실시형태 1 내지 6의 어느 하나에 나타낸 박막 트랜지스터를 이용함으로써, 이하의 이점이 있다.

[0116] 실시형태 1 내지 6의 어느 하나에 나타낸 제작 방법으로 제작되는 박막 트랜지스터를 가지는 화소를 제공함으로써, 프로세스수의 증가를 초래하지 않고, 박막 트랜지스터의 스퍼레이드 전압의 제어, 및/또는 박막 트랜지스터의 온 전류를 크게 하는 것이 가능하게 된다.

[0117] 다음으로, 도 9에서, 화소(828)에 공급되는 신호의 전위 변화의 개략을 나타낸 과정도에 대하여 나타내고, 화소(828)의 동작에 대하여 설명한다. 도 9에서는, 임의의 화소가 접속된 주사선(823A), 제어선(823B), 신호선(824), 및 용량선(832)의 각각의 전위에 대한 과정에 대하여 나타낸 것이다. 도 9는, 주사선(823A)의 전위 변화의 개략을 나타낸 과정 G1, 제어선(823B)의 전위 변화의 개략을 나타낸 과정 G2, 신호선(824)의 전위 변화의 개략을 나타낸 과정 D, 및 용량선(832)의 전위 변화를 나타낸 과정 COM의 시간 변화에 대하여 획축을 시간, 종축을 전위로서 나타낸 것이다. 또한, 과정 G1의 고전원 전위는 V_1 이라고 나타내고, 과정 G1의 저전원 전위는 V_2 라고 나타내고, 과정 G2의 전위는 V_c 라고 나타내고, 과정 D의 고전원 전위는 V_{D1} 이라고 나타내고, 과정 D의 저전원 전위는 V_{D2} 라고 나타내고, 과정 COM의 전위는 V_{COM} 이라고 나타낸다. 또한, 도시한 바와 같이, 과정 G1이 V_1 이 되고 나서 V_2 가 되고, 다음에 V_1 이 될 때까지의 기간이 1 프레임 기간의 길이에 대응하는 것이다. 또한, 도시한 바와 같이, 과정 G1이 V_1 이 되고 나서 V_2 가 될 때까지의 기간이, 1 게이트 선택 기간의 길이에 대응한다.

[0118] 도 9에서 1 프레임 기간의 1 게이트 선택 기간, 즉 주사선(823A)이 V_1 이 되었을 때, V_{D1} 로부터 V_{D2} 의 범위에 있는

신호선(824)의 전위가 화소(828) 내의 보유 용량부(830)에서 보유된다. 또한, 도 9에서 1 프레임 기간의 1 게이트 선택 기간 이외의 기간, 즉 주사선(823A)이 V_2 가 되었을 때, V_{D1} 에서 V_{D2} 의 범위에 있는 신호선(824)의 전위에 상관없이, 화소(828) 내의 보유 용량부(830)는 1 게이트 선택 기간에 입력된 전위를 보유한다. 또한, 제어선(823B)의 전위 변화의 개략을 나타내는 과정 G2는 주사선(823A)에 의한 화소 TFT(829)의 도통 또는 비도통의 제어가 오동작하지 않는 범위의 고정 전위로 하는 것이 바람직하다. 제어선(823B)의 전위 V_c 를 V_{D2} 이하, 바람직하게는 V_2 에서 V_{D2} 의 범위로 함으로써, 주사선(823A)에 의한 화소 TFT(829)의 도통 또는 비도통의 제어의 오차를 저감할 수 있다.

[0119] 도 9에 나타낸 바와 같이, 제어선(823B)을 제공하는 것에 의해, 실시형태 1 내지 6의 어느 하나에 나타낸 제작 방법으로 제작되는 화소 TFT를 설치함으로써, 프로세스수의 증가를 초래하지 않고, 박막 트랜지스터의 스레시홀드 전압의 제어, 및/또는 박막 트랜지스터의 온 전류를 크게 하는 것이 가능하게 된다. 특히 제어선(823B)의 과정 G2를 고정 전위로 하는 것에 의해, 스레시홀드 전압이 안정된 박막 트랜지스터를 얻을 수 있어 적합하다.

[0120] 또한, 도 9에 나타낸 화소(828)에 공급되는 신호의 전위 변화의 개략을 나타낸 과정도는 일례이며, 다른 구동 방법을 조합하여 이용해도 좋다. 일례로서는, 일정 기간마다, 1 프레임마다, 또는 1 화소마다, 공통 전극의 공통 전위(코먼 전위)에 대하여, 화소 전극에 인가되는 전압의 극성을 반전시키는 반전 구동과 같은 구동 방법을 이용해도 좋다. 반전 구동을 행하는 것에 의해, 화상의 깜빡임(flicker) 등의 표시 편차, 및 표시 소자, 예를 들면 액정 소자의 열화를 억제할 수 있다. 또한, 반전 구동의 예로서는, 프레임 반전 구동을 비롯하여, 소스라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 등을 들 수 있다. 또한 표시 방식으로서, 프로그래시브 방식, 인터레이스 방식 등을 이용할 수 있다. 또한, 화소에 복수의 서브 화소(부화소라고도 함)를 형성하는 구성으로 해도 좋다.

[0121] 다음에, 도 8에 나타낸 화소(828)의 레이아웃도의 일례를 도 10(A), 또한, 도 10(A) 중의 쇄선 A-B로 절단한 단면을 도 10(B)에 나타낸다. 또한 도 10(A)에 나타낸 화소의 레이아웃도는, 주사선(823A)이 연장하는 방향에 RGB(R는 적, G는 녹, B는 청)의 3색에 대응한 화소를 나열하여 배치한, 소위 스트라이프 배치하는 예에 대하여 나타내고 있다. 화소(828)의 배치로서는, 그 외에도 멘타 배치(delta arrangement), 또는 바이어 배치(Bayer arrangement)한 레이아웃으로 해도 좋다. 또한, RGB의 삼색에 한정되지 않고, 그 이상이어도 좋고, 예를 들면, RGBW(W는 흰색), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것 등이 있다. 또한, RGB의 각 색 요소의 화소마다 그 표시 영역의 크기가 상이하여도 좋다.

[0122] 도 10(A)의 화소의 회로는, 주사선(823A)이 되는 배선(제 1 게이트 전극층) 및 용량선(832)의 한쪽의 전극이 되는 배선으로서 기능하는 제 1 도전층(1101), 화소 TFT(829)의 채널 영역을 형성하는 산화물 반도체막(1102), 신호선(824)이 되는 배선 및 용량선(832)의 다른 한쪽의 전극이 되는 배선으로서 기능하는 제 2 도전층(1103), 제 2 게이트 전극층으로서 기능하는 제 3 도전층(1104), 제어선(823B)이 되는 배선 및 화소 전극(831)으로서 기능하는 제 4 도전층(1105)(화소 전극층이라고도 함), 및 제 2 도전층(1103)과 화소 전극(831)과의 컨택트, 및 제 4 도전층과 제어선(823B)과의 컨택트를 취하기 위한 개구부(1106)(컨택트홀이라고도 함)에 대하여 나타낸 것이다.

[0123] 또한, 도 10(A)에 나타낸 레이아웃도에 있어서, 박막 트랜지스터의 소스 영역 및 드레인 영역의 대향 부분을, U자형, 또는 C자형의 형상으로 하는 구성이어도 좋다. 또한, 게이트 전극층으로서 기능하는 제 1 도전층(1101)을, U자형 또는 C자형의 형상으로 하는 구성이어도 좋다. 또한, 제 1 게이트 전극층으로서 기능하는 제 1 도전층(1101)의 채널 길이 방향의 폭은 산화물 반도체막(1102)의 폭보다 넓다. 또한, 제 2 게이트 전극으로서 기능하는 제 3 도전층(1104)의 폭은 제 1 도전층(1101)의 폭보다 좁고, 산화물 반도체막(1102)의 폭보다 좁다.

[0124] 또한, 화소 TFT와 주사선과의 접속이 도 8과는 다른 예에 대하여, 도 11에 나타낸다. 도 11에서는, 실시형태 1 내지 6의 어느 하나에 나타낸 박막 트랜지스터에 있어서, 산화물 반도체막을 끼워 설치되는, 주사선인 제 1 게이트 전극(101)과 제어선인 제 2 게이트 전극(133)이 동전위가 된 예에 대하여 나타낸다. 또한 도 11에서는, 도 8에서의 설명과 같은 개소에 관해서는, 반복 설명을 생략한다.

[0125] 도 11은, 표시 장치를 구성하는 신호 입력 단자, 주사선, 신호선, 비선행 소자를 포함하는 보호 회로, 및 화소 부의 위치 관계를 설명한 도면이다. 도 11이 도 8과 다른 점은 제어선(823B)이 없고, 도 8에서의 주사선(823A)에 대응하는 주사선(823)을 가지는 점에 있다. 도 11에 나타낸 바와 같이 주사선(823)으로 화소 TFT를 제어 함으로써, 제어선을 생략할 수 있고, 배선수, 및 신호선 입력 단자(822)의 수를 줄일 수 있다.

[0126] 다음에 도 12에서, 도 11에 나타낸 화소(828)에 공급되는 신호의 전위 변화의 개략을 나타낸 과정도에 대하여

나타내고, 도 11에서의 화소(828)의 동작에 대하여 설명한다. 도 12에서는, 임의의 화소가 접속된 주사선(823), 신호선(824), 및 용량선(832)의 각각의 전위에 대한 과정에 대하여 나타낸 것이다. 또한, 도 12에서는 도 9와의 차이를 명료화하기 위해 주사선(823)의 전위를 박막 트랜지스터의 산화물 반도체막을 끼워 설치되는, 제 1 게이트 전극(101)과 제 2 게이트 전극(133)으로 나누어 나타낸 것으로 한다. 도 12는, 제 1 게이트 전극(101)의 전위 변화의 개략을 나타낸 과정 G1, 제 2 게이트 전극(133)의 전위 변화의 개략을 나타낸 과정 G2, 신호선(824)의 전위 변화의 개략을 나타낸 과정 D, 및 용량선(832)의 전위 변화를 나타낸 과정 COM의 시간 변화에 대하여 획축을 시간, 종축을 전위로서 나타낸 것이다. 또한, 과정 G1 및 과정 G2의 고전원 전위는 V_1 이라고 나타내고, 과정 G1 및 과정 G2의 저전원 전위는 V_2 라고 나타내고, 과정 D의 고전원 전위는 V_{D1} 이라고 나타내고, 과정 D의 저전원 전위는 V_{D2} 라고 나타내고, 과정 COM의 전위는 V_{COM} 이라고 나타낸다. 또한, 도시한 바와 같이, 과정 G1이 V_1 이 되고 나서 V_2 가 되고, 다음에 V_1 이 될 때까지의 기간이 1 프레임 기간의 길이에 대응하는 것이다. 또한, 도시한 바와 같이, 과정 G1이 V_1 이 되고 나서 V_2 가 될 때까지의 기간이 1 게이트 선택 기간의 길이에 대응한다.

[0127] 도 12에서 1 프레임 기간의 1 게이트 선택 기간, 즉 과정 G1 및 과정 G2가 V_1 이 되었을 때, V_{D1} 에서 V_{D2} 의 범위에 있는 신호선(824)의 전위가 화소(828) 내의 보유 용량부(830)에서 보유된다. 또한, 도 12에서 1 프레임 기간의 1 게이트 선택 기간 이외의 기간, 즉 과정 G1 및 과정 G2이 V_2 가 되었을 때, V_{D1} 에서 V_{D2} 의 범위에 있는 신호선(824)의 전위에 상관없이, 화소(828) 내의 보유 용량부(830)는 1 게이트 선택 기간에 입력된 전위를 보유한다. 또한, 도 12 중, 과정 G1과 과정 G2는 같은 전위가 되지만, 명료화를 위해 어긋나게 나타내고 있다.

[0128] 도 12에 나타낸 바와 같이, 과정 G1 및 과정 G2를 같은 전위로 구동함으로써, 화소 TFT(829)의 채널이 되는 영역을 늘릴 수 있고, 화소 TFT(829)를 흐르는 전류량을 늘리게 되기 때문에, 표시 소자의 고속 응답을 도모할 수 있다.

[0129] 또한, 도 12에 나타낸 전위 변화의 개략을 나타낸 과정도는, 도 9와 마찬가지로 일례이며, 다른 구동 방법을 조합하여 이용해도 좋다. 일례로서는, 일정 기간마다, 1 프레임마다, 또는 1 화소마다, 공통 전극의 공통 전위(코먼 전위)에 대하여, 화소 전극에 인가되는 전압의 극성을 반전시키는 반전 구동과 같은 구동 방법을 이용해도 좋다. 반전 구동을 행하는 것에 의해, 화상의 깜빡임(flicker) 등의 표시 편차, 및 표시 소자, 예를 들면 액정 소자의 열화를 억제할 수 있다. 또한, 반전 구동의 예로서는, 프레임 반전 구동을 비롯하여, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 등을 들 수 있다. 또한, 표시 방식으로서 프로그래시브 방식, 인터레이스 방식 등을 이용할 수 있다. 또한, 화소에 복수의 서브 화소(부화소라고도 함)를 형성하는 구성으로 해도 좋다.

[0130] 다음에, 도 11에 나타낸 화소(828)의 레이아웃도의 일례를 도 13에 나타낸다. 또한, 도 13에 나타낸 화소의 레이아웃도는 주사선(823)이 연장하는 방향으로 RGB(R는 적, G는 녹, B는 청)의 3색에 대응한 화소를 나열하여 배치한, 소위 스트라이프 배치하는 예에 대하여 나타내고 있다. 화소(828)의 배치로서는, 그 외에도 멜타 배치, 또는 바이어 배치한 레이아웃으로 해도 좋다. 또한, RGB의 삼색에 한정되지 않고, 그 이상이어도 좋고, 예를 들면, RGBW(W는 흰색), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것 등이 있다. 또한, RGB의 각 색요소의 화소마다 그 표시 영역의 크기가 상이하여도 좋다. 또한 도 13 중의 쇄선 A-B로 절단한 단면은 도 10(B)과 같은 단면이 된다.

[0131] 도 13의 화소의 회로는 주사선(823)이 되는 배선(제 1 게이트 전극층) 및 용량선(832)의 한쪽의 전극이 되는 배선으로서 기능하는 제 1 도전층(1101), 화소 TFT(829)의 채널 영역을 형성하는 산화물 반도체막(1102), 신호선(824)이 되는 배선 및 용량선(832)의 다른 한쪽의 전극이 되는 배선으로서 기능하는 제 2 도전층(1103), 제 2 게이트 전극층으로서 기능하는 제 3 도전층(1104), 제 1 도전층(1101)에 접속되는 배선 및 화소 전극(831)이 되는 제 4 도전층(1105), 및 제 2 도전층(1103)과 화소 전극(831)과의 컨택트를 취하기 위해, 또는 제 1 도전층(1101)과 제 4 도전층(1105)과의 컨택트를 취하기 위한 개구부(1106)(컨택트홀이라고도 함)에 대하여 나타낸 것이다.

[0132] 또한, 도 13에 나타낸 레이아웃도에 있어서, 박막 트랜지스터의 소스 영역 및 드레인 영역의 대향 부분을, U자형, 또는 C자형의 형상으로 하는 구성이어도 좋다. 또한, 제 1 게이트 전극층으로서 기능하는 제 1 도전층(1101)을 U자형 또는 C자형의 형상으로 하는 구성이어도 좋다. 또한, 도 13에 있어서는, 제 1 게이트 전극층으로서 기능하는 제 1 도전층(1101)의 채널 길이 방향의 폭은 산화물 반도체막(1102)의 폭보다 넓다. 또한, 제 2

게이트 전극층으로서 기능하는 제 3 도전층(1104)의 폭(채널 길이 방향의 폭)은 제 1 도전층(1101)의 폭보다 좁고, 산화물 반도체막(1102)의 폭보다 넓다.

[0133] 이상 설명한 바와 같이, 상기 실시형태 1 내지 6의 어느 하나에 나타낸 제작 방법으로 제작되는 박막 트랜지스터를 가지는 화소를 제공함으로써, 프로세스수의 증가를 초래하지 않고, 박막 트랜지스터의 스레시홀드 전압의 제어, 및/또는 박막 트랜지스터의 온 전류를 크게 하는 것이 가능하게 된다.

[0134] 또한, 본 실시형태에 있어서, 각각의 도면에서 설명한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0135] (실시형태 8)

[0136] 본 실시형태에서는, 상기 실시형태 1 내지 6의 어느 하나에 설명한 박막 트랜지스터를 구비하는 표시 장치로서 발광 표시 장치의 일례를 나타낸다. 표시 장치가 가지는 표시 소자로서는, 여기에서는 일렉트로 르미네선스를 이용하는 발광 소자를 이용하여 나타낸다. 일렉트로 르미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.

[0137] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0138] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.

[0139] 도 14는, 상기 실시형태 1 내지 6의 어느 하나에 설명한 박막 트랜지스터를 구비하는 발광 표시 장치의 화소의 일례를 나타낸 도면이다.

[0140] 발광 표시 장치가 구비하는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기에서는 산화물 반도체막(대표적으로는, In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 이용하는 n 채널형의 박막 트랜지스터를 1개의 화소에 2개 이용하는 예를 나타낸다.

[0141] 화소(6400)는, 스위칭용 트랜지스터(6401)(제 1 트랜지스터라고도 함), 구동용 트랜지스터(6402)(제 2 트랜지스터라고도 함), 발광 소자(6404) 및 용량 소자(6403)를 가지고 있다. 스위칭용 트랜지스터(6401)는 제 1 게이트 전극이 주사선(6406A)에 접속되고, 제 2 게이트 전극이 제어선(6406B)에 접속되고, 제 1 전극(소스 전극층 및 드레인 전극층의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극층 및 드레인 전극층의 다른 한쪽)이 구동용 트랜지스터(6402)의 제 1 게이트 전극에 접속되어 있다. 구동용 트랜지스터(6402)는, 제 1 게이트 전극이 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 2 게이트 전극이 제어선(6406B)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로 하면 좋다.

[0142] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 만족시키는 전위이며, 저전원 전위로서는 예를 들면 GND, 0 V 등이 설정되어 있어도 좋다. 이 고전원 전위와 저전원 전위와의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위와의 전위차가 발광 소자(6404)의 순방향 스레시홀드 전압 이상이 되도록 각각의 전위를 설정한다.

[0143] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용하여 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극과의 사이에 용량이 형성되어 있어도 좋다.

- [0144] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압+구동 용 트랜지스터(6402)의 스레시홀드 전압 이상이 전압을 부여한다. 발광 소자(6404)의 순방향 전압이란, 소망의 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 스레시홀드 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 전원 선(6407)의 전위는 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그값으로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0145] 도 14에 나타낸 바와 같이, 제어선(6406B)을 제공함으로써, 실시형태 1 내지 6의 어느 하나에 나타낸 박막 트랜지스터와 마찬가지로, 스위칭용 트랜지스터(6401) 및 구동용 트랜지스터(6402)의 스레시홀드 전압의 제어를 행할 수 있다. 특히 구동용 트랜지스터(6402)에서는, 포화 영역에서 동작하도록 비디오 신호를 입력하게 된다. 그 때문에, 제어선(6406B)의 전위에 의해 스레시홀드 전압의 제어를 행하는 구성으로 함으로써, 스레시홀드 전압의 시프트에 의한 입력하는 비디오 신호와 발광 소자의 휘도와의 차이를 작게 할 수 있다. 그 결과, 표시 장치의 표시 품질의 향상을 도모할 수 있다.
- [0146] 또한, 스위칭용 트랜지스터(6401)는 스위치로서 동작시키는 트랜지스터이며, 제어선(6406B)에 의한 제 2 게이트의 전위의 제어를 생략할 수도 있다.
- [0147] 또한, 도 14에 나타낸 화소 구성은 이것에 한정되지 않는다. 예를 들면, 도 14에 나타낸 화소에 새로 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.
- [0148] 또한, 아날로그 계조 구동 대신에, 디지털 계조 구동을 행하는 경우에는, 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 충분히 온 하거나, 오프하거나의 2가지 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 때문에, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 부가한다. 또한, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상이 전압을 부가한다. 도 14와 같은 화소 구성을 이용할 수 있다.
- [0149] 다음에, 발광 소자의 구성에 대하여, 도 15를 이용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 15(A), 도 15(B), 및 도 15(C)의 반도체 장치에 이용되는 구동용 TFT인 박막 트랜지스터(7001, 7011, 7021)는, 실시형태 1에 나타낸 박막 트랜지스터(141)와 마찬가지로 제작할 수 있고, 산화물 반도체막을 채널 형성 영역에 이용하는 박막 트랜지스터이다.
- [0150] 발광 소자는 발광을 취출하기 위해 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대쪽의 면으로부터 발광을 취출하는 상면 사출이나, 기판측의 면으로부터 발광을 취출하는 하면 사출이나, 기판측 및 기판과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0151] 상면 사출 구조의 발광 소자에 대하여 도 15(A)를 이용하여 설명한다.
- [0152] 도 15(A)에는, 실시형태 1에 나타낸 박막 트랜지스터의 제작 방법에 의해 형성되는 박막 트랜지스터(7001)를 화소에 배치하는 구동 TFT로 하고, 박막 트랜지스터(7001)와 전기적으로 접속하는 발광 소자(7002)로부터 발해지는 광이 양극(7005)측으로 빠지는 경우의 화소의 단면도를 나타낸다. 박막 트랜지스터(7001)는 중간 절연층(7017)으로 덮여지고, 또한, 중간 절연층(7017) 위에 리드 배선(7009)을 가지고, 산화물 반도체막으로서 In-Ga-Zn-O계 산화물 반도체를 이용한다. 도 15(A)에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 박막 트랜지스터(7001)가 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층되어 있다. 음극(7003)은 일 함수가 작고, 또한 광을 반사하는 도전막이면 다양한 재료를 이용할 수 있다. 예를 들면, Ca, Al, MgAg, AlLi 등이 바람직하다.
- [0153] 또한, 도 15(A)에서는 음극(7003)과 같은 재료로 산화물 반도체막을 리드 배선(7009)이 덮어 차광한다. 리드 배선(7009)에 접속되는 제 2 게이트 전극의 전위에 의해, 박막 트랜지스터(7001)의 스레시홀드값을 제어할 수 있다. 음극(7003)과 리드 배선(7009)을 같은 재료로 함으로써, 공정수를 저감할 수 있다.
- [0154] 또한, 리드 배선(7009)과 음극(7003)의 단락을 방지하기 위한 절연 재료로 이루어지는 격벽(7006)을 가지고 있다. 이 격벽(7006)의 일부와 노정(露呈)되어 있는 음극의 일부의 양쪽 모두에 중첩되도록 발광층(7004)이 형성된다.

- [0155] 그리고 발광층(7004)은 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다. 복수의 층으로 구성되어 있는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순으로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성하고, 예를 들면 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전막을 이용해도 좋다.
- [0156] 음극(7003) 및 양극(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 상당한다. 도 15(A)에 나타낸 화소의 경우, 발광 소자(7002)로부터 발해지는 광은 화살표로 나타낸 바와 같이 양극(7005)측으로 사출한다.
- [0157] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 15(B)를 이용하여 설명한다. 실시형태 1에 나타낸 박막 트랜지스터의 제작 방법에 의해 형성되는 박막 트랜지스터(7011)를 화소에 배치하는 구동 TFT로 하고, 박막 트랜지스터(7011)와 전기적으로 접속하는 발광 소자(7012)로부터 발해지는 광이 음극(7013)측으로 사출하는 경우의 화소의 단면도를 나타낸다. 박막 트랜지스터(7011)는 충간 절연층(7017)으로 덮여지고, 또한 충간 절연층(7017) 위에 리드 배선(7019)을 가지고, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체를 이용한다. 도 15(B)에서는, 박막 트랜지스터(7011)와 전기적으로 접속된 투광성을 가지는 도전막(7010) 위에, 발광 소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층되어 있다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 좋다. 음극(7013)은 도 15(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막두께는 광을 투과하는 정도(바람직하게는, 5 nm~30 nm 정도)로 한다. 예를 들면 20 nm의 막두께를 가지는 알루미늄막을 음극(7013)으로서 이용할 수 있다. 그리고 발광층(7014)은 도 15(A)와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 15(A)와 마찬가지로, 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들면 광을 반사하는 금속 등을 이용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면 흑의 안료를 첨가한 수지 등을 이용할 수도 있다.
- [0158] 또한, 도 15(B)에서는, 투광성을 가지는 도전막(7010)과 같은 투광성을 가지는 도전성 재료에 의해 리드 배선(7019)이 산화물 반도체막을 덮는 구조로 하고 있다. 본 실시형태에서는, 리드 배선(7019)의 재료로서 SiO_x를 포함하는 인듐 주석 산화물을 이용한다. 또한, 리드 배선(7019)에 접속되는 제 2 게이트 전극에 의해 박막 트랜지스터(7011)의 스레시홀드값을 제어한다. 투광성을 가지는 도전막(7010)과 리드 배선(7019)을 같은 재료로 함으로써, 공정수를 저감할 수 있다. 또한, 박막 트랜지스터(7011)의 산화물 반도체막은 리드 배선(7019) 하방에 형성되는 제 2 게이트 전극에 의해 차광되는 구조로 되어 있다.
- [0159] 음극(7013) 및 양극(7015) 사이에 발광층(7014)을 끼우고 있는 영역이 발광 소자(7012)에 상당한다. 도 15(B)에 나타낸 화소의 경우, 발광 소자(7012)로부터 발해지는 광은 화살표로 나타낸 바와 같이 음극(7013)측으로 사출한다.
- [0160] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 15(C)를 이용하여 설명한다. 도 15(C)에는, 실시형태 1에 나타낸 박막 트랜지스터의 제작 방법에 의해 형성되는 박막 트랜지스터(7021)를 화소에 배치하는 구동 TFT로 하고, 박막 트랜지스터(7021)와 전기적으로 접속하는 발광 소자(7022)로부터 발해지는 광이 양극(7025)측과 음극(7023)측의 양쪽 모두로 빠지는 경우의 화소의 단면도를 나타낸다. 박막 트랜지스터(7021)는 충간 절연층(7017)으로 덮여지고, 또한 충간 절연층(7017) 위에 리드 배선(7029)을 가지고, 산화물 반도체막으로서 In-Ga-Zn-O계 산화물 반도체를 이용한다.
- [0161] 또한, 박막 트랜지스터(7021)와 전기적으로 접속된 투광성을 가지는 도전막(7028) 위에, 발광 소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층되어 있다. 음극(7023)은 도 15(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막두께는 광을 투과하는 정도로 한다. 예를 들면 20 nm의 막두께를 가지는 Al을 음극(7023)으로서 이용할 수 있다. 그리고 발광층(7024)은 도 15(A)와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다. 양극(7025)은 도 15(A)와 마찬가지로, 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다.
- [0162] 음극(7023)과 발광층(7024)과 양극(7025)이 중첩되어 있는 부분이 발광 소자(7022)에 상당한다. 도 15(C)에 나

타낸 화소의 경우, 발광 소자(7022)로부터 발해지는 광은, 화살표로 나타낸 바와 같이 양극(7025)측과 음극(7023)측의 양쪽 모두에 사출한다.

[0163] 또한, 도 15(C)에서는, 리드 배선(7029)이 산화물 반도체막 위를 덮는 구성으로 한다. 리드 배선(7029)의 재료로서는, 차광성을 가지는 도전성 재료, 티탄, 질화티탄, 알루미늄, 텉스텐 등이 바람직하다. 본 실시형태에서는, 리드 배선(7029)의 재료로서 Ti막을 이용한다. 또한, 리드 배선(7029)에 접속되는 제 2 게이트 전극에 의해 박막 트랜지스터(7021)의 스레시홀드값을 제어한다. 또한, 박막 트랜지스터(7021)의 산화물 반도체막은 리드 배선(7029)에 의해 차광하는 구성으로 되어 있다. 또한, 박막 트랜지스터(7021)와 전기적으로 접속하는 투광성을 가지는 도전막(7028)은 리드 배선(7029)과 같은 Ti막을 이용한다.

[0164] 또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대하여 설명했지만, 발광 소자로서 무기 EL 소자를 형성하는 것도 가능하다.

[0165] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광 소자와의 사이에 전류 제어용 TFT가 접속되어 있는 구성이어도 좋다.

[0166] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 16을 이용하여 설명한다. 도 16은 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를 제 2 기판과의 사이에 켈재에 의해 봉지한 패널의 상면도이며, 도 16(B)은, 도 16(A)의 H-I에 있어서의 단면도에 상당한다.

[0167] 제 1 기판(4500) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 들러싸도록 하여, 켈재(4505)가 제공되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)의 위에 제 2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기판(4500)과 켈재(4505)와 제 2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기(外氣)에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0168] 또한, 제 1 기판(4500) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 박막 트랜지스터를 복수 가지고 있고, 도 16(B)에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.

[0169] 박막 트랜지스터(4509, 4510)는, 일례로서 In-Ga-Zn-O계 산화물 반도체를 이용한다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n 채널형 박막 트랜지스터이다. 박막 트랜지스터(4509, 4510)는 산화물 반도체막과 접하는 충간 절연층(4508)으로 덮여 있다. 또한, 충간 절연층(4508)의 상면 및 측면을 질화실리콘막으로 이루어지는 보호 절연층으로 덮는 구성으로 해도 좋다. 또한, 박막 트랜지스터(4509)의 상방에는 리드 배선으로서 기능하는 도전층(4522)이 형성된다. 또한, 박막 트랜지스터(4510)의 상방에도 리드 배선으로서 기능하는 도전층(4521)이 형성된다. 도전층(4521), 및 도전층(4522)은 리드 배선으로서 박막 트랜지스터의 제 2 게이트 전극에 접속되어 있고, 박막 트랜지스터의 스레시홀드값 제어를 행한다.

[0170] 도전층(4522)으로서 차광성의 도전막을 이용하는 경우, 박막 트랜지스터(4509)의 산화물 반도체막으로의 광을 차단할 수 있다. 제 2 게이트 전극에 접속되는 리드 배선으로서 기능하는 도전층(4522)을 차광성을 가지는 재료로 형성하는 경우, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과가 있다.

[0171] 또한, 도전층(4521)의 폭은 도전층(4522)의 폭과 다르게 하여 형성해도 좋다. 도전층(4521)의 폭은 박막 트랜지스터(4510)의 게이트 전극의 폭보다 좁다. 도전층(4521)의 폭을 박막 트랜지스터(4510)의 게이트 전극의 폭보다 좁게 함으로써, 배선층과 중첩되는 면적을 축소하여 기생 용량을 작게 할 수 있다. 도 16에 나타낸 바와 같이, 도전층(4521), 도전층(4522)의 폭을 선택적으로 다르게 함으로써, 제 2 게이트 전극에 의한 차광에 더하여 박막 트랜지스터를 차광하는 효과를 높일 수 있다.

[0172] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 가지는 화소 전극인 제 1 전극층(4517)은 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타낸 구성에 한정되는 것은 아니다. 발광 소자(4511)로부터 취출하는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성

은 적절히 바꿀 수 있다.

[0173] 격벽(4520)은 유기 수지막, 무기 질연막 또는 유기 폴리실록산을 이용하여 형성한다. 특히, 감광성의 재료를 이용하여 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0174] 전계 발광층(4512)은 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다.

[0175] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성해도 좋다. 보호막으로서는, 질화규소막, 질화산화규소막, DLC막 등을 형성할 수 있다.

[0176] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 부여되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.

[0177] 본 실시형태에서는 접속 단자 전극(4515)이 발광 소자(4511)가 가지는 제 1 전극층(4517)과 같은 도전막으로부터 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)가 가지는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

[0178] 접속 단자 전극(4515)은 FPC(4518a)가 가지는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.

[0179] 발광 소자(4511)로부터의 광의 취출 방향에 위치하는 제 2 기판은 투광성을 가지고 있어야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 이용한다.

[0180] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다. 본 실시형태는 충전재로서 질소를 이용했다.

[0181] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda / 4$ 판, $\lambda / 2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 안티글레이(anti-glare) 처리를 실시할 수 있다.

[0182] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동 회로로 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 혹은 일부, 또는 주사선 구동 회로만, 혹은 일부만을 별도 형성하여 실장해도 좋고, 본 실시형태는 도 16의 구성에 한정되지 않는다.

[0183] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0184] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0185] (실시형태 9)

[0186] 실시형태 1 내지 6의 어느 하나에 나타낸 산화물 반도체막을 이용한 박막 트랜지스터를 제작하고, 이 박막 트랜지스터를 구동 회로, 또한, 화소부에 이용하여 표시 기능을 가지는 액정 표시 장치를 제작할 수 있다. 또한, 박막 트랜지스터를 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.

[0187] 액정 표시 장치는 표시 소자로서 액정 소자(액정 표시 소자라고도 함)를 포함한다.

[0188] 또한, 액정 표시 장치는, 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 콘트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 이 액정 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 이 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후에, 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 모든 형태가 적합하다.

[0189] 또한, 본 명세서 중에 있어서의 액정 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치

포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC(Flexible printed circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.

[0190] 액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 17을 이용하여 설명한다. 도 17(A1), 도 17(A2)은 액정 소자(4013)를 제 1 기판(4001)과 제 2 기판(4006)의 사이에 층재(4005)에 의해 봉지한 패널의 상면도이며, 도 17(B)은 도 17(A1), 도 17(A2)의 M-N의 단면도에 상당한다.

[0191] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 층재(4005)가 형성되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004)의 위에 제 2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 층재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 본 실시형태에 있어서 액정층(4008)은 특별히 한정되지 않지만, 블루상을 나타내는 액정 재료를 이용한다. 블루상을 나타내는 액정 재료는 전압 무인가 상태로부터 전압 인가 상태에 있어서는, 응답 속도가 1 msec 이하로 빠르고, 고속 응답이 가능하다. 블루상을 나타내는 액정 재료로서 액정 및 카이럴제를 포함한다. 카이럴제는 액정을 나선 구조로 배향시키고, 블루상을 발현시키기 위해 이용한다. 예를 들면, 5 중량% 이상의 카이럴제를 혼합시킨 액정 재료를 액정층에 이용하면 좋다. 액정은, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전성 액정, 반강유전성 액정 등을 이용한다.

[0192] 또한, 도 17(A1)은 제 1 기판(4001) 위의 층재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 또한, 도 17(A2)은 신호선 구동 회로의 일부를 제 1 기판(4001) 위에 형성하는 예이며, 제 1 기판(4001) 위에 신호선 구동 회로(4003b)가 형성되고, 또한 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003A)가 실장되어 있다.

[0193] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 이용할 수 있다. 도 17(A1)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 17(A2)은 TAB 방법에 의해 신호선 구동 회로(4003A)를 실장하는 예이다.

[0194] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜ジ스터를 복수 가지고 있고, 도 17(B)에서는, 하지막이 되는 절연막(4007) 위에 화소부(4002)에 포함되는 박막 트랜ジ스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜ジ스터(4011)를 예시하고 있다. 박막 트랜ジ스터(4010, 4011) 위에는 충간 절연층(4021)이 형성되어 있다. 박막 트랜ジ스터(4010, 4011)는 실시형태 1 내지 6의 어느 하나에 나타낸 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 산화물 반도체막을 채널 형성 영역에 이용하는 n 채널형 박막 트랜지스터이다.

[0195] 박막 트랜지스터(4010, 4011)는 충간 절연층(4021)으로 덮여진다. 충간 절연층(4021)은 박막 트랜지스터(4010, 4011)의 산화물 반도체막 및 제 1 게이트 절연막(4020) 위에 접하여 형성된다.

[0196] 또한, 평탄화 절연막으로서 이용하는 충간 절연층(4021)은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 엑폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성해도 좋다. 또한, 충간 절연층(4021)은 투광성 수지층이며, 본 실시형태에서는 감광성 폴리이미드 수지를 이용한다.

[0197] 적층하는 절연층의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스파터링법, SOG법, 스펜 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닉터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다.

[0198] 또한, 박막 트랜지스터(4011)의 산화물 반도체막과 중첩되는 위치에 제 2 게이트 전극에 접속되는 리드 배선(4028)이 충간 절연층(4021) 위에 형성된다. 또한, 박막 트랜지스터(4010)의 산화물 반도체막과 중첩되는 위치에 제 2 게이트 전극에 접속되는 리드 배선(4029)이 충간 절연층(4021) 위에 형성된다.

[0199] 또한, 제 1 기판(4001) 위에 화소 전극층(4030) 및 공통 전극층(4031)이 형성되고, 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한, 리드 배선(4028, 4029)은 공통 전극층(4031)과 공통의 전위로 할 수 있다. 또한, 리드 배선(4028, 4029)은 공통 전극층(4031)과 동일 공정으로 형성할 수 있다. 또한, 리드 배선(4028, 4029)은 차광성의 도전막을 이용하면, 박막 트랜지스터(4011, 4010)의 산화물 반도체막을

차광하는 차광층으로서도 기능시킬 수 있다.

[0200] 또한, 리드 배선(4028, 4029)은 공통 전극층(4031)과 다른 전위로 할 수 있고, 그 경우에는 리드 배선(4028, 4029)과 전기적으로 접속되는 제어선을 설치하고, 제어선의 전위에 의해 박막 트랜지스터(4011, 4010)의 스레시홀드 전압의 제어를 행하는 구성으로 한다.

[0201] 액정 소자(4013)는 화소 전극층(4030), 공통 전극층(4031), 및 액정층(4008)을 포함한다. 본 실시형태에서는 기판에 개략 평행(즉 수평인 방향)인 전계를 발생시키고, 기판과 평행한 면내에서 액정 분자를 움직여, 계조를 제어하는 방식을 이용한다. 이러한 방식으로서, IPS(In Plane Switching) 모드에서 이용하는 전극 구성이나, FFS(Fringe Field Switching) 모드에서 이용하는 전극 구성을 적용할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006)의 외측에는 각각 편광판(4032, 4033)이 설치되어 있다.

[0202] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서는, 투광성을 가지는 유리, 플라스틱 등을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics) 판, PVF(polyvinyl fluoride) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.

[0203] 또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 액정층(4008)의 막두께(셀 캡)를 제어하기 위해 설치되어 있다. 또한, 구상(球狀)의 스페이서를 이용하여도 좋다. 주상의 스페이서(4035)는 리드 배선(4029)과 중첩되는 위치에 배치한다.

[0204] 또한, 도 17의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 설치하는 예를 나타내지만, 편광판은 기판의 내측에 설치해도 좋다. 편광판의 재료나 제작 공정 조건에 따라 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광층을 형성해도 좋다.

[0205] 도 17에 있어서는, 박막 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제 2 기판(4006)측에 형성되어 있다. 차광층(4034)을 형성함으로써, 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 더욱 높일 수 있다.

[0206] 차광층(4034)을 형성하면, 박막 트랜지스터의 산화물 반도체막에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다.

[0207] 화소 전극층(4030), 공통 전극층(4031), 리드 배선(4028, 4029)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.

[0208] 또한, 화소 전극층(4030), 공통 전극층(4031), 리드 배선(4028, 4029)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다.

[0209] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0210] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 제공하는 것이 바람직하다. 보호 회로는 산화물 반도체를 이용한 비선형 소자를 이용하여 구성하는 것이 바람직하다.

[0211] 도 17에서는 접속 단자 전극(4015)이 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

[0212] 접속 단자 전극(4015)은 FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0213] 또한, 도 17에 있어서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기판(4001)에 실장하고 있는 예를 나타내었지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0214] 도 18은 액정 표시 장치의 단면 구조의 일례이며, 소자 기판(2600)과 대향 기판(2601)이 셀재(2602)에 의해 고착되고, 그 사이에 박막 트랜지스터 등을 포함하는 소자층(2603), 액정층(2604)이 형성된다.

[0215] 컬러 표시를 행하는 경우, 백 라이트부에 복수종의 발광색을 사출하는 발광 다이오드를 배치한다. RGB 방식의

경우는, 적의 발광 다이오드(2910R), 녹의 발광 다이오드(2910G), 청의 발광 다이오드(2910B)를 액정 표시 장치의 표시 에리어를 복수로 분할한 분할 영역에 각각 배치한다.

[0216] 대향 기판(2601)의 외측에는 편광판(2606)이 설치되고, 소자 기판(2600)의 외측에는 편광판(2607), 및 광학 시트(2613)가 배치되어 있다. 광원은 적의 발광 다이오드(2910R), 녹의 발광 다이오드(2910G), 청의 발광 다이오드(2910B)와 반사판(2611)에 의해 구성되고, 회로 기판(2612)에 설치된 LED 제어 회로(2912)는 플렉서블(flexible) 배선 기판(2609)에 의해 소자 기판(2600)의 배선 회로부(608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 더 짜넣어져 있다.

[0217] 본 실시형태는, 이 LED 제어 회로(2912)에 의해 개별적으로 LED를 발광시키는 것에 의해, 필드 시퀀셜 방식의 액정 표시 장치로 하는 예를 나타냈지만 특별히 한정되는 것은 아니고, 백 라이트의 광원으로서 냉음극관 또는 백색 LED를 이용하여 컬러 필터를 제공해도 좋다.

[0218] 또한, 본 실시형태에서는, IPS 모드로 이용하는 전극 구성의 예를 나타냈지만 특별히 한정되지 않고, TN(Twisted Nematic) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

[0219] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0220] (실시형태 10)

[0221] 본 실시형태에서는, 산화물 반도체막을 가지는 박막 트랜지스터를 복수 가지는 반도체 장치로서 전자 페이퍼의 일례를 나타낸다.

[0222] 도 19(A)는, 액티브 매트릭스형의 전자 페이퍼를 나타낸 단면도이다. 반도체 장치에 이용되는 표시부에 배치되는 박막 트랜지스터(581)로서는, 실시형태 1 내지 6 중 어느 하나에 나타낸 박막 트랜지스터를 이용한다.

[0223] 도 19(A)의 전자 페이퍼는 정(正) 또는 부(負)로 대전시킨 흰 미립자 및 검은 미립자를 마이크로 캡슐 내에 충전한 전기 영동(泳動) 재료(마이크로 캡슐 방식의 전기 영동 방식 표시 소자)를 이용한 전기 영동 방식의 표시 장치의 예이다. 마이크로 캡슐 방식의 전기 영동 방식 표시 소자는, 직경 $10\text{ }\mu\text{m}$ ~ $200\text{ }\mu\text{m}$ 정도의 마이크로 캡슐 중에 투명한 액체와, 정으로 대전한 흰 미립자와, 부로 대전한 검은 미립자에 의해 표시를 행한다. 마이크로 캡슐을 협지하는 전극에 의해 전장을 부여하면, 흰 미립자와 검은 미립자가 역의 방향으로 이동한다. 흰 미립자는 검은 미립자에 비해 외왕의 반사율이 높고, 외왕의 반사량을 가변함으로써, 백 또는 흑을 표시할 수 있다. 또한 이 원리를 응용한 전기 영동 소자를 구비하는 표시 장치는 전자 페이퍼라고도 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자에 비해 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한, 소비 전력이 작고, 어두침침한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 보유하는 것이 가능하기 때문에, 전파 발신원으로부터 표시 기능이 있는 반도체 장치(간단히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우에도, 표시된 상을 보존해 두는 것이 가능하게 된다.

[0224] 기판(580) 위에 형성되는 박막 트랜지스터(581)는 실시형태 1 내지 6의 어느 하나에 나타낸 공정에 의해 제작되는 박막 트랜지스터이며, 제 1 전극층(587A)은 충간 절연층(585A)에 형성된 개구를 통하여 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 박막 트랜지스터(581)를 덮는 충간 절연층(585A) 위에는 제 2 게이트 전극에 접속되는 리드 배선(582)이 형성된다. 그리고, 리드 배선(582) 및 제 1 전극층(587A)을 덮는 충간 절연층(585B)이 형성되어 있다. 제 2 전극층(587B)은 충간 절연층(585B)에 형성된 개구를 통하여 제 1 전극층(587A)과 전기적으로 접속되어 있다.

[0225] 제 2 전극층(587B)과 제 3 전극층(588) 사이에는 흑색 미립자(590A) 및 백색 미립자(590B)를 가지는 구형 입자(589)가 형성되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 19(A) 참조). 본 실시형태에 있어서는, 제 2 전극층(587B)이 화소 전극에 상당하고, 기판(596)에 형성되는 제 3 전극층(588)이 공통 전극에 상당한다. 제 3 전극층(588)은 박막 트랜지스터(581)와 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부에 있어서, 한쌍의 기판간에 배치되는 도전성 입자를 통하여 제 3 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

- [0226] 또한, 마이크로 캡슐 방식의 전기 영동 방식 표시 소자 대신에, 트위스트 볼 표시 방식을 이용하는 것도 가능하다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극총인 제 1 전극총 및 제 2 전극총 사이에 배치하여, 제 1 전극총 및 제 2 전극총에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0227] 실시형태 1 내지 6의 어느 하나에 나타낸 공정에 의해 제작되는 박막 트랜지스터를 스위칭 소자에 이용함으로써, 반도체 장치로서 제조 비용이 저감된 전자 페이퍼를 제작할 수 있다. 전자 페이퍼는 정보를 표시하는 것이면 모든 분야의 전자기기에 이용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 이용하여, 전자 서적(전자 북), 포스터, 전철 등의 탈 것의 차내 광고, 신용카드 등의 각종 카드에서의 표시 등에 적용할 수 있다. 전자기기의 일례를 도 19(B)에 나타낸다.
- [0228] 도 19(B)는 전자 서적(2700)의 일례를 나타낸다. 예를 들면, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성되어 있다. 케이스(2701) 및 케이스(2703)는 바인딩부(2711)에 의해 일체로 되어 있고, 이 바인딩부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이의 서적과 같은 동작을 행하는 것이 가능하게 된다.
- [0229] 케이스(2701)에는 표시부(2705)가 조립되어 있고, 케이스(2703)에는 표시부(2707)가 조립되어 있다. 표시부(2705) 및 표시부(2707)는 연결된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 19(B)에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 19(B)에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0230] 또한, 도 19(B)에서는, 케이스(2703)에 조작부 등을 구비한 예를 나타낸다. 예를 들면, 케이스(2703)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.
- [0231] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.
- [0232] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0233] (실시형태 11)
- [0234] 실시형태 1 내지 6의 어느 하나에 나타낸 공정에 의해 제작되는 박막 트랜지스터를 포함하는 반도체 장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다.
- [0235] 도 20(A)는 휴대형 유기기이며, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 20(A)에 나타낸 휴대형 유기기는 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능 등을 가질 수 있다. 또한, 도 20(A)에 나타낸 휴대형 유기기가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0236] 도 20(B)는 디지털 카메라이며, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 20(B)에 나타낸 텔레비전 수상 기능이 있는 디지털 카메라는 정지 화면을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 보존하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 20(B)에 나타낸 텔레비전 수상 기능이 있는 디지털 카메라가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0237] 도 20(C)는 텔레비전 수상기이며, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 가질 수 있다. 도 20(C)에 나타낸 텔레비전 수상기는 TV용 전파를 처리하여 비디오 신호로 변환하는 기능, 비디오 신호를 처리하여 표시에 적합한 신호로 변환하는 기능, 비디오 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 또한, 도 20(C)에 나타낸 텔레비전 수상기가 가지는 기능은 이것에 한정되지

않고, 다양한 기능을 가질 수 있다.

[0238] 도 21(A)는 컴퓨터이며, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 가질 수 있다. 도 21(A)에 나타낸 컴퓨터는 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능 등을 가질 수 있다. 또한, 도 21(A)에 나타낸 컴퓨터가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0239] 다음에, 도 21(B)는 휴대전화이며, 케이스(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638), 외부 접속 포트(9680) 등을 가질 수 있다. 도 21(B)에 나타낸 휴대전화는 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 21(B)에 나타낸 휴대전화가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0240] 본 실시형태에서 설명한 전자기기는, 정보를 표시하기 위한 표시부의 박막 트랜지스터를 상기 실시형태에 설명한 반도체 장치의 제작 방법으로 형성할 수 있는 것이다. 즉, 산화물 반도체를 이용한 채널 형성 영역의 상하에 게이트 전극을 배치하는 반도체 장치의 제작 방법에 있어서 프로세스수의 증가를 초래하지 않고, 또한 스레시홀드 전압의 제어를 행할 수 있는 구성으로 할 수 있다. 따라서, 저비용으로 전기 특성이 높은 반도체 장치를 제작할 수 있다.

[0241] 또한, 본 실시형태에 있어서, 각각의 도면에 설명한 내용은, 다른 실시형태에 설명한 내용에 대하여, 적절히, 조합 또는 치환 등을 자유롭게 행할 수 있다.

[0242] [실시예 1]

[0243] 본 실시예에서는, 상기 실시형태에 나타낸 반도체 장치의 제작 방법으로 제작되는 박막 트랜지스터에 있어서, 제 2 게이트 전극에 의한 스레시홀드 전압의 제어의 효과를 확인하기 위해 시뮬레이션한 결과를 나타낸다. 또한, 시뮬레이션에는, Silvaco사(Silvaco Data Systems Inc.)제 디바이스 시뮬레이터 "ATLAS"를 이용하여 행하였다.

[0244] 먼저, 시뮬레이션을 행한 디바이스 구조를 도 22에 나타낸다. 도 22에 나타낸 디바이스 구조는 상기 실시형태에 설명한 구조(보텀 게이트 · 보텀 컨택트형)의 트랜지스터를 모델화하고 있으며, 제 1 게이트 전극(2201), 제 1 절연막(2202), 소스 전극(2203A), 드레인 전극(2203B), 산화물 반도체막(2204), 제 2 절연막(2205), 제 2 게이트 전극(2206)이다.

[0245] 도 22에서는, 제 1 게이트 전극(2201)의 전위를 -20 V 내지 20 V , 소스 전극(2203A)의 전위를 0 V , 드레인 전극(2203B)의 전위를 10 V , 제 2 게이트 전극(2206)의 전위를 -5 V 내지 5 V 로 하고, 산화물 반도체막(2204)의 막두께를 50 nm , 채널 길이(L)를 $5\mu\text{m}$, 채널폭(W)을 $50\mu\text{m}$ 로 하고, 제 1 절연막(2202)의 막두께를 $0.2\mu\text{m}$, 비유전률(ϵ)을 4.1(산화질화규소막(SiON)을 상정)로 하고, 제 2 절연막(2205)의 막두께를 $0.1\mu\text{m}$ 내지 1500 nm , 비유전률(ϵ)을 3.1(폴리이미드(PI)를 상정) 또는 4.1로 하여 시뮬레이션을 행하였다. 또한, 산화물 반도체막의 파라미터로서는, 밴드 캡을 3.05 eV 로 하고, 전자 이동도를 $15\text{ cm}^2/\text{Vs}$ 로 하고, 정공 이동도를 $0.1\text{ cm}^2/\text{Vs}$ 로 하고, 전자 친화력을 4.3 eV 로 하고, 비유전률을 10으로 하여 시뮬레이션을 행하였다.

[0246] 도 22에 나타낸 MOS 구조는 용량 소자의 직렬 접속에 근사적으로 모델화할 수 있다. 이 때, 성립되는 식을 식(1)에 나타낸다. 식(1)에 있어서, C_f 는 제 1 게이트 전극(2201)과 산화물 반도체막(2204) 사이의 정전 용량, C_b 는 제 2 게이트 전극(2206)과 산화물 반도체막(2204) 사이의 정전 용량, V_s 는 산화물 반도체막(2204)의 전위, V_g 는 제 1 게이트 전극(2201)의 전위, V_b 는 제 2 게이트 전극(2206)의 전위에 상당한다. 식(1)은 제 1 게이트 전극(2201)과 산화물 반도체막(2204)의 사이에 축적되는 전하와, 제 2 게이트 전극(2206)과 산화물 반도체막(2204)의 사이에 축적되는 전하의 합이 일정하다는 것을 나타낸다.

[0247] [수학식 1]

$$C_f(V_s - V_g) + C_b(V_s - V_b) = \text{const.} \quad \dots(1)$$

[0248]

[0249] 여기서, 도 22에 나타낸 MOS 구조의 스레시홀드 전압을 V_{th} , 산화물 반도체막(2204)의 전위를 V_{s0} 으로 하면, 식 (1)은 제 1 게이트 전극(2201)과 소스 전극(2203A)의 전위차가, 스레시홀드 전압과 동일할 때에도 성립된다. 이 때, 식 (2)가 성립된다.

[0250]

[수학식 2]

$$C_f(V_{s0} - V_{th}) + C_b(V_{s0} - V_b) = \text{const.} \quad \dots(2)$$

[0251]

[0252] 이 때, 제 2 게이트 전극(2206)의 전위 V_b 를 변화시켰을 때의 스레시홀드 전압 V_{th} 의 변화량을 고려한다. V_{s0} 은 소스 전극(2203A)의 전위와의 관계에 의해 정해지는 것이고, 제 2 게이트 전극(2206)의 전위 V_b 에 상관없이 일정해야 하므로, 식 (2)를 V_b 로 미분하면 식 (3)이 성립된다.

[0253]

[수학식 3]

$$-C_f \frac{dV_{th}}{dV_b} - C_b = 0 \quad \dots(3)$$

[0254]

[0255] 식 (3)을 정리하면, 제 2 게이트 전극(2206)의 전위의 변화량에 대한 스레시홀드 전압의 변화량을 나타낸 식 (4)가 얻어진다. 또한 식 (4)에 있어서, ϵ_f 는 제 1 절연막(2202)의 비유전률이고, ϵ_b 는 제 2 절연막(2205)의 비유전률이고, t_f 는 제 1 절연막(2202)의 막두께이고, t_b 는 제 2 절연막(2205)의 막두께를 나타낸다.

[0256]

[수학식 4]

$$-\frac{\Delta V_{th}}{\Delta V_b} = \frac{C_b}{C_f} = \frac{\epsilon_b t_f}{\epsilon_f t_b} \quad \dots(4)$$

[0257]

[0258] 도 23에, 제 2 게이트 전극(2206)의 전위의 변화량 ΔV_b 에 의한 스레시홀드값의 변화량 ΔV_{th} 와 백 게이트측 절연막의 막두께의 관계에 대하여, 도 22에 나타낸 디바이스 시뮬레이션의 결과, 및 식 (4)에 변수를 입력함으로써 얻어지는 곡선을 중첩하여 나타낸다. 도 23에 나타낸 그래프가 횡축은 제 2 절연막(2205)의 막두께, 종축이 $-\Delta V_{th}/V_b$ 를 나타내고 있다. 또한, 도 23 중, 삼각 표시가 제 2 절연막(2205)으로서 비유전률(ϵ)을 3.1로 했을 때의 디바이스 시뮬레이션의 결과, 곡선(2301)이 제 2 절연막(2205)으로서 비유전률(ϵ)을 3.1로 하고, 식 (4)에 변수를 입력함으로써 얻어지는 결과, 동그라미 표시가 제 2 절연막(2205)으로서 비유전률(ϵ)을 4.1로 했을 때의 디바이스 시뮬레이션의 결과, 곡선(2302)이 제 2 절연막(2205)으로서 비유전률(ϵ)을 4.1로 하고, 식 (4)에 변수를 입력함으로써 얻어지는 결과이다.

[0259]

도 23 중에 나타낸 어느 결과에 대해서도, 제 2 절연막(2205)을 두껍게 할수록, 백 게이트 바이어스에 대한 V_{th} 의 변동이 작아지는 것이 확인되었다. 또한, 도 23 중에 나타낸 어느 결과에 대해서도, 제 2 절연막(2205)을 $0.5 \mu\text{m}$ (500 nm)보다 두껍게 하면, 백 게이트 바이어스의 영향을 거의 받지 않는다는 것을 알 수 있었다. 따라서, 제 2 절연막(2205)의 막두께로서는 제 2 게이트 전극의 전위의 변동에 따라 스레시홀드 전압의 변화를 크게 취할 수 있도록, 50 nm 이상 500 nm 이하로 하는 것이 바람직하다는 것을 알 수 있었다.

[0260]

상기 실시형태에 설명한 반도체 장치의 제작 방법에서는, 산화물 반도체막 위에 산화물 반도체층의 패터닝 전에 제 2 절연막을 형성하는 구성이다. 따라서, 제 2 절연막에는 산화물 반도체막의 막두께에 의한 단차 형상을 없앨 수 있다. 그 결과, 제 2 절연막의 막두께를 박막화하는 것이 용이한 구성을 취할 수 있다. 따라서, 제 2 게이트 전극의 전위를 제어함으로써, 박막 트랜지스터의 스레시홀드 전압의 제어에 필요한 전위를 작게 설정할

수 있다.

부호의 설명

[0261]

100 : 기판

101 : 게이트 전극

111 : 게이트 절연막

112 : 배선층

113 : 산화물 반도체막

121 : 산화물 반도체막

122 : 절연막

123 : 도전층

124 : 채널 보호막

131 : 산화물 반도체막

132 : 게이트 절연막

133 : 게이트 전극

134 : 레지스트 마스크

135 : 벼파층

136 : 채널 보호막

141 : 박막 트랜지스터

142 : 수지층

143 : 리드 배선

144 : 화소 전극

580 : 기판

581 : 박막 트랜지스터

582 : 리드 배선

588 : 전극층

589 : 구형 입자

595 : 충전재

596 : 기판

800 : 기판

801 : 화소부

802 : 주사선 구동 회로

803 : 신호선 구동 회로

804 : 박막 트랜지스터

820 : 기판

822 : 신호선 입력 단자

823 : 주사선

824 : 신호선

827 : 화소부

828 : 화소

829 : 화소 TFT

830 : 보유 용량부

831 : 화소 전극

832 : 용량선

833 : 코먼 단자

835 : 보호 회로

1101 : 도전층

1102 : 산화물 반도체막

1103 : 도전층

1104 : 도전층

1105 : 도전층

1106 : 개구부

2201 : 게이트 전극

2202 : 절연막

2203A : 소스 전극

2203B : 드레인 전극

2204 : 산화물 반도체막

2205 : 절연막

2206 : 게이트 전극

2301 : 곡선

2302 : 곡선

2600 : 소자 기판

2601 : 대향 기판

2602 : 씰재

2603 : 소자층

2604 : 액정층

2606 : 편광판

2607 : 편광판

2608 : 배선 회로부

2609 : 플렉서블(flexible) 배선 기판

2611 : 반사판

2612 : 회로 기판

2613 : 광학 시트

2700 : 전자 서적

2701 : 케이스

2703 : 케이스

2705 : 표시부

2707 : 표시부

2711 : 바인딩부

2721 : 전원

2723 : 조작 키

2725 : 스피커

2912 : LED 제어 회로

4001 : 기판

4002 : 화소부

4003 : 신호선 구동 회로

4004 : 주사선 구동 회로

4005 : 씰재

4006 : 기판

4008 : 액정층

4010 : 박막 트랜지스터

4011 : 박막 트랜지스터

4013 : 액정 소자

4015 : 접속 단자 전극

4016 : 단자 전극

4018 : FPC

4019 : 이방성 도전막

4020 : 게이트 절연막

4021 : 충간 절연층

4028 : 리드 배선

4029 : 리드 배선

4030 : 화소 전극층

4031 : 공통 전극층

4032 : 편광판

4034 : 차광층

4035 : 스페이서

4500 : 기판

4502 : 화소부

4505 : 씰재

4506 : 기판

4507 : 충전재

4508 : 충간 절연층

4509 : 박막 트랜지스터

4510 : 박막 트랜지스터

4511 : 발광 소자

4512 : 전계 발광층

4513 : 전극층

4515 : 접속 단자 전극

4516 : 단자 전극

4517 : 전극층

4519 : 이방성 도전막

4520 : 격벽

4521 : 도전층

4522 : 도전층

585A : 충간 절연층

585B : 충간 절연층

587A : 전극층

587B : 전극층

590A : 흑색 미립자

590B : 백색 미립자

6400 : 화소

6401 : 스위칭용 트랜지스터

6402 : 구동용 트랜지스터

6403 : 용량 소자

6404 : 발광 소자

6405 : 신호선

6407 : 전원선

6408 : 공통 전극

7001 : 박막 트랜지스터

7002 : 발광 소자

7003 : 음극

7004 : 발광층

7005 : 양극

- 7006 : 격벽
 7009 : 리드 배선
 7010 : 도전막
 7011 : 박막 트랜지스터
 7012 : 발광 소자
 7013 : 음극
 7014 : 발광층
 7015 : 양극
 7016 : 차폐막
 7017 : 층간 절연층
 7019 : 리드 배선
 7021 : 박막 트랜지스터
 7022 : 발광 소자
 7023 : 음극
 7024 : 발광층
 7025 : 양극
 7028 : 도전막
 7029 : 리드 배선
 823A : 주사선
 823B : 제어선
 9630 : 케이스
 9631 : 표시부
 9633 : 스피커
 9635 : 조작 키
 9636 : 접속 단자
 9638 : 마이크로폰
 9672 : 기록 매체 판독부
 9676 : 셔터 베튼
 9677 : 수상부
 9680 : 외부 접속 포트
 9681 : 포인팅 디바이스
 2910B : 발광 다이오드
 2910G : 발광 다이오드
 2910R : 발광 다이오드
 4003a : 신호선 구동 회로
 4003b : 신호선 구동 회로

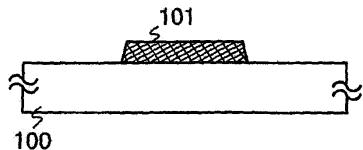
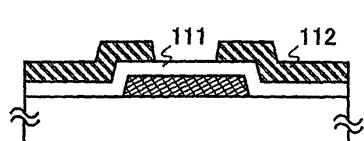
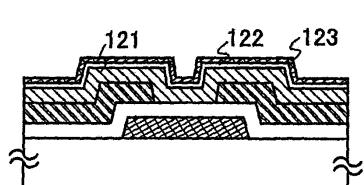
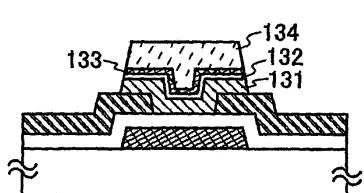
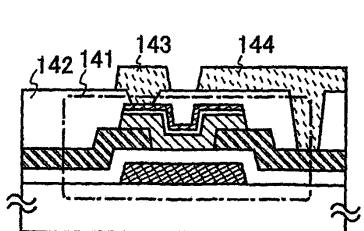
4503a : 신호선 구동 회로

4504a : 주사선 구동 회로

4518a : FPC

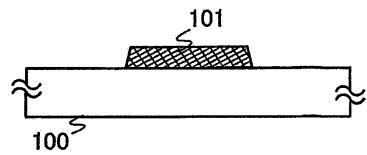
6406A : 주사선

6406B : 제어선

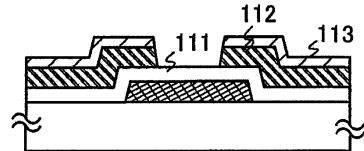
도면**도면1****(A)****(B)****(C)****(D)****(E)**

도면2

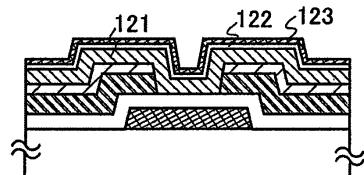
(A)



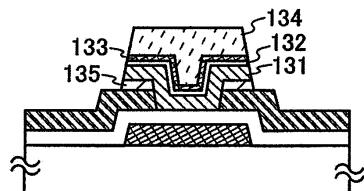
(B)



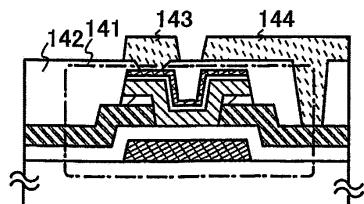
(C)



(D)

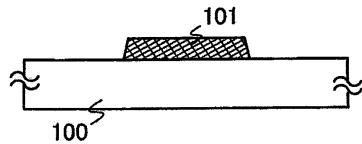


(E)

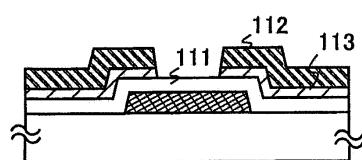


도면3

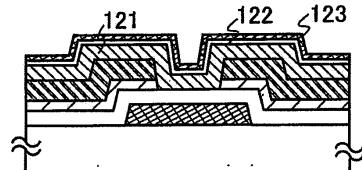
(A)



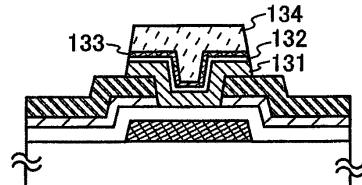
(B)



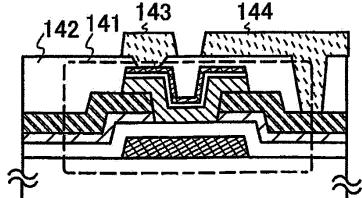
(C)



(D)

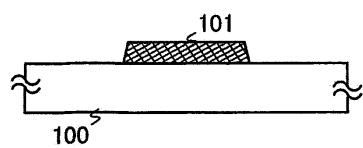


(E)

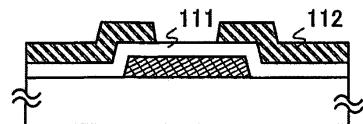


도면4

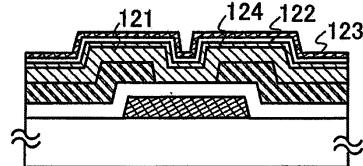
(A)



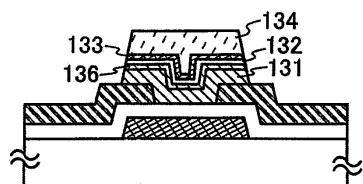
(B)



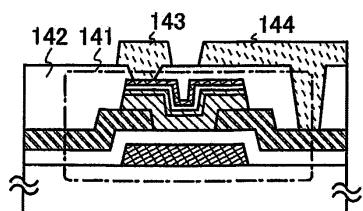
(C)



(D)

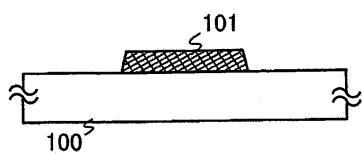


(E)

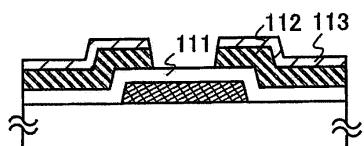


도면5

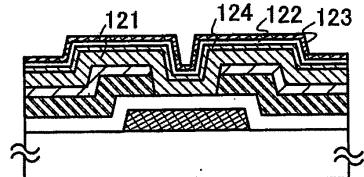
(A)



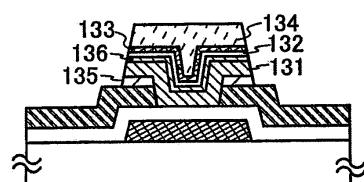
(B)



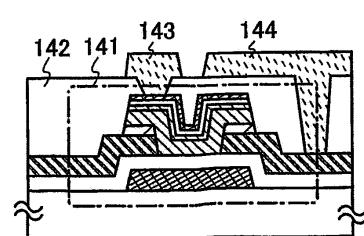
(C)



(D)

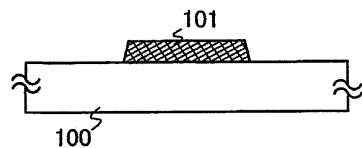


(E)

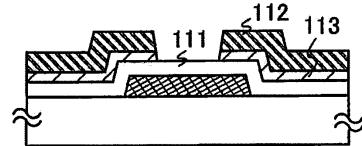


도면6

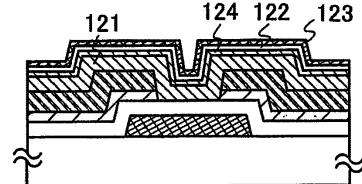
(A)



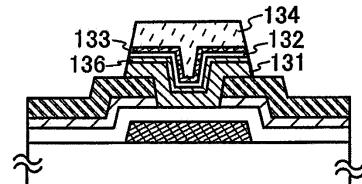
(B)



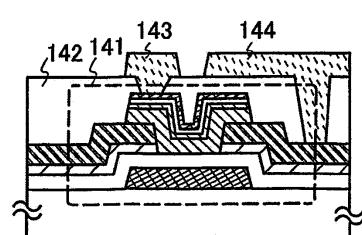
(C)



(D)

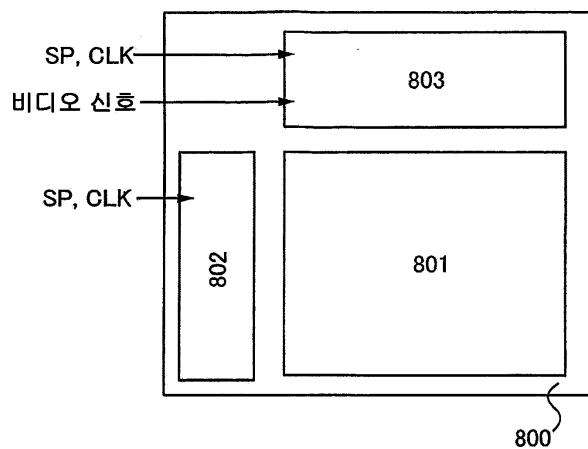


(E)

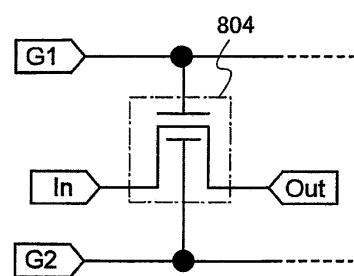


도면7

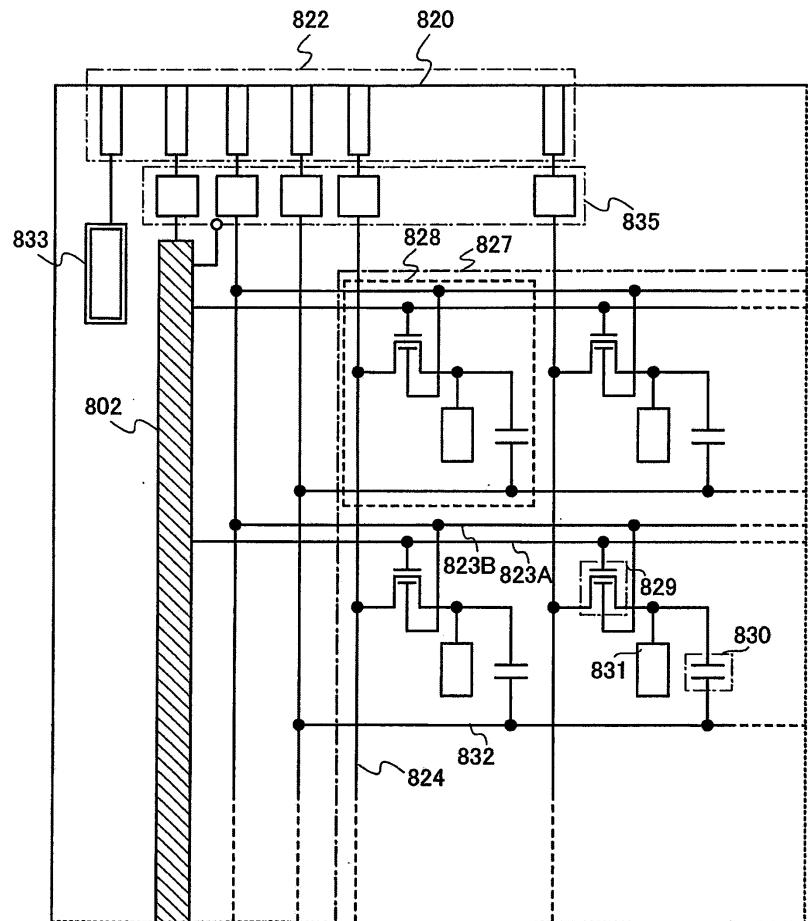
(A)



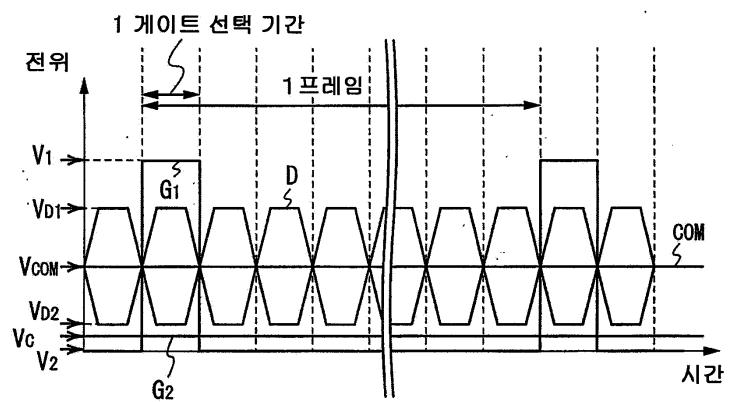
(B)



도면8

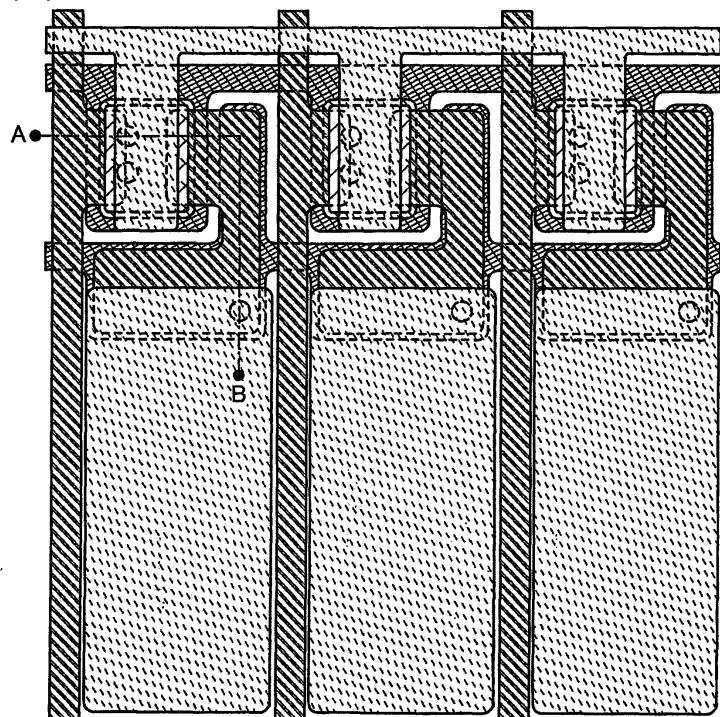


도면9



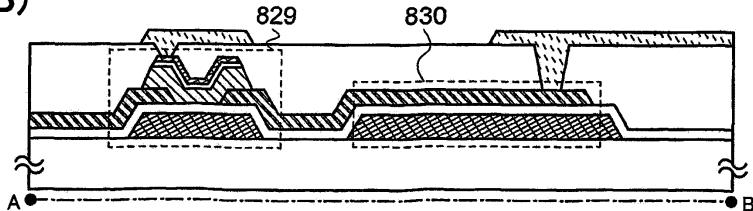
도면10

(A)

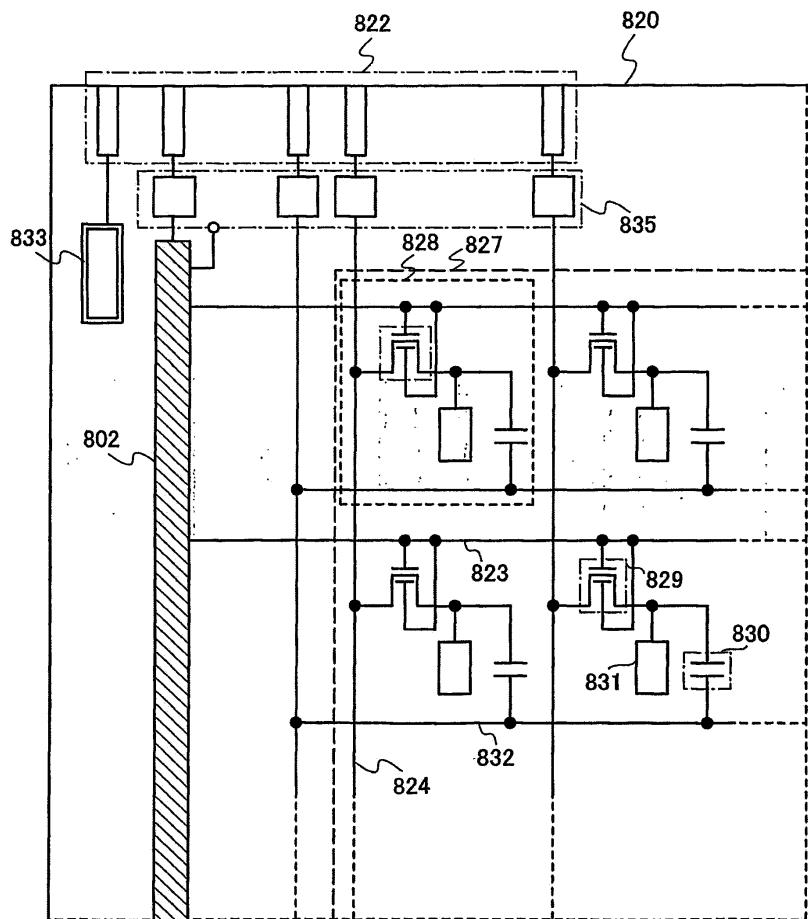


1101 ~	1104 ~
1102 ~	1105 ~
1103 ~	1106 ~

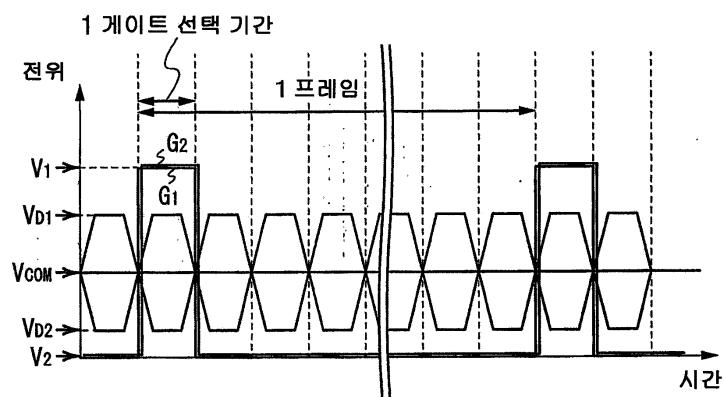
(B)



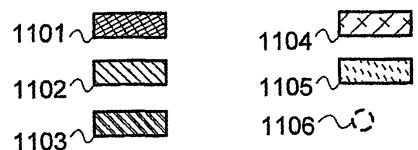
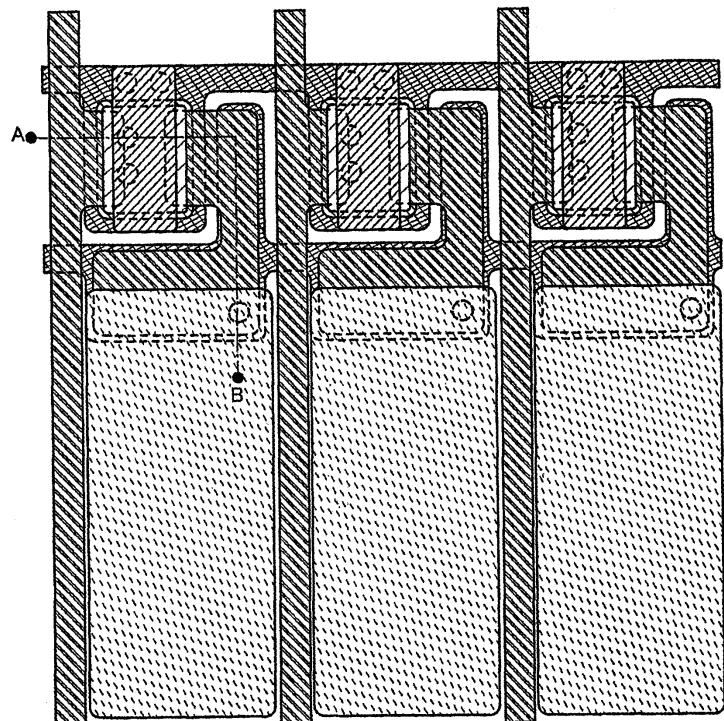
도면11



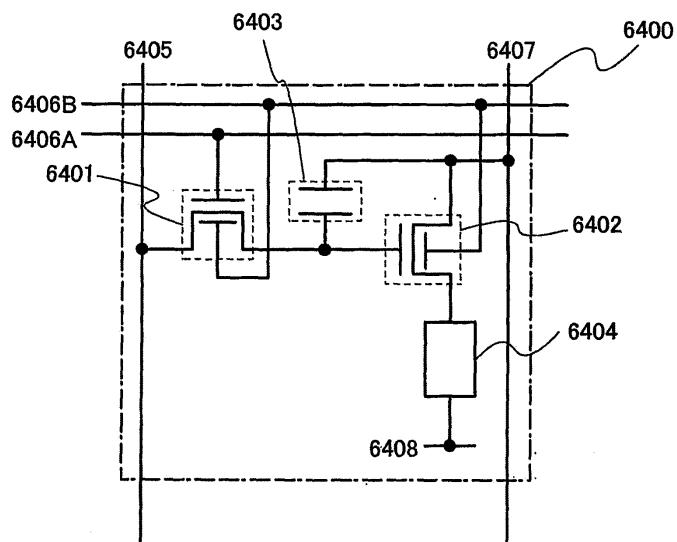
도면12



도면13

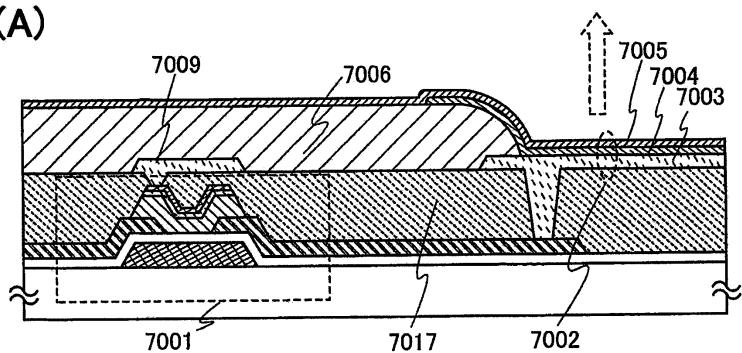


도면14

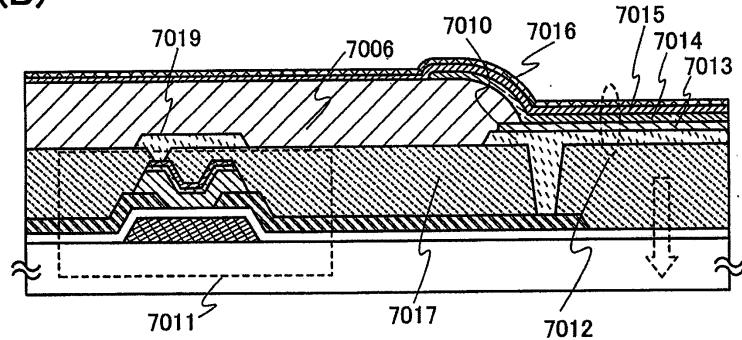


도면15

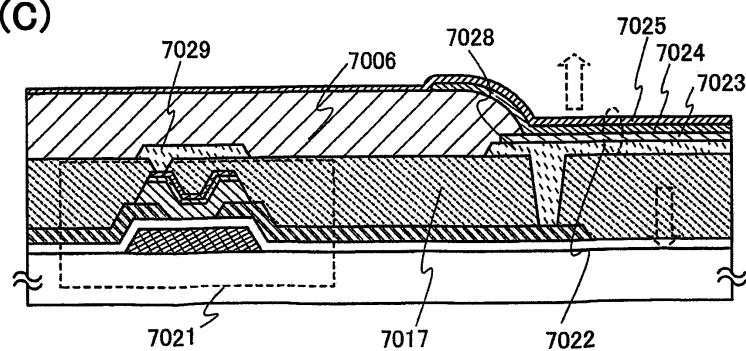
(A)



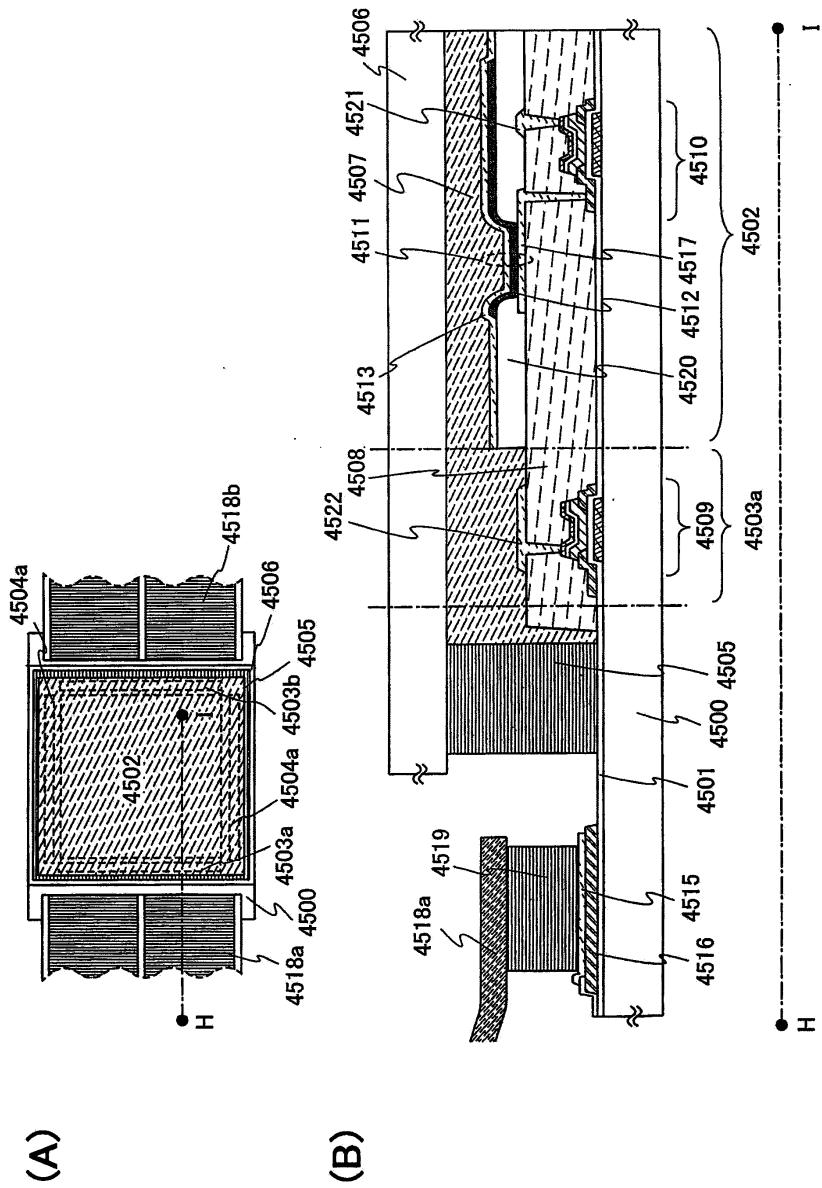
(B)



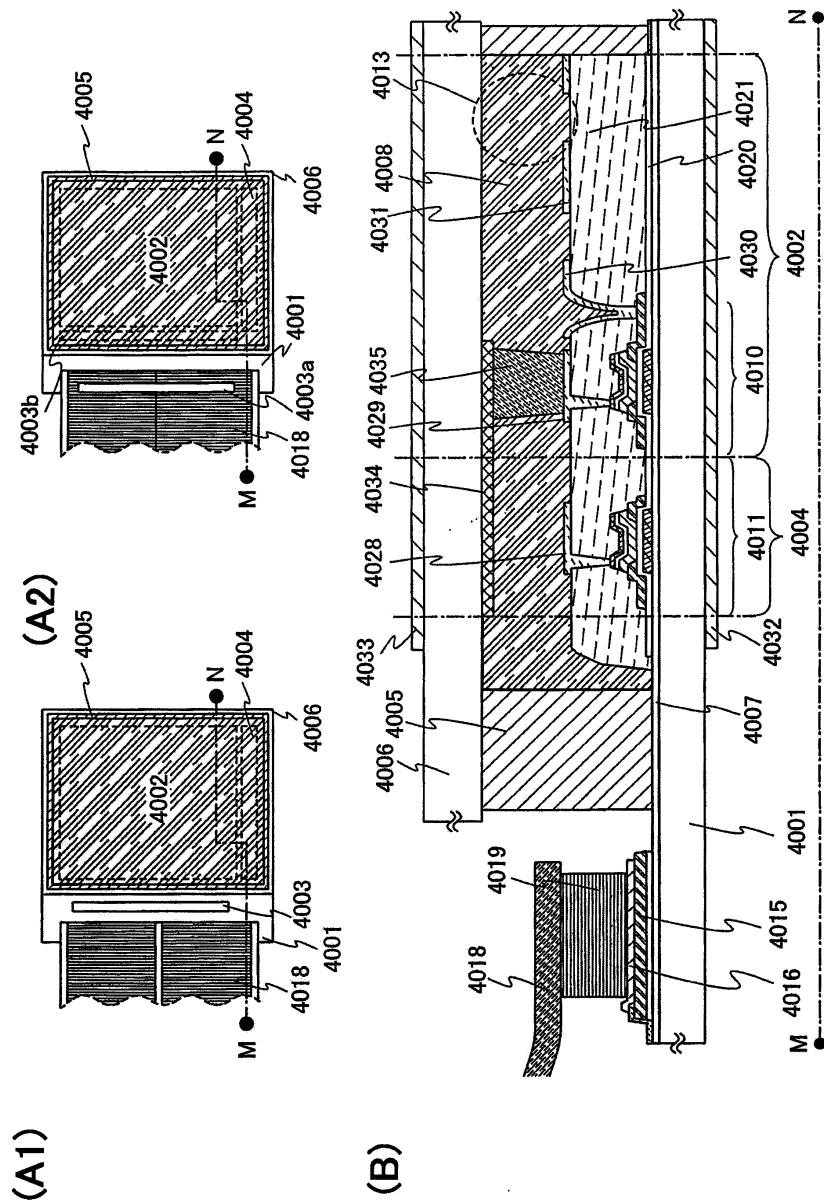
(C)



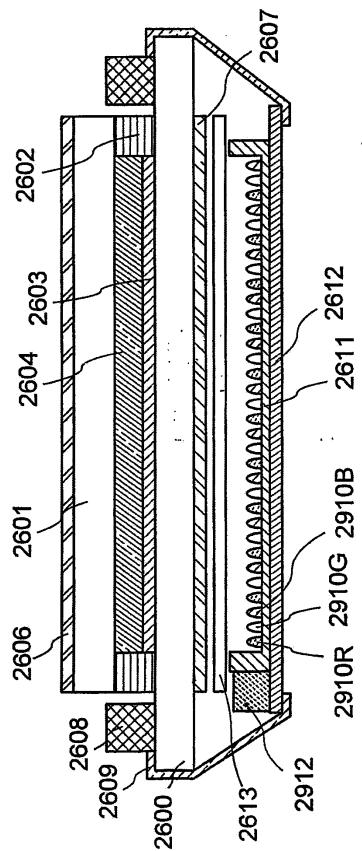
도면16



도면17

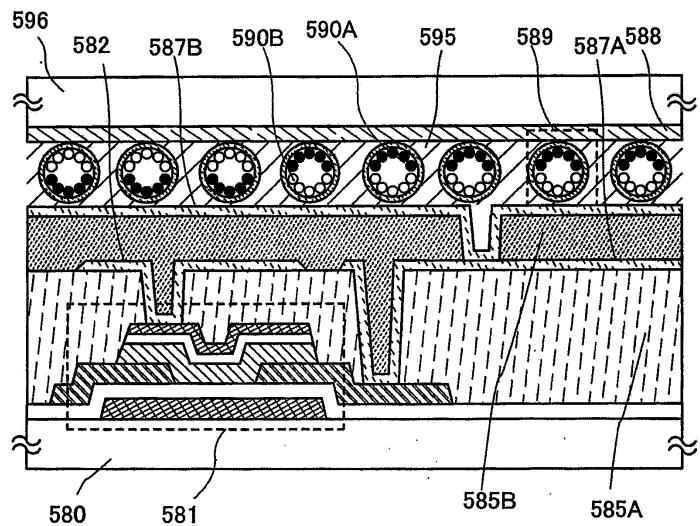


도면18

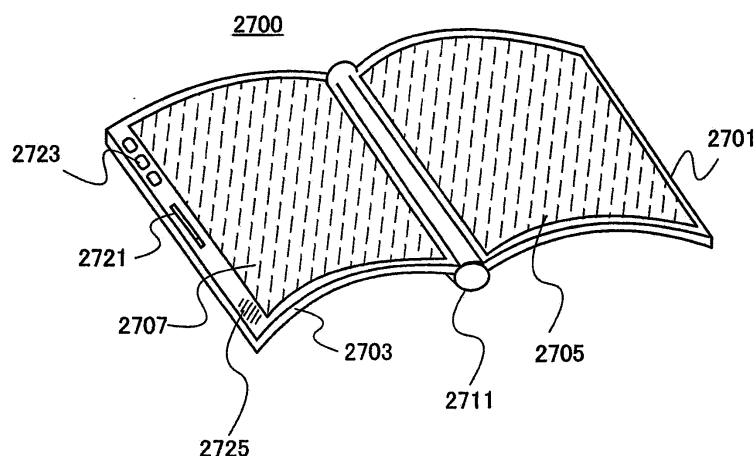


도면19

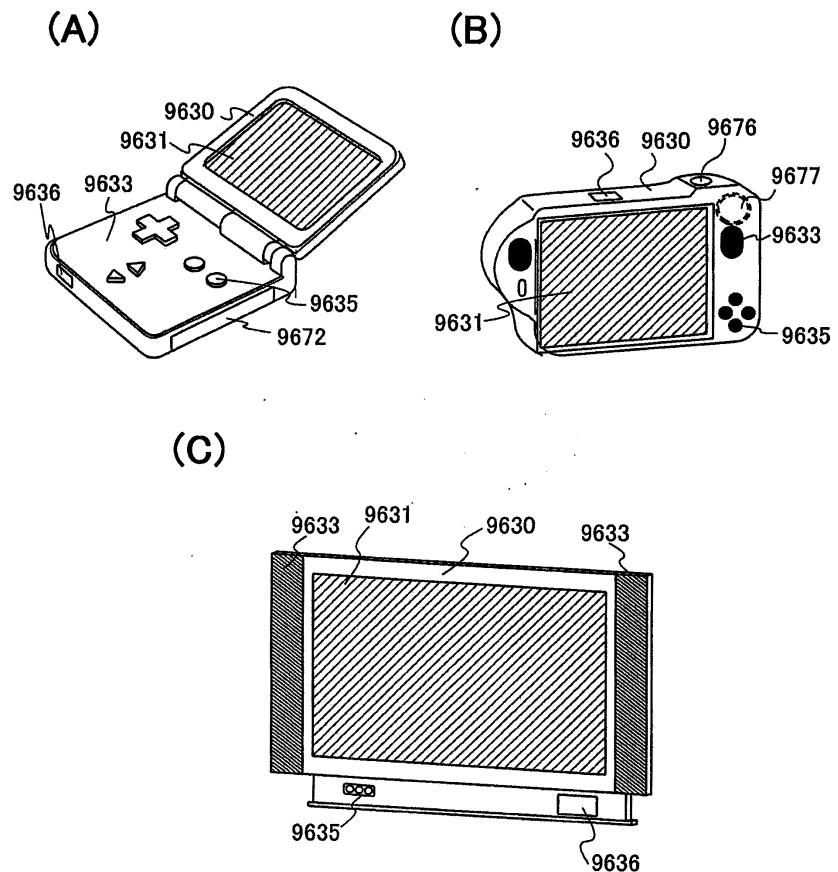
(A)



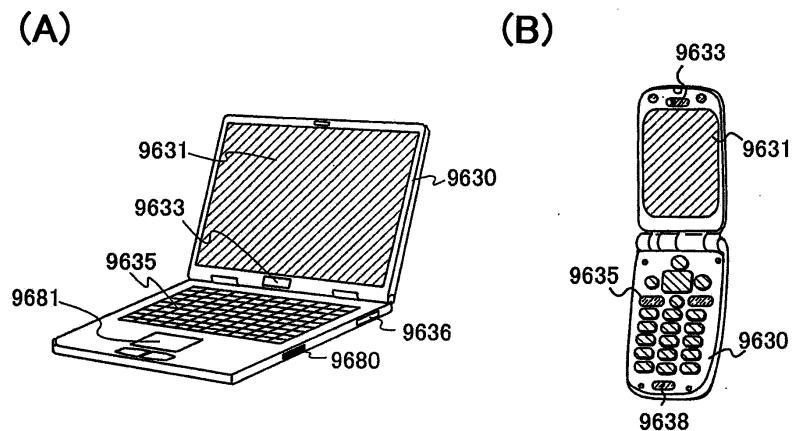
(B)



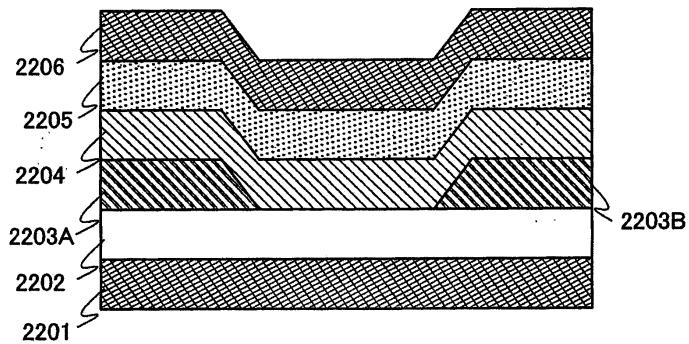
도면20



도면21



도면22



도면23

