

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-521742
(P2013-521742A)

(43) 公表日 平成25年6月10日(2013.6.10)

(51) Int.Cl.

H03F 3/34 (2006.01)
H03F 1/26 (2006.01)

F 1

H03F 3/34
H03F 1/26

テーマコード(参考)

A

5 J 500

審査請求 未請求 予備審査請求 未請求 (全 11 頁)

(21) 出願番号 特願2012-557031 (P2012-557031)
 (86) (22) 出願日 平成22年12月21日 (2010.12.21)
 (85) 翻訳文提出日 平成24年10月29日 (2012.10.29)
 (86) 國際出願番号 PCT/US2010/061514
 (87) 國際公開番号 WO2011/109056
 (87) 國際公開日 平成23年9月9日 (2011.9.9)
 (31) 優先権主張番号 12/718,134
 (32) 優先日 平成22年3月5日 (2010.3.5)
 (33) 優先権主張国 米国(US)

(71) 出願人 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (71) 出願人 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メイル ステイショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】マルチステージシステムにおける増幅器オフセット及びノイズ低減

(57) 【要約】

マルチステージ増幅器システム(200)が、一層良好な整合構成要素及び/又はトリム回路の必要性を低減する、ノイズ及びオフセット寄与を提供する。入力(VIN)を受け取り、出力(VOUT1)を供給する第1の増幅器(106)を有する第1の増幅器ステージ(202)が、第1のオフセット電圧(VOS1)を第1の増幅器ステージに提供し、供給レール(114)に結合される、第1のオフセット電源(110)を含む。出力(VOUT1)を入力として受け取り、出力(VOUT2)を提供する第2の増幅器(108)を有する第2の増幅器ステージ(204)が、第2のオフセット電圧(VOS2)を第2の増幅器ステージに提供する第2のオフセット電源(112)を含む。第2のオフセット電源は、第1のオフセット電圧からのノイズ寄与を低減するように第1の増幅器ステージに結合される。

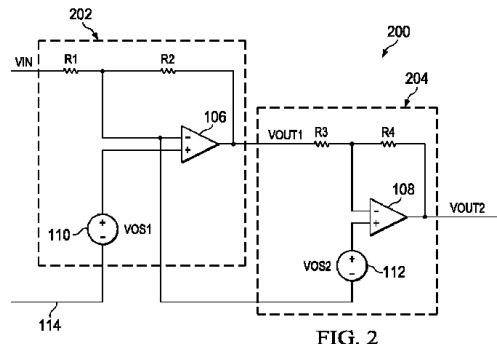


FIG. 2

【特許請求の範囲】**【請求項 1】**

装置であって、

入力端子と出力端子とを有し、その入力端子で入力信号を受け取り、第1のオフセット電源を含む、第1の増幅器ステージであって、前記第1のオフセット電源が、第1のオフセット電圧を前記第1の増幅器ステージに供給し、供給レールに結合される、前記第1の増幅器ステージ、及び

入力端子と出力端子とを有する第2の増幅器ステージであって、前記第2の増幅器ステージの前記入力端子が、前記第1の増幅器ステージの前記出力端子に結合され、前記第2の増幅器ステージが、第2のオフセット電圧を前記第2の増幅器ステージに提供する第2のオフセット電源を含み、更に、前記第2のオフセット電源が、前記第1のオフセット電圧からのノイズ寄与を実質的に低減するように前記第1の増幅器ステージに結合される、前記第2の増幅器ステージ、

を含む、装置。

【請求項 2】

請求項1に記載の装置であって、前記第1及び第2の増幅器ステージが、それぞれ、第1の反転増幅器及び第2の反転増幅器を更に含む、装置。

【請求項 3】

請求項2に記載の装置であって、前記第1の反転増幅器が、

第1の入力端子と第2の入力端子と出力端子とを有する演算増幅器であって、前記第2のオフセット電源が前記演算増幅器の第1の入力端子に結合され、前記第1のオフセット電源が、前記演算増幅器の前記第2の入力端子に結合される、前記演算増幅器、及び

前記第1の反転増幅器の前記入力端子、前記演算増幅器の前記第1の入力端子、及び前記演算増幅器の前記出力端子に結合されるレジスタネットワーク、

を更に含む、装置。

【請求項 4】

請求項3に記載の装置であって、前記レジスタネットワークが、互いに直列に結合される複数のレジスタを更に含む、装置。

【請求項 5】

請求項4に記載の装置であって、前記演算増幅器の前記第1の入力端子が負の入力端子であり、前記演算増幅器の前記第2の入力端子が正の入力端子である、装置。

【請求項 6】

請求項2に記載の装置であって、前記第2の反転増幅器が、

第1の入力端子と第2の入力端子と出力端子とを有する演算増幅器であって、第2のオフセット電源が前記演算増幅器の前記第2の入力端子に結合される前記演算増幅器、及び、

第1の反転増幅器の前記出力端子、前記演算増幅器の前記第1の入力端子、及び前記演算増幅器の前記出力端子に結合されるレジスタネットワーク、

を更に含む、装置。

【請求項 7】

請求項6に記載の装置であって、前記レジスタネットワークが、互いに直列に結合される複数のレジスタを更に含む、装置。

【請求項 8】

請求項7に記載の装置であって、前記演算増幅器の前記第1の入力端子が負の入力端子であり、前記演算増幅器の前記第2の入力端子が正の入力端子である、装置。

【請求項 9】

第1の反転増幅器であって、

入力信号を受け取る第1のレジスタと、

正の入力端子、負の入力端子、及び出力端子を有する第1の演算増幅器であって、前記負の入力端子が第1のレジスタに結合される、前記第1の演算増幅器と、

10

20

30

40

50

前記第1の演算増幅器の前記出力端子と前記第1の演算増幅器の前記負の入力端子との間に接続される第2のレジスタと、

前記第1の演算増幅器の前記正の入力端子と接地との間に接続される第1のオフセット電源と、

を有する前記第1の反転増幅器、及び

第2の反転増幅器であって、

前記第1の演算増幅器の前記出力端子に結合される第3のレジスタと、

負の入力端子、正の入力端子、及び出力端子を有する第2の演算増幅器であって、前記第2の演算増幅器の前記負の入力端子が前記第3のレジスタに結合される前記第2の演算増幅器と、

10

第2の演算増幅器の前記出力端子と第2の演算増幅器の前記負の入力端子との間に接続される第4のレジスタと、

前記第2の演算増幅器の前記正の入力端子と前記第1の演算増幅器の前記負の入力端子との間に接続される第2のオフセット電源と、

を有する前記第2の反転増幅器、

を含む、装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全般的にマルチステージ増幅器システムに関し、更に特定して言えば、低減されたノイズ及びオフセットを有するマルチステージ増幅器システムに関連する。

20

【背景技術】

【0002】

図1は、従来の2ステージ増幅器システム100を示す。システム100は、一般的に第1のステージ102及び第2のステージ104（これらは一般的各々反転増幅器である）を含む。図から分かるように、レジスタネットワーク（レジスタR1/R2及びレジスタR3/R4）が、それぞれ、演算増幅器106及び108の負の入力端子と出力端子との間に結合され、ステージ102が入力信号VINを受け取ることができ、ステージ104が出力信号VOUT1を受け取ることができるようになっている。また、オフセット電源110及び112が、それぞれ、オフセット電圧VOS1及びVOS2を演算増幅器106及び108に供給する。電源110及び112の各々（これらは、増幅器106及び108の内部オフセットを含む）は、供給レール114（これは一般的に接地される）にも結合される。

30

【0003】

システム100の構成のため、電源110からのオフセット及びノイズ寄与は、出力信号VOUT2に著しく影響し得る。増幅器ステージ102では、出力信号VOUT1は次のように表すことができる。

$$(1) \quad VOUT1 = - (R2 / R1) \cdot (VIN - VOS1) + VOS1$$

また、増幅器ステージ104、出力信号VOUT2は、次のように表すことができる。

$$(2) \quad VOUT2 = - (R4 / R3) \cdot (VOUT1 - VOS2) + VOS2$$

40

ここで、数式(1)を数式(2)に代入すると、出力信号VOUT2は次のようになる。

【数1】

$$\begin{aligned} VOUT2 &= \frac{-R4}{R3} \left(\frac{-R2}{R1} (VIN - VOS1) + VOS1 - VOS2 \right) + VOS2 \\ (3) \quad &= \frac{R4 \cdot R2}{R3 \cdot R1} VIN + \frac{-R4}{R3} \left(\left(\frac{R2}{R1} + 1 \right) VOS1 - VOS2 \right) + VOS2 \end{aligned}$$

数式(3)は更に、オフセット電圧VOS1（ここでオフセット電圧VOS2は約0である）の関数として表すこともできる。

【数2】

$$(4) \quad VOUT2 = \frac{R4 \cdot R2}{R3 \cdot R1} VIN + \frac{-R4}{R3} \left(\frac{R2}{R1} + 1 \right) VOS1$$

レジスタ R1 がブロックキャパシタに結合される（AC 結合される）とき、入力信号 VIN はオフセット電圧 VOS1 に等しく、次のように式（3）を変形される。

【数3】

$$(5) \quad \begin{aligned} VOUT2 &= \frac{-R4}{R3} (VOS1 - VOS2) + VOS2 \\ &= \left(1 + \frac{R4}{R3} \right) VOS2 - \frac{R4}{R3} VOS1 \end{aligned}$$

10

そのため、それぞれ式（3）から（5）の DC 結合された及び AC 結合された場合から、オフセット電圧 VOS1 からの出力電圧 VOUT2 のノイズ及びオフセット寄与が著しくなり得ることがはっきりとわかる。このため、システム 100 は、オフセット電圧 VOS1 からのノイズ及びオフセット寄与を低減させるため、トリム回路の利用又は一層良好なデバイス整合を必要とし得る。

【0004】

幾つかの他の従来の設計は、米国特許番号第 3,899,743 号、第 5,257,285 号、第 6,642,783 号、第 7,132,882 号、及び米国特許公開番号 2006/0279344 に説明されている。

20

【発明の概要】

【0005】

本発明の例示の一実施例が或る装置を提供し、この装置が、入力端子と出力端子とを有し、その入力端子で入力信号を受け取り、第 1 のオフセット電源を含む、第 1 の増幅器ステージであって、第 1 のオフセット電源が、第 1 のオフセット電圧を第 1 の増幅器ステージに供給し、供給レールに結合される、第 1 の増幅器ステージ、及び入力端子と出力端子とを有する第 2 の増幅器ステージであって、第 2 の増幅器ステージの入力端子が、第 1 の増幅器ステージの出力端子に結合され、第 2 の増幅器ステージが、第 2 のオフセット電圧を第 2 の増幅器ステージに提供する第 2 のオフセット電源を含み、更に、第 2 のオフセット電源が、第 1 のオフセット電圧からのノイズ寄与を実質的に低減するように第 1 の増幅器ステージに結合される、第 2 の増幅器ステージを含む。

30

【0006】

本発明の例示の一実施例に従って、第 1 及び第 2 の増幅器ステージが、それぞれ、第 1 の反転増幅器及び第 2 の反転増幅器を更に含む。

【0007】

本発明の例示の一実施例に従って、第 1 の反転増幅器が、第 1 の入力端子と第 2 の入力端子と出力端子とを有する演算増幅器であって、第 2 のオフセット電源が演算増幅器の第 1 の入力端子に結合され、第 1 のオフセット電源が、演算増幅器の第 2 の入力端子に結合される、演算増幅器、及び第 1 の反転増幅器の入力端子、演算増幅器の第 1 の入力端子、及び演算増幅器の出力端子に結合されるレジスタネットワークを更に含む。

40

【0008】

本発明の例示の一実施例に従って、レジスタネットワークが、互いに直列に結合される複数のレジスタを更に含む。

【0009】

本発明の例示の一実施例に従って、演算増幅器の第 1 の入力端子が負の入力端子であり、演算増幅器の第 2 の入力端子が正の入力端子である。

【0010】

本発明の例示の一実施例に従って、第 2 の反転増幅器が、第 1 の入力端子と第 2 の入力端子と出力端子とを有する演算増幅器であって、第 2 のオフセット電源が演算増幅器の第 2 の入力端子に結合される演算増幅器、及び、第 1 の反転増幅器の出力端子、演算増幅器の第 1 の入力端子、及び演算増幅器の出力端子に結合されるレジスタネットワークを更に

50

含む。

【0011】

本発明の例示の一実施例に従って、演算増幅器の第1の入力端子が負の入力端子であり、演算増幅器の第2の入力端子が正の入力端子である。

【0012】

本発明の例示の一実施例に従って或る装置が提供される。この装置は、第1の反転増幅器であって、入力信号を受け取る第1のレジスタと、正の入力端子、負の入力端子、及び出力端子を有する第1の演算増幅器であって、負の入力端子が第1のレジスタに結合される、第1の演算増幅器と、第1の演算増幅器の出力端子と第1の演算増幅器の負の入力端子との間に接続される第2のレジスタと、第1の演算増幅器の正の入力端子と接地との間に接続される第1のオフセット電源とを有する第1の反転増幅器、及び第2の反転増幅器であって、第1の演算増幅器の出力端子に結合される第3のレジスタと、負の入力端子、正の入力端子、及び出力端子を有する第2の演算増幅器であって、第2の演算増幅器の負の入力端子が第3のレジスタに結合される第2の演算増幅器と、第2の演算増幅器の出力端子と第2の演算増幅器の負の入力端子との間に接続される第4のレジスタと、第2の演算増幅器の正の入力端子と第1の演算増幅器の負の入力端子と間に接続される第2のオフセット電源とを有する第2の反転増幅器を含む。

【0013】

例示の実施例を添付の図面を参照して説明する。

【図面の簡単な説明】

【0014】

【図1】図1は従来のマルチステージシステムの一例である。

【0015】

【図2】図2は、本発明の例示の一実施例に従ったマルチステージシステムの一例である。

【発明を実施するための形態】

【0016】

図2は、本発明の例示の一実施例に従ったマルチステージシステム200を図示する。システム200は、全体として、増幅器ステージ202及び204（これらは、一般的に反転増幅器である）を含む。システム100に比べると、システム200は全般的に同じ構成要素を有する。ただし1つの違いは、電源112が供給レール114ではなく、演算増幅器106の負の入力端子に結合される点である。この変更を行うことにより、出力電圧VOUT1は次のように表される。

【数4】

$$(6) \quad VOUT2 = \frac{-R4}{R3} (VOUT1 - (VOS1 + VOS2)) + (VOS1 + VOS2)$$

数式(1)を数式(6)に代入すると次のようになる。

【数5】

$$\begin{aligned} & VOUT2 = \\ & \frac{-R4}{R3} \left(\frac{-R2}{R1} (VIN - VOS1) + VOS1 - (VOS1 + VOS2) \right) + (VOS1 + VOS2) \\ (7) \quad & = \frac{-R4}{R3} \left(\frac{-R2}{R1} (VIN - VOS1) - VOS2 \right) + (VOS1 + VOS2) \\ & = \frac{R4 \cdot R2}{R3 \cdot R1} VIN + \frac{-R4}{R3} \left(\frac{R2}{R1} VOS1 - VOS2 \right) + (VOS1 + VOS2) \end{aligned}$$

数式(7)は更に、オフセット電圧VOS1（ここでオフセット電圧VOS2は約0である）の関数として表すこともできる。

10

20

30

40

【数6】

$$(8) \quad \begin{aligned} VOUT2 &= \frac{R4 \cdot R2}{R3 \cdot R1} VIN + \frac{-R4}{R3} \left(\frac{R2}{R1} VOS1 \right) + VOS1 \\ &= \frac{R4 \cdot R2}{R3 \cdot R1} VIN + \left(1 - \frac{R4 \cdot R2}{R3 \cdot R1} \right) VOS1 \end{aligned}$$

また、レジスタ R1 がブロックキャパシタに結合される（AC 結合される）とき、入力信号 VIN はオフセット電圧 VOS1 に等しく、次のように数式（7）を変形される。

【数7】

$$(9) \quad VOUT2 = \frac{R4}{R3} VOS2 + (VOS1 + VOS2) = \left(\frac{R4}{R3} + 1 \right) VOS2 + VOS1$$

10

数式（5）を数式（9）と及び数式（4）を数式（8）と比較することにより、出力信号 VOUT2 のオフセット電圧 VOS1 からのオフセット寄与が著しく低減され得ることがはっきりと分かる。また、ノイズ寄与について、同じ分析がノイズ分析に当てはまり得、システム 100 に比べシステム 200 の低減されたノイズにつながる。

【0017】

一例として、こういったタイプのカスケード配置は典型的にシングルエンドの差動変換に用いられ、ここで差動出力電圧 V_{OUTDif} は次の通りである。

$$(10) \quad V_{OUTDif} = VOUT1 - VOUT2$$

20

数式（1）及び（2）（従来のシステム 100 用）を数式（10）に代入して差動出力電圧 V_{OUTDif} を得ることができ、これは次のようになる。

【数8】

$$(11) \quad \begin{aligned} V_{OUTDif} &= VOUT1 - VOUT2 = VOUT1 + \frac{R4}{R3} (VOUT1 - VOS2) - VOS2 \\ &= \left(1 + \frac{R4}{R3} \right) VOUT1 - \left(1 + \frac{R4}{R3} \right) VOS2 \\ &= \left(1 + \frac{R4}{R3} \right) \left(\frac{-R2}{R1} (VIN - VOS1) + VOS1 \right) - \left(1 + \frac{R4}{R3} \right) VOS2 \\ &= \frac{-R2}{R1} \left(1 + \frac{R4}{R3} \right) VIN + \frac{R2}{R1} \left(1 + \frac{R4}{R3} \right) VOS1 + \left(1 + \frac{R4}{R3} \right) VOS1 - \left(1 + \frac{R4}{R3} \right) VOS2 \\ &= \frac{-R2}{R1} \left(1 + \frac{R4}{R3} \right) VIN + \left(1 + \frac{R2}{R1} \right) \left(1 + \frac{R4}{R3} \right) VOS1 - \left(1 + \frac{R4}{R3} \right) VOS2 \end{aligned}$$

30

代替として、数式（1）及び（6）（システム 200 用）を数式（10）に代入して差動出力電圧 V_{OUTDif} を得ることができ、これは次のようになる。

【数9】

$$(12) \quad \begin{aligned} V_{OUTDif} &= VOUT1 - VOUT2 = VOUT1 + \frac{R4}{R3} (VOUT1 - (VOS1 + VOS2)) - (VOS1 + VOS2) \\ &= \left(1 + \frac{R4}{R3} \right) VOUT1 - \left(1 + \frac{R4}{R3} \right) (VOS1 + VOS2) \\ &= \left(1 + \frac{R4}{R3} \right) \left(\frac{-R2}{R1} (VIN - VOS1) + VOS1 \right) - \left(1 + \frac{R4}{R3} \right) (VOS1 + VOS2) \\ &= \frac{-R2}{R1} \left(1 + \frac{R4}{R3} \right) VIN + \left(1 + \frac{R4}{R3} \right) \left(1 + \frac{R2}{R1} \right) VOS1 - \left(1 + \frac{R4}{R3} \right) (VOS1 + VOS2) \\ &= \frac{-R2}{R1} \left(1 + \frac{R4}{R3} \right) VIN + \frac{R2}{R1} \left(1 + \frac{R4}{R3} \right) VOS1 + \left(1 + \frac{R4}{R3} \right) VOS1 - \left(1 + \frac{R4}{R3} \right) VOS2 \\ &= \frac{-R2}{R1} \left(1 + \frac{R4}{R3} \right) VIN + \frac{R2}{R1} \left(1 + \frac{R4}{R3} \right) VOS1 - \left(1 + \frac{R4}{R3} \right) VOS2 \end{aligned}$$

40

数式（11）及び（12）を比較し、入力信号 VIN 及びオフセット電圧 VOS2 寄与が両方に対し明らかに同じであるのに対し、オフセット電圧 VOS1 寄与が著しく低減される。また、（シングルエンド変換に対する差動において）レジスタ R4 / R3 の比は一般

50

的に 1 であるため、式 (1 1) 及び (1 2) は、次のように書くことができる（ここで入力信号 V_{IN} 及びオフセット電圧 V_{O S 2} 寄与は低下している）。

【数 1 0】

$$(13) \quad V_{OUTDiff} = \left(2 + 2 \cdot \frac{R2}{R1} \right) VOS1$$

$$(14) \quad V_{OUTDiff} = 2 \cdot \frac{R2}{R1} VOS1$$

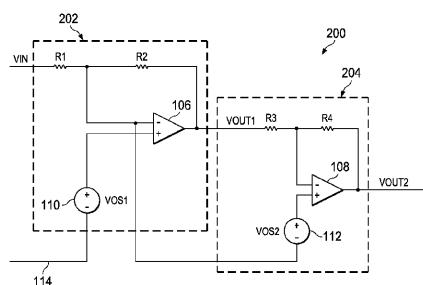
システム 200 は、システム 100 より優れた性能を有することが明らかである。

【0 0 1 8】

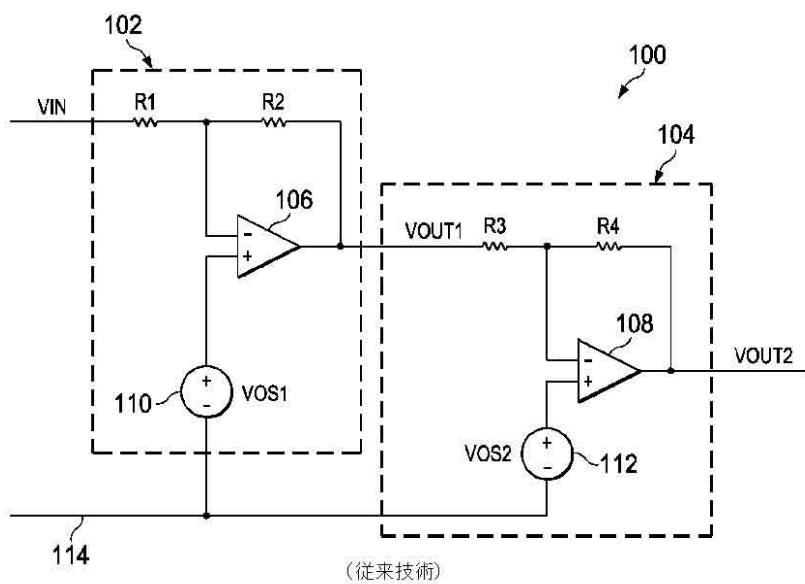
例示の実施例の文脈で説明したような特徴又は工程のすべて又はその幾つかを有する例示の実施例の文脈で説明した 1 つ又はそれ以上の特徴又は工程の異なる組み合わせを有する実施例も、本明細書に包含されることも意図している。当業者であれば、他の多くの実施例及び変形も特許請求の範囲に包含されることが理解されるであろう。

10

【図 2】



【図1】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2010/061514
A. CLASSIFICATION OF SUBJECT MATTER		
H03F 1/26(2006.01)i; H03F 1/22(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F 1/26; H03F 1/36; H03F 1/02; H03F 1/14		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords:offset voltage,reduce noise contribution,amplifier is coupled to a supply rail,resistor network,first and second offset voltage source,a second offset voltage source is coupled the positive and negative input terminal.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6507241 B1 (RITTER; MARK B.) 14 January 2003 See Fig.1, claims 1-26	1-9
A	US 05663680A A (NORDENG; ARNOLD E.) 02 September 1997 See Fig.2, claims 1	1-9
A	US 2002-0140506 A1 (KEVIN WESLEY KOBAYASHI) 03 October 2002 See Fig.4-5, claims 1-20	1-9
A	Mohsen AYACHI et al. "a current mode CMOS IC for biological signals measurement in noisy environment", 2008. Dec. Microelectronics, ICM 2008, International Conference on. See Fig.4-11, abstracts	1-9
A	Lingchuan ZHOU et al. "a 100MHz current conveyor in 0.35 μ m CMOS technology", 2007 IEEE International Conference on signal processing and communications, 24-27, November 2007, Dubai, United Arab Emirates. See Fig.4-7, abstracts	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family</p>		
Date of the actual completion of the international search 18 AUGUST 2011 (18.08.2011)	Date of mailing of the international search report 19 AUGUST 2011 (19.08.2011)	
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Cheongsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer JUNG, BYEONG HONG Telephone No. 82-42-481-5752	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2010/061514

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6507241 B1	14.01.2003	None	
US 05663680A A	02.09.1997	None	
US 2002-0140506 A1	03.10.2002	KR 10-0900205 B1 KR20020038507A US 6404281 B1 US 6504429 B2	02.06.2009 23.05.2002 11.06.2002 07.01.2003

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 アダム エル シュック

アメリカ合衆国 75228 テキサス州 ダラス, フェザーブルック ドライブ 11505
Fターム(参考) 5J500 AA01 AA12 AC13 AC42 AF15 AH25 AK01 AM08 AM13 AT01