

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96144572

※ 申請日期：96.11.23

※IPC 分類：H04N 5/335 (2011.01)
H01L 27/46 (2006.01)

一、發明名稱：(中文/英文)

固體攝像裝置、固體攝像裝置之驅動方法及攝像裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司
SONY CORPORATION

代表人：(中文/英文)

中鉢 良治
CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號
1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

馬淵 圭司
MABUCHI, KEIJI

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年12月07日；特願2006-330295

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種固體攝像裝置、固體攝像裝置之驅動方法及攝像裝置，尤有關於使用廣泛動態範圍(dynamic range)化之技術之固體攝像裝置、該固體攝像裝置之驅動方法及使用該固體攝像裝置之攝像裝置。

【先前技術】

在固體攝像裝置，例如MOS (Metal Oxide Semiconductor，金屬氧化半導體)型攝像裝置中，針對將包含光電轉換元件之像素二維配置為行列狀而成之像素陣列部之各像素，使蓄積時間(曝光時間)不同，且以蓄積時間之長短而獲得高靈敏度之信號與低靈敏度之信號，並藉由將此高靈敏度之信號與低靈敏度之信號予以合成而謀求動態範圍之擴大之技術已經廣為所知。

作為謀求廣泛動態範圍化之技術之一，有藉由以在像素陣列部之偶數像素列與奇數像素列不同之快門(shutter)速度進行電子快門動作，而在偶數像素列與奇數像素列設定不同之蓄積時間以擷取不同靈敏度之信號，且藉由後段之信號處理系統將此等靈敏度不同之信號予以合成之技術(例如請參照日本特開2006-253876號公報)。

【發明內容】

在上述之日本特開2006-253876號公報所記載之習知技術中，靈敏度雖應與蓄積時間成比例，惟實際上會有靈敏度從比例偏移超過誤差之情形。其理由如下。亦即，當某

像素之光電轉換元件飽和時，再產生之光電荷會從光電轉換元件溢出，而其一部分會進入鄰接像素之光電轉換元件，其結果，在該鄰接像素中即無法獲得與蓄積時間成比例之靈敏度之信號之故。

如此，從某像素之光電轉換元件溢出之光電荷之一部分進入鄰接像素之光電轉換元件之現象即稱為溢位(blooming)。上述習知技術之情形，由於在偶數像素列與奇數像素列，蓄積時間較長之像素與較短之像素相鄰接，因此光電荷會從容易飽和之蓄積時間較長之像素之光電轉換元件溢出，而進入蓄積時間較短之像素之光電轉換元件而使其信號量增加。因此，在蓄積時間較短之像素中，由於靈敏度從與蓄積時間之比例關係偏移，因此廣泛動態範圍化用之信號處理之精確度會降低。

因此，本發明之目的係提供一種於採用使蓄積時間在鄰接像素間不同之廣泛動態範圍化之手法之際，可排除因為溢位對於低靈敏度信號之影響之固體攝像裝置、該固體攝像裝置之驅動方法及攝像裝置。

為了達成上述目的，本發明於具有將偵測物理量之像素二維配置為行列狀而成之像素陣列部之固體攝像裝置及使用該固體攝像裝置之攝像裝置中，讀取像素陣列部之各像素之中，於第1蓄積時間(曝光時間)所蓄積之第1像素群之各像素之物理量，並且將與前述第1像素群之各像素相鄰接配置，且於較前述第1蓄積時間更短之第2蓄積時間所蓄積之第2像素群之各像素之物理量在前述第1蓄積時間之前

半部分讀取。

在上述構成之固體攝像裝置及攝像裝置中，係於第1蓄積時間之前半部分，亦即容易飽和之蓄積時間較長之第1像素群之像素之曝光開始部分，進行蓄積時間較短之第2像素群之像素之讀取動作，因此即使第1像素群之像素飽和而物理量從該像素溢出，且其一部分進入與第1像素群之像素相鄰接之第2像素群之像素，由於第2像素群之像素之讀取動作已經終止，因此從第2像素群之像素輸出之信號亦不會受到從第1像素群之像素進入之物理量之影響。

【實施方式】

以下參照圖式詳細說明本發明之實施形態。

圖1係為顯示本發明之一實施形態之固體攝像裝置之概略之系統構成圖。在本實施形態中，茲舉出以與可視光之光量對應之電荷量為物理量而以像素單位進行偵測之例如CMOS影像感測器作為固體攝像裝置為例進行說明。

(CMOS影像感測器之構成)

如圖1所示，本實施形態之CMOS影像感測器10係具有將單位像素(單位感測器)11二維配置為行列狀(矩陣狀)而成之像素陣列部12，該單位像素11係包括將入射之可視光予以光電轉換為與其光量對應之電荷量之光電轉換元件。

除該像素陣列部12之外，CMOS影像感測器10係形成為具有垂直驅動電路13、縱列(column)信號處理電路14、水平驅動電路15、水平信號線16、輸出電路17及控制電路18，以作為用以驅動像素陣列部12之各像素之驅動機構、

處理從各像素輸出之信號之信號處理機構及進行系統之控制之控制機構之系統構成。

在此系統構成中，控制電路18係從外部接收用以進行本CMOS影像感測器10之動作模式等指令之資料，而且將包含本CMOS影像感測器10之資訊之資料輸出至外部。

再者，控制電路18係根據垂直同步信號Vsync、水平同步信號Hsync及主時脈(master clock) MCK，而產生作為垂直驅動電路13、縱列信號處理電路14及水平驅動電路15等之電路動作之基準之時脈信號及控制信號等。在控制電路18所產生之時脈信號及控制信號等係對於垂直驅動電路13、縱列信號處理電路14及水平驅動電路15等供予。

在像素陣列部12中係二維配置有單位像素(以下亦有簡稱「像素」之情形)11成行列狀。如圖1所示，單位像素11係排列配置成大致正方格子。此係意味將藉由光電轉換元件及金屬布線等所規定之光學開口排列配置成大致正方格子，而單位像素11之電路部分則不在此限。亦即，關於單位像素11之後述之電路部分，未必需要排列配置成大致正方格子。

在像素陣列部12係進一步相對於單位像素11之行列狀排列依每一像素列沿著圖之左右方向(像素列之像素之排列方向)形成有像素驅動布線19，且依每一像素行沿著圖之上下方向(像素行之像素之排列方向)形成有垂直信號線20。此像素驅動布線19之一端係連接於與垂直驅動電路13之各像素列對應之輸出端。

垂直驅動電路13係由位移暫存器(shift register)及位址解碼器(address decoder)等所構成，且以列單位依序選擇掃描像素陣列部12之各像素11，並透過像素驅動布線19而將所需之驅動脈衝(控制脈衝)供給至其選擇列之各像素。

在此，於像素陣列部12之像素排列中，如圖1所示，若將透過從下計算起為1、3…之奇數號之像素驅動布線19而藉由垂直驅動電路13所驅動之像素列之各像素稱為奇數(odd)像素、且將透過2、4…之偶數號之像素驅動布線19而藉由垂直驅動電路13所驅動之像素列之各像素稱為偶數(even)像素，則此等奇數像素及偶數像素即成為如圖所示之配置。

關於垂直驅動電路13之具體之構成雖係省略圖示，惟其係形成為具有下列之構成：讀取掃描系統，其以列單位將用以讀取信號之像素11依序進行選擇掃描用；掃出掃描系統，其用以相對於藉由該讀取掃描系統進行讀取掃描之讀取列，進行較該讀取掃描還領先快門速度之時間量而從該讀取列之像素11之光電轉換元件將無用之電荷予以掃出(重設)之掃出掃描。

藉由以此掃出掃描系統所進行之無用電荷之掃出(重設)，而進行所謂之電子快門動作。以下係將掃出掃描系統稱為電子快門掃描系統。在此，所謂電子快門動作係指將光電轉換元件之光電荷捨棄，而重新開始曝光(開始光電荷之蓄積)之動作。

藉由以讀取掃描系統所進行之讀取動作所讀取之信號，

係與其之前瞬間之讀取動作或電子快門動作以後所入射之光量對應者。再者，從藉由之前瞬間之讀取動作所進行之讀取時點(timing)或藉由電子快門動作所進行之掃出時點，直到藉由此次讀取動作所進行之讀取時點為止之期間，係成為單位像素11中之光電荷之蓄積時間(曝光時間)。

從選擇列之各像素11所輸出之信號係透過依每一像素行所設置之垂直信號線20而供給至縱列信號處理電路14。縱列信號處理電路14係依像素陣列部12之例如每一像素行，亦即相對於像素行以1對1之對應關係配置。

縱列信號處理電路14係依像素陣列部12之每一像素列，依像素行接收從選擇列之各像素11輸出之信號，並對該信號進行用以將像素固有之固定圖案雜訊予以去除之CDS (Correlated Double Sampling：相關雙重取樣)及信號放大等之信號處理。

另外，在此雖係舉採用相對於像素行以1對1之對應關係配置縱列信號處理電路14之構成之情形為例予以顯示，惟不限於此構成，例如，亦可採用依複數個每一像素行(垂直信號線20)1個個地配置縱列信號處理電路14，且於複數個像素行間按時分割來共用該縱列信號處理電路14之構成等。

在縱列信號處理電路14之輸出段係與水平信號線16之間連接而設有水平選擇開關(未圖示)。另外，除CDS及信號放大等之各功能以外，亦可採用使縱列信號處理電路14具

有 A/D(類比/數位)轉換功能，且將 CDS 及信號放大等之信號處理後之像素信號作為數位信號予以輸出之構成。

水平驅動電路 15 係由位移暫存器及位址解碼器等所構成，其藉由將水平掃描脈衝 $\phi H1 \sim \phi Hx$ (x 係水平方向之像素數) 依序輸出而將縱列信號處理電路 14 之各個按照順序選擇。水平掃描脈衝 $\phi H1 \sim \phi Hx$ 係按照順序使設於縱列信號處理電路 14 之輸出段之水平選擇開關導通。

水平選擇開關係藉由與水平掃描脈衝 $\phi H1 \sim \phi Hx$ 響應而依序導通，而將依每一像素行在縱列信號處理電路 14 所處理之像素信號按照順序輸出至水平信號線 16。

輸出電路 17 係對於從縱列信號處理電路 14 之各個透過水平信號線 16 而依序供給之像素信號而施以各種信號處理加以輸出。以在此輸出電路 17 之具體之信號處理而言，係例如有僅作緩衝之情形，或亦有在緩衝之前進行黑位準調整、每一行之參差不齊之補正、信號放大、顏色關係處理等之情形。

(單位像素之電路構成)

圖 2 係為顯示單位像素 11 之電路構成之一例之電路圖。如圖 2 所示，本電路例之單位像素 11 係形成為除光電轉換元件、例如光二極體 111 之外，還具有例如傳送電晶體 112、重設電晶體 113、放大電晶體 114 及選擇電晶體 115 之 4 個電晶體之像素電路。

在此，作為此等電晶體 112~115，係例如使用 N 通道之 MOS 電晶體。惟在此之傳送電晶體 112、重設電晶體 113、

放大電晶體114及選擇電晶體115之導電型之組合僅係為一例，並不以此等組合為限。

相對於該單位像素11，係例如針對同一像素列之各像素共通設有傳送布線191、重設布線192及選擇布線193之3條驅動布線作為像素驅動布線19。此等傳送布線191、重設布線192及選擇布線193之各一端係以像素列單位連接於與垂直驅動電路13之各像素列對應之輸出端。

光二極體111之陽極為負側電源，例如連接於接地，其將所接收之光予以光電轉換為與該光量(物理量)對應之電荷量之光電荷(在此係光電子)。光二極體111之陰極係經由傳送電晶體112而與放大電晶體114之閘極電性連接。茲將與該放大電晶體114之閘極電性連結之節點116稱為FD(floating diffusion，浮動擴散)部。

傳送電晶體112係連接於光二極體111之陰極與FD部116之間，且藉由高位準(例如Vdd位準)動作(active)(以下記為「High動作」)之傳送脈衝 ϕ_{TRF} 經由傳送布線191而供予閘極而成為導通狀態，而將在光二極體111經光電轉換之光電荷傳送至FD部116。

重設電晶體113係分別將汲極連接於像素電源Vdd，源極連接於FD部116，且藉由High動作之重設脈衝 ϕ_{RST} 經由重設布線192而供予閘極而成為導通狀態，並在從光二極體111傳送信號電荷至FD部116之前，就先藉由將FD部116之電荷棄置於像素電源Vdd而將該FD部116重設。

放大電晶體114係分別將閘極連接於FD部116，汲極連接

於像素電源Vdd，且將藉由重設電晶體113重設之後之FD部116之電位作為重設位準輸出，且進一步將藉由傳送電晶體112傳送信號電荷之後之FD部116之電位作為信號位準予以輸出。

選擇電晶體115係例如分別將汲極連接於放大電晶體114之源極、源極連接於垂直信號線20，且藉由High動作之選擇脈衝 ϕ SEL經由選擇布線193而供予閘極而成為導通狀態，而以單位像素11為選擇狀態將從放大電晶體114輸出之信號中繼至垂直信號線20。

另外，關於選擇電晶體115亦可採用連接於像素電源Vdd與放大電晶體114之汲極之間之電路構成。

此外，以單位像素11而言，並不以上述構成之4個電晶體構成者為限，亦可是兼用放大電晶體114與選擇電晶體115之3個電晶體構成者等，其電路構成不予限定。

(本實施形態之特徵)

在上述構成之CMOS影像感測器10中，作為本實施形態之特徵之處係在於以廣泛動態範圍化為目的，且當以蓄積時間之長短獲得高靈敏度之信號與低靈敏度之信號之際，使用以獲得高靈敏度之信號之像素與用以獲得低靈敏度之信號之像素之各蓄積時間不同之方式及該等之讀取時點。

另外，在本實施形態之CMOS影像感測器10中，係將像素陣列部12之各像素11依每一像素列分類為用以獲得高靈敏度之信號之像素、及用以獲得低靈敏度之信號之像素，作為一例，茲以偶數像素列之各像素(even像素)為用以獲

得高靈敏度之信號之第1像素群之像素，且以奇數像素列之各像素(odd像素)為用以獲得低靈敏度之信號之第2像素群之像素。

在前述之日本特開2006-253876號公報所記載之習知技術中，係藉由以在偶數像素列與奇數像素列不同之快門速度進行電子快門動作，而設定在偶數像素列與奇數像素列不同之蓄積時間，並且藉由在用以獲得高靈敏度之信號之像素之蓄積時間之後半部分進行低靈敏度之信號之讀取動作，而獲得高靈敏度之信號與低靈敏度之信號。

相對於此，在本實施形態中，並非藉由電子快門掃描之掃描時點而使用以獲得高靈敏度之信號之像素之蓄積時間與用以獲得低靈敏度之信號之像素之蓄積時間不同，而是對於用以獲得高靈敏度之信號之像素與用以獲得低靈敏度之信號之像素個別執行讀取掃描，且藉由各個讀取時點而使用以獲得高靈敏度之信號之像素之蓄積時間與用以獲得低靈敏度之信號之像素之蓄積時間不同為特徵。

更具體而言，在本實施形態之CMOS影像感測器10中，如圖3所示，係領先讀取掃描而以像素列單位按照順序執行電子快門掃描，且於其後對於奇數像素列與偶數像素列分別執行讀取(odd像素讀取/even像素讀取)掃描，藉此使奇數像素列之蓄積時間與偶數像素列之蓄積時間不同。

此外，關於此種電子快門掃描及讀取掃描，係可藉由以下之構成實現。如前所述，垂直驅動電路13係形成為具有讀取掃描系統與電子快門掃描系統(掃出掃描系統)之構

成。

在此垂直驅動電路13中，作為電子快門驅動機構之電子快門掃描系統係例如由位移暫存器所構成，其藉由從該位移暫存器將電子快門脈衝以像素列單位從第1列按照順序輸出，即得以執行所謂從第1列依序進行快門掃描之滾動快門(rolling shutter)動作(或焦平面快門(Focal Plane Shutter)動作)。

另一方面，讀取掃描系統係由2條位移暫存器、亦即偶數列掃描用之位移暫存器與奇數列掃描用之位移暫存器所構成，其藉由從各位移暫存器將偶數列讀取脈衝與奇數列讀取脈衝每隔1列交替輸出，而對於不同之像素列，具體而言係對於鄰接之偶數像素列與奇數像素列交替執行讀取動作。此時，2個位移暫存器係相當於第1、第2驅動機構。

此外，藉由位址解碼器構成讀取掃描系統，而於圖5中，從第1列至第7列為止係將奇數列讀取脈衝以每隔1列依序對於奇數像素列輸出，至於第7列以後，則按第7列→第2列→第9列→第4列→第11列→第6列→...之情形，以在奇數像素列與偶數像素列之間交替進行選擇掃描之方式，而藉由以位址解碼器所作之位址指定進行讀取掃描，即可藉以實現。此時，位址解碼器係相當於第1、第2驅動機構。

在此，在奇數像素列與偶數像素列之間交替進行選擇掃描之鋸齒(zigzag)掃描之掃描開始列N係藉由以蓄積時間較

長之 even 像素之水平期間 H 為單位之蓄積時間 aH 而決定。亦即，鋸齒掃描之掃描開始列 N 係成為 $N=a-1$ 。在上述之例中，由於 even 像素之蓄積時間 aH 為 $8H$ ，因此鋸齒掃描之掃描開始列 N 即成為第 7 列。even 像素之蓄積時間 aH 為 $10H$ 時，鋸齒掃描之掃描開始列 N 係成為第 9 列，而於第 9 列以後執行鋸齒掃描。

若進行此種讀取掃描，則從各像素讀取而從本 CMOS 影像感測器 10 輸出之像素信號則不再是與像素陣列部 12 之像素排列對應之順序。因此，於後段之信號處理系統設置訊框記憶體 (frame memory) 等之圖像記憶體，並藉由控制像素信號對於該圖像記憶體之寫入/讀取，而進行排序為與像素排列對應之順序之像素信號之處理。

如此，首先進行電子快門掃描，並於其後進行 odd 像素讀取及 even 像素讀取之各掃描，藉此而以 odd 像素讀取及 even 像素讀取之各時點來決定奇數像素列之蓄積時間與偶數像素列之蓄積時間。

具體而言，從電子快門掃描之掃描時點到 odd 像素之讀取時點為止之時間係成為奇數像素列之蓄積時間 (第 2 蓄積時間)，而從電子快門掃描之掃描時點到 even 像素之讀取時點為止之時間係成為偶數像素列之蓄積時間 (第 1 蓄積時間)。

(本實施形態之作用效果)

接著，關於本實施形態之作用效果，茲使用圖 4 及圖 5 與習知技術對比進行說明。圖 4 係為顯示習知技術之情形之

電子快門掃描及讀取掃描之概念之圖。圖5係為顯示本實施形態之情形之電子快門掃描及讀取掃描之概念之圖。

在圖4及圖5中，係以橫軸為時間顯示電子快門掃描及讀取掃描之各情形。為方便說明，列數等雖與圖3不同，然而本質卻相同。在本實施形態(圖5)中，係設為先執行odd像素之讀取掃描，之後再執行even像素之讀取掃描。

此外，為了容易理解，關於蓄積時間，作為一例，在14列×22行之像素排列中，將odd像素之蓄積時間設為2H (H係水平期間)，且將even像素之蓄積時間設為8H。

<習知技術之情形>

首先使用圖4說明習知技術之情形。關於讀取掃描係未區別奇數像素列與偶數像素列，而以奇數像素列→偶數像素列→奇數像素列→偶數像素列→…之情形依每一像素列按照順序進行。再者，關於電子快門係以奇數像素列用與偶數像素列用之2系統執行掃描，且以該2系統之電子快門之各掃描時點來調整奇數像素列與偶數像素列之各蓄積時間。

如此，在以電子快門之動作時點調整奇數像素列/偶數像素列之各蓄積時間之驅動方法中，係於用以獲得高靈敏度之信號之蓄積時間較長之even像素之蓄積時間之後半部分進行用以獲得低靈敏度之信號之蓄積時間較短之odd像素之讀取動作，因此在容易飽和之蓄積時間較長之even像素中，若光二極體111在從曝光開始時點經過例如4H左右時間之時點飽和，則會產生下列之缺失。

亦即，在飽和之蓄積時間較長之even像素中，若光電荷因為進一步進入之入射光而從光二極體111溢出，則會產生該溢出之光電荷之一部分進入與包含該even像素之像素列相鄰接之前後之像素列之odd像素(亦即蓄積時間較短之odd像素)之溢位。若產生此溢位，則odd像素之電荷量即會較與入射光量對應之原本之電荷量更多出從even像素進入之光電荷之量。

藉此，在蓄積時間較短之odd像素中，由於在產生溢位之時點係尚未進行讀取動作之前，由於靈敏度與蓄積時間之比例關係從由與該odd像素相鄰接之even像素溢出之光電荷之一部分進入之時點起崩壞，因此該odd像素即無法輸出與蓄積時間成比例之信號。

另外，在此為了容易理解，雖係以在14列×22行之像素排列中，相對於與包含飽和像素(已飽和之even像素)之像素列相鄰接之前後之像素列之各odd像素，產生從飽和像素溢出之光電荷之一部分進入之溢位之情形為例進行了說明，惟實際上係於依據各種圖形(graphics)顯示規格之多像素之像素排列，在該多像素之像素排列中，相對於從包含飽和像素之像素列距離3列以上之奇數列之像素列之各odd像素亦有產生溢位之情形。

如此，輸出低靈敏度之信號之odd像素，若因為來自飽和像素之溢位而無法輸出與蓄積時間成比例之信號，則該odd像素之信號(低靈敏度之信號)即非為與入射光之光量對應之正確之信號，因此將會導致在藉由將高靈敏度之信號

與低靈敏度之信號加以合成而謀求動態範圍之擴大之後段之信號處理系統中之信號處理之精確度之降低。

<本實施形態之情形>

接下來使用圖5說明本實施形態之情形。領先讀取掃描而依每一像素列按照順序執行電子快門掃描，其後，藉由以蓄積時間較短之odd像素之讀取掃描，接著以蓄積時間較長之even像素之讀取掃描之順序執行各掃描，尤其從圖5可明瞭，odd像素之曝光期間(光電荷之蓄積期間)即成為even像素之曝光開始部分(曝光開始之頂端之一方)。

如此，藉由odd像素之曝光期間在even像素之曝光開始部分，在容易飽和之even像素中，即使光二極體111在從曝光開始時點起經過例如4H左右之時間之時點飽和，且光電荷因為進一步進入之入射光而從光二極體111開始溢出，而使該光電荷之一部分進入至與該even像素相鄰接之蓄積時間較短之odd像素，亦由於在光電荷開始溢出之前，蓄積時間較短之odd像素之讀取就會結束，因此已經輸出之odd像素之信號即為正確之信號，亦即為與入射光之光量對應之信號位準之原本之信號。

具體而言，茲就圖5之第2列之even像素考慮，即使光二極體111在從該even像素之曝光開始時點起4H左右飽和，且光電荷從該光二極體111開始溢出，在與第2列之even像素相鄰接之第1列之odd像素中亦會從even像素之曝光開始起經過1H後，而在與第2列之even像素相鄰接之第3列之odd像素中則係會從even像素之曝光開始經過3H之後，亦

即任一者均為於光電荷從even像素開始溢出之前即結束了讀取動作。

因此，相對於與第2列之even像素相鄰接之第1列及第3列之odd像素之各低靈敏度之信號，從even像素溢出之光電荷不會造成不良影響。不限於第1列、第3列之odd像素，關於從包含飽和像素之像素列起距離3列以上之奇數列之像素列之各odd像素仍亦相同。

另外，在第1列、第3列之各odd像素中，關於從第2列之even像素(飽和像素)溢出而進入之光電荷之一部分，係可藉由下一個電子快門動作掃除，因此對於在下一個圖場(field)之該odd像素之信號不會造成不良影響。

如上所述，藉由採用以odd像素之讀取與even像素之讀取之各動作時點來調整奇數像素列與偶數像素列之各蓄積時間之驅動方法，即使蓄積時間較長之像素與較短之像素相鄰接，亦由於蓄積時間較長之even像素之光二極體111飽和，且在光電荷開始溢出時，蓄積時間較短之odd像素之讀取動作已經終止，而在該讀取時點係保持著odd像素中之靈敏度與蓄積時間之比例關係，因此即從odd像素輸出與蓄積時間成比例之低靈敏度之信號。

此外，在容易飽和之even像素中，當光二極體111在從曝光開始時點起2H左右以下飽和，且光電荷之一部分從該光二極體111開始溢出時，與該even像素相鄰接之odd像素之光二極體111係由於自身之入射光已經飽和而原本即不明瞭信號量之情形。因此，此種情形不予以考慮亦可。

如上所述，係在具有將在第1蓄積時間供給信號電荷蓄積之第1像素群之各像素、及在較第1蓄積時間更短之第2蓄積時間供給信號電荷蓄積之第2像素群之各像素，以像素列單位區分為例如偶數像素列與奇數像素列配置而成之像素陣列部12之CMOS影像感測器10中，藉由在第1蓄積時間之前半部分，亦即較長之蓄積時間(第1蓄積時間)之even像素之曝光開始部分進行較短之蓄積時間(第2蓄積時間)之odd像素之讀取，即使even像素飽和而使信號電荷從該even像素溢出，且其一部分進入與even像素相鄰接之odd像素，由於odd像素之讀取動作已經終止，因此仍可排除因為even像素飽和之際之溢位所導致對於odd像素之信號之影響。

以上所說明之本發明之廣泛動態範圍化之技術係就各像素僅進行1次讀取動作以取得較長蓄積時間與較短蓄積時間之圖像，因此即使對於2個像素列進行讀取掃描，讀取掃描之行進速度亦不會改變。因此，與其他廣泛動態範圍化之技術組合來使用亦可。

此外，在上述實施形態中，雖係將像素陣列部12之各像素11分類為與低靈敏度、高靈敏度之2階段之靈敏度對應之2個像素群，惟不以此為限，亦可分類為與3階段以上之靈敏度對應之3個以上之像素群。例如，在分類為與低靈敏度、中靈敏度、高靈敏度之3階段之靈敏度對應之3個像素群時，係在低靈敏度之像素群與中靈敏度之像素群之間、及中靈敏度之像素群與高靈敏度之像素群之間分別適

用本發明之廣泛動態範圍化之技術。

另外，在上述實施形態中，雖係以將與可視光之光量對應之信號電荷作為物理量偵測之單位像素11配置為行列狀而成之CMOS影像感測器之情形為例進行說明，惟本發明並不以適用於CMOS影像感測器為限，亦可全面適用於用以謀求使蓄積時間在相鄰接之像素間不同之廣泛動態範圍化之影像感測器全面。

此外，本發明並不以適用於偵測可視光之入射光量之分布而作為圖像進行攝像之影像感測器為限，亦可適用於以紅外線或X線、或粒子等之入射量之分布為圖像進行攝像之影像感測器及作為廣義之意義，進行壓力及靜電電容等、其他物理量之分布偵測而作為圖像進行攝像之指紋檢測感測器等之固體攝像裝置(物理量分布偵測裝置)全面。

再者，本發明不限於以列單位依序掃描像素陣列部之各像素而讀取各像素之信號之固體攝像裝置，而對於以像素單位選擇任意之像素，而從該選擇像素以像素單位讀取信號之X-Y位址型之固體攝像裝置亦可適用。

在包含此X-Y位址型之固體攝像裝置之固體攝像裝置全面中，於採用廣泛動態範圍化之方法之際，係在偵測物理量之像素以二維配置成行列狀而成之像素陣列部中，採用將該像素陣列部之各像素中在第1蓄積時間所蓄積之第1像素群之各像素之物理量進行讀取，並且與第1像素群之各像素相鄰接配置，而將在較第1蓄積時間更短之第2蓄積時間所蓄積之第2像素群之各像素之物理量在第1蓄積時間之

前半部分進行讀取之構成，藉此，於第1像素群之像素飽和時，第2像素群之像素之讀取動作已經終止，因此可排除因為第1像素群之像素之飽和所引起之溢位而對於第2像素群之像素之信號(低靈敏度之信號)所造成之影響。

另外，固體攝像裝置亦可為形成為單晶片之形態，且亦可為匯集攝像部、信號處理部或光學系統而封裝之具有攝像功能之模組狀之形態。

此外，本發明並不以適用於固體攝像裝置為限，亦可適用於攝像裝置。在此，攝像裝置係指數位靜態相機及攝錄影機等之照相系統、或攜帶電話等之具有攝像功能之電子機器。另外，亦有搭載於電子機器之上述模組狀之形態，亦即以照相模組為攝像裝置之情形。

[攝像裝置]

圖6係為顯示本發明之攝像裝置之構成之一例之區塊圖。如圖6所示，本發明之攝像裝置係具有包含透鏡(lens)群31之光學系統、固體攝像裝置32、作為相機信號處理電路之DSP (Digital Signal Processor，數位信號處理器)電路33、訊框記憶體34、顯示裝置35、記錄裝置36、操作系統37及電源系統38等，而DSP電路33、訊框記憶體34、顯示裝置35、記錄裝置36、操作系統37及電源系統38為形成經由匯流排線39而相互連接之構成。

透鏡群31係將來自被攝體之入射光(像光)加以取入而結像於固體攝像裝置32之攝像面上。固體攝像裝置32係將藉由透鏡群31而結像於攝像面上之入射光之光量，以像素單

位予以轉換為電信號再作為像素信號予以輸出。作為此固體攝像裝置32，係使用前述之實施形態之CMOS影像感測器10。

從作為固體攝像裝置32使用之CMOS影像感測器10所輸出之像素信號之順序，如前所述，係為與在本發明之廣泛動態範圍化之技術下之讀取掃描對應之順序，而非為與圖1所示之像素陣列部12之像素排列對應之順序。

DSP電路33係對於從固體攝像裝置32所輸出之像素信號進行各種信號處理。作為該處理之一，係將從固體攝像裝置32按照與在本發明之廣泛動態範圍化之技術下之讀取掃描對應之順序輸出之像素信號，予以與像素陣列部12之像素排列對應而寫入至訊框記憶體34，而且按照該訊框記憶體34與像素陣列部12之像素排列對應之順序進行讀取之控制。

DSP電路33進一步考慮蓄積時間之比而進行將蓄積時間較長之even像素之像素信號與蓄積時間較短之odd像素之像素信號予以合成為動態範圍較廣之圖像、亦即圖像灰階(明亮度之階段)較豐富之圖像之信號處理。此等信號處理以外，DSP電路33係進行公知之各種相機信號處理。

顯示裝置35係由液晶顯示裝置及有機EL (electroluminescence，電致發光)顯示裝置等之面板型顯示裝置所構成，用以顯示由固體攝像裝置32所攝像之動態圖像或靜態圖像。記錄裝置36係將由固體攝像裝置32所攝像之動態圖像或靜態圖像予以記錄於錄影帶(video tape)或DVD

(Digital Versatile Disk，數位多功能光碟)等之記錄媒體。

操作系統37係在使用者進行之操作下，就本攝像裝置所具有之各種功能發出操作指令。電源系統38係將構成DSP電路33、訊框記憶體34、顯示裝置35、記錄裝置36及操作系統37之動作電源之各種電源，予以適當地供給至該等供給對象。

如上所述，在攝錄影機或數位靜態相機、甚至是攜帶電話等之行動機器用照相模組等之攝像裝置中，藉由使用前述之實施形態之CMOS影像感測器10作為該固體攝像裝置32，在該CMOS影像感測器10中，即可排除因為獲得高靈敏度之信號之蓄積時間較長之像素之飽和所引起之溢位而導致對於蓄積時間較短之像素信號(低靈敏度之信號)所造成之影響，由此而可高精度地進行在DSP電路33之廣泛動態範圍化用之信號處理，因此可獲得可更為提昇攝像圖像之畫質之優點。

依據本發明，採用使蓄積時間在相鄰接之像素間不同之廣泛動態範圍化之方法之際，藉由在蓄積時間較長之第1像素群之各像素之曝光開始部分進行蓄積時間較短之第2像素群之各像素之讀取動作，即使第1像素群之像素飽和而使物理量進入第2像素群之像素，此時第2像素群之像素之讀取動作已經終止，因此可排除因為第1像素群之像素飽和之際之溢位所造成對於第2像素群之像素之信號(低靈敏度之信號)之影響。

【圖式簡單說明】

圖1係為顯示本發明之一實施形態之CMOS影像感測器之概略之系統構成圖。

圖2係為顯示單位像素之電路構成之一例之電路圖。

圖3係為顯示電子快門掃描與odd像素讀取及even像素讀取之各掃描之關係之圖。

圖4係為顯示習知技術之情形之電子快門掃描及讀取掃描之概念之圖。

圖5係為顯示本實施形態之情形之電子快門掃描及讀取掃描之概念之圖。

圖6係為顯示本發明之攝像裝置之構成之一例之區塊圖。

【主要元件符號說明】

10	CMOS影像感測器
11	單位像素
12	像素陣列部
13	垂直驅動電路
14	縱列信號處理電路
15	水平驅動電路
16	水平信號線
17	輸出電路
18	控制電路
19	像素驅動布線
20	垂直信號線
31	透鏡群

32	固體攝像裝置
33	DSP 電路
34	訊框記憶體
35	顯示裝置
36	記錄裝置
37	操作系統
38	電源系統
39	匯流排線
111	光二極體
112	傳送電晶體
113	重設電晶體
114	放大電晶體
115	選擇電晶體
116	FD 部
191	傳送布線
192	重設布線
193	選擇布線
ϕ RST	重設脈衝
ϕ SEL	選擇脈衝
ϕ TRF	傳送脈衝
Vdd	像素電源

五、中文發明摘要：

本發明係在具有區分為偶數像素列與奇數像素列配置而成之像素陣列部(12)之CMOS影像感測器(image sensor)(10)中，在較長之蓄積時間之even像素之曝光開始部分進行較短之蓄積時間之odd像素之讀取。藉此，即使even像素飽和而信號電荷從該even像素溢出，且其一部分進入與even像素相鄰接之odd像素，由於odd像素之讀取動作已經終止，因此亦可排除因為even像素飽和之際之溢位(blooming)對於odd像素之信號之影響。當採用使蓄積時間在鄰接像素間不同之廣泛動態範圍(dynamic range)化之手法之際，將排除因為溢位對於低靈敏度信號之影響。

六、英文發明摘要：

十一、圖式：

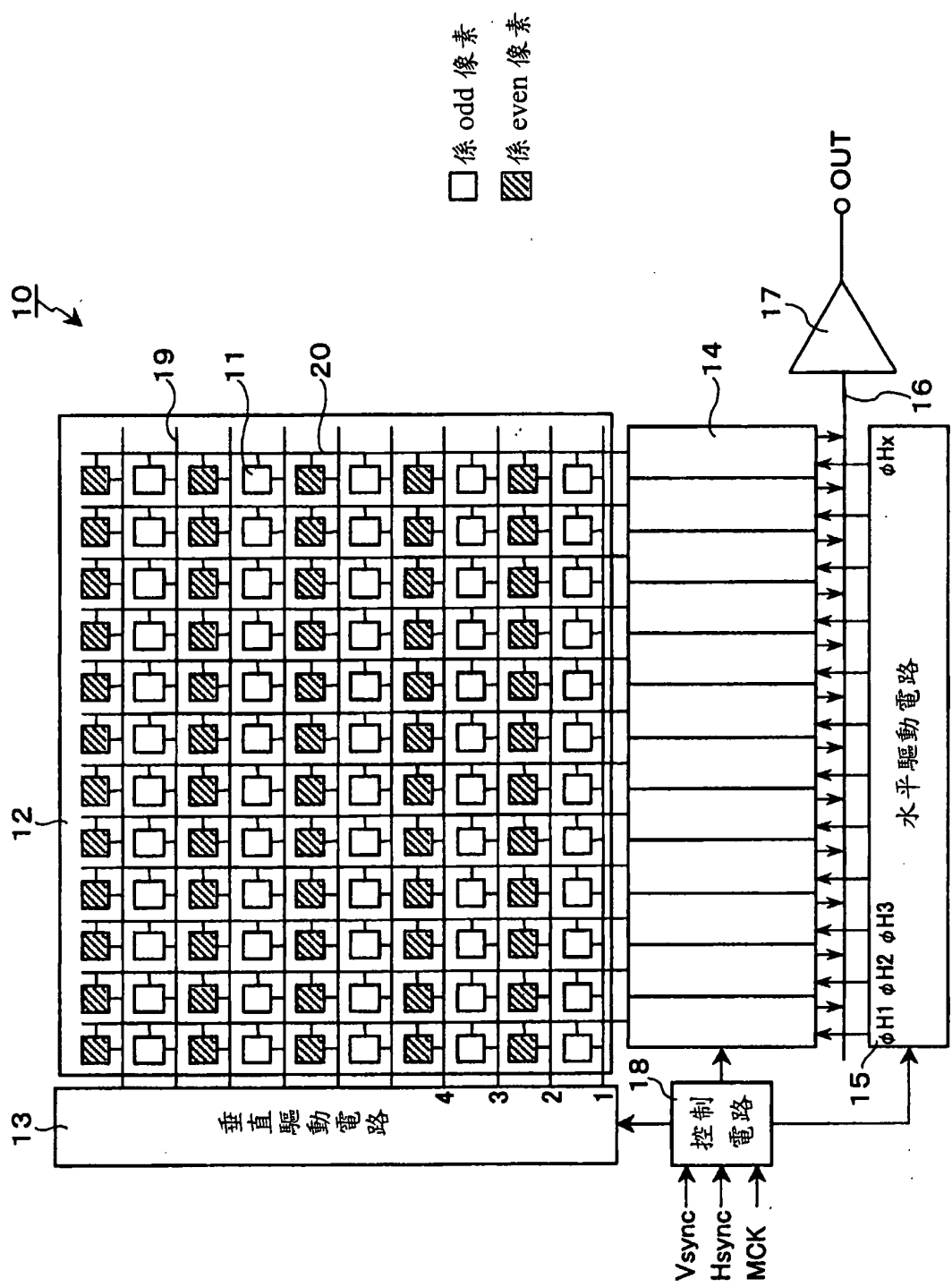


圖 1

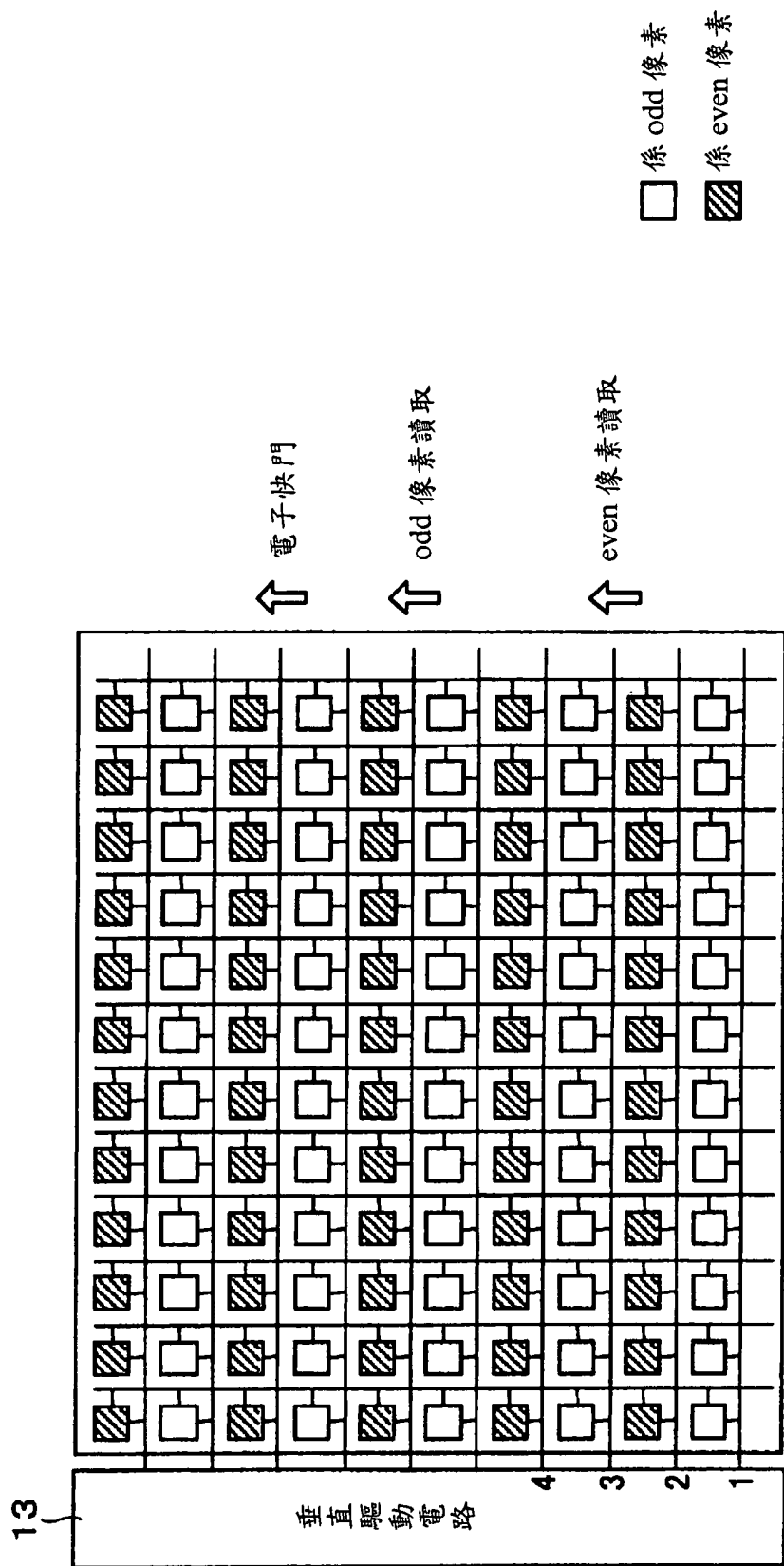


圖 3

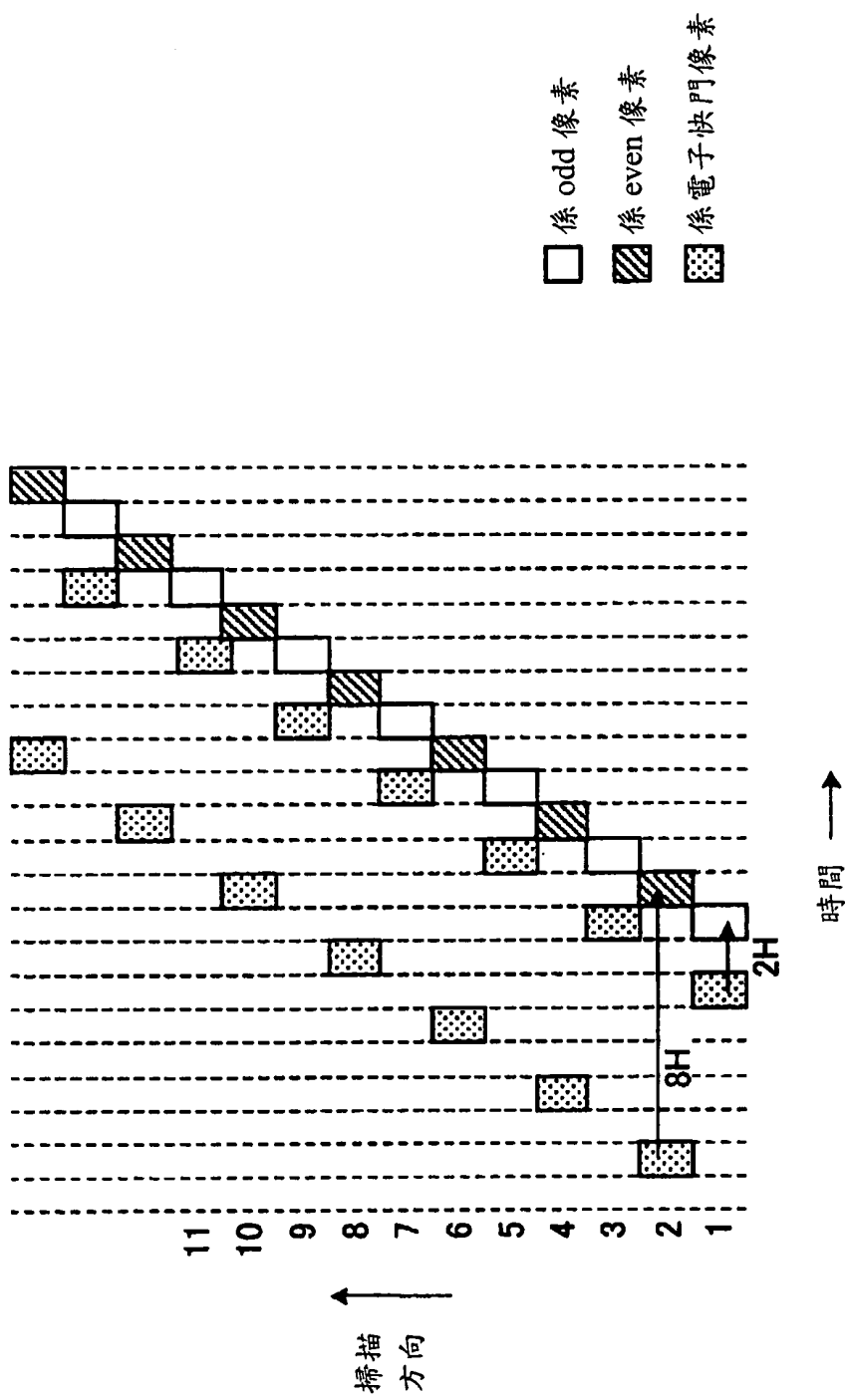
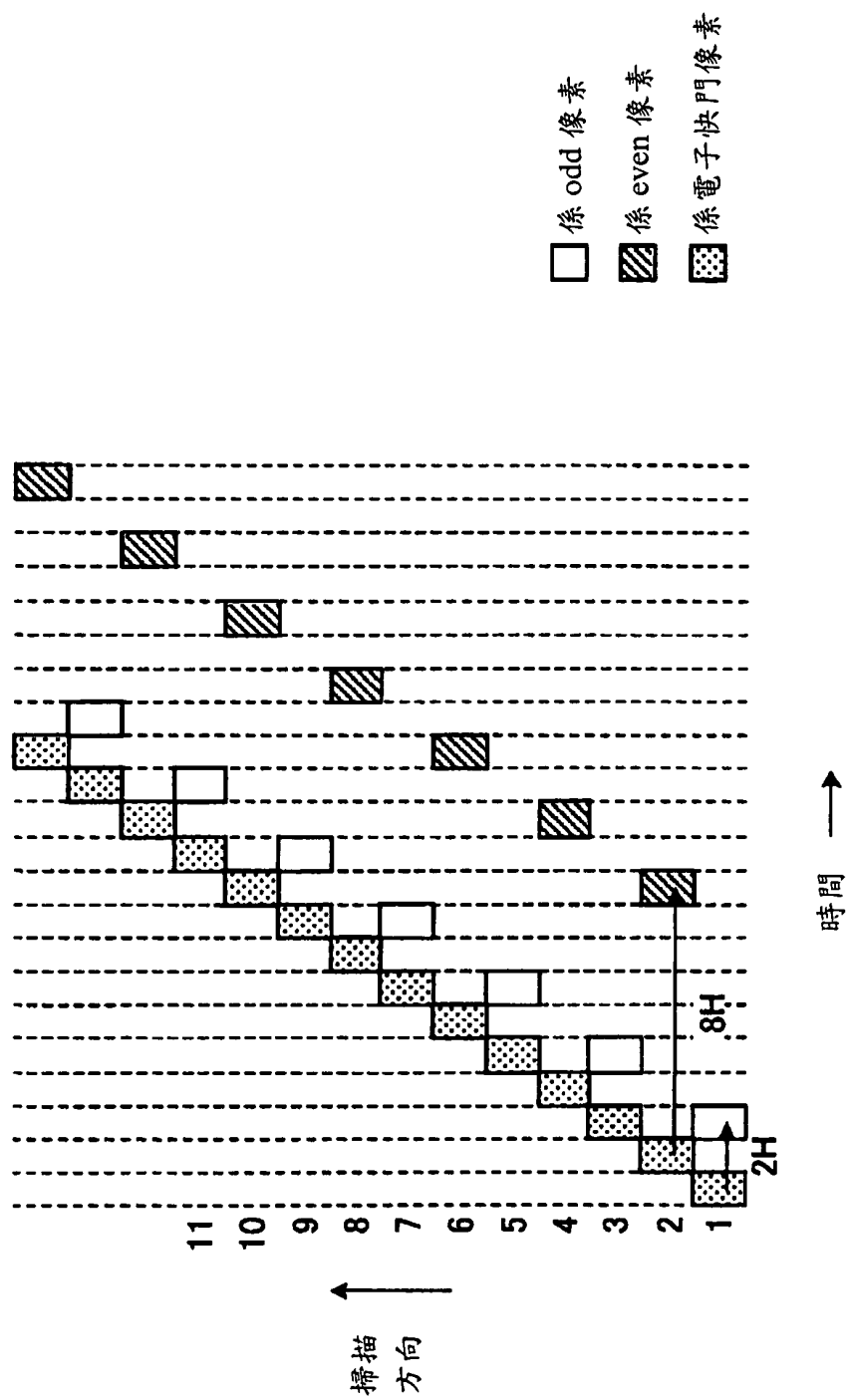


圖 4



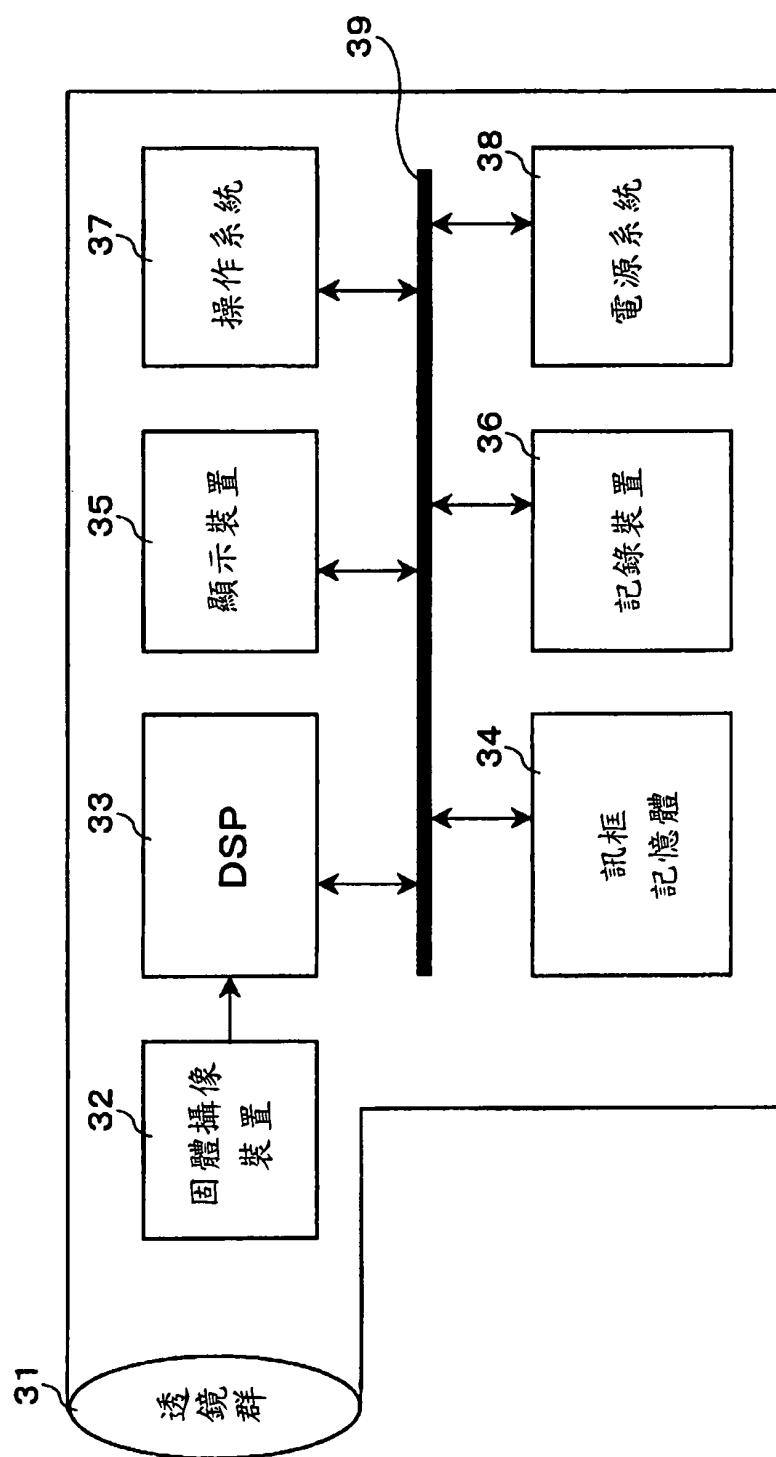


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

13 垂直驅動電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

100年9月(日修正本)

第096144572號專利申請案
中文申請專利範圍替換本(100年9月)

十、申請專利範圍：

1. 一種固體攝像裝置，其特徵為包括：

像素陣列部，其係偵測物理量之像素二維配置為行列狀而成者；

第1驅動機構，其讀取前述像素陣列部之各像素之中，於第1蓄積時間所蓄積之第1像素群之各像素之物理量；及

第2驅動機構，其在前述第1蓄積時間之前半部分讀取與前述第1像素群之各像素相鄰接而配置，且於較前述第1蓄積時間短之第2蓄積時間所蓄積之第2像素群之各像素之物理量；其中

前述第1像素群之各像素與前述第2像素群之各像素係以前述像素陣列部之像素列單位配置；進而

前述第1像素群之各像素與前述第2像素群之各像素係區分為前述像素陣列部之偶數像素列與奇數像素列而配置。

2. 如請求項1之固體攝像裝置，其中

前述第2驅動機構係較前述第1驅動機構所進行之前述第1像素群之各像素之讀取掃描先進行前述第2像素群之各像素之讀取掃描。

3. 如請求項2之固體攝像裝置，其中

包括電子快門驅動機構，其進行按照順序掃描前述像素陣列部之各像素列，而以像素列單位將像素之物理量捨棄之電子快門動作；

前述第1驅動機構係與前述電子快門動作同步而以從該電子快門動作之時點經過前述第1蓄積時間之時點讀取前述第1像素群之各像素之物理量；

前述第2驅動機構係與前述電子快門動作同步而以從該電子快門動作之時點經過前述第2蓄積時間之時點讀取前述第2像素群之各像素之物理量。

4. 一種固體攝像裝置之驅動方法，其特徵為：

讀取偵測物理量之像素二維配置為行列狀而成之像素陣列部之各像素之中，於第1蓄積時間所蓄積之第1像素群之各像素之物理量；並且

在前述第1蓄積時間之前半部分讀取與前述第1像素群之各像素相鄰接而配置，且於較前述第1蓄積時間短之第2蓄積時間所蓄積之第2像素群之各像素之物理量；

前述第1像素群之各像素與前述第2像素群之各像素係區分為前述像素陣列部之偶數像素列與奇數像素列而配置。

5. 一種攝像裝置，其特徵為包括：

像素陣列部，其係偵測物理量之像素二維配置為行列狀而成者；

第1驅動機構，其讀取前述像素陣列部之各像素之中，於第1蓄積時間所蓄積之第1像素群之各像素之物理量；

第2驅動機構，其在前述第1蓄積時間之前半部分讀取與前述第1像素群之各像素相鄰接而配置，且於較前述

第1蓄積時間短之第2蓄積時間所蓄積之第2像素群之各像素之物理量；及

信號處理機構，其將從前述第1像素群之各像素所獲得之信號與從前述第2像素群之各像素所獲得之信號予以合成而謀求動態範圍之擴大；其中

前述第1像素群之各像素與前述第2像素群之各像素係區分為前述像素陣列部之偶數像素列與奇數像素列而配置。