

1. 一种借助于一个已知数字序列在异步接收中检测一个符号序列 (SS) 的方法, 包括步骤:

- a) 将已知数字序列划分为至少两个单独的段;
- b) 分配等于所述段的数量的特定门限值;
- c) 将所述接收符号序列 (SS) 和已知数字序列的第一段 (S1) 相关 (801), 从而得到一个第一相关值 (a1); 只有当这个第一相关值 (a1) 大于第一门限值 (TV1) 时, 才执行后续步骤, 否则, 以随后接收的另一部分符号序列 (SS) 重复步骤 c);
- d) 存储所述第一相关值 (802);
- e) 根据所述至少两个单独的段的长度设置一个第一时间点 (t1a), 其中所述第一时间点 (t1a) 对应于第二段 (S2) 的一个第二相关值 (a2) 被假定达到其最大值的时间点;
- f) 在所述第一时间点, 将所述接收的符号序列 (SS) 与已知数字序列的第二段 (S2) 相关, 由此获得一个第二相关值 (a2);
- g) 将所述第二相关值 (a2) 与存储的第一相关值 (a1) 相加, 以得到第一求和值 (a1 + a2);
- h) 将所述第一求和值 (a1 + a2) 与第二门限值 (TV2) 比较 (809), 以此, 当所述和超过所述第二门限值时, 得到所述符号序列已被检测的指示。

2. 如权利要求 1 的方法, 其中所述已知数字序列被划分为两个以上的段, 其特征在于:

- 至少在所述第一求和值 (a1 + a2) 超过第二门限值 (TV2) 时, 存储所述第一求和值 (a1 + a2);
- 按第三段的长度设置第二时间点 (t2a), 其中所述第二时间点 (t2a) 对应于第三段 (S3) 的第三相关值 (a3) 被假定达到其最大值的一个时间点;
- 在所述第二时间点 (t2a), 将所述接收的符号序列 (SS) 和已知数字序列的第三段 (S3) 相关, 从而获得第三相关值 (a3);
- 将所述第三相关值 (a3) 和存储的第一求和值 (a1 + a2) 相加, 以获得一个第二求和值 (a1 + a2 + a3)。

3. 如权利要求 1 或 2 所述的方法, 其特征在于将段进行相关, 直到并包括所述至少两段的最后一段, 并连同超过最后门限值的最后求和值一起, 产生一个同步时间脉冲信号 (T_s)。

4. 如权利要求 1-2 的任一个的方法, 其特征在于将已知数字序列划分为长度互不相同的段, 并在每次相关之前分配新的相关系数。

5. 如权利要求 1 的方法, 其特征在于将已知数字序列划分为长度互相相同的段。

6. 如权利要求 5 的方法, 其特征在于为所述段分配不同的位模式; 且在每次相关之前, 分配 (800, 805) 新的相关系数。

7. 如权利要求 5 的方法, 其特征在于为所述段分配相同的位模式。

8. 如权利要求 5 的方法, 其特征在于对段的一部分分配一个确定的位模式, 并对剩余段分配同一位模式的反相型式, 以得到一个特定的段序列。

9. 如权利要求 5 的方法, 其特征在于段序列是一个最大长度码。

10. 如权利要求 5 的方法, 其特征在于段序列是一个 Gold 序列。

11. 如权利要求 5 的方法, 其特征在于段序列是一个 Barker 序列。

12. 如权利要求 7 的方法, 当至少第一相关值 (a_1) 已经超过所述第一门限值时, 进一步特征在于, 在接收的符号序列的另一部分, 按照步骤 (c) 和 (f) 执行一个新的相关的步骤, 该另一部分是在已按步骤 (c) 和 (f) 执行相关的符号序列的那部分之后接收的, 由此得到重复的相关值, 这些值按步骤 (d) 和 (g) 被储存并相加, 并在按照步骤 e) 设置所述时点之后, 按步骤 (h) 与各门限值比较。

13. 如权利要求 12 的方法, 其特征在于在生成同步时间脉冲信号之后清零 (1402) 至少一个计时器。

14. 如权利要求 1 的方法, 其特征在于段的位模式是一个最大长度码。

15. 如权利要求 1 的方法, 其特征在于段的位模式是一个 Gold 序列。

16. 如权利要求 1 的方法, 其特征在于段的位模式是一个 Barker 序列。

17. 一种利用已知数字序列在异步接收中检测一个符号序列的装置, 该装置包括:

- 至少一个相关器 (300), 用于执行接收的符号序列和已知数字序列的段 (S1, S2) 的相关, 从而得到第一和第二相关值 (a_1 , a_2);

- 至少当所述第一相关值 (a_2) 超过第一门限值时, 至少一个用来存储第一相关值的存储器 (308);

- 至少当所述第一相关值 (a_2) 超过第一门限值时, 至少一个加法器 (304), 将第二相关值与所述存储的相关值相加, 以得出第一求和值 ($a_1 + a_2$);

至少一个计时器 (319), 用于至少当所述第一相关值超过第一门限值时, 设定一个第一时间点, 所述第一时间点对应于所述第二段 (s2) 的第二相关值 (a_2) 被假定达到其最大值的一个时间点;

- 一个控制单元 (311), 用来将第一相关值 (a_1) 与设置所述计时器的第一门限值比较, 至少当第一相关值超过所述第一门限值时, 将所述第一求和值 ($a_1 + a_2$) 与所述第二门限值比较, 从而当第一求和值 ($a_1 + a_2$) 超过所述阈值时, 得到所述符号序列已被检测的指示。

18. 如权利要求 17 的装置, 其特征在于:

- 所述相关器 (300) 用于在得到所述第一和所述第二相关值 (a_1 , a_2) 之后, 将所接收符号序列与已知数字序列的后续段相关, 从而得到第三和第四相关值;

- 所述存储器 (308), 用来至少在求和值超过所述门限值时, 存储所述相关值的求和值;

- 所述加法器用于至少当求和值超过所述门限值时, 将所述相关值与所述存储的求和值相加, 以得到新的求和值, 所述新的求和值被存储在所述存储器 (308) 中;

- 所述计时器 (319), 至少当求和值超过所述门限值时, 用于进一步设定时间点, 所述时间点对应于另外的段的相关值被假定达到其最大值的时间点;

- 所述控制单元 (311), 用来在至少所述求和值超过所述门限值时, 设定所述至少一个计时器, 并用来比较所述新的求和值和所述门限值, 并指示在什么时候所述符号序列已被检测, 这是在门限值已被各求和值超过时得到的。

19. 如权利要求 18 的装置, 其特征在于控制单元 (311) 在每次相关以前, 分配新的相关系数。

20. 如权利要求 17 - 19 的任一个的装置，其特征在于一个乘法器，用来将相关值与一个指定系数相乘以得出一个段相关器。

21. 如权利要求 17 - 19 的任一个的装置，其特征在于一个控制单元和一个计时器单元 (1001)，其功能是支持多个符号序列的同时相关；其中装置包括一个总线单元 (1102)，它被安排以使由控制单元 (311) 给出的地址控制工作单元的选择。

22. 如权利要求 21 的装置，其特征在于控制单元 (311) 还用于在符号序列已被检测时将计时器单元 (1001) 中的至少一个计时器清零。

用来接收一个符号序列的一个 方法和一个装置

技术领域

本发明有关用于同步检测一个接收机已知的数字序列的一个方法和一个装置。

背景技术

发射机和接收机的同步是现代数字通信系统的一个中心部分。在无线数字通信系统中，例如时分多址系统（TDMA）或码分多址系统（CDMA）中，其中码分多址系统在跳频系统（FHSS）和直接序列系统（DSSS）中有两个最常用的解法，必须将发射机和接收机互相同步以便接收机能在TDMA中接收正确的时隙或在CDMA中接收正确的码段。

在数字通信系统中同步发射机和接收机的一个方法是，让发射机发送一个接收机已知的数字序列，接收机处于一个搜索过程中，在其中，接收机寻找已知的数字序列。当找到接收机已知的搜索序列时，则生成一个同步时间脉冲并将其作为时间基准，从而同步发射机和接收机。

接收一个系统识别信号的能力也是同步接收的一个应用。一个接收机搜索已知信号的搜索过程也可被用于自动识别系统中。一个这样的自动识别系统，例如，射频识别（RFID），可以用来监测例如车辆、雇员、罪犯和动物的位置。要被监测的对象携带一个发送一个唯一信号的发射机。该信号在接收机未知的时刻被发送，意味着该信号是异步的且在检测到已知信号时被登记在信号中。

用于异步接收接收机已知的数字序列的一个已知技术涉及一个相关器的使用，该相关器可被实现为，例如，一个长度等于已知数字序列长度的横向滤波器。该滤波器执行一个接收的数字序列和接收机以前已知的数字序列间的相关，生成一个正比于与所接收序列和已知序列的相似性的值。要使一个接收的已知数字序列被寄存，相关结果必须超过一个预定门限值。

通过以上所述相关能达到的性能直接依赖于已知数字序列的长度。已知数字序列越长，相关所能得到的性能越好。不过，因为长的滤波器需要高的功耗，所以，横向滤波器的长度有一个实际上限。在

例如移动单元中，将功耗保持在一个低的水平上是很重要的。且长的横向滤波器实现起来也很复杂。

因此上述技术的一个缺点是：一个长的滤波器需要高的功耗且其实现也很复杂。

使用长的横向滤波器的另一个缺点是，它们的实现需要一个大的存储区，而移动单元中存储区是有限的。

以上所述的再一个缺点是，已知序列的长度是恒定的，即，不能被改变。

美国专利 5, 422, 916 中描述了一个使用一个已知数字序列的同步方法，其中周围环境可能使接收的序列被偶然噪声脉冲串干扰。这样，一个已知数字序列的识别将不仅仅要求相关所接收数字序列与已知数字序列。从一个所谓的巴克 (Barker) 序列中导出的一个 64 位序列被用作已知数字序列。

该已知方法涉及将接收的数字序列与已知数字序列比较以计算接收数字序列中误差的个数。若结果超过一个确定的门限值，则检测过程继续，检查接收数字序列中误差的个数不超过一个上限。若不是这种情况，则接收的数字序列被划分为每个包含 16 位的四部分。这四部分被两两连连在一起，得到六个新的 32 位字。然后在每个新的 32 位字中计算误差个数，对每个误差个数不超过一个指定值的字，计数器递增一步。六个字全部检查完以后，当计数器结构超过一个指定值时，假定已知数字序列已被接收。

该已知方法仅仅解决了有关偶然噪声脉冲的问题，但有关长的相关器及长的相关的问题依旧存在。

在 1995 年 9 月召开的 PIMRC 会议上，发表了一篇关于混合并行相关器的报告 (An Improved Hybrid PN Code Acquisition for CDMA Personal Wireless Communication, IEEE - 95: 0 - 7803 - 3002 - 1/95)。在该文献中描述了混合并行相关器。即，一个串行和并行相关器的混合。已知序列被划分为依两个结构参数 N_1 和 N_2 而定的段，这些参数根据期望的并行度 (N_1) 和串行度 (N_2) 的不同而选取。当使用许多并行相关器时，代码访问时间很短，但机器硬件复杂度提高。当使用一个串行相关器时，硬件变得很简单，但代码访问时间很长。在所述文献中描述的方法代表了并行和串行相关器的一个折衷。段长 M

按 $M = \theta / (N_1 \times N_2)$ 选取, 这里, θ 是已知序列的长度, 每个相关器包含作为一个相关段的 M 段之一。当找到一个第一段时, 系统从一个搜索模式 (H_0) 转换到一个确认模式 (H_1), 在确认模式中执行 A-测试, 若其中的 B-测试有一个超过一组门限值的相关器输出信号, 则转向一个跟踪过程。当一个正确代码段被转交给代码跟踪系统时, 访问过程被中止, 否则当转交一个错误的代码段时, 访问过程被重新启动。

该方法仅仅关于提高相关接收率的一个方式且可被用于接收率是关键的系统, 从而该方法不能解决本发明所要解决的问题。

发明内容

本发明的目的是, 解决与用长度至少与数字序列长度相同的相关器, 一个长的数字序列异步检测有关的问题。该检测过程的执行与由用与已知数字序列长度相同的一个相关器所做的执行有实际上同样高的概率。

本发明要解决的另一个问题是: 在数字序列的异步接收中将功耗保持在一个较低的水平上。

本发明逐要简化用于数字序列的异步接收的相关器的实现。

按本发明, 通过将已知数字序列划分为预定数目的段, 其中每一段都被分配有一个相应的门限值, 来克服并解决前面所述问题。与输入数字序列的相关是逐段地被执行的, 且为了使一个段能被假定为已被接收, 刚刚接收到的段的相关值与以前已执行的诸相关之和的总和必须超过与刚刚接收到的段相对应的门限值。当所有的段都已被接收且最后段的相关值已被加入到以前段的相关值的和中时, 所述和给出一个最终相关值超过与最后段对应的门限值, 则假定已接收了一个已知的数字序列。然后生成一个同步时间脉冲信号。

按本发明的一个有利实施例, 输入到接收机中的符号序列的后面部分被以一种相似的方式相关, 同时将以后要到达的真正的符号序列考虑在内。

在实施该发明方法时, 接收机中的相关器只需一个段长, 从而得到一个较短的相关器, 进而可以减小相关器复杂度、内存使用及功率消耗。

用来借助于接收机中接收到的数字序列执行解决以上所述问题的方法的本发明的装置包括一个相关器, 一个控制单元, 一个计时器,

一个内存及一个加法器。所接收数字序列被分为预定数目的段且每段都有一个分配给它的各自的门限值。所接收序列被段与段地相关且每个相关值被加入到所有的以前相关值的总和中去。这样一来，以前相关值之和的大小影响与门限值的比较，即，得到一个累积效果。一开始，相关器等待第一段的到来。当相关器输出信号超过与第一段对应的门限值时，假设接收到了第一段。第一段的相关器输出信号被存储在存储器之一中，且将一个时点装入计时器之一中，在该时点，应该测量相关器信号的第二个段。该时点是时间中的一点，在该点，假定下一个接收数字段有其最大相关值。当有来自计时器的一个信号时，新的相关器输出信号被加入到存储器中存储的值上。该和应该超过第一和第二段的组合的门限值，且当是这种情况时，该和被存储在存储器中。另一方面，若该和不超过一个对应门限值，则存储器被清零，即，置为0，且相关器再次等待第一段。

对所有段执行上述过程且若相关器输出信号与存储值之和不超过接收期间的时间内在该瞬间相关的段的相应门限值。则存储器清零且相关器再次等待第一段。当序列中所有段都已被接收且最后段的相关值与存储器内所存值的和大于最后段的相应门限值时，则假定整个数字序列都已被接收。于是控制单元在一个输出端产生 SyNc. 时间脉冲信号，以表明一个数字序列已被接收，从而可以建立一个发射机与该接收机间的通信链路。

本发明装置具有显著的优点，使得较短的相关器能被用于一个长的数字序列，一个所谓的特征标记的检测中，以同步一个无线电系统或一个数字通信系统的一个发射机和一个接收机，或被用于为一个自动识别系统检测一个确认信号。

本发明所提供的另一个优点是，它允许长数字序列（它给出较高的正确检测可能性）被用作一个特征标记，而不要求使用与数字序列等长的相关器。

本发明的目的是使得能够在同步化中使用数字序列，而仍然使用一个比数字序列短的相关器。

本发明的另一个目的是通过使用相对较短的相关器，来节省移动单元内的功耗。

根据本发明的第一个方面，提供了一种借助于一个已知数字序列

在异步接收中检测一个符号序列的方法，包括步骤：a) 将已知数字序列划分为至少两个单独的段；b) 分配一些等于所述段的数量的特定门限值；c) 将所述接收符号序列和已知数字序列的第一段相关，从而得到一个第一相关值；d) 存储所述第一相关值；e) 将所述接收的符号序列与已知数字序列的第二段相关，由此获得一个第二相关值；f) 将所述第二相关值与存储的第一相关值相加，以得到第一求和值；g) 将所述第一求和值与所述门限值的第二个比较，以此，当所述和超过所述第二门限值时，得到所述符号序列已被检测的指示，其特征在于：- 只在第一相关值超过所述门限值的第一个时，按步骤(d) 存储该第一相关值，由此，按第二段的长度执行一个确定的第一时点的设定，该时点对应于相关器的第二段输出信号预期达到其最大值的一个时间点，以及在所述第一时点，按步骤(e) 执行所述接收的符号序列与已知数字序列的第二段的所述相关。

优选地，在所述方法中，所述已知数字序列被划分为两个以上的段，其特征在于：至少在所述第一求和值超过第二门限值的门限值时，重复步骤(d)，存储所述第一求和值；按第三段的长度，重复设置第二时点；在所述第二时点，为第三段重复步骤(e)，从而得到第三相关值；重复步骤(f)，将所述第三相关值与所述第一求和值相加，以获得第二求和值；为所述第二求和值和第三门限值重复步骤(g)，以及；重复一些对应于所述数字序列中所划分段的数量的次数的所述步骤(d)，(e)，(f) 和(g)。

优选地，所述方法的特征在于重复步骤(d) 直到并包括步骤(h)，直到数字序列中的最后段已被相关；并连同超过最后门限值的一个最后的求和值一起，产生一个同步时间脉冲信号。

优选地，在所述方法中，将已知数字序列划分为长度互不相同的段，并在每次相关之前分配新的相关系数。

优选地，在所述方法中，将已知数字序列划分为长度互相相同的段。

优选地，在所述方法中，为所述段分配不同的位模式；且在每次相关之前，分配新的相关系数。

优选地，在所述方法中，为所述段分配相同的位模式。

优选地，在所述方法中，对段的一部分分配一个确定的位模式，

并对剩余段分配同一位模式的反相型式，以得到一个特定的段序列。

优选地，在所述方法中，段序列是一个所谓的最大长度码。

优选地，在所述方法中，段序列是一个所谓的 Gold 序列。

优选地，在所述方法中，段序列是一个所谓的 Barker 序列。

优选地，在所述方法中，当至少第一相关值已超过所述门限值的第一门限值时，其特征在于：在接收的符号序列的另一部分，按照步骤 (c) 和 (e) 执行一个新的相关的步骤，该另一部分是在已按步骤 (c) 和 (e) 执行相关的符号序列的那部分之后接收的，由此得到重复的相关值，这些值按步骤 (d) 和 (f) 被储存并相加，并在设置所述时点之后，按步骤 (g) 与各门限值比较，从而对在一个以前检测的错误符号序列之后接收的任何真实符号序列加以关注。

优选地，在所述方法中，在生成同步时间脉冲信号之后清零至少一个计时器。

优选地，在所述方法中，段的位模式是一个所谓的最大长度码。

优选地，在所述方法中，段的位模式是一个所谓的 Gold 序列。

优选地，在所述方法中，段的位模式是一个所谓的 Barker 序列。

根据本发明另一个方面，提供了一种利用已知数字序列在异步接收中检测一个符号序列的装置，该装置包括：至少一个相关器，执行接收的符号序列和已知数字序列的段的相关，从而得到第一和第二相关值；至少一个用来存储第一相关值的存储器；至少一个加法器，将第二相关值与所述存储的相关值相加，以得出第一求和值；一个控制单元，用来将第一求和值与所述门限值的第二个比较，由此，当第一求和值超过所述第二门限值时，得到所述符号序列已被检测的指示，其特征在于：装置还包括至少一个用来设定一确定时点的计时器，所述时点对应于相关器的第二段输出信号预期达到其最大值的时间点，以及所述控制单元被用于比较第一相关值和所述门限值的第一个，以此，只有在第一相关值超过门限值的第一个时，控制单元在存储器中存储第一相关值并在计时器上设置所述时间点。

优选地，在所述装置中，所述相关器用于在得到所述第一和所述第二相关值之后，将所接收符号序列与已知数字序列的段相关，从而得到第三和第四相关值；所述存储器用来至少在求和值超过所述门限值时，存储所述相关值的求和值；所述加法器用于将所述相关值与所

述存储的求和值相加，以得到新的求和值，所述新的求和值被存储在所述存储器中；至少包含一个计时器，用于设定某时点；和该装置包括一个控制单元，用来设定所述计时器并用来比较所述新的求和值和所述门限值并指示在什么时候所述符号序列已被检测，这是在门限值已被各求和值超过时得到的。

优选地，在所述装置中，控制单元在每次相关以前，分配新的相关系数。

优选地，所述装置包括一个乘法器，用来将相关值与一个指定系数相乘以得出一个段相关器。

优选地，所述装置包括一个控制单元和一个计时器单元，其功能是支持可能的符号序列的同时相关；其特征还在于装置包括一个总线单元，它被安排以使由控制单元给出的地址控制工作单元的选择。

优选地，在所述装置中，控制单元还用于在符号序列已被检测时将计时器单元中的至少一个计时器清零。

附图简述

现在，参照其最佳实施例及附图，详细介绍本发明，其中，

图 1 是一个无线电信系统的示意图；

图 2 是一个说明被实现为横向滤波器的相关器的方块图；

图 3 是一个说明本发明顺序相关器的方块图；

图 4-7 是各顺序时间间隔的例子的时序图；

图 8 是说明顺序相关过程的流程图；

图 9 说明本发明顺序相关器的另一个实施例的一个方块图；

图 10 是说明顺序相关器的另一个例子的一个方块图；

图 11 是说明一个控制单元，一个计时器，一个加法器和一个存储器的更详细的方块图；

图 12 是控制单元，计时器，加法器和存储器的另一个更详细的方块图；

图 13 是说明顺序相关过程的另一个实施例的流程图；

图 14 是说明顺序相关过程的另一流程图；

图 15 是说明考虑了采样点的相关器的方块图。

最佳实施例描述

图 1 示意说明了无线电信系统通过同步地接收一个已知符号序列

SS, 使接收机 103 与发射机 100 同步的方式。发射机 100 通过天线 101 发送接收机 103 已知的序列, 已知序列 SS 以无序态被连接到接收机 103 上的天线 102 接收。接收的序列 SS 经过一个下混频器 104, 一个 A/D 转换器 105, 并作为数字形式的已知符号序列进入到相关器 300 中, 尽管该序列由于传输介质不合适而有失真。相关器 300 和一个判定单元 107 均处于一个搜索模式, 即, 等待已知数字序列 SS, 它根据在接收机 103 中的检测, 启动一个同步 (SyNc) 时间脉冲信号 108。在搜索模式, 相关器 300 将相关值 110 转交给判定单元 107, 判定单元 107 将相关值与一个预定值比较。当在相关器 300 中接收到已知数字符号序列 SS 时, 相关值 110 将超过预定值, 于是, 判定单元 107 向接收单元 109 发送 SyNc. 时间脉冲信号 108, 在接收单元 109 中, 来自发射机 100 的携带无线电信号的信号被解调。从而接收机 103 得到与发射机 100 同样的时间基准, 于是可以建立一个通信链路。当通信链路建立起来时, 处理一个消息 111, 它是通过从发射机 100 接收到的无线电信号的 RF 解调 (在 104 中向混频), 并随后在 105 中做 A/D 转换而获得的。接收机 109 生成一个输出信号 112, 它构成了期望消息。

图 2 说明了相关器, 例如相关器 300, 能被以已知方式实现为一个横向滤波器的方式。这类相关器被用于无线电信和数据通信中的许多范围内, 其中包括同步接收一个数字序列, 并根据所接收数字序列的确认, 由接收机中的判定单元生成同步时间脉冲信号 108, 以使发射机和接收机互相同步。

横向滤波器包括一个有一个输入端 201 和一个有输出端 202, 203, 204, 205 的预定数量的时间延迟单元 220, 221, 222, 223 的一个移位寄存器 200, 和一个预定数量的乘法器 206, 207, 208, 209, 每个都有两个输入和一个输出 210, 211, 212, 213, 其中每个乘法器的一个输入端连接到其对应的移位寄存器输出端 202, 203, 204, 205。每个乘法器的另一个输入端 214, 215, 216, 217 被连接到一个有相关系数 $C_0, C_1, C_2 \dots, C_{L-1}$ 的相关序列上, 它们是存储在接收机中的已知数字序列。滤波器有一个累加单元 218, 它有一个输出 219 和一个指定数量的输入, 每个所述输入被连接到乘法器 206, 207, 208, 209 的各输出端 210, 211, 212, 213 上。

该相关器实施一个接收的数字序列和一个相关器已知序列的相

关。对每个接收的数字序列，在累加单元 218 的输出端 219 得到一个与接收的和已知的数字序列间的所述相关成比例的信号。

接收的数字序列在时间延时单元 220, 221, 222, 223 中通过移位寄存器输入端 201, 逐位地移位。每次移位之后, 相关系数被已移进移位寄存器 200 中的序列部分相乘。所有相乘的结果被放在输出端 210, 211, 212, 213 并被在累加单元 218 中相加, 然后, 累加单元把累加值送到输出端 219 上。这在数学上可被描述为卷积和, 当输出端 219 的输出信号被表示为 $r(k)$, 相关系数被表示为 C_i 且接收的数字序列被表示为 $x(i)$ 时, 可用下列关系式:

$$r(k) = \sum_{i=0}^{L-1} C_i \times x(k-i)$$

滤波器的长度 L , 即移位寄存器中时间延迟单元 220, 221, 222, 223 的个数和乘法器 206, 207, 208, 209 的个数, 被选为与已知序列中的位数相应。当选择包含例如 $-1/+1$ 的二进制表示且当接收的数字序列和已知的数字序列互相相同时, 在累加单元的输出端 219 得到一个等于 L , 即等于接收的数字序列的长度的信号。

当在有噪声的情况下相关时, 相关器输出信号很少达到最大值 L 。于是, 必须确定门限值, 在该门限值, 假定接收的数字序列将与已知数字序列充分相似并从而认为所接收的数字序列是一个同步信号。与所接收的数字序列相应的同步信号有时也被认为是一个特征标志。

对于用相关器同步接收已知数字序列, 至少有三点要重点考虑的事项。首先, 当在一个接收的序列中找到一个特征标记时, 必须可能以较高概率检测该标记。漏掉被传送特征标记的概率定义了被表示为误拒收率 (FR) 的概念。序列被接收了但由于例如干扰或噪声的误差, 特征标记未被检测。其次, 当一个随机相关器输入信号与特征标记相似时, 相关器输出信号必须不超过预定门限值。相关器在随机噪声中检测出特征标记的概率定义了被表示为误报警率 (FA) 的概念。再次, 在同步时, 所选信号具有好的自动特性和互相关特性是很重要的, 即, 只有当所接收序列与已知序列相匹配时, 相关值才应很高而对所接收序列和已知序列间的所有其它移位, 应该很低。这样, 当接收的序列

正好与已知序列匹配时，得到一个明显的峰值。

FA 率和 FR 率的值依赖于预定门限值，为了使判定单元 107 能产生一个同步时间脉冲，相关值必须超过该门限值，该门限值是由在与已知数字序列比较时，接收的数字序列中必定是正确的比特数定义的。当门限值选为与特征标记长度 L 相近时，例如 $L-2$ ，FR 率将有一个很高的值，因为只要在接收数字序列与已知数字序列的比较中，存在很少的误差，就会导致检测的拒收。另一方面，若选定一个低的门限值，例如 5，FA 率将有一个高的值。因为只要在接收的数字序列中有很少的正确位（比特），例子中是 5 个正确位，就会导致一个同步时间脉冲。于是，可以找出一个 FA 率和 FR 率都最小的门限值。所述比率同时最小时的 FA 率和 FR 率的值将依赖于特征标记的长度 L 。特征标记越长，FA 率和 FR 率同时越小。类似地，特征标记的自动特性和互相关特性依赖于特征标记的长度。特征标记越长，从而具有的自动特性和互相关特性越好。不过，特征标记的长度有一个实际上的上限，因为长的特征标记需要长的相关器，这些相关器实现困难且功耗大。

尽管本发明使用的是一个短的相关器，但该相关器实质上与长的相关器性能相同。这是通过将已知的数字序列划分为预定数量的段 S_1, S_2, \dots, S_n ，并通过让用来接收特征标记的相关器的长度与最长的段的长度相对应来得到的。然后，段对段地执行相关，这里，每个段有一个相应的门限值 TV_1, TV_2, \dots, TV_n 。当接收了第一段 S_1 且段相关值 a_1 超过了其相应的门限值 TV_1 时，则相关值 a_1 被装入存储器。于是等待第二段 S_2 且当接收了所述第二段时，所存储的值 a_1 被加入到第二段的门限值 a_2 上。若第二段 S_2 应被认为是已被接收的，则该相加的结果，即累加值 a_1+a_2 ，必须超过与该第二段相对应的门限值。当已接收了所有段且各段的相关值 $a_1, a_2 \dots a_n$ 的和已超过其相应的门限值 TV_n 时，生成同步时间脉冲。若加入到最后被相关的段 S_m 的相关值 a_m 上的以前相关值 $a_1+a_2+\dots+a_{(m-1)}$ 的和不超过与最后被相关段对应的门限值 TV_m ，则以前接收的段被拒收且重新等待第一段 S_1 。

图 4，5a，6 和 7 举出了如何将一个序列划分为段的几个例子。图中时间被标记为 T 。序列中的第一段记为 S_1 ，序列中的第二段为 S_2 ，以此类推，图 4 示出了怎样将一个序列划分为三个长度互不相同的段的例子，图 5a 示出了怎样将一个序列划分为同样长度且位模式不同的

三个段。图 6 示出了一个被分为四个长度相同且位模式互相相同的段的一个序列。图 7 示出了一个序列，它有四个长度相同且除了段 S3 外位模式互相相同的段，段 S3 根据其它段被反相。一个段的二进制模式可以以不同方式选择。位可以被随机分配或被选为一个有好的自动特性和互相关特性的序列，例如一个最大长度码，一个所谓的巴克 (Barker) 序列。一个所谓的 Gold 序列或一些有期望特性的其它序列。图 7 中的不同段是根据其它段被反相的且可以用不同方式选择该段反相。该段反相可以是随机的且可被选为有好的自动特性和互相关特性的一个序列，例如，一个最大长度码，一个 Barker 序列，一个 Gold 序列或其它一些有所期望特性的序列。利用段反相，可以在检测过程中得到另一个被记为段相关器的相关器。该段反相也可被扩展为更多的层，以得到一个包含几种前述段反相的多序列。几个多序列被组合起来形成一个超序列且几个超序列被组合起来形成一个极超序列。通过将已知序列划分为这些级别，可得到五个相关器，这进一步提高了序列的自动特性和互相关特性。

为了在一个噪声环境中为同步序列得到足够好的自动特性和互相关特性，序列最好至少包括 64 位。可以提到的在用于同步的序列中所用长度的例子有：GSM 在一个同步信道 (SCH) 上使用包含 64 位同步脉冲的同步序列；GODIT 工程 (CDMA) 在一个控制信道 (PCCH) 上使用一个有 255 位长的扩展序列；IS-95, QUALCOMM 中的一个 CDMA 系统，使用包含 64 和 32768 位的扩展序列。

图 3 举例说明了一个本发明装置的实施例。相关器 300 有一个输入端 301，一个系数输入端 302 和一个输出端 303。输入端 302 是图 2 示例中输入端 214 - 217 的集体标识。加法器 304 的一个输入端 305 被连接到相关器的输出端 303 上，所述加法器还有一个输入 306 和一个输出 307。存储器 308 有多个输入和一个输出 309，其中，一个输入端 310 被连接到加法器的输出端 307。一个控制单元 311 有多个输入和输出，其中，一个输出端 312 被连接到相关器 300 的系数输入端 302 上，另一个输出端 313 产生同步时间脉冲信号 T_s ，一个输入端 314 被连接到加法器 304 的输出端 307 上，一个输出端 315 被连接到存储器 308 的一个输入端 316 上，一个输出端 322 被连接到存储器 308 的一个输入端 318 上。一个计时器 319 有多个输入和输出，其中一个输入端 320

被连接到控制单元的一个输出端 323 上，一个输入端 321 被连接到控制单元的一个输出端 317 上，且一个输出端 324 被连接到控制单元的一个输入端 325 上。

为使该装置工作，必须使该装置包含一个中央时钟，该时钟在任何图形中均未示出。同步逻辑也是一个必要条件，所有单元均必须与中央单元同时钟。该装置可在从中央时钟来的一个脉冲串的脉冲上升沿或脉冲下降沿同步。在装置的不同单元间传送的信号与被激励的输出端，即电平改变的输出端相一致，其中，根据来自中央时钟的第一个所得时钟脉冲沿（上升或下降沿），在输入端检测到该电平改变。

相关器 300 被安排在其输入端 301 接收一个数字段并在其输出端 303 产生与接收的数字段和已知数字段间的相关成比例的一个输出信号。相关器 300 的输入端 302 被用于将不同的相关系数 $C_0, C_1, \dots, C_{LS-1}$ 转交给相关器 300，这些相关系数是已知数字段的位模式。加法器 304 用来将从存储器 308 的输出端 309 传送到其一个输入端 306 的一个值与从相关器 300 的输出端 303 传送到其另一个输入端 305 的相关值相加。在输出端 307 得到相加结果。加法器 304 和存储器 308 一起形成一个累加器 1106。控制单元 311 用来控制所有段的相关，这些段的数量、长度和结构都是预定的。于是，控制单元 311 有了关于段的相应门限值及已知数字序列是什么样的结构（即段的数量，段的长度及所述段的位模式的信息。控制单元的输入端 314 连接到加法器的输出端 307，用来将由输出端 307 传送的值与预定门限值比较，该门限值属于其相关值最近被加入到加法器的段。在控制单元 311 收到并接收第一段 S_1 之前，输出端 315 由信号 LD_1 保持激活状态。当与存储器输入端 316 相连的输出端 315 是激活的时，相关值不相加而直接装入存储器中。当相关值和存储器中的值的相加不是必要的时，使用 LD_1 。当输入端 314 的值不超过门限值时，信号 LD_1 保持激活，意味着存储在存储器中的值将被来自相关器 300 的下一个相关值写入覆盖。计时器 319 的功能是在其输入端 320 接收来自控制单元 311 的一个信号 LD_3 ，该信号启动一个预定的计时器起始值，该起始值的大小与下一个到达的段的长度成比例。例如，若下一个到达的段包含 30 位，则计时器 319 被装入 30。通过在每次连接到计时器输入端 312 上的控制单元输出端 323 (DN_3) 被激活且同时计时器接收到了一个来自中央时钟的时钟脉

冲沿时, 将所述起始值减少一 (1), 使起始值向下计数到 0。当下一个相关值要被加到存储器 308 中的值上时, 即当计时器到达 0 值且随后最近相关值应与其相应门限值比较时, 计时器 319 在输出端 324 向控制单元 311 发送一个信号 Z。因为当整个所接收的段被在相关器的移位寄存器中移位时, 预期下一个到达的段的相关值最大, 所以在段的这个移位过程中的所有其它相关值都不重要, 且从而该装置在将下一个到达的段的相关值与所述存储器中存储的值相加之前一直等待, 直到段的相关值最大。控制单元 311 也用来在输入端 325 接收从计时器的输出端 324 来的信号 S, 所述信号 Z 触发一个从控制单元输出端 322 到存储器输入端 318 的一个信号 ACC1。然后, 信号 ACC1 启动加法器 304 中的一个相加过程以及随后的控制单元 311 的输入端 314 上的值与预先存储在控制单元中的相应门限值的比较。在所述比较后, 控制单元 311 可做出三个可能的判定。1) 若该值超过相应门限值且已接收到最后的段, 则生成以下信号: 从控制单元 311 的输出端 313 出来的 Stnc. 时间脉冲信号 Ts, 输出端 315 上的信号 LD1 和输出端 312 上的第一段的相关系数。2) 若该值超过相应门限值且接收的不是最后的段, 则控制单元 311 在输出端 312 生成下一个到达的段的相关系数。且用下一个到达的段的长度启动计时器。3) 若该值不超过相应门限值, 则生成从控制单元 311 的输出端 315 出来的信号 LD1 和输出端 312 的第一段 S1 的相关系数。存储器 308 用来在其输入端 316 接收信号 LD1, 信号 LD1 使相关值通过输入端 310 直接装入存储器 308 中, 而不将相关值与存储器所存值相加。存储器 308 还被设计为用来接收信号 ACC1, 该信号启动加法器 304 中相关值和存储器存储值的相加并将结果装入存储器。一个给定的相关值或一些相关值的和可以等于或大于其相应的门限值。必要的是, 它们与和关系值或一些关系值的和有关的一个门限值相对应。

图 5b 示出了一个接收的数字序列的结构, 而图 5a 示出了相应的已知数字序列。现在, 将详细描述当接收了如图 5b 的接收数字序列并期待如图 5a 的已知数字序列时, 将发生的事件。当图 5a 中示出的数字序列被用于同步时, 因为一段是 7 位长, 所以相关器 300 的长度 $L = 7$ 。这里假设已预先确定段 S1 的门限值 $TV1 = 3$, 段 S2 的门限值 $TV2 = 4$, 段 S3 的门限值 $TV3 = 7$ 且段 S4 的门限值 $TV4 = 9$ 。门限值 TV1,

TV2, TV3, TV4 的选择表明, 为使一个门限值能被超过, 要依赖于前面的相关值, 现在即对此说明。相关器接收了图 5a 中的段 S1 的相关系数 $(C0, C1, C2, C3, C4, C5, C7) = (+1, +1, -1, -1, +1, +1, +1)$, 然后等待第一段 S1。控制单元 311 的输出端 315 保持激活, 意味着相关值被直接装入到存储器 308 中并在控制单元 311 中进行比较。直到图 5b 中的接收的数字序列的整个第一段在相关器中被移位, 输出信号 303 才达到一个等于 5 的值, 因为第一段中只有位 C3 是错误的, 所以所述值是 S1 的相关值 $a1=5$ 且大于属于 S1 的门限值 $TV1 = 3$ 。在控制单元 311 中发现相关器输出信号 303 大于门限值 TV1 的事实且控制单元向计时器 319 发送信号 LD3 以启动前述开始值的装入。通常计时器开始值大小互不相同, 所述大小视下一个到达段的长度而定。在例证实施例中, 所有段的长度都是 7 且在举例情况下计时器开始值也是 7。控制单元 311 还通过控制器输入端 302 向控制器发送 S2 的新相关系数 (在图 5a 中未示出)。每当控制单元上的输出 DN3 被激活, 同时计时器从中央时钟接收一个时间脉冲沿时, 计时器 319 以增量 1 递减计数。当计时器到达 0 时, 它表示预期 S2 的相关器输出信号 303 到达其最高值, 计时器 319 向控制单元 311 发送信号 S。然后控制单元 311 向存储器 308 发送信号 ACC1, 以启动 S2 的相关值 $a2$ 和存储器存储值 (该值是第一段 S1 的相关值 $a1$, 等于 5) 的相加。相加是在加法器 304 中执行的且结果是 $a1+a2 = 6$, 因为图 5b 中的 S2 有三个错误位, 它给出相关值 $a2$ 等于 1。值 $a1+a2=6$ 被装入存储器 308。S2 的门限值 TV2 被确定为 4, 意味着假设 S2 已被接收, 同时计时器 319 被装入与 S3 的长度相应的开始值。要做的下一次相加是 S3 的相关值 $a3$ 和内存器存储值 $a1+a2$ (现在是 6) 的相加。相加结果为 $a1+a2+a3=9$, 它高于与 S3 对应的门限值 TV3。下次相加是 S4 的相关值 (为 1) 和存储器存储值 (为 9) 间的相加, 结果是和 $a1+a2+a3+a4=10$, 它高于最后的段 S4 的门限值 $TV4 = 9$, 且随后控制单元 311 在输出端 313 生成同步时间脉冲信号 Ts。

当各段的位模式互相相同且具有好的自动特性和互相关特性时, 单个的段将有好的自动特性和好的互相关特性而整个特征标记将没有好的自动特性和好的互相关特性。这可能是由于同步时间脉冲信号产生得过早或过晚 (一个或多个段)。这可以通过一个例子解释。假设

我们有五个段，每段包含 30 位，给定一个长度为 150 的特征标记，产生一个同步时间脉冲信号的最后的门限值是 110。同样假设第一段包含许多噪声且完全丢失，且下一个到达的段在接收时是无错误的。当装置接收第二段时，它表明这是第一段，当装置表明接收的是第五段时，实际上接收的是噪声。于是，整个接收被偏移了一段。不过，因为接收了四个无错误的段（第二段直到并包括正确序列中的第五段），意味着已得到和 $30 + 30 + 30 + 30 = 120$ ，则将产生同步时间脉冲信号，尽管是在一个相当于晚一个段长的时间。通过在段级限定一个编码，可以做检查以确认所有段都被正确接收，并在正确的时点（即在序列中的最后的段被检测时）得到 SyNc 同步时间脉冲信号。通过将一或多个段相对于剩余的段反相来实现该段编码，它提供进一步的相关，尽管是在段级上的。图 7 示出了这样的段编码的一个例子。

图 9 示出了一个本发明装置的实施例，其中有接收的已知数字段。它们以反相和非反相方案被分配了相同的位模式，以同步发射机和接收机。由于在控制器 300 和加法器 304 间提供了一个乘法器 900，且由于控制单元 311 没有被连接到相关器 300 上，而是对所有段使用同样的相关系数，所以图 9 所示装置与图 3 所示装置不同。当一个反相段在相关器 300 中与打算供一个非反相段使用的相关系数相关时，得到一个输出信号，其值与一个非反相段大小相等但为负值。控制单元的输出端 902 与乘法器的输入端 901 相连。控制单元 311 以能得出正相关值的顺序向乘法器输出 +1 和 -1。当要相关一个被反相的段时，控制单元向乘法器输出 -1，使该反相段得出一个正相关值，而当要相关一个非反相段时，控制单元向乘法器输出 +1。当错误地接收段时，在乘法器下游得出一个负相关值，这影响新开始的检测过程，因为负相关值被加到存储在存储器 308 中的值上后，会使得总和小于以前存储的值。这意味着相关值的总和将不超过其相应门限值，于是重新开始段 S1 的检测过程。图 9 装置在其它方面的功能与图 3 装置相同。控制单元包含有关每个段应超过哪个门限值的信息以及与段相关的是 +1 或 -1 的信息。利用该乘法器得到一个段相关器。

图 10 示出了本发明相关器的某部分的另一个实施例。该装置包括一个指定数量的计数器，存储器和计时器，用来同步接收特征标记。只用一个计数器，一个存储器和一个计时器会使得由发射机发送的特

征标记丢失，因为在段 S1 被接受时，装置是“被动的”，即等待段 S2，从而可能不检测另一个特征标记。例如，如果由于噪声，使得装置错误地认为段 S1 已被接收，且正确的特征标记在装置的“被动时间”到达，则由于装置为错误的特征标记等待段 S2，所以装置将不检测正确信号。当使用几个计数器，计时器和存储器时，有可能在同一时间处理几个可能的特征标记。几个计数器，存储器和计时器的使用也使得能够为第一段确定一个低的门限值而不需要由于错误报警信号而丢失任何段。图 10 所示装置包括一个单元 1000，一个指定数量的存储器 308，加法器 304 和反相器 900 及一个包含所有计时器 319 的计时器单元 1001，它们的功能是支持可能的符号序列的同时相关。使用了与前面描述相同的信号建立，以此，尽管不同的存储器，反相器，加法器和计时器是借助于在一条地址总线 1002 上被送出的地址，被启动以接收一个信号的，该装置的原理仍与前面所述的相同。不过，所举例的信号 RESET3 是新的，该信号是一个总复位信号，它是在接收特征标记满足同步时间脉冲信号应被发送的条件下被发送的。

现在，借助于图 11 和 12，更详细地介绍在前面借助于图 3 和 9 描述的本发明装置。

图 11 以更详细的方块图举例说明了控制单元 311，计时器 319，存储器 308 和加法器 304。这样，尽管未包括相关器，图 11 仍是图 3 中装置的一个更详细的方块图。控制单元 311 包括一个比较器 1100，它向一个有限态自动机 1102 提供一个输出信号 C。输出信号 C 依输入信号 X（加法器输出信号）和输入信号 Y（相应的门限值）的比率而定。该门限值 1107 是由控制单元 311 中的一个寄存器 1101 分配的。控制单元 311 还包括一个计数器 1103，每当一个连接到计数器 1103 的输入端 UP2 上的有限态自动机的一个输出端 UP2 被激活且同时计数器 1103 从中央时钟接收一个时钟脉冲沿时，计数器向上计数。在每个被接收段之后，输出端 UP2 变为激活的。计数器 1103 向寄存器 1101 和有限态自动机 1102 发送一个段号 1109，以便所述寄存器和有限态自动机知道哪个段要被处理。有限态自动机可被实现为一个组合网络（即，逻辑与-非门和或-非门），或用一个 ROM 存储器确定应发送哪个控制信号。判定是根据输入信号 Z，C 和段号码的值来进行的。计时器 319 包括一个计数器 1104 和至少一个寄存器 1105。寄存器中含

有计时器 319 的开始值, 且在有来自有限态自动机的信号 LD3 时, 这些开始值被下载到计数器 1104 中。计数器 1104 由来自有限态自动机 1102 的信号 DN3 向下计数到 0, 且在为 0 时, 将信号 Z 传送到所述有限态自动机。然后, 有限态自动机将信号 ACC1 传送到存储器 308, 以将存储器存储值与相关值相加。按照比较结果, 从有限态自动机 1102 发送不同的信号。若满足关系式 $X > Y$, 则发送信号 UP2, 该信号以增量 1 步进计数器, 从而计数器 1103 的新值将是下一个到达段的号码。计数 1103 保持下一个按顺序该被相关和比较的段的记录。当计数器 1103 被向上步进时, 寄存器 1101 中存储的新的相关系数 1108 也被送到相关器 300 中, 信号 LD3 也被从控制单元送往计数器 1105, 以给计数器 1104 赋以新的开始值。若不满足关系式 $X > Y$, 则发送信号 RESET 以将计数器 1103 置为零。信号 LD1 被从有限态自动机 1102 送到存储器中, 以直接将相关值装入存储器。当要检测第一段 S1 时, 使用信号 LD1。当最后的段被相关且满足关系式 $X > Y$ 时, 发送同步时间脉冲信号 Ts。加法器 304 和存储器 308 一起由一个累加器 1106 来实现。

图 12 举例说明了图 9 所示实施例的控制单元 311 的一个实施例。图 11 与图 12 的实施例的不同之处在于, 寄存器 1101 包含反相器 900 的反相系数 1200, 这样在加法器 304 中总能得到一个正的相关值。该实施例使用相似或反相段, 从而使得控制单元 311 不必发送新的相关系数。

图 8 的流程图举例说明了图 3 所示装置在检测接收机已知序列时所用的过程, 通过在段中相关来执行该检测。首先, 在第 800 步, 在相关器中将相关系数 C_0, C_1, \dots, C_{L-1} 设为它们的预定值, 所述相关系数对应于一个已知段 S1。然后, 在第 801 步, 为接收序列相关第一段 500。在第 802 步, 第一段 S1 的相关值 a_1 被装入存储器 308。然后, 在第 803 步, 将相关值 a_1 与对应于第一段 S1 的门限值 TV1 相比较。若相关值 a_1 不超过门限值 TV1, 按 NO 选项, 标志着第一已知段被认为没有被接收, 在第 801 步用相同的相关系数重复相关, 且做一个新的尝试以寻找第一段 S1。若相关值超过门限值 TV1, 按 yes 选项, 这标志着已接收到第一段, 且在第 804 步, 计时器被置为时点 t_{1a} , 假定第二段 S2 的相关值 a_2 在该时点到达其最大值, 于是该相关值被加到存储在存储器中的相关值 a_1 上。假定第二段的相关值到达其最大值的时

点 t_{1a} 是整个第二段 S_2 已被移进移位寄存器 200 中的时间。在第 805 步，第二个已知段 S_2 的相关系数被送到相关器中。现在，过程是被动的且在第 806 步中，等待计时器 319 通知第二段的相关值 a_2 应被与存储器 308 中的值 a_1 相加。在第 807 步，第二段 S_2 的相关值 a_2 与存储器 308 中的值 a_1 相加。然后，在第 808 步，和 a_1+a_2 被装入存储器中。在第 809 步中，比较这次相加的和 a_1+a_2 。若按一个 NO 选项，和 a_1+a_2 不超过第二段 S_2 的相应门限值 TV_2 ，过程返回第 800 步。另一方面，若按 yes 选项，和 a_1+a_2 超过与第二段 S_2 对应的门限值 TV_2 ，在第 810 步执行一个检测以确定已知数字序列的所有段都已被接收。若按 NO 选项，不是所有段都已被接收，则过程返回第 804 步。只要一个段的相关值 a_m 和在该时刻存储在存储器中的值 $a_1+a_2+\dots+a_1$ 的和 $a_1+a_2+\dots+a_1+a_m$ 超过与该段对应的门限值 TV_m ，则重复步骤 804 到 810。若按 yes 选项，已接收了所有段且在第 809 步已超过了所有门限值 TV_1, \dots, TV_n ，则认为已接收了一个已知数字序列，即一个特征标记。在这方面，在第 811 步生成同步时间脉冲信号 T_s 且将该信号用于同步发射机 100 和接收机 103。从而过程完成且可以返回到第 800 步，等待一个新的特征标记。这里，简单地使用字母 A, B, C 标记流程图中的相应点。

图 13 图解说明了图 9 所示装置接收一个特征标记的方式。首先，在第 801 步中相关段 S_1 ，且相关值 a_1 在第 1300 步中乘以 +1 或 -1，以得到一个正相关值。相乘的乘积在第 802 步中被装入存储器 308 中。对每个不超过与第一段 S_1 对应的门限值的段（在第 803 步中检查），重复第 801, 1300 和 802 步。当假设已接收到段 S_1 （表明相关值 a_1 的大小超过与第一段对应的门限值）时，在第 804 步中计时器被装入一个与时点 t_{1a} 对应的值，在该时点，段 S_2 的相关值 a_2 和系数 +1 或 -1 之一的乘积应被与段 S_1 的相关值 a_1 相加。在第 806 步，装置等待得到段 S_2 的相关值 a_2 。当得到段 S_2 的相关值 a_2 时，该值在第 1301 步中被乘以 +1 或 -1。乘积在第 807 步中与存储器 308 中的值 a_1 相加，且在第 808 步中，所述相加的和 a_1+a_2 被装入存储器 308 中。在第 809 步中，比较前面提到的和 a_1+a_2 ，以确定所述和是否超过与第二段对应的门限值 TV_2 。若按 NO 选项，未超过门限值，则过程返回 801 步，按 yes 选项，在第 810 步，做进一步检查以确定是否接收了所有

段。若按 NO 选项，没有接收所有段，则返回第 804 步。执行第 804，806，1301，807，808，809 和 810 步，直到在第 810 步中按 yes 选项，所有段都已被接收且在第 809 步中所有段都已被接受，以此在第 811 步生成同步时间脉冲信号 T_s ，从而检测过程结束。然后，返回到第 801 步并等待一个新的特征标记。

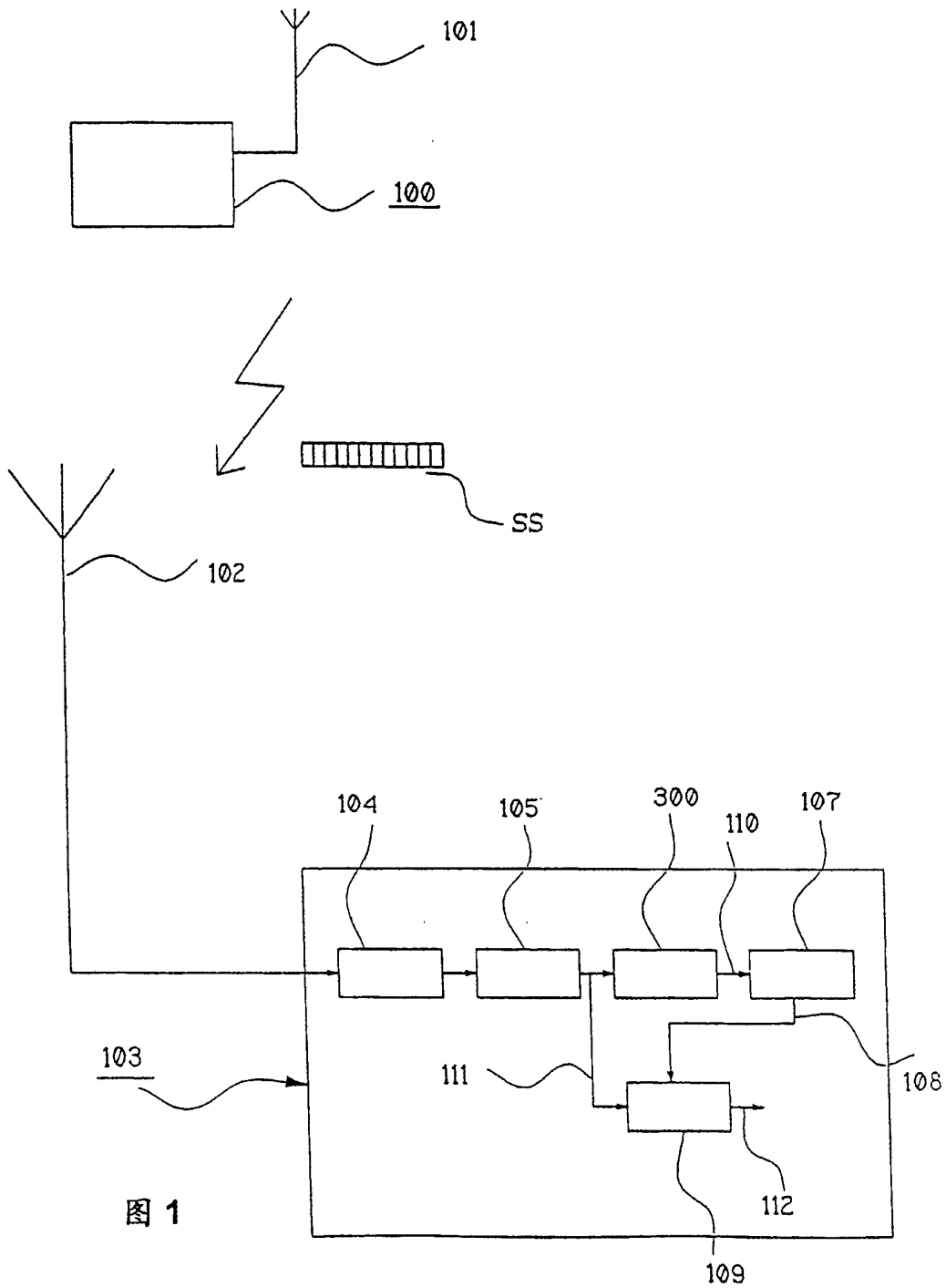
现参照图 14，简单解释图 10 所示装置所采用的过程。图 10 装置包括几个计数器，计时器和存储器。不同的计数器，计时器和存储器的各自的状态在图 14 中由两个不同状态标记，即“等待段 S1”和“等待下一段”。有状态“等待段 S1”的那些计数器，计时器和存储器可被自由用于检测特征标记。当它们被分配去检测时（这发生在第一相关值 a_1 超过第一门限值 TV_1 的时候），一个计数器，一个计时器和一个存储器转换到“等待下一段”状态。当检测到一个特征标记时，处于“等待下一段”状态的计数器，计时器和存储器转换到“等待段 S1”状态。当在前面的检测过程中，没有超过一个门限值时，正好用于该检测的计数器，计时器和存储器从状态“等待下一段”转换到状态“等待段 S1”。于是，该计数器，计时器和存储器又可被一个新的检测过程使用。原则上，这是与前面借助于图 13 所描述的过程同样的过程，尽管有一点例外，即可以同时几个可能的特征标记的检测。这可以使用或不使用段反相系数来执行。至于第 801 - 811 块，参照图 8 和 13 的描述。在第 1400 步，判写计时器是否向下计数到零，以便按 yes 选项相加相关值。在第 1401 步，表明计时器是理想的，即可被用于一个新的可能特征标记的检测，尽管在生成同步时间脉冲信号 T_s 之后所有的计时器都被置为零或清零了。

在前面已讲过，在做与各门限值的比较之前，数值被装入存储器中。不过，这不是必须的。通过首先做与各门限值的比较，并只将那些按比较结果，被超过了的门限值装入存储器中，来使过程包含较少的步骤。该过程还进一步降低了功耗。

在前面所述装置和过程中，没有考虑接收的位流中各个位中的采样点。不过，在实际中，每位都有一定的格式，所以最好在位流中每位的中央采样。在前面所述相关器的应用中采样时间是未知的，于是最好相对于位流中的不同采样点相关。在确定最佳采样点时，通常过采样接收序列 K 次（ K 一般为 4 或 6）。图 15 示出了一个对每位执行四次相关（ $K=4$ ）的相关器，而不是如前面所说的每位做一次相关。

在移位寄存器 200 的每个输出端 202, 203, 204 和 205 间, 时间延迟单元 220, 221, 222, 223 被增加三倍, 意味着序列中的每位被相关系数 $C_0, C_1 \dots C_{L-1}$ 乘四次。图 15 中示出了新的时间延迟单元 1500。现在计时器单元 1001 中的计时器包含比特相位和采样相位的不同时间基准。

换一种方式, 可以用 K 并行相关器相对于不同采样点相关。于是, 每个相关器以正常符号率操作。



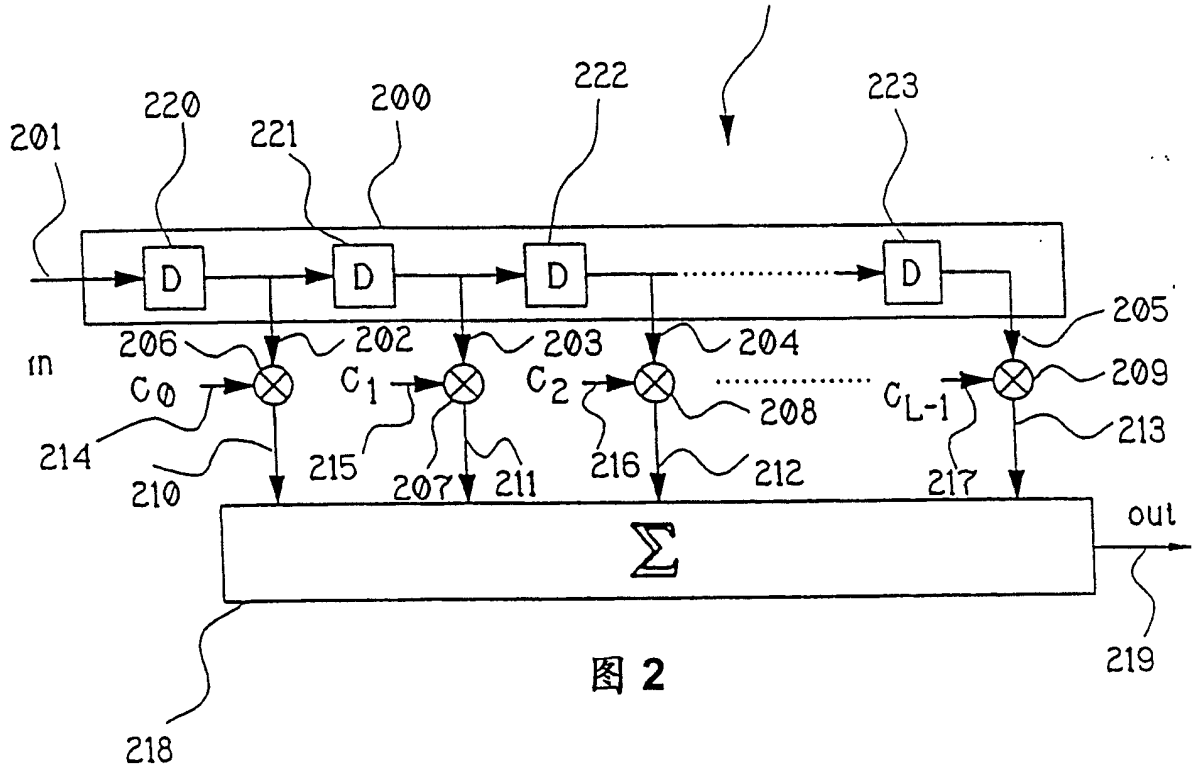


图 2

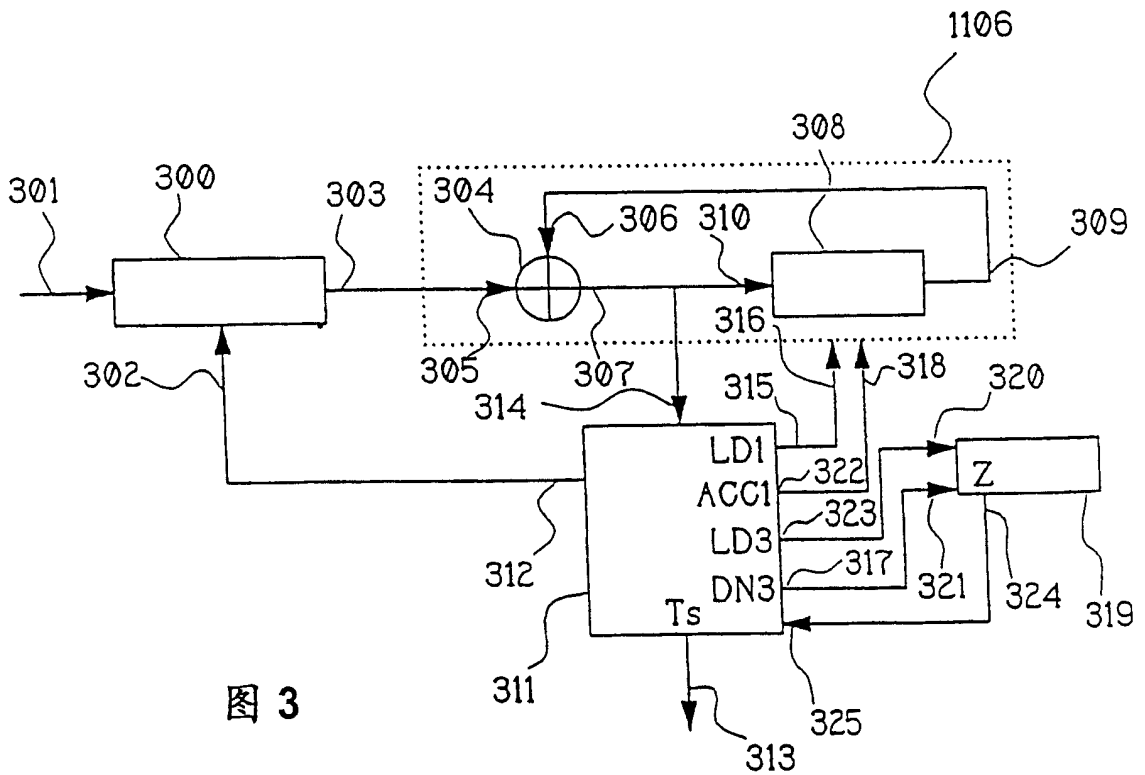


图 3

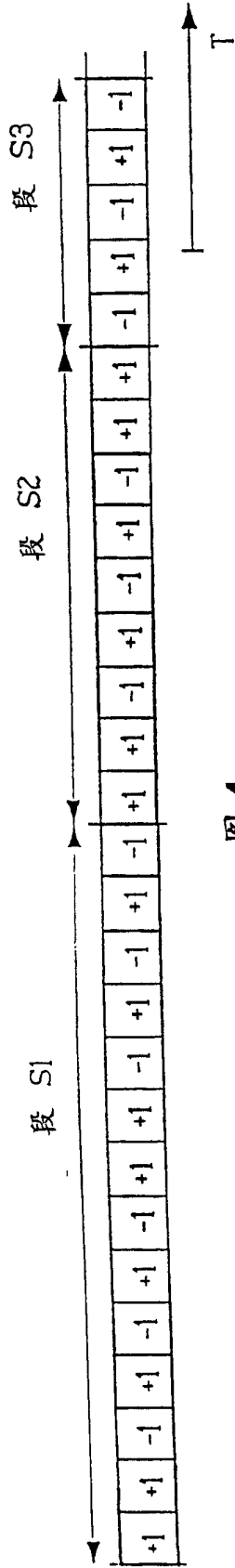


图 4

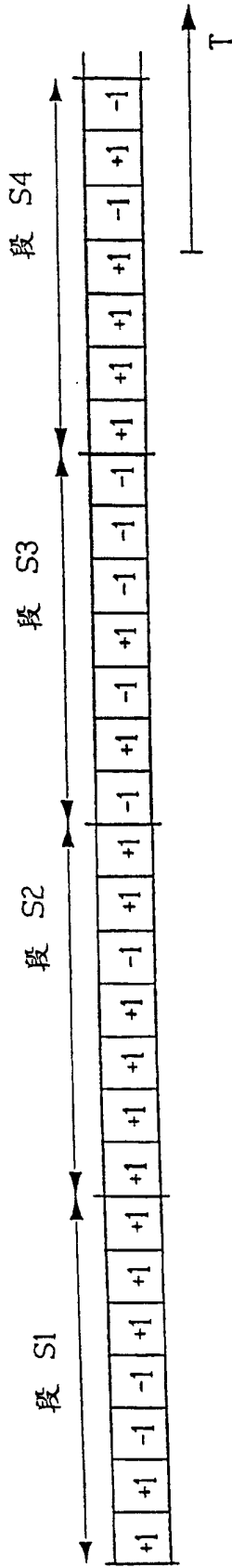


图 5a

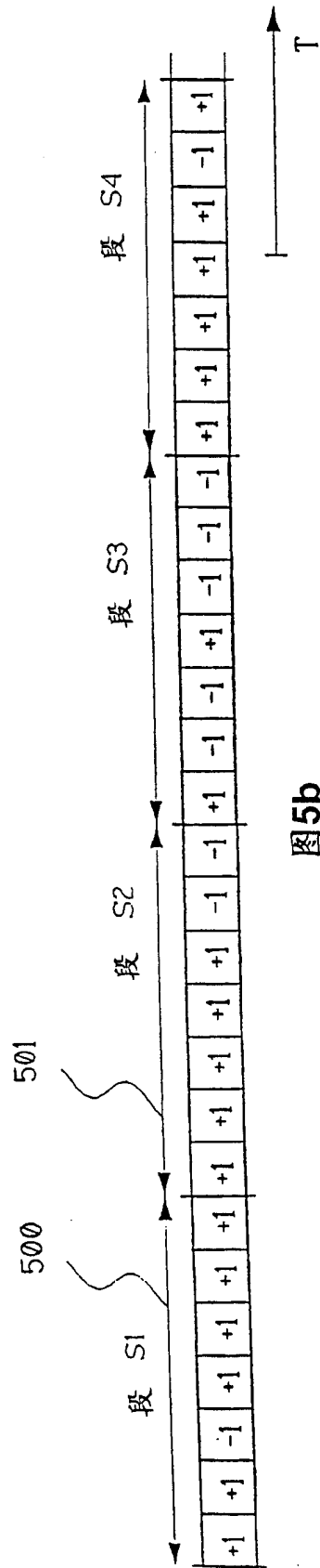


图5b

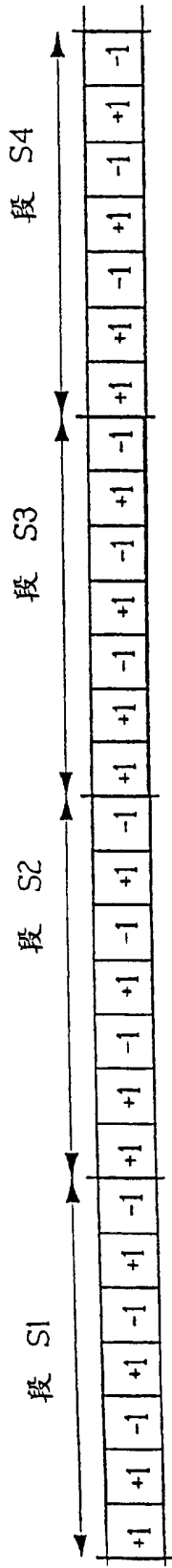


图 6

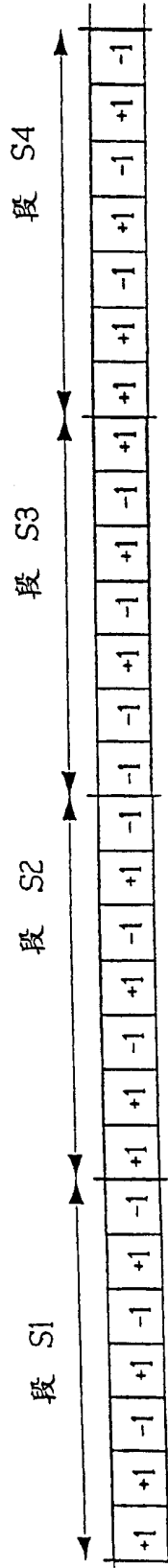


图 7

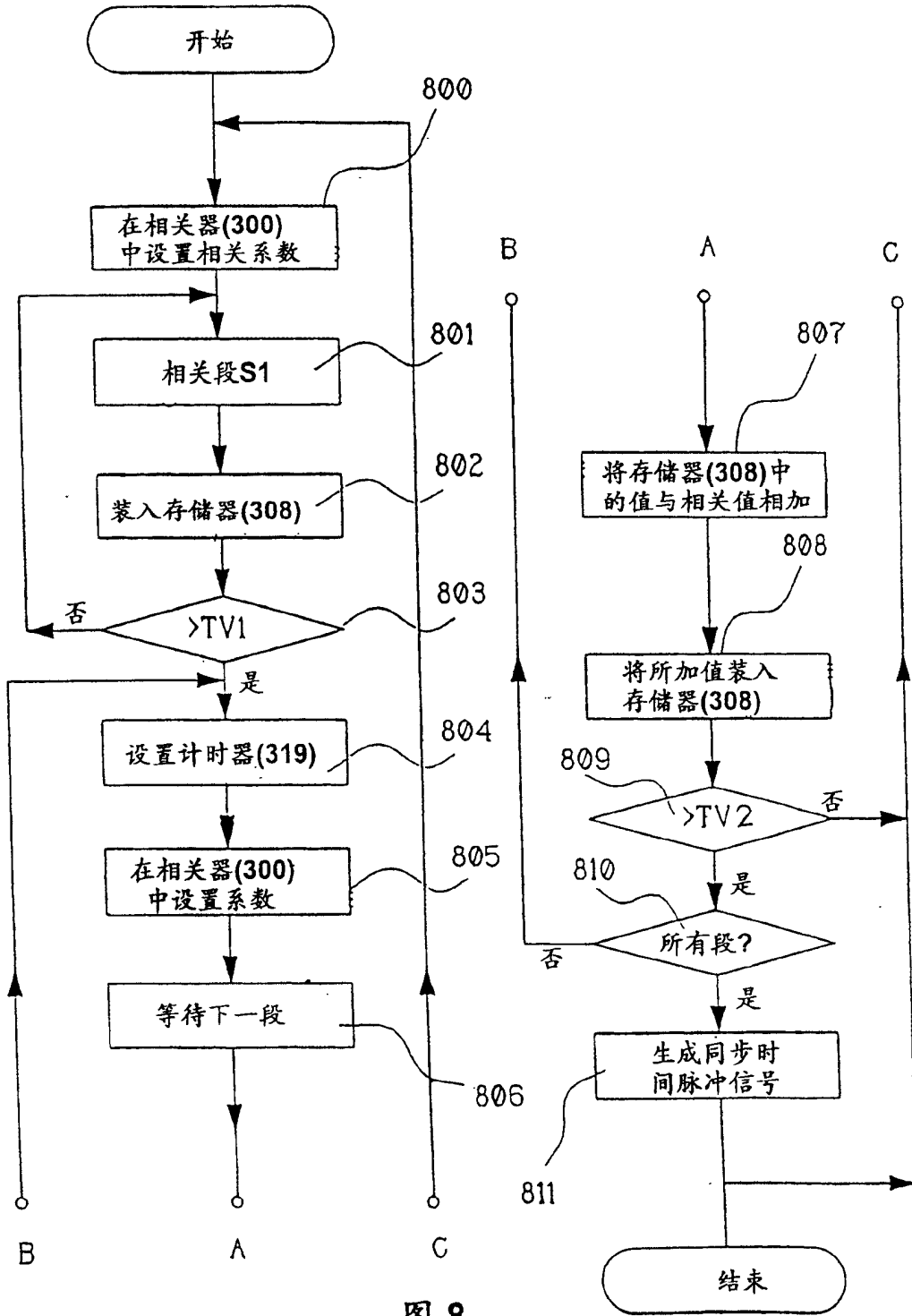


图 8

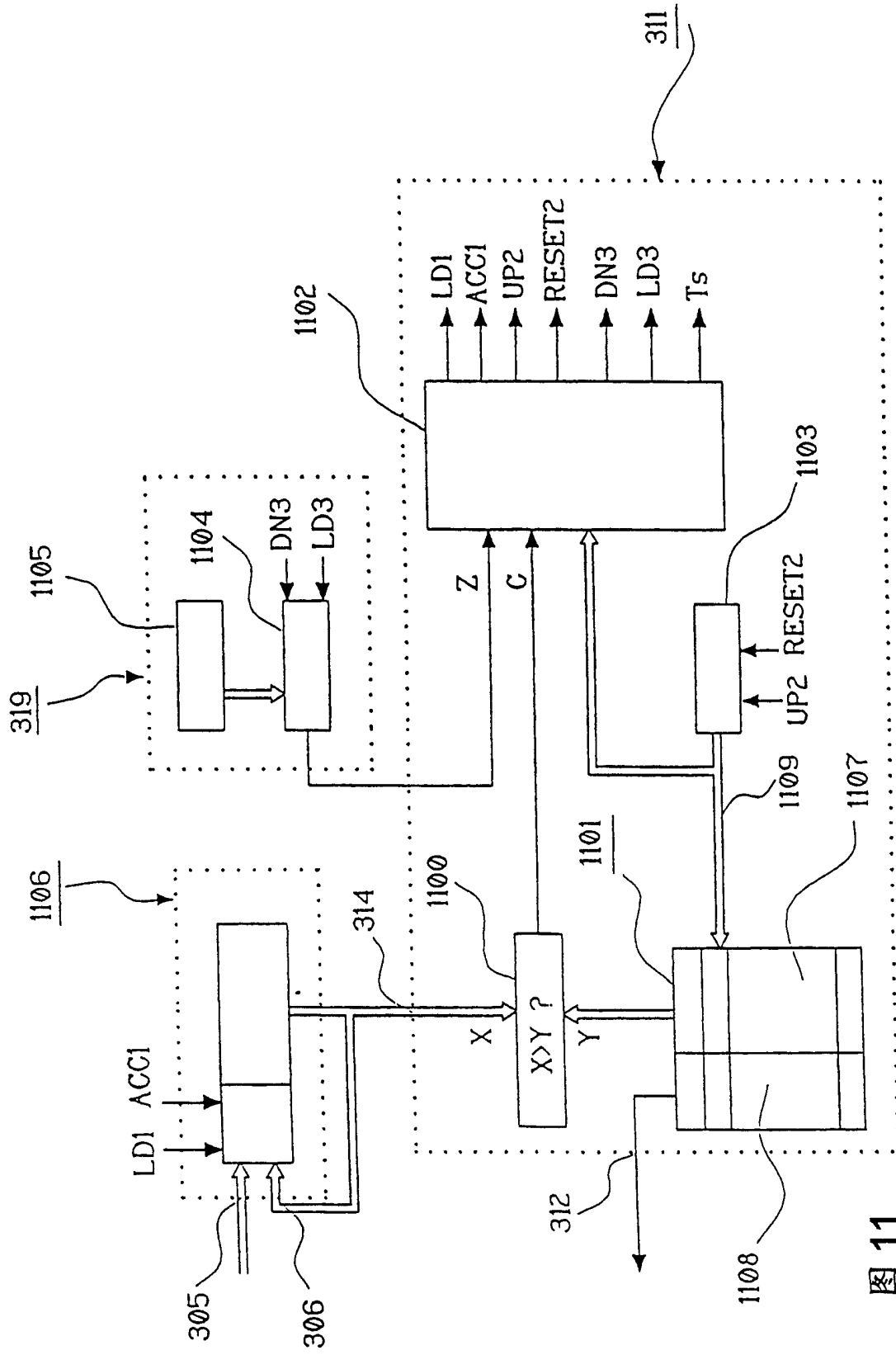


图 11

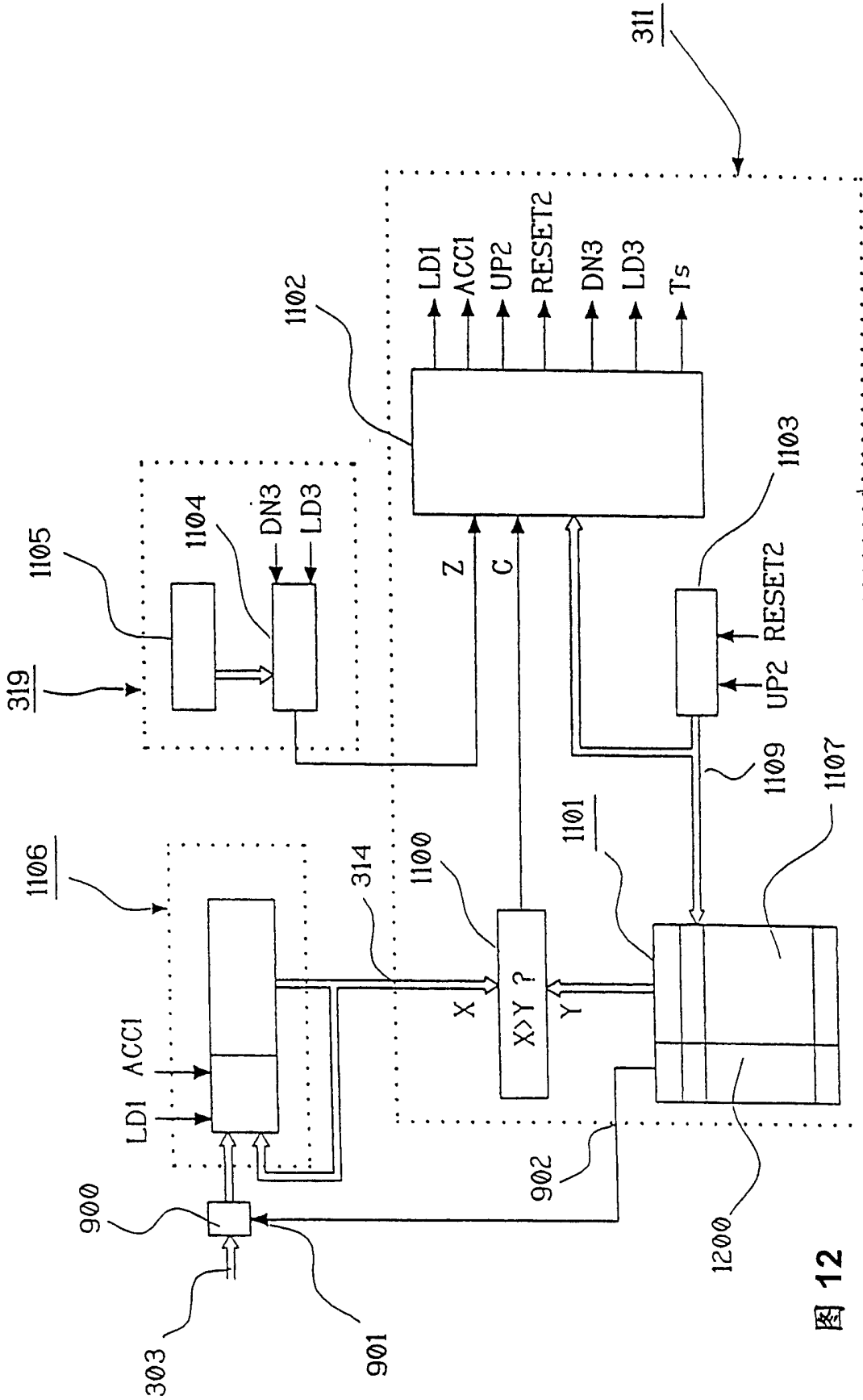
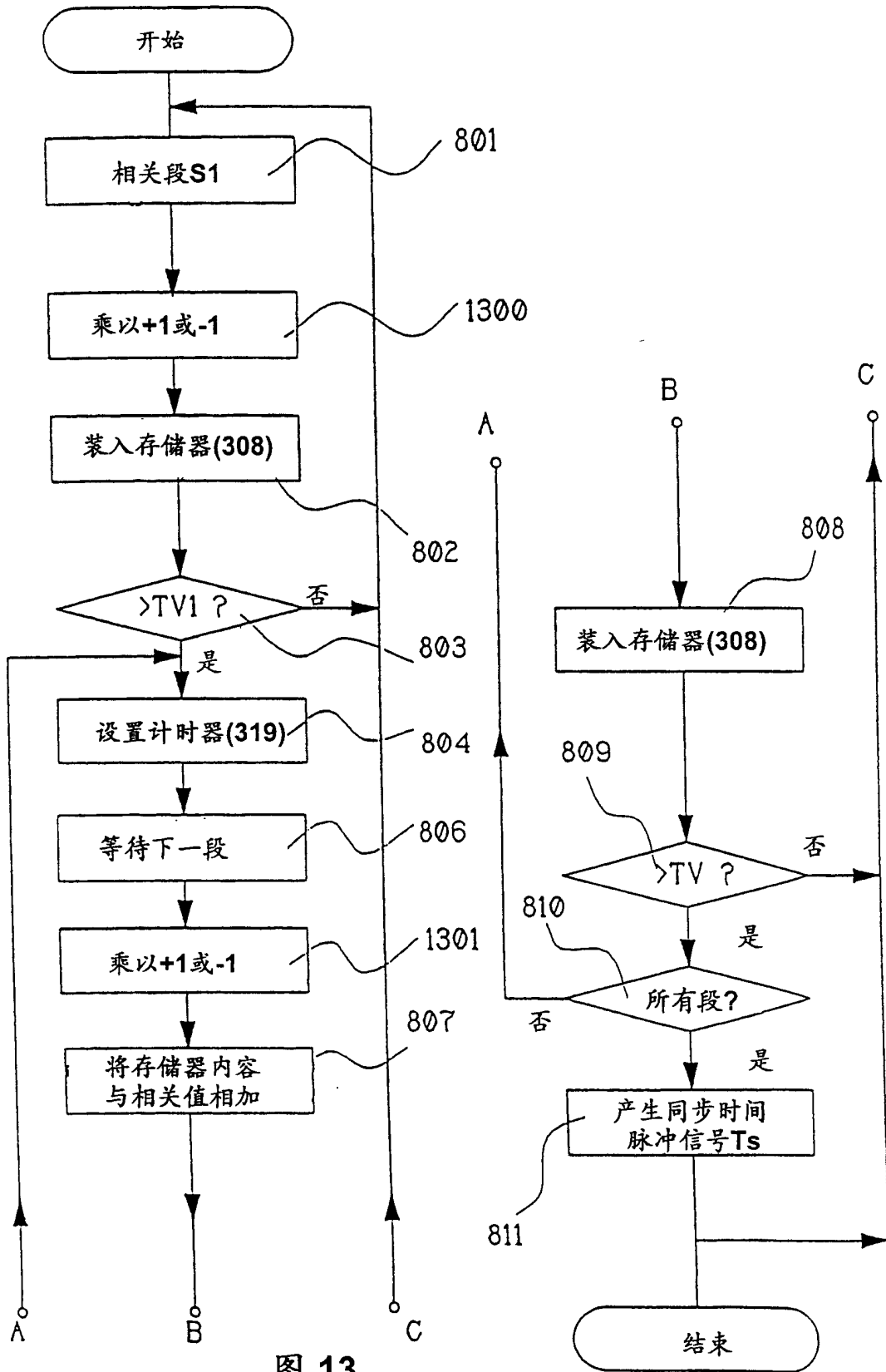


图 12



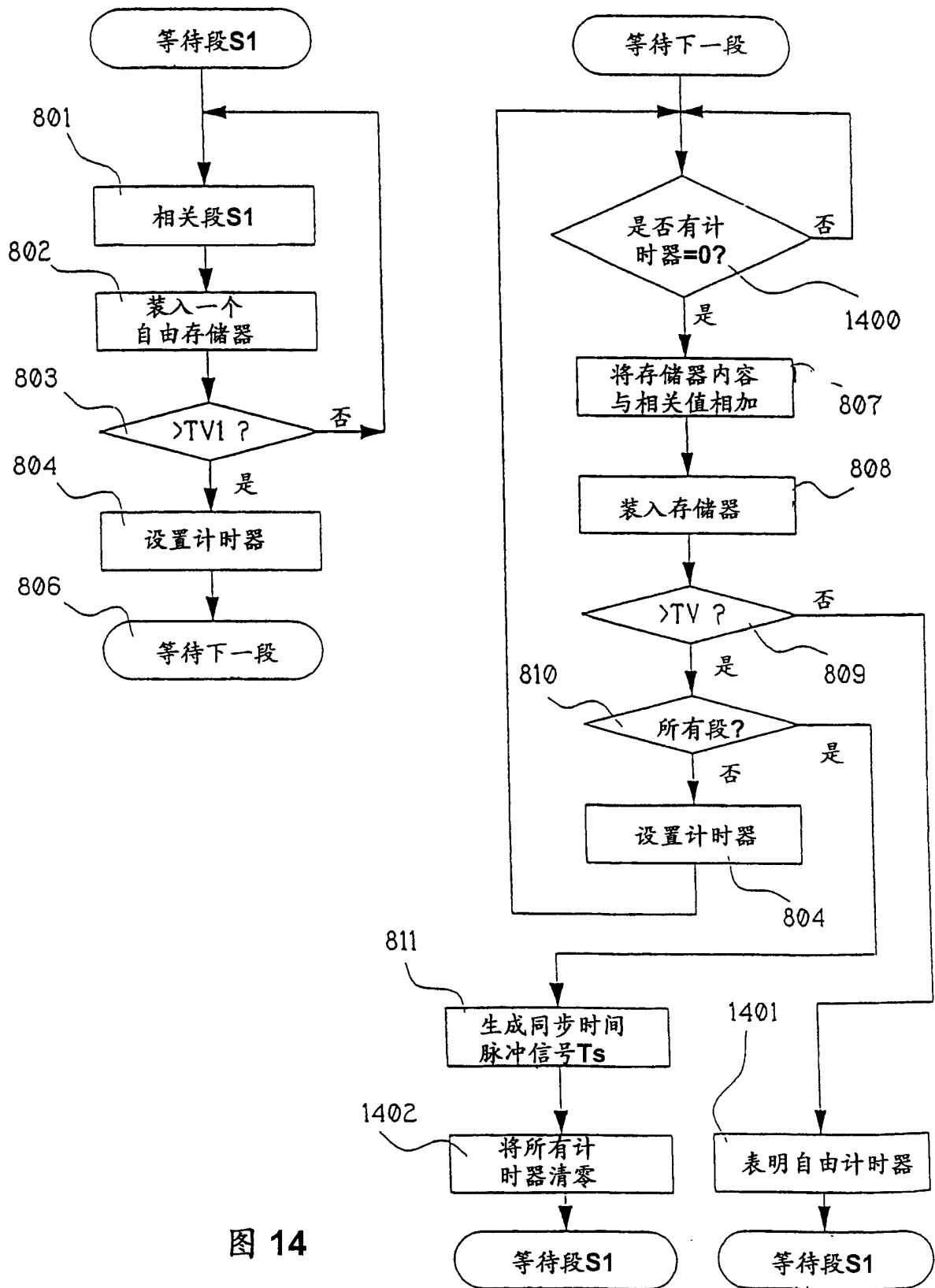


图 14

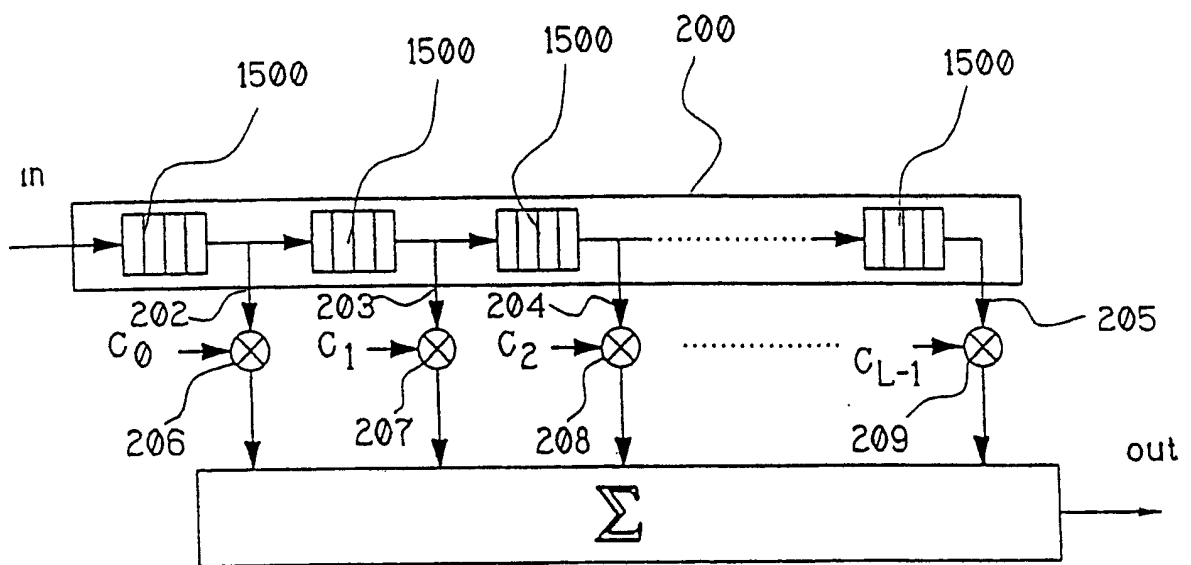


图 15