

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 1 日 (01.05.2014)



(10) 国际公布号
WO 2014/063380 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/083749
- (22) 国际申请日: 2012 年 10 月 30 日 (30.10.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210407135.0 2012 年 10 月 23 日 (23.10.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科罗斯特街 11#, NY 12603 (US)。 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD OF MOSFET

(54) 发明名称: MOSFET 的制造方法

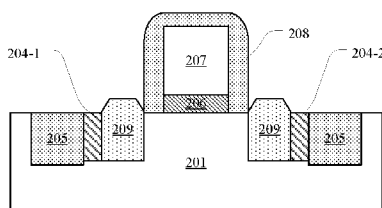


图12 / FIG. 12

(57) Abstract: Disclosed is a manufacturing method of an MOSFET, which comprises: forming a shallow trench in a semiconductor substrate (201), wherein the shallow trench surrounds an active region; carrying out first ion injection to one side wall of the active region through the shallow trench to form a first heavily doped region in the one side wall; carrying out second ion injection to an other opposite side wall of the active region through the shallow trench to form a second heavily doped region in the another side wall; filling the shallow trench with an insulating material to form a shallow trench isolation (205) for limiting the active region of the MOSFET; forming gate stack layers (206, 207) and an insulating layer (208) on the semiconductor substrate (201), the insulating layer (208) being used as a side wall surrounding the gate stack layers (206, 207) and a cap covering the gate stack layers (206, 207); forming an opening in the semiconductor substrate (201) by using the shallow trench isolation (205), the first heavily doped region (204-1), the second heavily doped region (204-2) and the insulating layer (208) as hard masks; growing epitaxially a semiconductor layer by using the bottom and the side wall of the opening as a growth seed layer; and carrying out ion injection to the semiconductor layer to form a source region (209) and a drain region (209).

(57) 摘要:

[见续页]



公开了一种制造 MOSFET 的方法，包括：在半导体衬底（201）中形成浅沟槽，该浅沟槽围绕有源区；经由浅沟槽对有源区的一个侧壁进行第一次离子注入，以在所述一个侧壁中形成第一重掺杂区；经由浅沟槽对有源区的相对的另一个侧壁进行第二次离子注入，以在所述另一个侧壁中形成第二重掺杂区；采用绝缘材料填充浅沟槽，以形成用于限定 MOSFET 的有源区的浅沟槽隔离（205）；在半导体衬底（201）上形成栅叠层（206、207）和绝缘层（208），该绝缘层（208）作为围绕栅叠层（206、207）的侧墙和覆盖栅叠层（206、207）的帽盖；以浅沟槽隔离（205）、第一重掺杂区（204-1）、第二重掺杂区（204-2）和绝缘层（208）作为硬掩膜在半导体衬底（201）中形成开口；以开口的底面和侧壁为生长籽层，外延生长半导体层；以及对半导体层进行离子注入以形成源区（209）和漏区（209）。

MOSFET 的制造方法

本申请要求了 2012 年 10 月 23 日提交的、申请号为 201210407135.0、发明名称为“MOSFET 的制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体器件的制造方法，更具体地，涉及应力增强的 MOSFET 的制造方法。

背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管（MOSFET）的尺寸按比例缩小，以提高集成度和降低制造成本。然而，在 MOSFET 的尺寸减小时，半导体材料的性能（例如迁移率）以及 MOSFET 自身的器件性能（例如阈值电压）均可能变劣。

通过向 MOSFET 的沟道区施加合适的应力，可以提高载流子的迁移率，从而减小导通电阻并提高器件的开关速度。当形成的器件是 n 型 MOSFET 时，应当沿着沟道区的纵向方向对沟道区施加拉应力，并且沿着沟道区的横向方向对沟道区施加压应力，以提高作为载流子的电子的迁移率。相反，当晶体管是 p 型 MOSFET 时，应当沿着沟道区的纵向方向对沟道区压应力，并且沿着沟道区的横向方向对沟道区施加拉应力，以提高作为载流子的空穴的迁移率。

采用与半导体衬底的材料不同的半导体材料形成源区和漏区，可以产生期望的应力。对于 n 型 MOSFET，在 Si 衬底上形成的 Si:C 源区和漏区可以作为应力源，沿着沟道区的纵向方向对沟道区施加拉应力。对于 p 型 MOSFET，在 Si 衬底上形成的 SiGe 源区和漏区可以作为应力源，沿着沟道区的纵向方向对沟道区施加压应力。

图 1-4 示出根据现有技术的方法制造应力增强的 MOSFET 的各个阶段的半导体结构的示意图，其中在图 1a、2a、3a、4a 中示出了半导体结构沿沟道区的纵向方向的截面图，在图 3b、4b 中示出了半导体结构沿沟道区的横向方向的截面图，在图 1b、2b、3c、4c 中示出了半导体结构的俯视图。在图中，线 AA 表示沿沟道区的纵向方向的截取位置，线 BB 表示沿沟道区的横向方向的截取位置。

该方法开始于图 1a 和 1b 所示的半导体结构，其中，在半导体衬底 101 中形成浅沟槽隔离 102 以限定 MOSFET 的有源区，在半导体衬底 101 上形成由侧墙 105 包围的栅叠层，栅叠层包括栅极电介质 103 和栅极导体 104。

以浅沟槽隔离 102、栅极导体 104 和侧墙 105 作为硬掩模，蚀刻半导体衬底 101，达到期望的深度，从而在半导体衬底 101 对应于源区和漏区的位置形成开口，如图 2a 和 2b 所示。

在半导体衬底 101 的位于开口内的暴露表面上，外延生长半导体层 106，以形成源区和漏区。半导体衬底 101 的位于栅极电介质 103 下方以及源区和漏区之间的一部分将作为沟道区。

半导体层 106 从半导体衬底 101 的表面开始生长，并且是选择性的。也即，半导体层 106 在半导体衬底 101 的不同晶面（crystalline surface）上的生长速率不同。在半导体衬底 101 由 Si 组成、以及半导体层 106 由 Ge 的原子百分比约为 10-15% 的 SiGe 组成的示例中，半导体层 106 在半导体衬底 101 的 {1 1 1} 晶面上生长最慢。结果，所形成的半导体层 106 不仅包括与半导体衬底 101 的表面平行的 (100) 主表面，而且在与浅沟槽隔离 102 和侧墙 105 相邻的位置还包括 {1 1 1} 刻面（facet），这称为半导体层 106 生长的边缘效应（edge effect），如图 3a、3b 和 3c 所示。

然而，半导体层 106 的小刻面是不期望的，因为这导致其自由表面的增加，使得半导体层 106 中的应力得以释放，从而减小对沟道区施加的应力。

进一步地，在半导体层 106 的表面进行硅化以形成金属硅化物层 107，如图 4a、4b 和 4c 所示。该硅化消耗半导体层 106 的一部分半导体材料。由于半导体层 106 的小刻面的存在，硅化可以沿着小刻面进行，最终可能到达半导体衬底 101。

然而，半导体衬底 101 中的硅化是不期望的，因为这可能在结区形成金属硅化物，导致结泄漏的增加。

因此，期望在应力增强的 MOSFET 抑制用于形成源区和漏区的半导体层的边缘效应。

发明内容

本发明的目的是提供一种提高沟道区应力和/或减小结泄漏的 MOSFET 的制造方法。

根据本发明，提供一种制造 MOSFET 的方法，包括：在半导体衬底中形成浅沟槽，

该浅沟槽围绕有源区；经由浅沟槽对有源区的一个侧壁进行第一次离子注入，以在所述一个侧壁中形成第一重掺杂区；经由浅沟槽对有源区的相对的另一个侧壁进行第二次离子注入，以在所述一个侧壁中形成第二重掺杂区；采用绝缘材料填充浅沟槽，以形成用于限定 MOSFET 的有源区的浅沟槽隔离；在半导体衬底上形成栅叠层和绝缘层，该绝缘层作为围绕栅叠层的侧墙和覆盖栅叠层的帽盖；以浅沟槽隔离、第一重掺杂区、第二重掺杂区和绝缘层作为硬掩模在半导体衬底中形成开口；以开口的底面和侧壁为生长籽层，外延生长半导体层；以及对半导体层进行离子注入以形成源区和漏区。

该方法利用由半导体层形成的源区和漏区对半导体衬底中的沟道区施加应力。由于在外延生长时以开口的底面和侧壁为生长籽层，因此半导体层可以完全填充半导体衬底中的开口。半导体层的 {1 1 1} 刻面仅仅位于其继续生长部分中，从而抑制了边缘效应的影响。

附图说明

图 1-4 示出根据现有技术的方法制造应力增强的 MOSFET 的各个阶段的半导体结构的示意图，其中在图 1a、2a、3a、4a 中示出了半导体结构沿沟道区的纵向方向的截面图，在图 3b、4b 中示出了半导体结构沿沟道区的横向方向的截面图，在图 1b、2b、3c、4c 中示出了半导体结构的俯视图。

图 5-12 示出根据本发明的方法的实施例制造应力增强的 MOSFET 的各个阶段的半导体结构的示意图，其中在图 5-6、7a、8a、9-12 中示出了半导体结构沿沟道区的纵向方向的截面图，在图 7b、8b 中示出了半导体结构的俯视图。

具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接

在……上面”或“在……上面并与之邻接”的表述方式。

在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域；术语“沟道区的纵向方向”指从源区到漏区和方向，或相反的方向；术语“沟道区的横向方向”在与半导体衬底的主表面平行的平面内与沟道区的纵向方向垂直的方向。例如，对于在{1 0 0}硅晶片上形成的MOSFET，沟道区的纵向方向通常沿着硅晶片的<110>方向，沟道区的横向方向通常沿着硅晶片的<011>方向。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，MOSFET的各个部分可以由本领域的技术人员公知的材料构成。半导体材料例如包括III-V族半导体，如GaAs、InP、GaN、SiC，以及IV族半导体，如Si、Ge。栅极导体可以由能够导电的各种材料形成，例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅极导体或者是其他导电材料，例如为TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuO_x和所述各种导电材料的组合。栅极电介质可以由SiO₂或介电常数大于SiO₂的材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括SiO₂、HfO₂、ZrO₂、Al₂O₃、TiO₂、La₂O₃，氮化物例如包括Si₃N₄，硅酸盐例如包括HfSiO_x，铝酸盐例如包括LaAlO₃，钛酸盐例如包括SrTiO₃，氧氮化物例如包括SiON。并且，栅极电介质不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅极电介质的材料。

按照本发明的实施例，执行图5至12中所示的以下步骤以制造应力增强的MSOFET，在图中示出了不同阶段的半导体结构的截面图。如果必要，在图中还示出了俯视图，在俯视图中采用线AA表示沿沟道区的纵向方向的截取位置。

该方法开始于图5所示的半导体结构，在半导体衬底201上依次形成衬垫氧化物层202和衬垫氮化物层203。半导体衬底201例如由Si组成。衬垫氧化物层202例如由氧化硅组成，厚度约为2-5nm。衬垫氮化物层203例如由氮化硅组成，厚度约为10-50nm。正如已知的那样，衬垫氧化物层202可以减轻半导体衬底201和衬垫氮化物层203之间的应力。衬底氮化物层205在随后的蚀刻步骤中用作硬掩模。

用于形成上述各层的工艺是已知的。例如，通过热氧化形成衬垫氧化物层 202。例如，通过化学气相沉积形成衬垫氮化物层 203。

然后，通过旋涂在衬垫氮化物层 203 上形成光致抗蚀剂层（未示出），并通过其中包括曝光和显影的光刻工艺将光致抗蚀剂层形成浅沟槽隔离的图案。利用光致抗蚀剂层作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，从上至下依次去除衬垫氮化物层 203 和衬垫氧化物层 202 的暴露部分。该蚀刻在半导体衬底 201 的表面停止，并且在衬垫氮化物层 203 和衬垫氧化物层 202 形成浅沟槽隔离的图案。通过在溶剂中溶解或灰化去除光致抗蚀剂层。

利用衬垫氮化物层 203 和衬垫氧化物层 202 一起作为硬掩模，通过已知的干法蚀刻或湿法蚀刻，蚀刻半导体衬底 201 达期望的深度，从而在半导体衬底 201 中形成浅沟槽，如图 6 所示。正如本领域的技术人员可以理解的那样，该浅沟槽围绕 MOSFET 的有源区。

然后，通过旋涂在衬垫氮化物层 203 上形成光致抗蚀剂层 PR1，并通过光刻工艺将光致抗蚀剂层 PR1 形成图案，从而在将要形成的沟道区的纵向方向上经由浅沟槽暴露有源区的一个侧壁。以光致抗蚀剂层 PR1 作为掩模，经由浅沟槽对有源区的暴露的一个侧壁进行第一次离子注入，以形成重掺杂区 204-1，如图 7a 和 7b 所示。为了在有源区的暴露的一个侧壁（图中的左侧的侧壁）上形成重掺杂区 204-1，第一次离子注入相对于垂直方向倾斜预定的角度。在一个示例中，第一次离子注入的掺杂剂例如是 BF_2 或 B，注入能量小于 1keV，注入剂量大于 $5 \times 10^{14} \text{ cm}^{-2}$ ，使得重掺杂区 204-1 的峰值掺杂水平大于 $7 \times 10^{19} \text{ cm}^{-3}$ 。然后，通过在溶剂中溶解或灰化去除光致抗蚀剂层 PR1。

然后，通过旋涂在衬垫氮化物层 203 上形成光致抗蚀剂层 PR2，并通过光刻工艺将光致抗蚀剂层 PR2 形成图案，从而在将要形成的沟道区的纵向方向上经由浅沟槽暴露有源区的另一个侧壁。以光致抗蚀剂层 PR2 作为掩模，经由浅沟槽对有源区的暴露的另一个侧壁进行第二次离子注入，以形成重掺杂区 204-2，如图 8a 和 8b 所示。为了在有源区的暴露的另一个侧壁（图中的右侧的侧壁）上形成重掺杂区 204-2，第二次离子注入相对于垂直方向倾斜预定的角度。第二次离子注入的工艺条件与第一次离子注入相同。然后，通过在溶剂中溶解或灰化去除光致抗蚀剂层 PR2。

然后，通过已知的沉积工艺，在半导体结构的表面上形成绝缘材料层（未示出）。

该绝缘材料层填充浅沟槽。通过化学机械抛光（CMP）去除绝缘材料层位于浅沟槽外部的部分，并且进一步去除衬垫氮化物层 203 和衬垫氧化物层 202。绝缘材料层留在浅沟槽内的部分形成浅沟槽隔离 205，如图 9 所示。正如本领域的技术人员可以理解的那样，浅沟槽隔离 205 限定 MOSFET 的有源区。

然后，通过已知的沉积工艺，在半导体结构的表面上依次形成电介质层以及多晶硅层，对其进行图案化，从而形成包括栅极电介质 206 和栅极导体 207 的栅极叠层。接着，通过上述已知的工艺，在半导体结构的整个表面上沉积例如 10-50 纳米的氮化物层 208，然后通过各向异性蚀刻形成包围栅叠层的侧墙和帽盖，如图 10 所示。

然后，以浅沟槽隔离 205、重掺杂区 204-1 和 204-2、氮化物层 208 作为硬掩模，蚀刻半导体衬底 201，达到期望的浓度，从而在半导体衬底 201 对应于源区和漏区的位置形成开口，如图 11 所示。该蚀刻是各向异性或各向性的，然而，由于蚀刻的选择性，重掺杂区 204-1 和 204-2 基本上未受到蚀刻。例如，在该蚀刻中采用的蚀刻剂可以是四甲基氢氧化铵（Tetramethylammonium hydroxide，缩写为 TMAH）或氢氧化钾（KOH）等溶液。

然后，在半导体衬底 201 的开口内，外延生长半导体层 209。需要注意的是，这个开口并不一定如图 11 所示，例如该开口位于栅极叠层以及侧墙和帽盖 208 的两侧的侧壁可能是湿法腐蚀形成的“ Σ ”型侧壁，侧壁晶面指数为 $\{1\ 1\ 1\}$ 。半导体层 209 从半导体衬底 201 的开口的底面和侧壁开始生长，并且是选择性的。也即，半导体层 209 在半导体衬底 201 的不同晶面上的生长速率不同。在半导体衬底 201 由 Si 组成、以及半导体层 209 由 SiGe 组成的 p 型 MOSFET 的示例中，半导体层 209 在半导体衬底 201 的 $\{1\ 1\ 1\}$ 晶面上生长最慢。然而，与现有技术不同，半导体衬底 201 中的开口的底面和侧壁均由半导体材料组成。重掺杂区 204-1 和 204-2 作为开口的侧壁的一部分，虽然在蚀刻步骤中相对于半导体衬底 201 表现出选择性，但在外延生长半导体层 209 时晶体学特性与半导体衬底 201 相似，因而也作为生长籽层。结果，半导体层 209 可以完全填充半导体衬底 201 的开口。

在完全填充该开口之后，半导体层 209 失去开口侧壁的生长籽层，并继续自由外延生长。结果，半导体层 209 的继续生长部分不仅包括与半导体衬底 201 的表面平行的（100）主表面，而且在与氮化物层 208 和侧墙 208 相邻的位置还包括 $\{1\ 1\ 1\}$ 刻面，如图 12 所示。

半导体层 209 的 $\{1\ 1\ 1\}$ 刻面仅仅位于其继续生长部分中。半导体层 209 的位于

半导体衬底 201 的开口内的部分具有受约束的底面和侧壁。因此，半导体层 209 的刻面并未不利地影响对沟道区施加的应力。

尽管未示出，在图 5-12 所示的步骤之后，按照常规的工艺对半导体层 209 进行离子注入，然后例如在约 1000-1080℃ 的温度下执行尖峰退火 (spike anneal)，以激活通过先前的注入步骤而注入的掺杂剂并消除注入导致的损伤，从而形成源区和漏区。半导体衬底的位于栅极电介质 206 下方以及源区和漏区之间的一部分作为沟道区。

优选地，在半导体层 209 的表面进行硅化以形成金属硅化物层，以减小源区和漏区的接触电阻。

该硅化的工艺是已知的。例如，首先沉积厚度约为 5-12nm 的 Ni 层，然后在 300-500℃ 的温度下热处理 1-10 秒钟，使得半导体层 209 的表面部分形成 NiSi，最后利用湿法蚀刻去除未反应的 Ni。

该硅化消耗半导体层 209 的一部分半导体材料。由于半导体层 209 的小刻面的存在，硅化可以沿着小刻面进行。由于半导体层 209 完全填充半导体衬底 201 的开口，硅化并未到达半导体衬底 201。

在图 12 所示的步骤之后，在所得到的半导体结构上形成层间绝缘层、位于层间绝缘层中的通孔、位于层间绝缘层上表面的布线或电极，从而完成 MOSFET 的其他部分。

尽管在上述实施例中描述了应力增强的 p 型 MOSFET 及其中使用的应力源的材料，但本发明同样适应于应力增强的 n 型 MOSFET。在 n 型 MOSFET 中，半导体衬底 201 例如由 Si 组成，半导体层 209 例如由 Si:C 组成，用于形成源区和漏区，并且作为沿着沟道区的纵向方向对沟道区施加拉应力的应力源。除了应力源的材料不同之外，可以采用与上述方法类似的方法制造应力增强的 n 型 MOSFET。

以上描述只是为了示例说明和描述本发明，而非意图穷举和限制本发明。因此，本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改，均在本发明的保护范围之内。

权 利 要 求

1、一种制造 MOSFET 的方法，包括：

在半导体衬底中形成浅沟槽，该浅沟槽围绕有源区；

经由浅沟槽对有源区的一个侧壁进行第一次离子注入，以在所述一个侧壁中形成第一重掺杂区；

经由浅沟槽对有源区的相对的另一个侧壁进行第二次离子注入，以在所述一个侧壁中形成第二重掺杂区；

采用绝缘材料填充浅沟槽，以形成用于限定 MOSFET 的有源区的浅沟槽隔离；

在半导体衬底上形成栅叠层和绝缘层，该绝缘层作为围绕栅叠层的侧墙和覆盖栅叠层的帽盖；

以浅沟槽隔离、第一重掺杂区、第二重掺杂区和绝缘层作为硬掩模在半导体衬底中形成开口；

以开口的底面和侧壁为生长籽层，外延生长半导体层；以及

对半导体层进行离子注入以形成源区和漏区。

2、根据权利要求 1 所述的方法，其中形成浅沟槽的步骤包括：

在半导体衬底上形成包括浅沟槽隔离的图案的第一硬掩模；以及

蚀刻半导体衬底以形成浅沟槽。

3、根据权利要求 2 所述的方法，其中所述第一硬掩模包括位于半导体衬底上的衬垫氧化物层和位于衬垫氧化物层上的衬垫氮化物层。

4、根据权利要求 1 所述的方法，其中第一次离子注入包括：

形成第一光致抗蚀剂掩模，该第一光致抗蚀剂掩模遮挡有源区的所述另一个侧壁，并暴露有源区的所述一个侧壁；

经由浅沟槽隔离对有源区的暴露的所述一个侧壁进行第一次离子注入；以及

去除第一光致抗蚀剂掩模。

5、根据权利要求 1 所述的方法，其中第二次离子注入包括：

形成第二光致抗蚀剂掩模，该第二光致抗蚀剂掩模遮挡有源区的所述一个侧壁，并暴露有源区的所述另一个侧壁；

经由浅沟槽隔离对有源区的暴露的所述另一个侧壁进行第二次离子注入；以及

去除第二光致抗蚀剂掩模。

6、根据权利要求 1 所述的方法，其中第一次离子注入和第二次离子注入的掺杂剂是选自 BF₂ 和 B 中的至少一种。

7、根据权利要求 1 所述的方法，其中第一次离子注入和第二次离子注入相对于垂直方向倾斜预定的角度。

8、根据权利要求 1 所述的方法，其中所述 MOSFET 为 p 型 MOSFET。

9、根据权利要求 8 所述的方法，其中所述半导体衬底由 Si 组成，所述半导体层由 SiGe 组成。

10、根据权利要求 1 所述的方法，其中所述 MOSFET 为 n 型 MOSFET。

11、根据权利要求 10 所述的方法，其中所述半导体衬底由 Si 组成，所述半导体层由 Si:C 组成。

12、根据权利要求 1 所述的方法，其中在形成源区和漏区之后中，还包括：
执行硅化以在源区和漏区的表面形成金属硅化物。

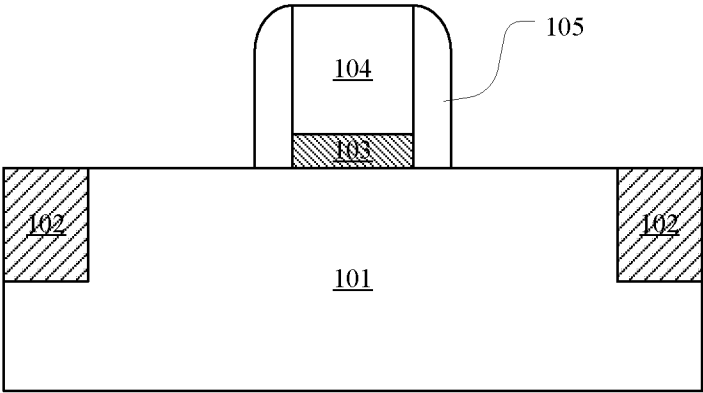


图1a

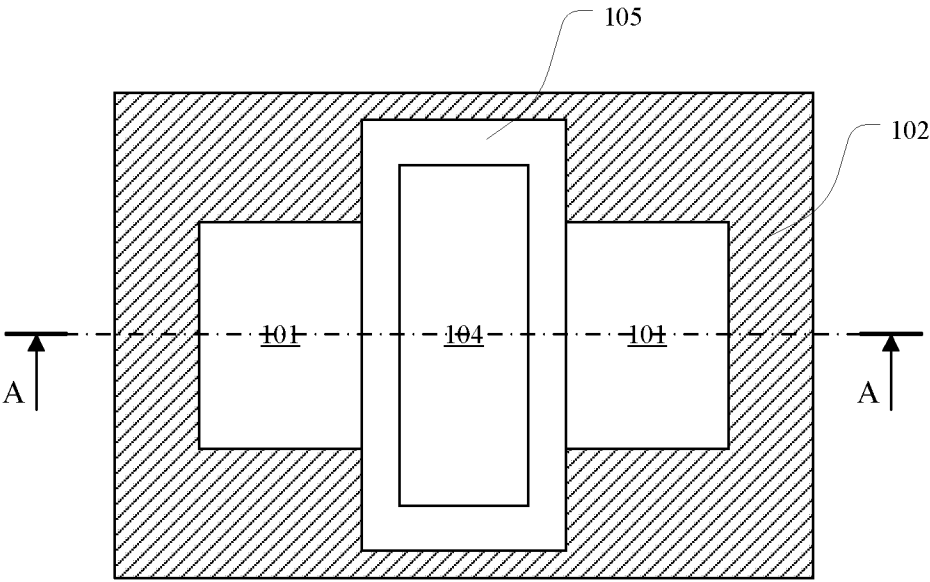


图1b

2/10

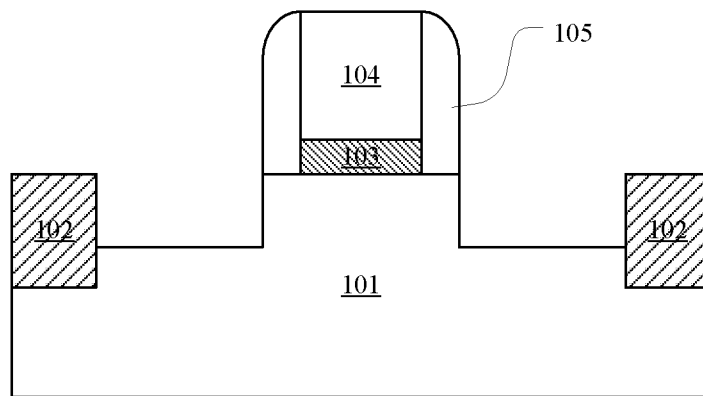


图2a

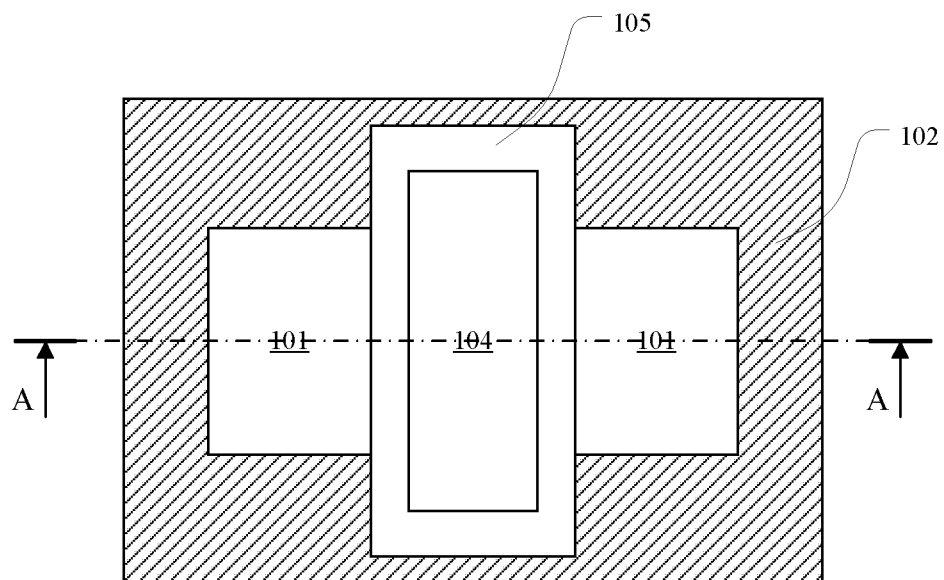


图2b

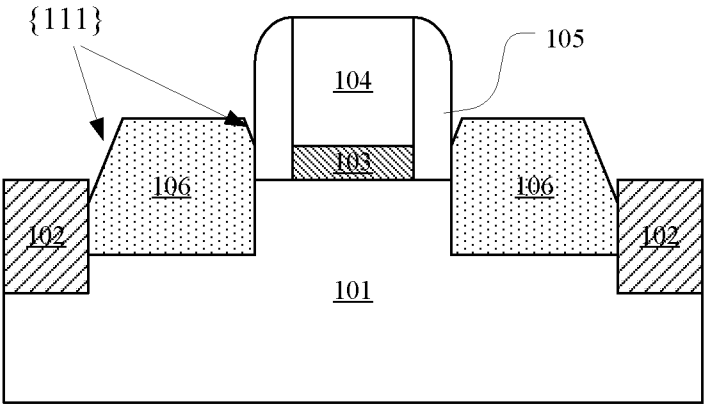


图3a

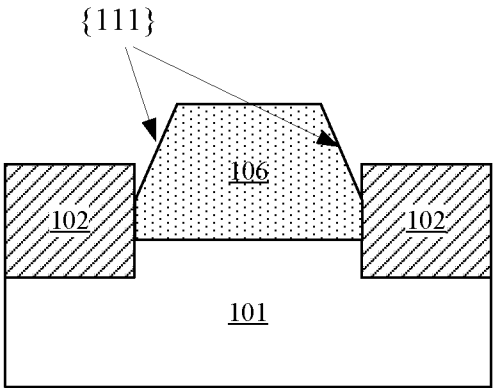


图3b

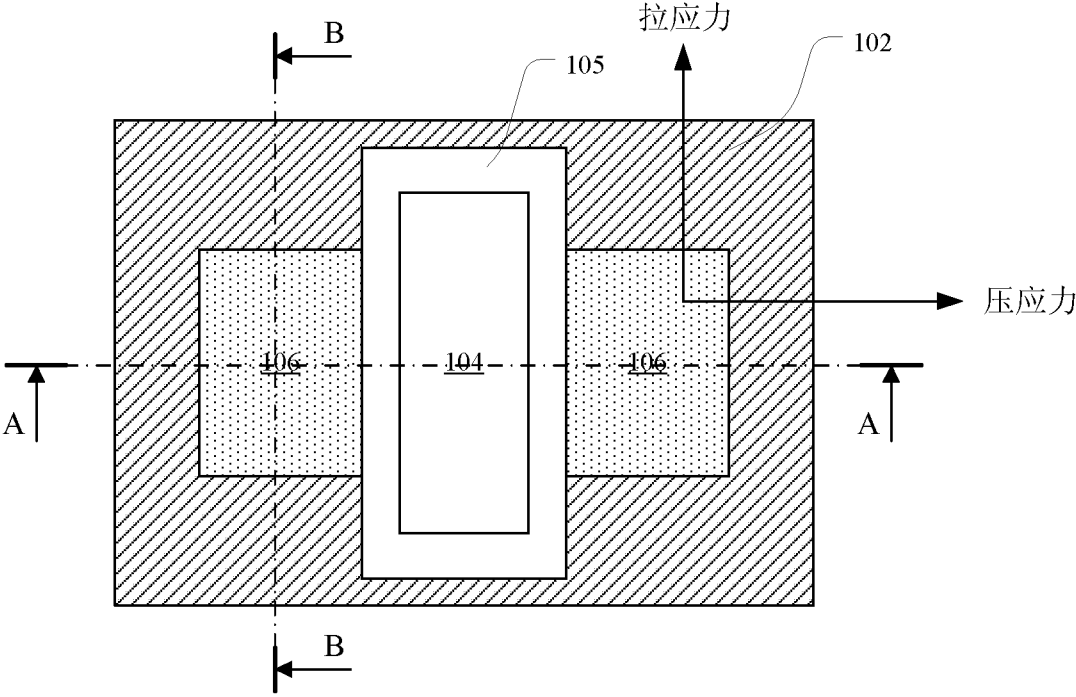


图3c

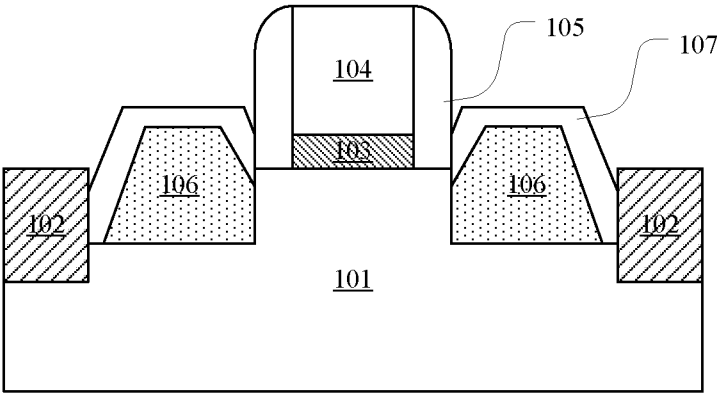


图4a

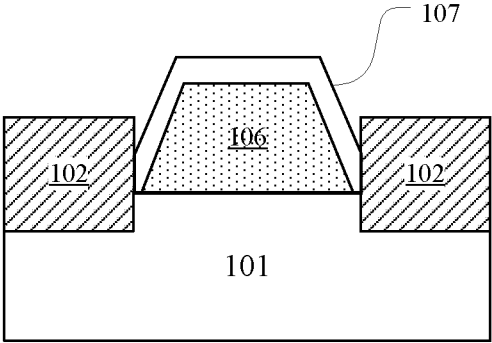


图4b

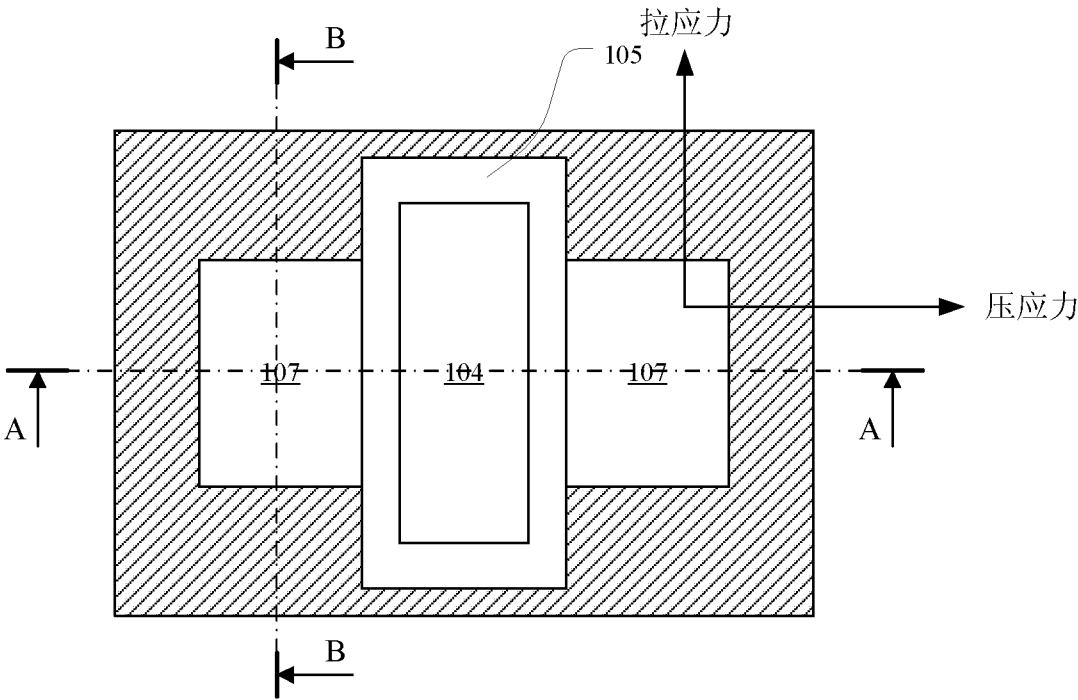


图4c

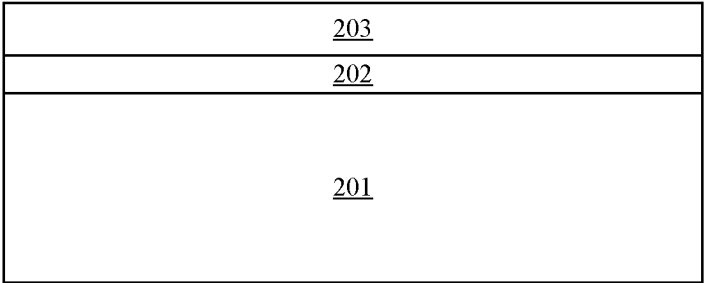


图5

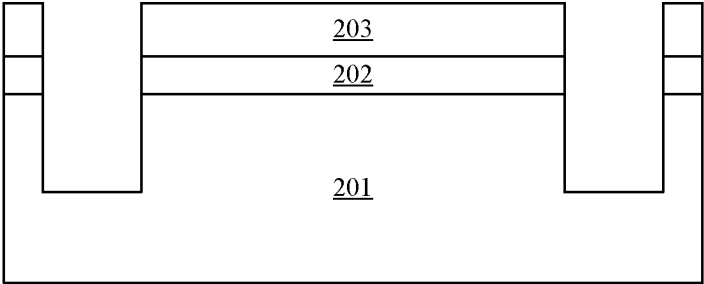


图6

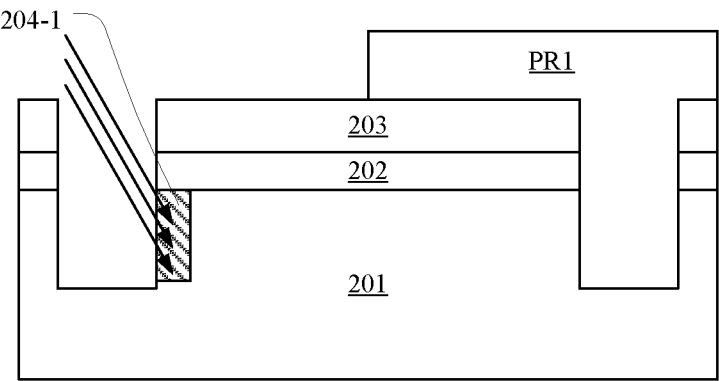


图 7a

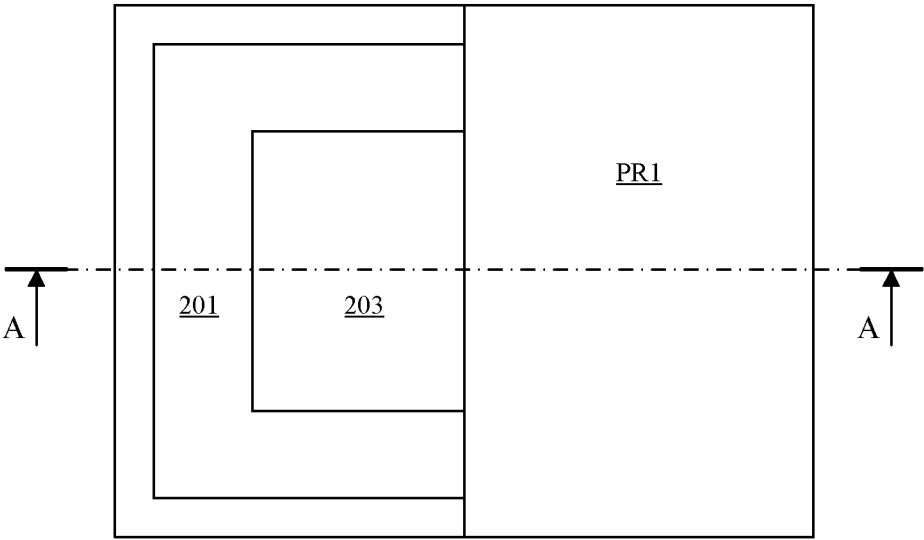


图 7b

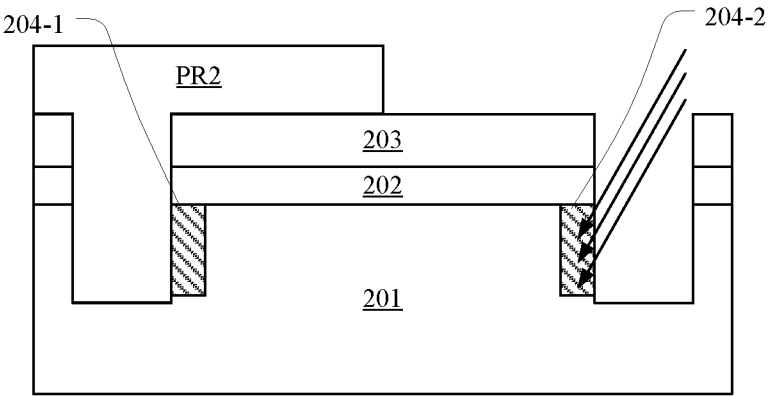


图8a

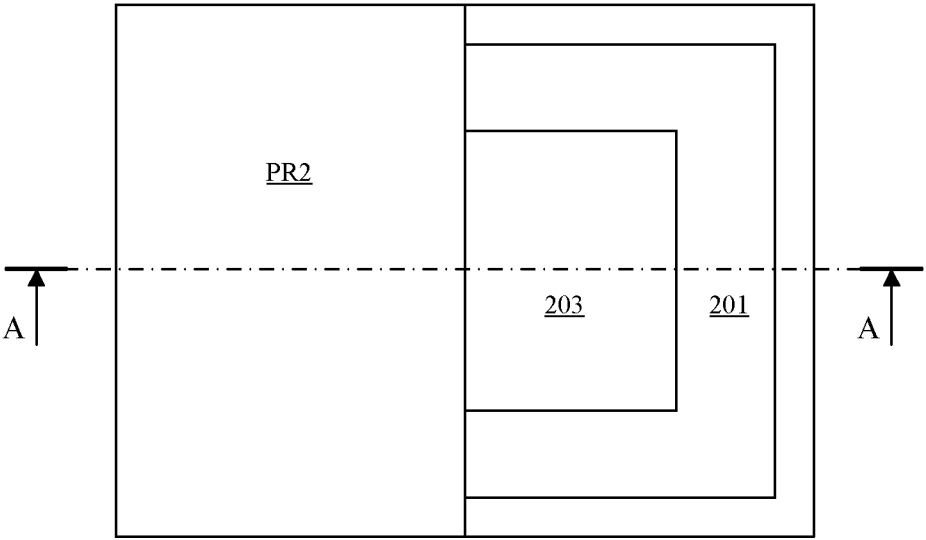


图8b

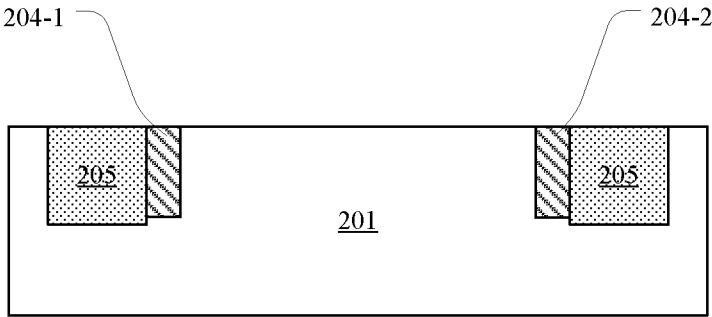


图9

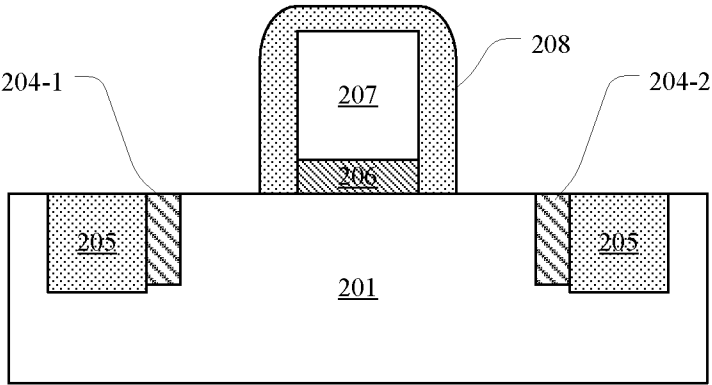


图10

10/10

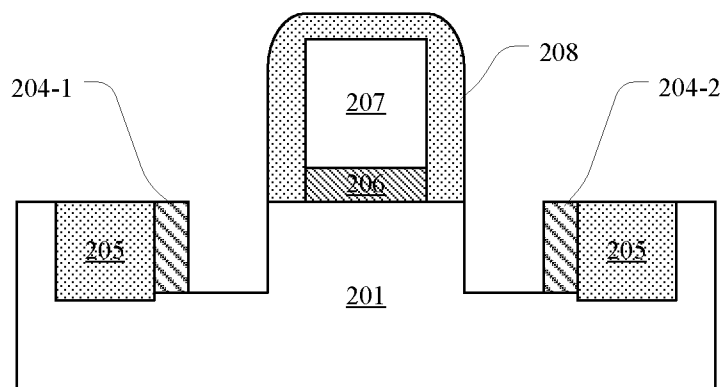


图11

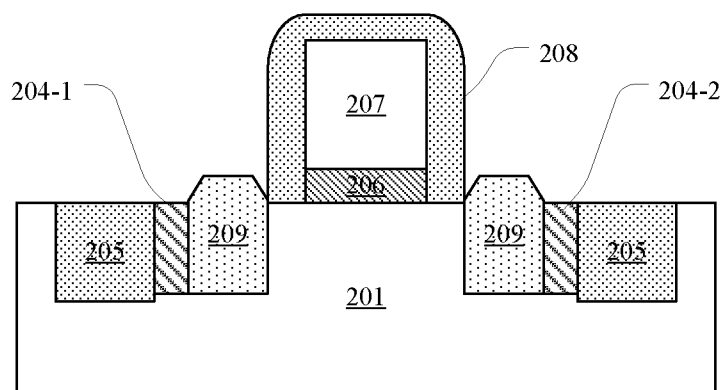


图12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/083749

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNKI: ion implanting, doping, sidewall, trench, source, drain, stress

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102623487 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 01 August 2012 (01.08.2012) paragraphs [0025] to [0034] and figures 7 to 11	1-12
A	US 2008150037 A1 (TEO et al.) 26 June 2008 (26.06.2008) the whole document	1-12
A	US 2009267149 A1 (HUA et al.) 29 October 2009 (29.10.2009) the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 April 2013 (12.04.2013)	Date of mailing of the international search report 06 June 2013 (06.06.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Xin Telephone No. (86-10) 62411567

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/083749

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102623487 A	01.08.2012	WO 2012100396 A1	02.08.2012
		US 20130037821 A1	14.02.2013
US 2008150037 A1	26.06.2008	US 7727856 B2	01.06.2010
		SG 144067 A1	29.07.2008
		SG 163522 A1	30.08.2010
US 2009267149 A1	29.10.2009	US 7932136 B2	26.04.2011

国际检索报告

国际申请号

PCT/CN2012/083749

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN: ion implanting, doping, sidewall, trench, source, drain

CNABS, CNKI: 侧壁, 离子注入, 掺杂, 外延, 源, 漏, 应力

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN102623487 A (中国科学院微电子研究所) 01.8 月 2012 (01.08.2012) 第[0025]-[0034]段; 附图 7-11	1-12
A	US2008150037 A1 (TEO et al.) 26.6 月 2008 (26.06.2008) 全文	1-12
A	US2009267149 A1 (HUA et al.) 29.10 月 2009 (29.10.2009) 全文	1-12

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

12.4 月 2013 (12.04.2013)

国际检索报告邮寄日期

06.6 月 2013 (06.06.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王欣

电话号码: (86-10) **62411567**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/083749

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102623487 A	01.08.2012	WO2012100396 A1	02.08.2012
		US20130037821 A1	14.02.2013
US2008150037 A1	26.06.2008	US7727856 B2	01.06.2010
		SG144067 A1	29.07.2008
		SG163522 A1	30.08.2010
US2009267149 A1	29.10.2009	US7932136 B2	26.04.2011