

(12) 发明专利

(10) 授权公告号 CN 101399222 B

(45) 授权公告日 2010.09.15

(21) 申请号 200810085229.4

(22) 申请日 2008.03.10

(30) 优先权数据

11/860,122 2007.09.24 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 陈宪伟 蔡豪益 郑心圃 刘豫文

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 陈晨 吴世华

(51) Int. Cl.

H01L 21/768(2006.01)

审查员 张一文

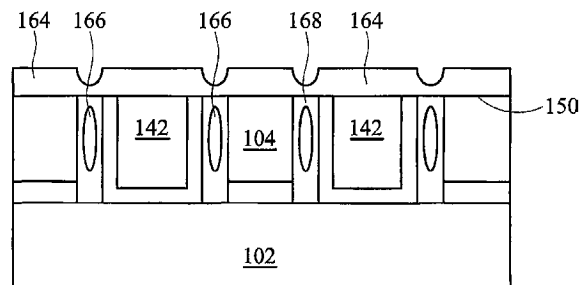
权利要求书 2 页 说明书 5 页 附图 11 页

(54) 发明名称

具有空气间隙的半导体元件的制造方法

(57) 摘要

本发明提供一种具有空气间隙的半导体元件的制造方法,该方法包括以下步骤,提供一牺牲层于一介电层上,且于其中形成多个开口,牺牲层是一毯覆层,且其氧化成一可通过一蚀刻组成来蚀刻的材料,介电材料和后续形成的内连接层则对此蚀刻组成具有蚀刻阻挡的特性。在沉积内连接层后,提供一包括部分介电材料、转换材料的垂直部分和部分的内连接层的平坦化表面。以上述蚀刻组成将转换材料移除,形成多个孔洞,于上述的结构上形成一盖层,产生空气间隙。另外,可于内连接结构和牺牲材料间形成一侧壁保护层,在本发明的实施例中,可于介电材料上形成一抗反射层,且抗反射层形成部分的平坦表面。



1. 一种具有空气间隙的半导体元件的制造方法,包括:
 - 形成一半导体结构于一基底上,该半导体结构于至少一材料层中包括多个开口,该材料层对于一蚀刻物具有蚀刻抵抗特性;
 - 沉积一毯覆性薄膜于该材料层上方,该毯覆性薄膜包括:沿着所述开口的侧壁的垂直部分、和位于该材料层上方与所述开口底部的水平部分;
 - 将该毯覆性薄膜全部氧化为一转换层,该转换层可为该蚀刻物移除;
 - 移除所述毯覆性薄膜的水平部分;
 - 将一内连接层填入所述开口中,该内连接层对于该蚀刻物具有蚀刻抵抗特性,且提供一包括上表面的结构,该上表面包括至少该材料层、所述垂直部分和部分该内连接层的表面;
 - 选择性移除该转换层的垂直部分,以形成多个孔洞;以及
 - 形成一盖层于该上表面和所述孔洞上方,以于所述孔洞中形成空气间隙。
2. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中所述水平部分位于该材料层上方,且沿着所述开口的底部部分设置,移除所述水平部分的步骤包括非等向性蚀刻所述水平部分,而不对所述垂直部分造成损伤。
3. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中所述开口包括多个平行的沟槽,该内连接层于所述沟槽中形成导电内连线,且所述空气间隙位于所述沟槽间。
4. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该填入所述开口的步骤包括:沉积该内连接层,填入所述开口和该材料层上方,该提供的步骤包括以一化学机械研磨法形成该上表面,且该上表面是平坦的。
5. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该内连接层包括一阻障层和铜。
6. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该毯覆性薄膜包括SiC,且该氧化步骤包括对该毯覆性薄膜进行灰化,以氧化该毯覆性薄膜。
7. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该毯覆性薄膜为SiOC、SiC、FSG或包含CH₃基团的材料。
8. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中所述开口为双镶嵌开口。
9. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该材料层为一低介电材料层。
10. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,在该移除所述毯覆性薄膜的水平部分的步骤前,还包括沿着该毯覆性薄膜的垂直部分形成一侧壁保护层。
11. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,其中该半导体结构包括至少一进阶材料层,该进阶材料层是位于该材料层上的抗反射层,且该进阶材料层对于该蚀刻物有蚀刻抵抗特性,一蚀刻停止层位于该材料层下,所述开口穿过该进阶材料层。
12. 如权利要求1所述的具有空气间隙的半导体元件的制造方法,还包括一抗反射层,形成于该材料层上方,其中:
 - 该材料层包括一介电层;

所述开口延伸穿过该抗反射层；

该毯覆性薄膜沉积于该抗反射层上方；

该抗反射层对于该蚀刻物有蚀刻抵抗特性；及

该填入和提供的步骤包括沉积该内连接层于该抗反射层上方，从该材料层上方移除部分该内连接层，且移除该抗反射层。

13. 如权利要求 1 所述的具有空气间隙的半导体元件的制造方法，其中该材料层是由一介电层和位于该介电层上方的抗反射层所构成的复合层。

14. 如权利要求 1 所述的具有空气间隙的半导体元件的制造方法，其中该上表面是平坦的表面，且包括所述垂直部分的顶部边缘。

15. 一种具有空气间隙的半导体元件的制造方法，包括：

形成一半导体结构于一基底上，该半导体结构是由一介电层和位于该介电层上方的抗反射层所构成的复合材料层，该半导体结构包括多个开口，延伸穿过至少该复合材料层，该复合材料层对于一蚀刻物具有蚀刻抵抗特性；

沉积一毯覆性薄膜于该材料层上方，且填入所述开口，该毯覆性薄膜包括多个垂直部分和水平部分，所述垂直部分沿着所述开口的侧壁，所述水平部分形成于该材料层上方与所述开口底部；

将该毯覆性薄膜全部氧化为一可为该蚀刻物移除的转换氧化材料；

使用一非等向性蚀刻工艺移除所述水平部分，且不对所述垂直部分造成损伤；

将一内连接层填入所述开口中，该内连接层对于该蚀刻物具有蚀刻抵抗特性，且产生一包括一上表面的结构，该上表面包括至少该材料层、所述垂直部分和部分该内连接层的表面。

以该蚀刻物进行一蚀刻步骤，以移除该转换氧化材料的垂直部分，产生多个孔洞；及

形成一盖层于该上表面和所述孔洞的上方，以于所述孔洞中形成空气间隙。

16. 如权利要求 15 所述的具有空气间隙的半导体元件的制造方法，其中所述开口包括平行的双镶嵌沟槽，该内连接层包括一阻障层和导电材料，该填入步骤还包括形成该内连接层于复合材料层上方，该产生的步骤包括平坦化以从该复合材料层上方移除部分该内连接层，该上表面包括部分该阻障层和该导电材料的表面。

具有空气间隙的半导体元件的制造方法

技术领域

[0001] 本发明涉及一种半导体元件工艺,特别涉及一种半导体元件的内连接结构和减少内连接线间电容的方法。

背景技术

[0002] 当半导体工业将工艺技术演进至 90nm 以下,相邻内连接线间的距离变得越来越小,半导体工艺以低介电材料取代例如氧化硅的层间介电层,以降低相邻内连接线的电容,然而,当工艺技术演进至 32 ~ 45nm,电容的问题变得更加严重。公知用以降低内连接线间电容的方法包括将例如氟硅玻璃 (FSG)、掺杂碳的氧化硅 (Applied Material 公司生产的 Black Diamond) 的低介电材料,或介电常数低于 2.5 的超低介电材料 (extreme low-k, ELK) 运用于层间介电层 (ILD) 或金属间介电层 (IMD)。

[0003] 低介电材料的机械应力较低,且在使用超低介电材料 (ELK) 时,会遇到许多可靠度的问题,尤以封装问题更为严重。超低介电材料薄膜的应力小于低介电材料薄膜的应力的 50%,当低介电材料和超低介电材料一起使用时,晶片和封装基底间热匹配的不同,会使层间介电层材料产生破裂或脱层 (delamination) 的问题。此外,超低介电材料的成本相当高,在使用超低介电材料时,需用到相当复杂的工艺,例如封孔工艺、紫外光 / 电子束固化或类似的工艺,而这些工艺均会增加成本和单位产品的生产时间。超低介电材料的热传导率较低 (约小于 0.2W/m-c),会妨碍热消散和产生电致迁移或其它热相关的可靠度问题,因此,根据上述,超低介电材料工艺有许多缺点。

[0004] 美国专利公开号第 2005/0074961 号和第 2005/0074960 号揭示于半导体元件中制作出空气间隙 (air gap) 的方法,其利用空气的介电和绝缘特性。上述发明采用以下方法形成空气间隙:通过改变局部第一介电层的化学和 / 或机械特性,因此,至少部分的第一介电层被转换成可被第一蚀刻物蚀刻的型态。在上述发明中,介电材料的局部变化是通过包括含氧等离子体或含氟等离子体的非等向性蚀刻达成,或于另一环境进行氧化步骤达成,例如紫外光 / 臭氧处理或添加超临界二氧化碳作为氧化剂。在形成导线或保护层之后,通过第一蚀刻物形成空气间隙,空气间隙形成于双镶嵌结构中邻近沟槽或插塞的部位,可降低相邻内连接结构的电容,相当于使用超低介电材料的效果。

发明内容

[0005] 根据上述问题,本发明提供一种减少内连接线电容的方法。

[0006] 本发明提供一种具有空气间隙的半导体元件的制造方法,包括以下步骤:形成一半导体结构于一基底上,半导体结构于至少一材料层中包括多个开口,材料层对于一蚀刻物具有蚀刻抵抗特性。沉积一毯覆性薄膜于材料层上方,毯覆性薄膜包括沿着开口的侧壁的垂直部分,和位于该材料层上方与所述开口底部的水平部分。将毯覆性薄膜全部氧化为一转换层,转换层可为蚀刻物移除。移除毯覆性薄膜的水平部分。将一内连接层填入开口中,内连接层对于蚀刻物具有蚀刻抵抗特性,且提供一包括上表面的结构,上表面包括至少

材料层、垂直部分和部分内连接层的表面；选择性移除该转换层的垂直部分，以形成多个孔洞；以及形成一盖层于该上表面和所述孔洞上方，以于所述孔洞中形成空气间隙。

[0007] 本发明提供一种具有空气间隙的半导体元件的制造方法，包括以下步骤：形成一半导体结构于一基底上，半导体结构是由一介电层和位于该介电层上方的抗反射层所构成的复合材料层，该半导体结构包括多个开口，延伸穿过复合材料层，复合材料层对于一蚀刻物具有蚀刻抵抗特性。沉积一毯覆性薄膜于材料层上方且填入开口，毯覆性薄膜包括多个垂直部分和水平部分，垂直部分是沿着开口的侧壁，所述水平部分形成于该材料层上方与所述开口底部。将毯覆性薄膜全部氧化为一可为蚀刻物移除的转换氧化材料。使用一非等向性蚀刻工艺移除水平部分，且不对垂直部分造成损伤。将一内连接层填入开口中，内连接层对于蚀刻物具有蚀刻抵抗特性，且产生一包括一上表面的结构，上表面包括至少材料层、垂直部分和部分内连接层的表面。以蚀刻物进行一蚀刻步骤，移除转换氧化材料的垂直部分，产生多个孔洞。形成一盖层于该上表面和孔洞的上方，以于孔洞中形成空气间隙。

附图说明

[0008] 图 1A ~ 图 1I 显示本发明一实施例半导体元件制造方法的剖面图。

[0009] 图 2A ~ 图 2C 显示本发明另一实施例半导体元件制造方法的剖面图。

[0010] 图 3A ~ 图 3H 揭示本发明另一实施例半导体元件制造方法的剖面图。

[0011] 其中，附图标记说明如下：

[0012] 102 ~ 基底；104 ~ 材料层；

[0013] 106 ~ 结构层；108 ~ 上表面；

[0014] 110 ~ 顶层；112 ~ 上表面；

[0015] 114 ~ 开口；116 ~ 侧壁；

[0016] 118 ~ 牺牲层；120 ~ 水平部分；

[0017] 122 ~ 垂直部分；128 ~ 转换材料 / 转换层；

[0018] 132 ~ 厚度；134 ~ 下表面；

[0019] 136 ~ 垂直部分；138 ~ 阻碍层；

[0020] 140 ~ 导电材料；142 ~ 内连接部分；

[0021] 144 ~ 上层部分；150 ~ 平坦化的顶部表面；

[0022] 152 ~ 平坦表面；154 ~ 阻碍层的边缘；

[0023] 156 ~ 转换材料的边缘；160 ~ 孔洞；

[0024] 164 ~ 盖层；166 ~ 空气间隙；

[0025] 168 ~ 部分盖层材料；180 ~ 平坦的顶部表面；

[0026] 184 ~ 孔洞；186 ~ 空气间隙；

[0027] 196 ~ 空气间隙；198 ~ 部分盖层；

[0028] 200 ~ 开口；202 ~ 侧壁；

[0029] 204 ~ 保护层；206 ~ 垂直部分；

[0030] 210 ~ 平坦顶部表面；212 ~ 上边缘；

[0031] 216 ~ 孔洞。

具体实施方式

[0032] 以下详细讨论本发明较佳实施例,然而,根据本发明的概念,其可包括或运用于更广泛的技术范围。须注意的是,实施例仅用以揭示本发明制造和使用的特定方法,并不用以限定本发明。

[0033] 图 1A 显示一基底 102 和形成于其上的材料层 104,基底 102 和材料层 104 间设置一层 106,其在本发明一实施例中可用作蚀刻阻挡层,或于另一实施例用作其它各种型态的薄膜层。顶层 110 形成于材料层 104 的上表面 108 的上方,顶层 110 包括上表面 112 且可用作抗反射层,或顶层 110 可以是 SiON、SiC 或其它包含 CH₃ 基团的适合材料。材料层 104 可以是一介电薄膜且材料层 104 可进一步为 k 值介于 2.9-2.5 的低介电材料层,基底 102 可以为半导体技术使用的任何基底,例如硅。

[0034] 之后,如图 1B 所示,以一般的方法形成开口 114,开口 114 延伸穿过顶层 110、材料层 104 和层 106,且开口 114 的周围包括侧壁 116。在一实施例中,开口 114 能以插塞或沟槽表示,且可以是彼此平行的沟槽。

[0035] 请参照图 1C,形成一牺牲层 118 于图 1B 所示的结构上方,牺牲层 118 包括形成于开口 114 底部和顶层 110 上表面 112 上方的水平部分 120,以毯覆性的方式形成牺牲层 118,且其也包括沿着开口 114 侧壁 116 的垂直部分 122。牺牲层 118 可以是 SiOC、SiC、FSG、Applied Material 公司生产的 BlackDiamond 或其它包含 CH₃ 基团的适合材料,牺牲层 118 也可以是 k 值介于 2.9-2.5 的低介电材料层。

[0036] 接着如图 1D 所示,将图 1C 的牺牲层 118 上转换成一转换层 128。在一实施例中,可进行一例如灰化 (ashing) 的氧化工艺,以形成转换层 128。本实施例调整灰化条件,完全氧化牺牲层 118,产生可使用蚀刻物移除的转换材料 128,且蚀刻物不攻击材料层 104 或顶层 110。本实施例也可根据使用的内连接材料,选择转换工艺和氧化的程度,以使转换后,转换材料 128 可以被蚀刻物移除,而蚀刻物不移除其它暴露的材料,例如材料层 104、顶层 110 和后续形成的内连接材料。本实施例调整工艺条件,使用氧化等离子体工艺,大体完全转换薄膜,灰化的条件取决于机台和设定的程式,在一实施例中,工艺的条件如下:工艺时间约为 30 秒~2 分钟,沉积室的压力约为 10~30 毫托 (millitor),上 RF 功率约为 500~1500 瓦,下 RF 功率约为 100~300 瓦,氧气的流量约为 200~400sccm。本实施例可采用其它工艺条件,将牺牲层 118 完全转换为转换材料 128。

[0037] 图 1E 显示以非等向性蚀刻工艺,将图 1D 结构的转换材料 128 的水平部分移除,非等向性蚀刻工艺是选择性的只移除转换材料的水平部分,本发明实施例可使用各种适合的非等向性蚀刻工艺。在蚀刻工艺后,顶层 110 的上表面 112 和开口 114 的下表面 134 暴露,仅大体上保留转换材料的垂直部分 136。在一实施例中,转换材料的垂直部分 136 的厚度约为 30 埃~60 埃,在其它实施例中,转换材料 128 的垂直部分 136 的厚度 132 可依元件的尺寸采用其它厚度。

[0038] 图 1F 显示于图 1E 形成阻障层 138 和导电材料 140 的结构,阻障层 138 和导电材料 140 一起填入开口 114,阻障层 138 可以由任何适合的材料组成,例如 Ta、TaN、TiN 或其它适合的材料,本发明另一实施例可不使用阻障层。导电材料 140 可通过电镀或电化学电镀 (electrochemical plating, ECP) 形成,或本实施例另可使用其它适合形成导电材料的方法。导电材料 140 可以是铜或其它适合的材料。导电材料 140 包括内连接部分 142 和形

成于材料层 104 和顶层 110 上方的上层部分 144, 本发明另一实施例可使用其它材料层完成内连接结构。

[0039] 接着, 对图 1F 的结构进行例如化学机械研磨的平坦化工艺, 形成图 1G 所示的结构。平坦化工艺移除导电材料 140 的上层部分 144 和阻障层 138 与材料层 104 上的顶层 110, 形成平坦化的顶部表面 150, 其包括材料层 104 的上表面 108、导电材料 140 的内连接部分 142 的平坦表面 152、阻障层 138 的边缘 154 和转换材料的垂直部分 136 的边缘 156。在剖面图中, 内连接部分 142 可显示为相邻且平行的内连接线, 内连接线沿出纸面方向延伸。

[0040] 图 1H 显示于图 1G 进行选择性蚀刻工艺, 选择性移除转换部分 128 的结构, 其形成孔洞 160, 而大体上保留其余的部分。本实施例可配合以下材料选择蚀刻物: 欲蚀刻的转换材料 128 和阻障层 138、导电材料 140 和用来作为蚀刻掩模的材料层 104, 蚀刻物可包括 HF 和其它的成份, 例如 CH_3COOH 和 / 或 NH_4F 以产生以下的蚀刻选择: 转换材料的垂直部分 136 (图 1G) 的蚀刻速率较阻障层 138、导电材料 140 和材料层 104 的蚀刻速率快 100 倍, 选择性蚀刻工艺可以是浸泡 HF 的湿式工艺。

[0041] 之后, 形成一盖层 164 于图 1H 所示的结构上方, 以形成图 1I 所示的空气间隙 (air gap)。盖层 164 形成于平坦表面 150 的上方, 但控制沉积条件, 使盖层 164 不完全填满图 1H 的孔洞 160, 形成空气间隙 166, 其中部分盖层材料 168 可沉积入孔洞 160 中。在一范例中, 空气间隙 166 的宽度约为 110 ~ 170 埃, 但本发明其它的范例可依孔洞 160 的宽度和沉积形成盖层 164 的条件形成不同宽度的空气间隙 166, 其宽度范围可为数埃至数百埃。在一实施例中, 盖层 164 可以是 SiC 或其它类似的材料或介电材料组成。在一实施例中, 可使用填洞能力较差的等离子体辅助化学气相沉积法 (plasmaenhanced chemical vapor deposition, PECVD) 形成盖层 164, 但本发明其它实施例可使用其它工艺。本实施例可调整工艺条件, 使具有高宽高比 (约 1 : 5 ~ 1 : 10) 的孔洞不会被沉积工艺完全填满, 形成空气间隙 166。本实施例另可对图 1I 的结构进行各半导体工艺, 形成各半导体元件, 相邻导电内连接结构 (填入部分 142) 的电容可因空气间隙 166 的形成而减小, 空气间隙 166 沿着导电内连接结构的侧壁延伸, 且位于相邻的导电内连接结构间。

[0042] 图 2A ~ 图 2C 揭示本发明另一实施例, 图 2A 揭示对图 1F 使用平坦化工艺进行平坦化后的结构, 平坦化工艺停止于顶层 110, 且图 2A 的结构不同于图 1G 的结构, 在图 1G 的结构中, 平坦化工艺移除顶层 110, 而在图 2A 中, 至少部分的顶层 110 未被移除。请参照图 2A, 平坦的顶部表面 180 包括顶层 110 的上表面 112、导电材料 140 的内连接部分 142 的平坦表面 152、阻障层 138 的边缘 154 和转换材料 128 的边缘 156, 换句话说, 材料层 104 并未暴露。接着对图 2A 的结构进行选择性蚀刻工艺, 仅大致上选择性的移除转换材料 128, 且如图 2B 的结构, 形成孔洞 184。

[0043] 接着, 请参照图 2C, 于图 2B 所示的结构上方形成盖层 164, 产生包括空气间隙 186 的结构。

[0044] 图 3A ~ 图 3H 揭示本发明又另一实施例, 为简洁, 本说明书中相似的元件使用相同的标号, 且图 3A ~ 图 3H 中与图 1A ~ 图 1I 类似的工艺条件不详细描述, 仅描述本实施例额外的部分。

[0045] 请参照图 3A, 开口 200 是一双镶嵌开口, 其包括交错的侧壁 202, 但本发明其它实

施例可采用其它开口。图 3B 显示于上表面 112 和镶嵌开口 200 的上方形成牺牲层 118, 牺牲层 118 包括多重的水平部分 120 和垂直部分 122。

[0046] 请参照图 3C, 将牺牲层 118 转换成转换材料 128, 其包括垂直部分 136。

[0047] 请参照图 3D, 形成一保护层 204 于图 3C 的结构上方, 保护层 204 包括垂直部分 206, 且大致上为一低介电常数材料, 例如介电常数为 2.5 ~ 5.5。在一实施例中, 保护层 204 的宽度约为 50 ~ 200 埃, 但本发明其它实施例保护层可采用其它宽度。保护层 204 以具有高杨氏系数和低介电常数较佳, 高杨氏系数可增加电致迁移可靠度, 但此两特征互相抵触。在本发明的各实施例中, 保护层为 SiC、FSG、SiO₂、SiON、SiOC、Applied Material 公司所生产的 Black Diamond 或其它适合的材料, 保护层 204 是用来作为移除转换材料 128 的蚀刻阻挡, 以形成孔洞。

[0048] 图 3E 显示以非等向性蚀刻工艺选择性移除保护层 204 和转换材料 128 的水平部分后的图 3D 的结构, 此时侧壁 202 上形成有保护层 204 的垂直部分 206 和转换材料 128 的垂直部分 136。

[0049] 请参照图 3F, 进行一化学机械平坦化或其它平坦化工艺以形成一平坦的表面 210, 其包括材料层 104 的上表面 108、保护层 204 垂直部分 206 的上边缘 212、导电材料 140 的内连接部分 142 的平坦表面 152、阻障层 138 的平坦边缘 154 和转换材料 128 的垂直部分 136 的平坦边缘 156。在另一实施例中, 平坦化工艺终止在材料层适当位置上方顶层 110 的部分厚度。

[0050] 请参照图 3G, 使用蚀刻物选择性蚀刻转换材料 128 形成孔洞 216, 但蚀刻物不对保护层 204 的垂直部分 206 或其它材料产生蚀刻。请参照图 3H, 形成一盖层 164, 盖层 164 形成于平坦顶部表面 210 上方, 以提供空气间隙 196 (孔洞 216 中会保留部分盖层 198)。空气间隙 196 和内连接结构相邻, 且沿着连接结构延伸, 内连接结构由导电材料 140 的内连接部分 142 形成。

[0051] 以上实施例仅描述本发明的准则, 熟悉此技术领域的技术人员可根据本发明准则想出其它应用。另外, 上述的用语仅用来描述本发明的实施例, 并不用来限定本发明, 再者, 本发明不限于上述的结构, 现行或将来开发出的结构, 只要功能上相同且符合本发明的准则, 均可为本发明所包括。

[0052] 在说明书中, 有关“上”、“下”、“水平”、“垂直”、“之下”、“之下”等叙述, 仅用来讨论附图, 并不用来限定本发明的方向或方位。

[0053] 以上提供的实施例用以描述本发明不同的技术特征, 但根据本发明的概念, 其可包括或运用于更广泛的技术范围。须注意的是, 实施例仅用以揭示本发明工艺、装置、组成、制造和使用的特定方法, 并不用以限定本发明, 任何熟悉此技一, 在不脱离本发明的精神和范围内, 应当可作些许的变动与润饰。因此, 本发明的保护范围, 应当视后附的权利要求书所限定的范围为准。

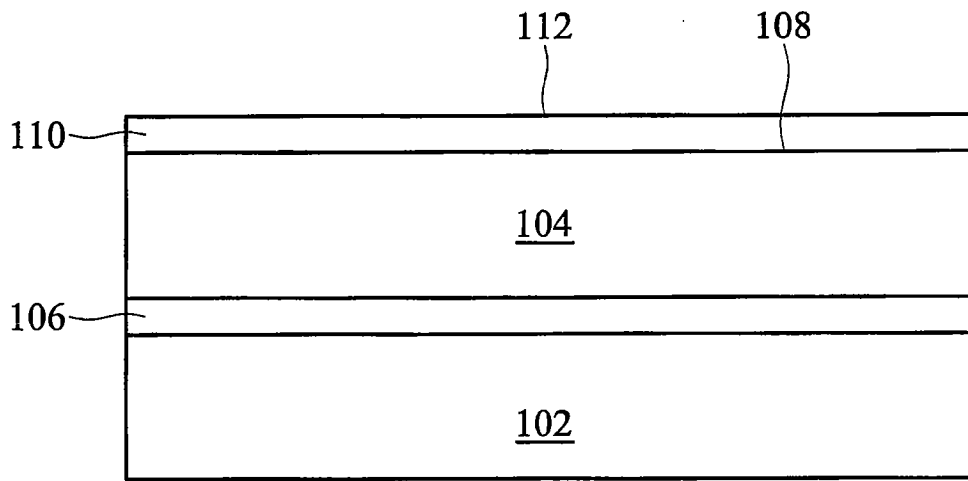


图1A

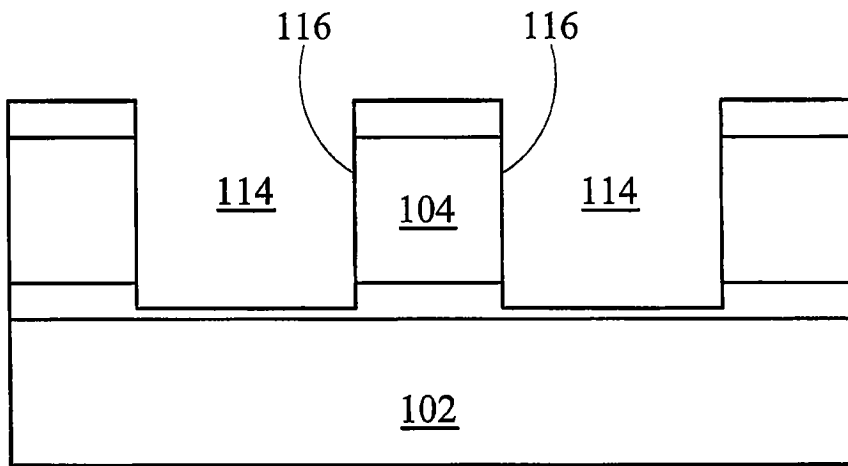


图1B

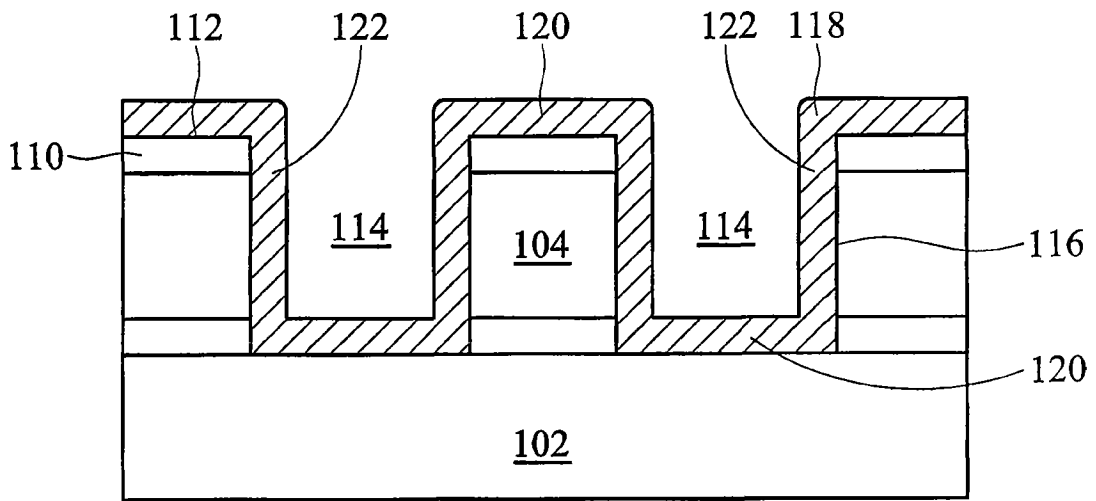


图1C

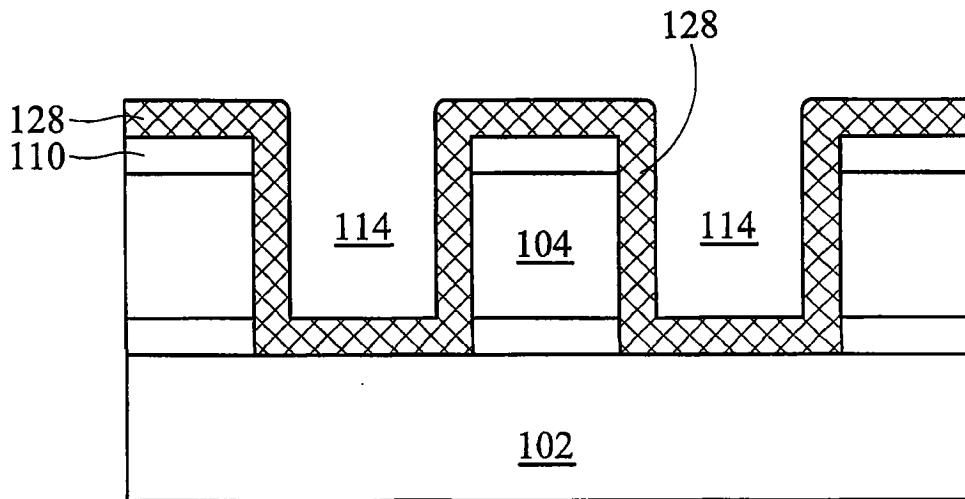


图1D

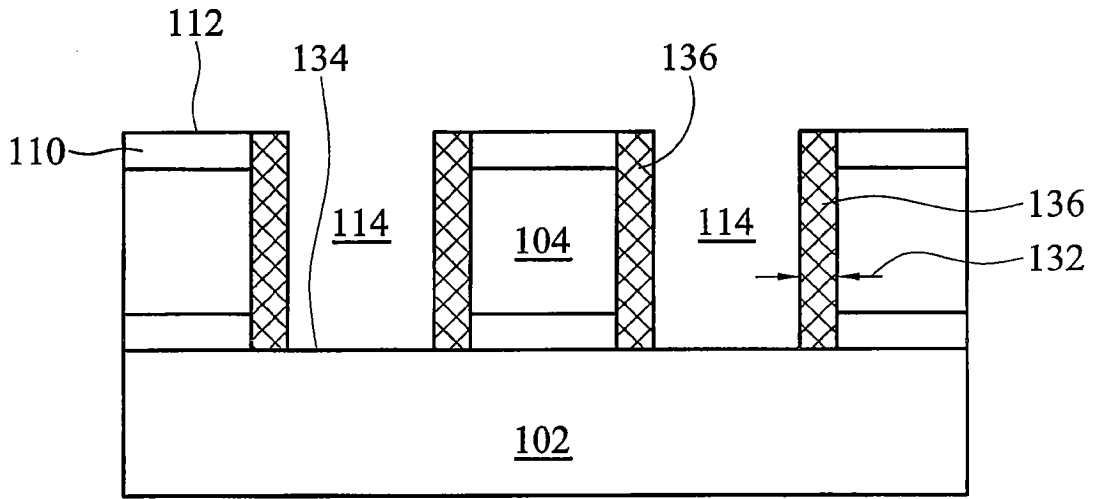


图1E

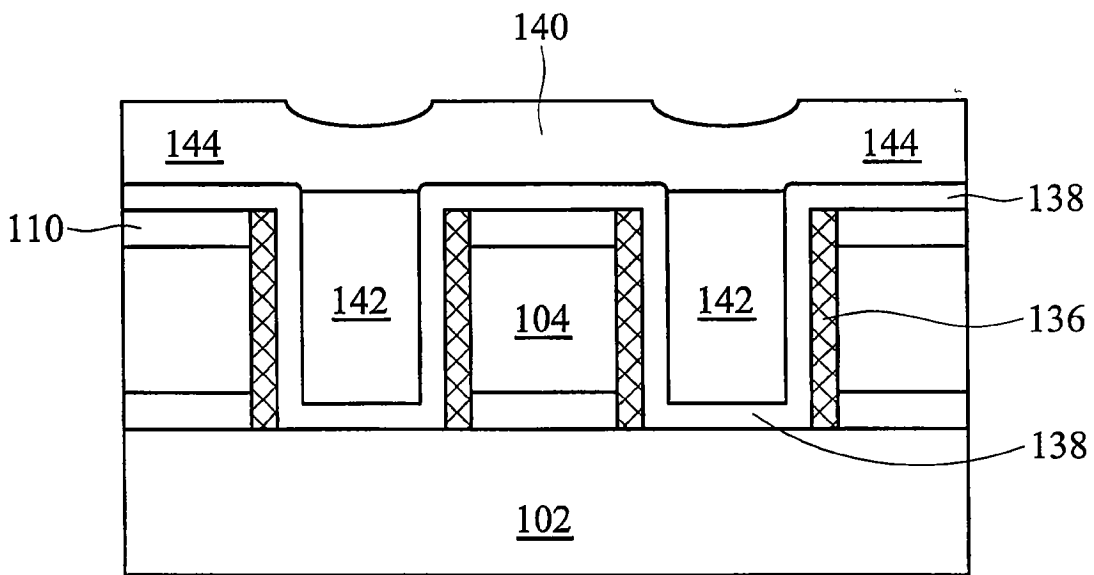


图1F

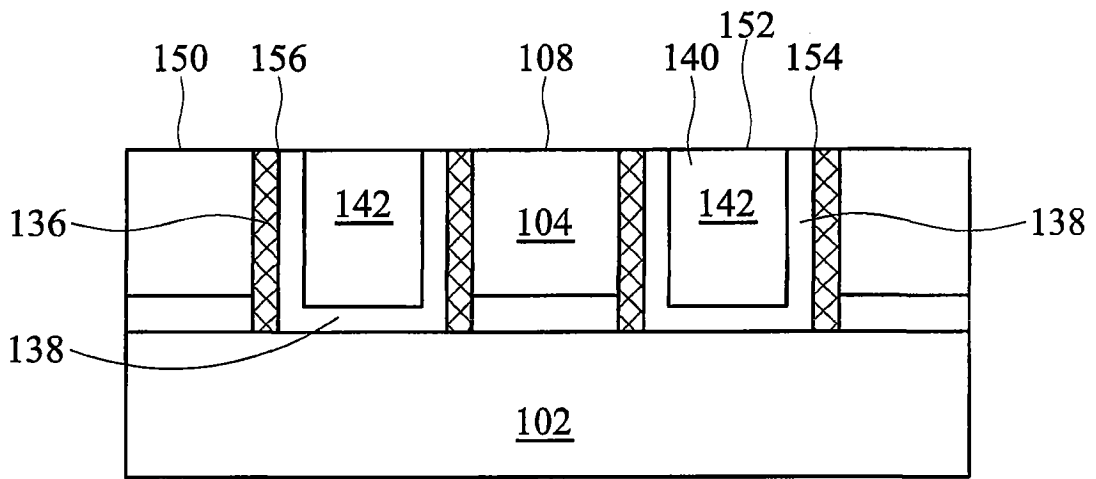


图1G

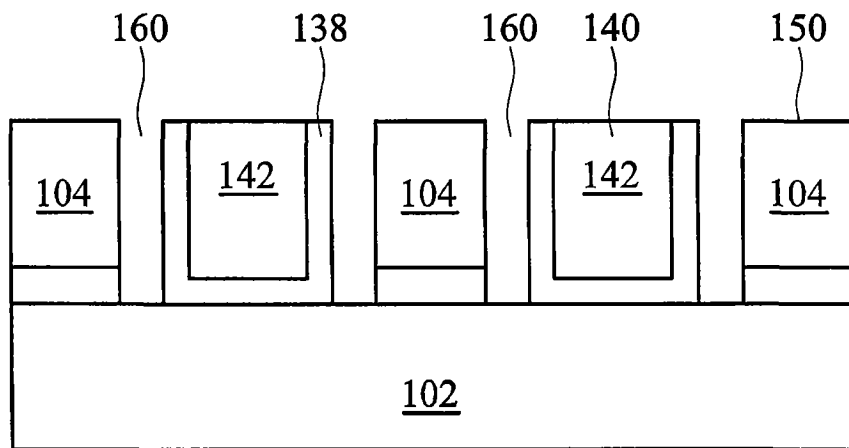


图1H

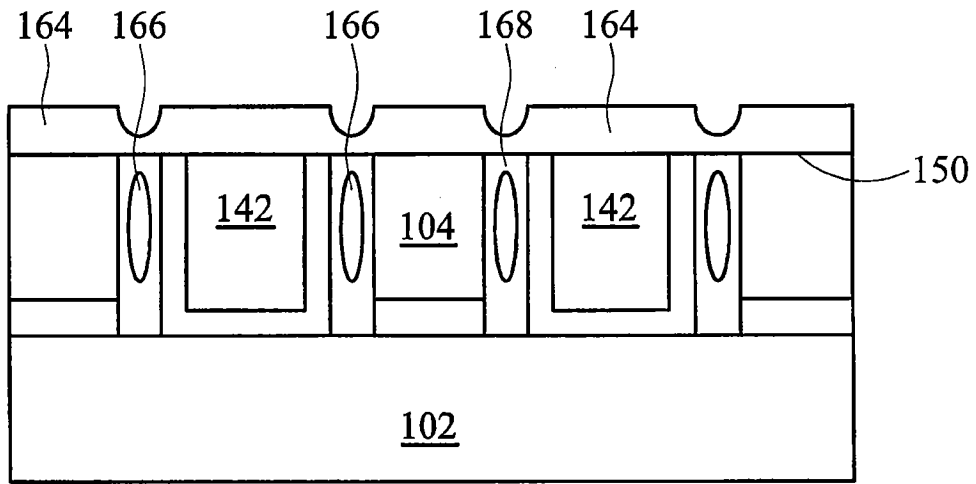


图11

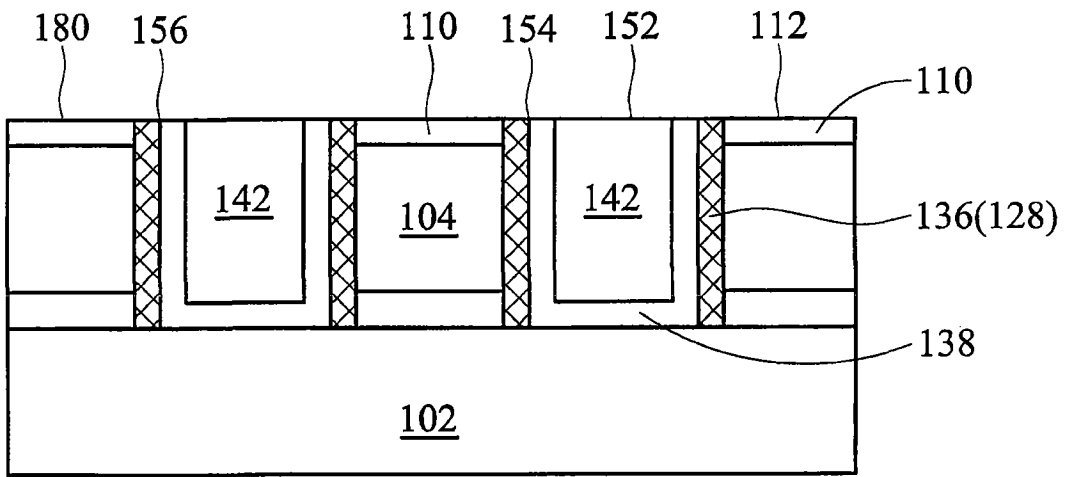


图2A

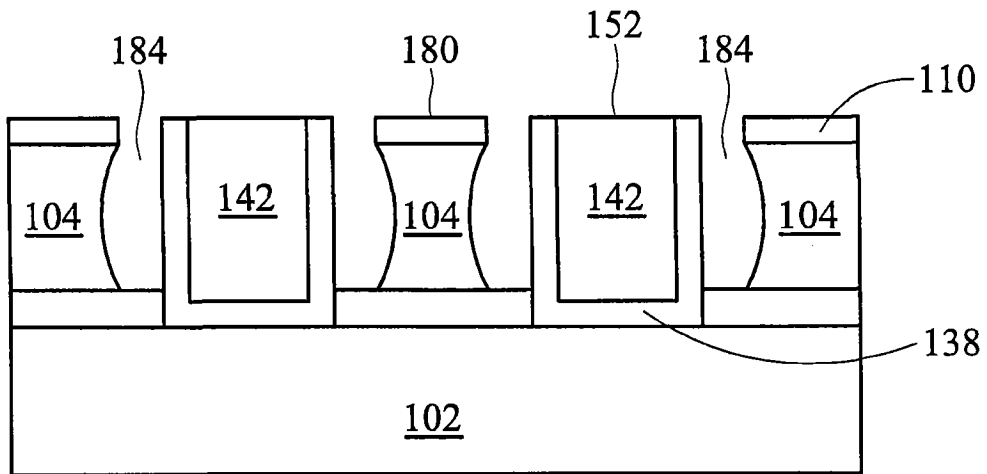


图2B

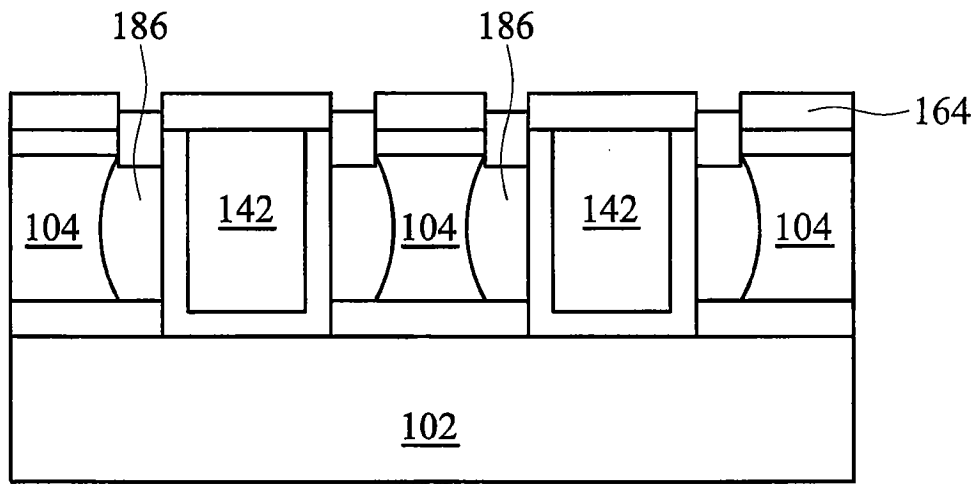


图2C

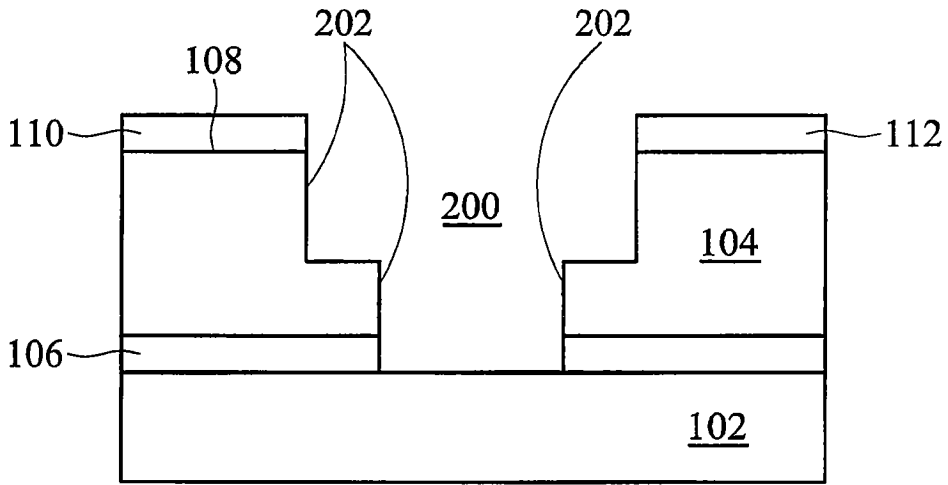


图3A

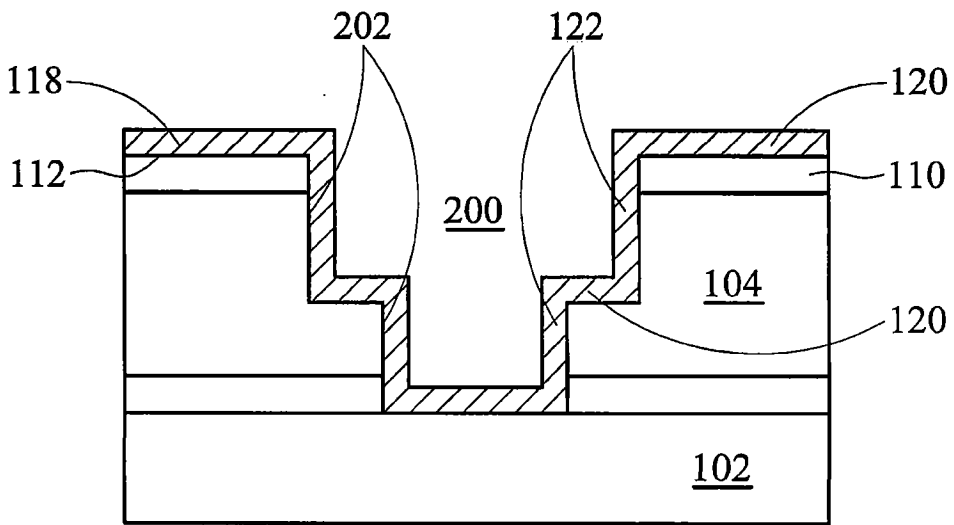


图3B

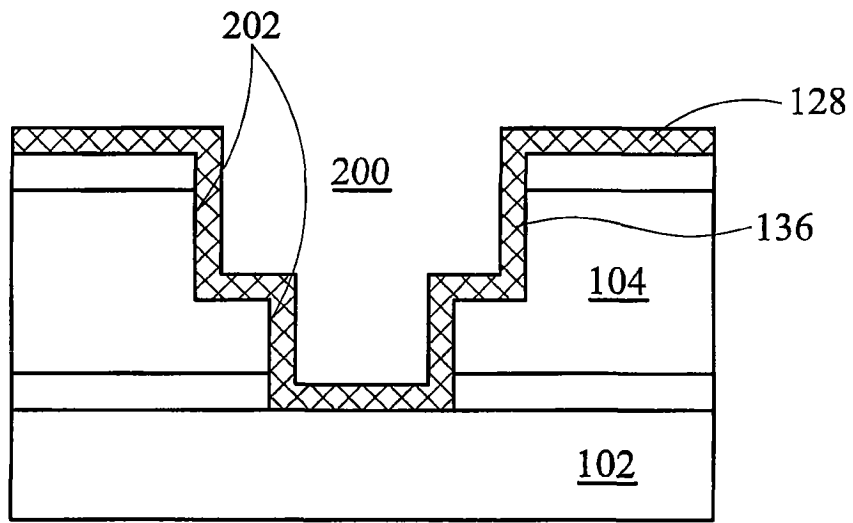


图3C

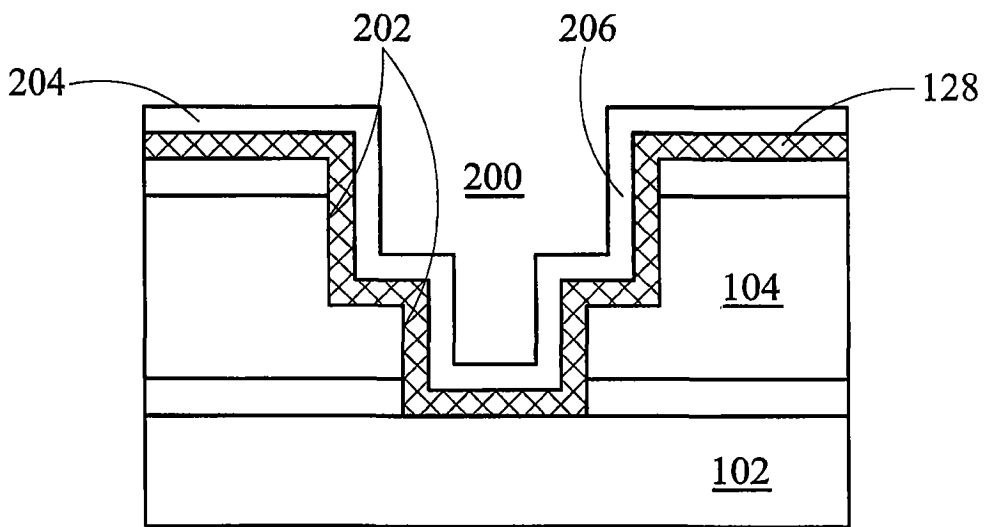


图3D

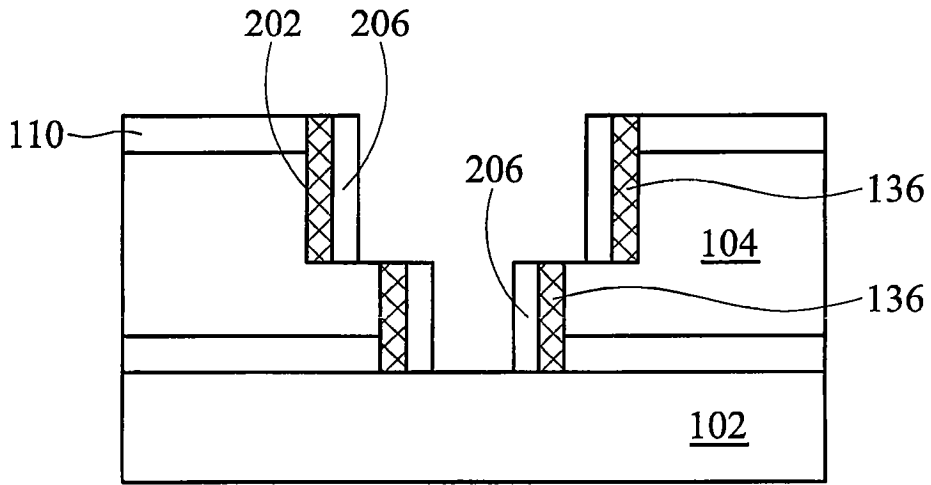


图3E

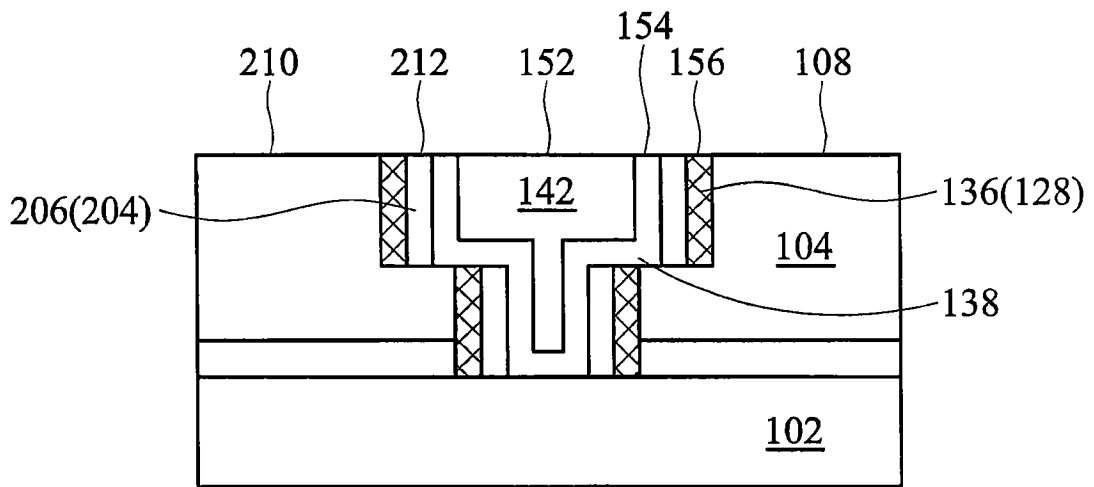


图3F

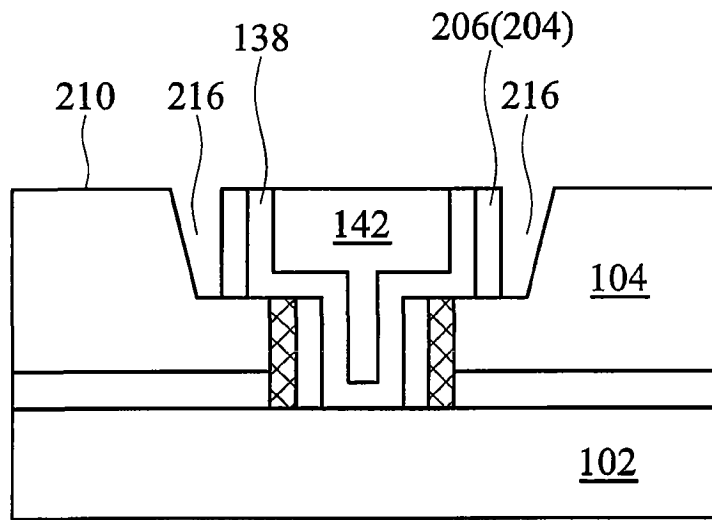


图3G

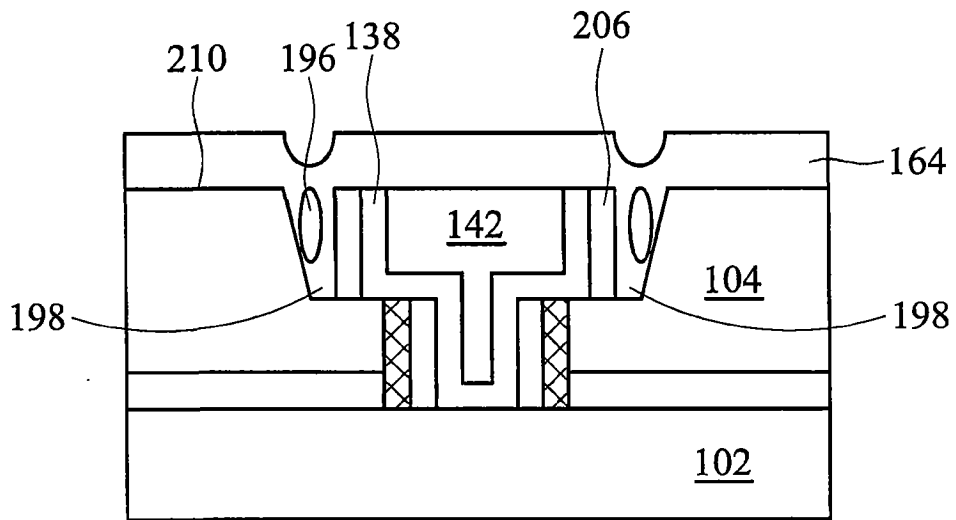


图3H