



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H03L 7/099 (2006.01)

(11) 공개번호

10-2007-0036267

(43) 공개일자

2007년04월03일

(21) 출원번호 10-2005-0091097

(22) 출원일자 2005년09월29일

심사청구일자 2005년09월29일

(71) 출원인 인하대학교 산학협력단
인천 남구 용현동 253 인하대학교

(72) 발명자 강진구
서울 서초구 잠원동 한신18차 아파트 335동 201호

(74) 대리인 이원희

전체 청구항 수 : 총 7 항

(54) 상대적 지연차이를 이용한 다중 위상 발생장치

(57) 요약

본 발명은 다중 위상 VCO의 각 단의 지연 셀의 자체 지연 값보다 더 작은 지연차이의 미세한 다중 위상을 발생시킬 수 있도록 하는 상대적 지연차이를 이용한 다중 위상 발생장치를 제공한다.

이는 입력 신호 주기에 비해 소정 배수 적은 값의 출력을 갖는 주 VCO와 상기 주 VCO의 출력을 바탕으로 상기 주 VCO에서 출력되는 값에 비해 지연된 다수의 출력을 갖는 부 VCO를 포함한 구성에 의해 달성될 수 있으며, 이러한 본 발명은 기존의 VCO의 지연 셀의 자체 지연 값보다 작은 타이밍을 발생시킬 수 있게 되어 보다 높은 해상도를 얻을 수 있게 되며, 높은 해상도를 가짐에 따라 반도체 칩 내의 미세한 시간 차이의 타이밍제어 및 송수신 인터페이스회로에서 정확한 타이밍 조정회로 등에 적용시켜 사용할 수 있게 된다.

대표도

도 1

특허청구의 범위

청구항 1.

입력 신호 주기에 비해 소정 배수 적은 값의 출력을 갖는 주 VCO; 및

상기 주 VCO의 출력을 바탕으로 상기 주 VCO에서 출력되는 값에 비해 지연된 다수의 출력을 갖는 부 VCO;를 구비함을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 2.

제 1 항에 있어서, 상기 주 VCO는 입력 신호 주기의 2/16의 값을 갖는 다수의 출력을 갖도록 된 4단 차동 발진기인 것을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 3.

제 2 항에 있어서, 상기 부 VCO는 상기 주 VCO의 다수의 출력을 바탕으로 상기 주 VCO의 출력에 비해 3/16주기만큼의 지연 값을 가져 1/16주기 간격의 다중 위상 신호를 출력하도록 된 16단 차동 발진기인 것을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 4.

입력 신호 주기에 비해 소정 배수 적은 값을 갖는 주 VCO;

상기 주 VCO의 출력을 바탕으로 상기 주 VCO에서 출력되는 값에 비해 지연된 다수의 출력을 갖는 부 VCO;

상기 주 VCO와 더불어 주 PLL 구조를 형성하는 위상/주파수 검출기 및 전하 펌프와 루프 필터; 및

상기 부 VCO와 더불어 부 PLL 구조를 형성하는 위상/주파수 검출기 및 전하 펌프와 루프 필터;로 구성됨을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 5.

제 4 항에 있어서, 상기 주 VCO는 입력 신호 주기의 2/16의 값을 갖는 다수의 출력을 갖도록 된 4단 차동 발진기인 것을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 6.

제 5 항에 있어서, 상기 부 VCO는 상기 주 VCO의 다수의 출력을 바탕으로 상기 주 VCO의 출력에 비해 3/16주기만큼의 지연 값을 가져 1/16주기 간격의 다중 위상 신호를 출력하도록 된 16단 차동 발진기인 것을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

청구항 7.

제 6 항에 있어서, 상기 주 VCO 및 부 VCO의 출력의 위상이 일치하는 주 VCO의 출력과 부 VCO의 출력을 바탕으로 상기 부 VCO의 제어 전압을 공급하도록 된 것을 특징으로 하는 상대적 지연 차이를 이용한 다중 위상 발생장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중 위상 발생장치에 관한 것으로, 특히 다중 위상 VCO(Voltage Controlled Oscillator)의 각 단의 지연 셀의 자체 지연 값보다 더 작은 지연차이의 미세한 다중 위상을 발생시킬 수 있도록 하는 상대적 지연차이를 이용한 다중 위상 발생장치에 관한 것이다.

최근 통신 시스템은 기가 비트급 광 통신용 송수신기나 이더넷 시스템을 사용하고 있으며, 이들은 고속의 동작 속도가 요구될 뿐만 아니라 대용량의 데이터를 처리, 저장, 전송할 수 있는 성능이 요구된다.

그러나 수신부분의 데이터 처리 부분에서 고속으로 수신된 디지털값을 위상으로 변환할 때, 클럭 위상과 복원된 위상 사이의 차이로 인한 에러가 발생할 수 있다. 이는 디지털 값을 위상으로 변환할 때 이산 간격 위상을 만들어 내기 때문이다.

이러한 이산 위상으로 인한 위상 오차를 줄이는 방법으로 고 위상 해상도를 갖는 PLL(Phase Locked Loop)이 자주 사용된다. 그 중에서 VCO와 함께 구현되는 다중 위상(Multiphase) PLL이 주로 사용되며, 이는 링 구조를 갖는 VCO의 각 단으로부터 클럭을 추출하도록 되어 있다.

한편, 디지털 시스템의 설계에 있어서 정밀한 위상 지연 시간을 갖는 것이 중요하기 때문에 다양한 구조의 VCO가 제안되고 있다.

그 중 정확한 위상 지연을 발생시키는 일반적인 방법은 링 오실레이터구조를 갖는 VCO의 지연 체인의 각 지연 셀의 출력을 태핑(tapping)하는 방법이다. 이는 구현하기는 간단하나, 지연의 정밀도가 지연 셀이 가지는 자체 지연 시간에 의해 제한된다.

따라서 이 방법에 의해 지연 정밀도를 높이기 위해서는 보다 빠르고 값비싼 공정기술에 의존할 수밖에 없는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 점을 감안한 것으로, 본 발명의 목적은 VCO의 지연 셀의 지연값보다 작은 타이밍을 발생시킬 수 있도록 한 상대적 지연차이를 이용한 다중 위상 발생장치를 제공함에 있다.

본 발명의 다른 목적은 VCO의 설계에 있어 VCO 내부의 지연셀들의 상대적 지연차이를 이용하여 보다 정밀한 다중 위상 발생장치를 제공함에 있다.

발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명에 따른 상대적 지연차이를 이용한 다중 위상 발생장치는, 입력 신호 주기에 비해 소정 배수 적은 값의 출력을 갖는 주 VCO; 및 상기 주 VCO의 출력을 바탕으로 상기 주 VCO에서 출력되는 값에 비해 지연된 다수의 출력을 갖는 부 VCO;를 구비함을 특징으로 한다.

또한, 본 발명의 상대적 지연차이를 이용한 다중 위상 발생장치는 입력 신호 주기에 비해 소정 배수 적은 값의 출력을 갖는 주 VCO; 상기 주 VCO의 출력을 바탕으로 상기 주 VCO에서 출력되는 값에 비해 지연된 다수의 출력을 갖는 부 VCO; 상기 주 VCO와 더불어 주 PLL 구조를 형성하는 위상/주파수 검출기 및 전하 펌프와 루프 필터; 및 상기 부 VCO와 더불어 부 PLL 구조를 형성하는 위상/주파수 검출기 및 전하 펌프와 루프 필터;로 구성됨을 특징으로 한다.

상기 주 VCO는 입력 신호 주기의 2/16의 값을 갖는 다수의 출력을 갖도록 된 4단 차동 발진기이고, 상기 부 VCO는 상기 주 VCO의 다수의 출력을 바탕으로 상기 주 VCO의 출력에 비해 3/16주기만큼의 지연 값을 가져 1/16주기 간격의 다중 위상 신호를 출력하도록 된 16단 차동 발진기임이 바람직하다.

또한, 상기 주 VCO 및 부 VCO의 출력의 위상이 일치하는 주 VCO의 출력과 부 VCO의 출력을 바탕으로 상기 부 VCO의 제어 전압을 공급하도록 됨이 바람직하다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 단, 하기 실시예는 본 발명을 예시하는 것일 뿐 본 발명의 내용이 하기 실시예에 한정되는 것은 아니다.

도 1은 본 발명에 따른 상대적 지연차이를 이용한 다중 위상 발생장치를 나타낸 것으로, 이는 PLL 구조를 기반으로 하고 있다.

도시한 바와 같이, 위상/주파수 검출기(Phase/Frequency Detector : PFD)(11),(12), 전하 펌프(21),(22) 및 루프 필터(31),(32)가 각각 2개씩 구비되며, 상기 위상/주파수 검출기(11), 전하 펌프(21), 루프 필터(31), 그리고 위상/주파수 검출기(12), 전하 펌프(22), 루프 필터(32)와 더불어 2개의 PLL 구조를 형성하는 다중 위상 VCO(40)가 구비된다.

상기 VCO(40)는 도 2에 도시한 바와 같이, 4단 구조의 차동 발진기 형태를 갖는 주 VCO(41) 및 상기 주 VCO(41)의 출력으로부터 주 VCO(41)의 출력에 비해 지연된 16개의 출력을 내는 차동 발진기인 부 VCO(42)로 구성되며, 상기 위상/주파수 검출기(11), 전하 펌프(21), 루프 필터(31)는 상기 주 VCO(41)의 동작을 위한 부분으로 위상/주파수 검출기(11), 전하 펌프(21), 루프 필터(31), 주 VCO(41)는 주 PLL을 형성하고, 위상/주파수 검출기(12), 전하 펌프(22), 루프 필터(32)는 상기 부 VCO(42)의 동작을 위한 부분으로 위상/주파수 검출기(12), 전하 펌프(22), 루프 필터(32), 부 VCO(42)는 부 PLL을 형성하게 된다.

또한, 상기 주 VCO(41)는 입력 신호 주기의 $2/16$ 즉, $(1/8) \cdot T$ (T : 주기) 값을 갖는 8개의 출력(output0-output3, output0b-output3b)을 갖도록 구성된다.

상기 부 VCO(42)는 상기 주 VCO(41)에서 나오는 8개의 출력(output0-output3, output0b-output3b)을 받아 $3/16$ 주기 만큼 지연 값을 더 주어 16개의 출력이 각각 $1/16$ 의 위상을 얻을 수 있도록 설계되는 것으로, 상기 주 VCO(41)의 8개의 출력(output0-output3, output0b-output3b) 라인에 의해 구동되어 $(1/16) \cdot T$ 의 간격을 갖는 16개의 클럭(clk0-clk15)을 출력하도록 16개의 지연 셀(42a-42p)로 구성된다.

상기 부 VCO(42)를 구성하는 지연셀들(42a-42p)의 연결 관계는 다음과 같다.

먼저, 클럭(clk0)을 출력하는 지연 셀(42a)은 주 VCO(41)의 출력(output2,output2b) 라인에 연결되며, 클럭(clk3)을 출력하는 지연 셀(42d)이 상기 지연 셀(42a)에 직렬 연결된다. 또한, 클럭(clk1)을 출력하는 지연 셀(42b)이, 주 VCO(41)의 출력(output1,output1b) 라인에 연결되어 클럭(clk14)을 출력하는 지연 셀(42o)에 직렬 연결된다.

이와 마찬가지로, 클럭(clk2)을 출력하는 지연 셀(42c)은 주 VCO(41)의 출력(output3,output3b) 라인에 연결되며, 상기 지연 셀(42c)에 클럭(clk5)을 출력하는 지연 셀(42f)이 직렬 연결된다. 또한, 클럭(clk4)을 출력하는 지연 셀(42e)이 주 VCO(41)의 출력(output0,output0b) 라인에 연결되며, 상기 지연 셀(42e)에 클럭(clk7)을 출력하는 지연 셀(42h)이 직렬 연결된다.

그리고 클럭(clk6)을 출력하는 지연 셀(42g)은 주 VCO(41)의 출력(output1,output1b) 라인에 연결되며, 상기 지연 셀(42g)에 클럭(clk9)을 출력하는 지연 셀(42j)이 직렬 연결된다. 또한 클럭(clk8)을 출력하는 지연 셀(42i)이, 주 VCO(41)의 출력(output2,output2b) 라인에 연결되며, 상기 지연 셀(42i)에 클럭(clk11)을 출력하는 지연 셀(42l)이 직렬 연결된다.

그리고 클럭(clk10)을 출력하는 지연 셀(42k)은 주 VCO(41)의 출력(output3,output3b) 라인에 연결되며, 상기 지연 셀(42k)에 클럭(clk13)을 출력하는 지연 셀(42n)이 직렬 연결된다. 또한 클럭(clk12)을 출력하는 지연 셀(42m)이 주 VCO(41)의 출력(output0,output0b) 라인에 연결되며, 상기 지연 셀(42m)에 클럭(clk15)을 출력하는 지연 셀(42p)이 직렬 연결되어 구성된다.

이와 같이 구성된 본 발명에서 상기 위상/주파수 검출기(11)에는 기준 클럭(Ref_clk) 및 주 VCO(41)의 출력(output3)이 입력되며, 이 위상/주파수 검출기(11)의 위상/주파수 검출 출력이 전하 펌프(21) 및 루프 필터(31)를 거쳐 주 VCO(41)의 제어 전압으로 입력된다.

상기 주 VCO(41)는 4단 구조로서 입력 신호 주기의 $(2/16) \cdot T$ 의 값을 갖는 8개의 출력을 낼 수 있도록 된 VCO임에 따라 주 VCO(41)에서는 입력 신호 주기의 $(2/16) \cdot T$ 의 값을 갖는 8개의 출력(output0-output3, output0b-output3b)을 내게 된다.

그리고 부 VCO(42)는 상기 주 VCO(41)의 출력보다 $3/16$ 주기 만큼의 지연값을 갖도록 됨에 따라 상기 주 VCO(41)의 출력(output0-output3, output0b-output3b)을 바탕으로 부 VCO(42)의 각 지연 셀(42a-42p)은 $1/16$ 주기를 갖는 16개의 클럭(clk0-clk15)을 출력하게 된다.

도 3은 상기 다중 위상 VCO(40)의 출력을 나타낸 것으로, 출력 위상이 2/16 주기로 늘어나는 출력(output0-output3)은 주 PLL을 형성하는 주 VCO(41)의 출력이고, 출력 위상이 3/16 주기로 늘어나는 클럭들(clk4,clk7),(clk6,clk9),(clk8,clk11),(clk10,clk13)은 주 PLL의 지연을 거쳐 부 VCO(42)에서 출력되는 클럭들이다.

이와 같이 기존 PLL 즉, 주 PLL을 형성하게 되는 주 VCO(41)의 출력 위상을 $(2/16)*T$ 로 해주고, 부 VCO(42)의 출력 위상을 $(3/16)*T$ 로 함에 따라 결국 도 4와 같이 $(1/16)*T$ 의 출력을 얻을 수 있게 되는 것이다.

또한, 도 4에서 주 VCO(41)의 출력(output3)과 부 VCO(42)의 출력 클럭(clk7)의 위상이 동일함을 볼 수 있는데, 이는 주 VCO(41)의 출력(output3)과 부 VCO(42)의 출력 클럭(clk7)을 부 PLL의 입력으로 넣어 락킹시켜 부 VCO(42)의 제어 전압(Vcont_sub)으로 입력해 주기 위함이다.

이와 같이 하는 이유는 VCO의 전압 공급선으로부터 유기되는 노이즈를 줄이기 위해서 상기 주 VCO(41)와는 다른 제어 전압을 부 VCO(42)에 입력해 주기 위해서이며, 또한 주 VCO(41)의 출력(output3)과 부 VCO(42)의 출력 클럭(clk7)의 위상이 동일해야만 부 VCO(42)에서 정해진 위상을 얻을 수 있기 때문이다.

도 5는 본 발명에 따른 다중 위상 발생장치의 출력 파형을 나타낸 것이다.

이는 주 VCO(41)에서 출력된 파형으로부터 부 VCO(42)를 통과하여 출력되는 파형으로, 총 16개의 위상이 나오며, 도 5에서는 16개중 8개의 위상만을 나타낸 것이다. 그림에 보인 8개의 역 위상으로 나오는 나머지 8개의 파형은 보여지지 않았다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 또는 변형하여 실시할 수 있다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명은 기존의 VCO의 지연 셀의 지연 값보다 작은 타이밍을 발생시킬 수 있도록 하여 보다 높은 해상도를 얻을 수 있게 된다.

또한, 높은 해상도를 가짐에 따라 반도체 칩 내의 미세한 시간 차이의 타이밍제어 및 송수신 인터페이스회로에서 정확한 타이밍 조정회로 등에 적용시켜 사용할 수 있게 된다. 뿐만 아니라, VCO의 설계에 있어 차동 방식을 이용함으로써 VCO의 전압 공급선으로부터 유기되는 노이즈를 감소시킬 수 있게 됨에 따라 시스템의 성능을 향상시킬 수 있게 된다.

도면의 간단한 설명

도 1은 본 발명에 따른 상대적 지연차이를 이용한 다중 위상 발생장치의 구성도.

도 2는 도 1의 다중 위상 VCO의 상세 구성도.

도 3은 도 1의 다중 위상 VCO의 출력 파형도.

도 4는 도 1의 주 PLL과 부 PLL의 출력 위상을 나타낸 도.

도 5는 본 발명의 시뮬레이션에 따른 출력 파형도.

<도면의 주요 부분에 대한 부호의 설명>

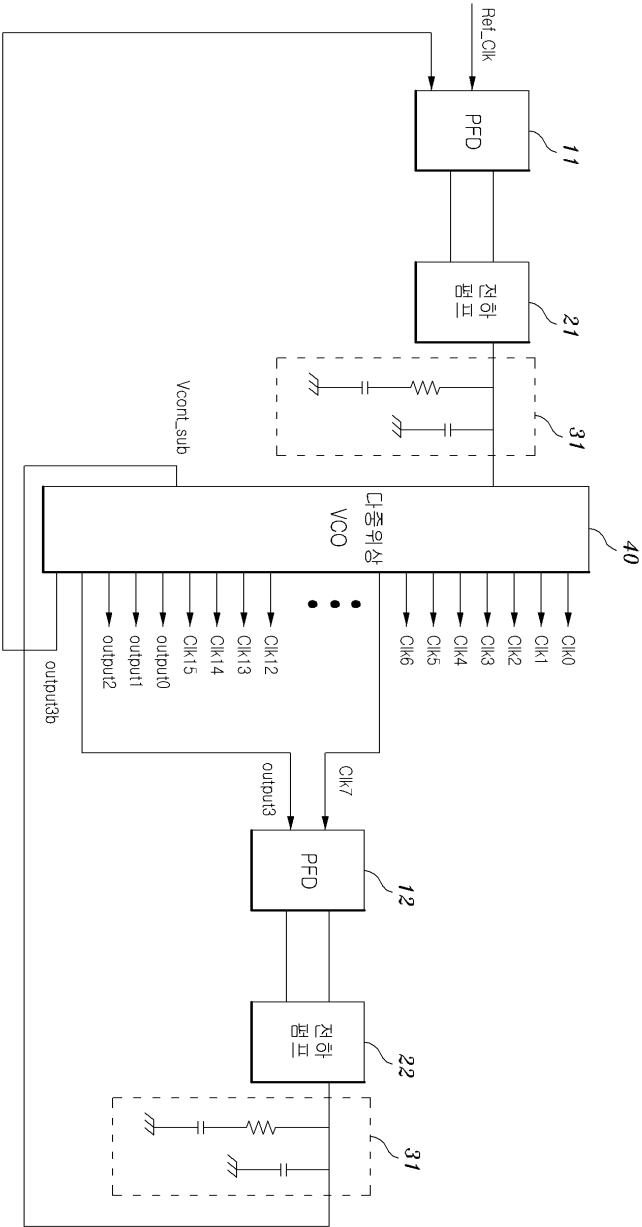
11,12 : 위상/주파수 검출기 21,22 : 전하 펌프

31,32 : 루프 필터 40 : 다중 위상 VCO

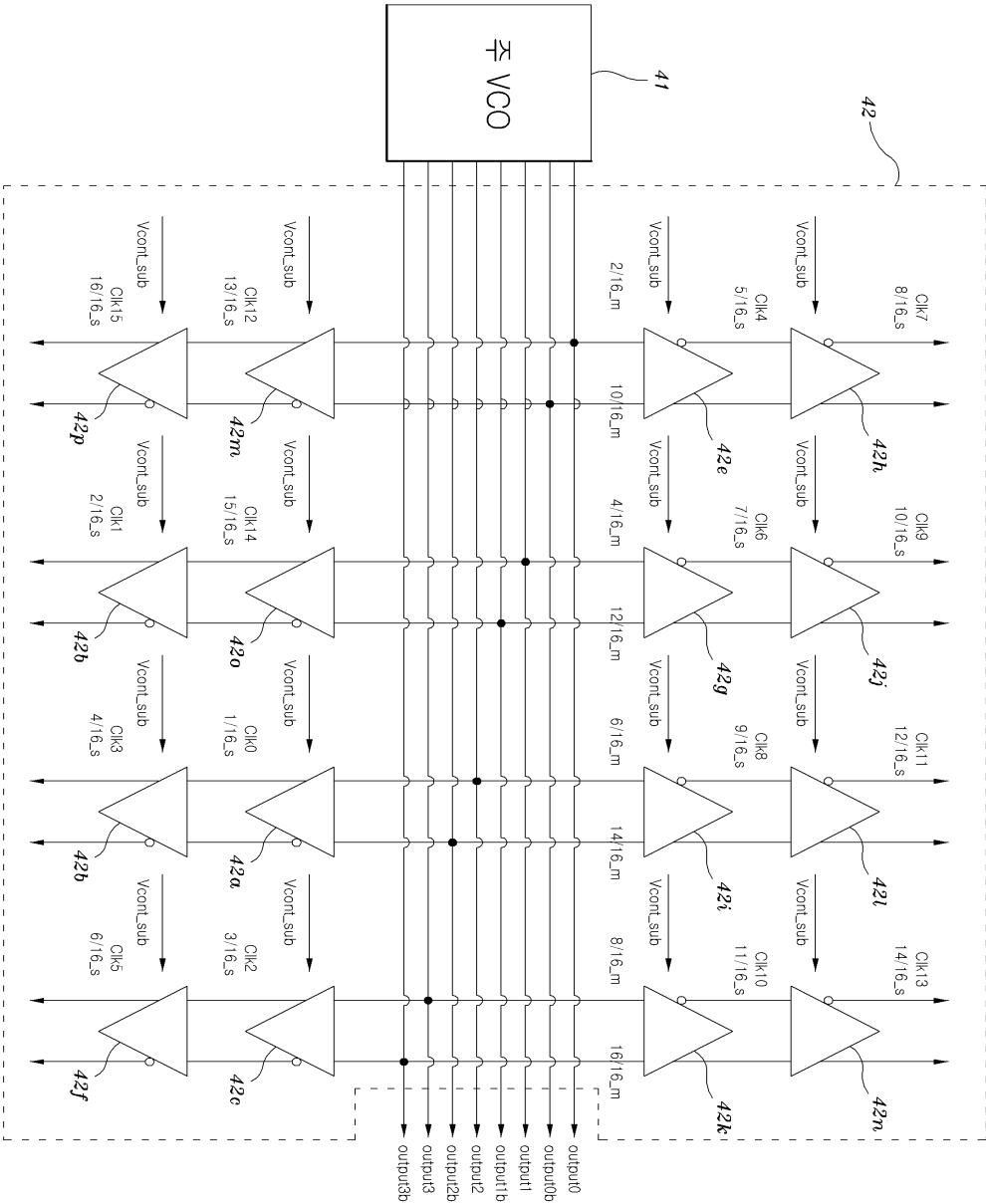
41 : 주 VCO 42 : 부 VCO

도면

도면1



도면2



도면3

