

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 10 月 11 日 (11.10.2012)



(10) 国际公布号
WO 2012/136000 A1

(51) 国际专利分类号:
H01L 21/58 (2006.01)

(21) 国际申请号: PCT/CN2011/072462

(22) 国际申请日: 2011 年 4 月 6 日 (06.04.2011)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人 (对除美国外的所有指定国): **北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。

(72) 发明人; 及

(71) 申请人: **金鹏 (JIN, Peng)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城 E321 北京大学深圳研究生院, Guangdong 518055 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **卢基存 (LU, Jicun)** [US/US]; 美国加利福尼亚州福森市达令路 1225 号, California 95630 (US)。

(74) 代理人: **深圳鼎合诚知识产权代理有限公司 (DHC LAW OFFICE)**; 中国广东省深圳市福田区金田路与

福华路交汇处现代商务大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

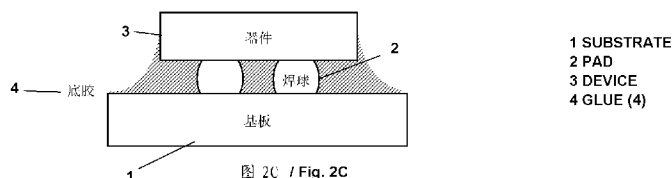
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: GLUE FILLING METHOD AND DEVICE IN THE SEMICONDUCTOR PACKAGE

(54) 发明名称: 一种半导体封装中的底胶填充方法及设备



(57) Abstract: Glue (4) filling method and device in the semiconductor package is provided. The glue (4) is coated to one edge or four edges of semiconductor or chips on the substrate, the glue (4) is flowing between the chip and the substrate until the space is full filled. Several edges of device are coated glue (4) and the device is moved to the vacuum box, the glue (4) is batch flowing in the several devices so that the time of filling glue (4) is decreased and the production efficiency is increased. The glue (4) is solidified in the vacuum box and the air bubbles cancel during formed glue (4) time and the cavities cancel due to the gas volatilize during glue (4) solidified. The quality and the reliability of device glue (4) filling is increased.

[见续页]



WO 2012/136000 A1

(57) 摘要:

提供一种半导体器件封装底胶 (4) 填充的方法和设备。底胶 (4) 被涂布基板上半导体器件或芯片的一边或多至四边,然后底胶 (4) 在芯片和基板之间的间隙流动直至填满该间隙。多个边缘涂有底胶 (4) 的器件移到真空烤箱里,底胶 (4) 在多个器件中同时进行批流动,从而减少总体的底胶 (4) 填充时间,大大提高生产效率。最后底胶 (4) 在真空烤箱中固化,消除了因底胶 (4) 流动形成气泡和底胶 (4) 本身固化时气体挥发等原因引起的空洞,提高了器件底胶 (4) 填充的质量和可靠性。

说明书

发明名称：一种半导体封装中的底胶填充方法及设备

技术领域

- [1] 本发明涉及一种半导体封装中的底胶填充方法及设备。

背景技术

- [2] 表面贴装是目前将电子器件组装在基板或印刷电路板PCB的最流行的封装方法之一。在这种封装中，表面贴装器件与基板采用多元化金属焊点（如铅锡合金）互连，在贴装器件与基板之间存在间隙。如果贴装器件与基板热膨胀系数（CTE）不同，在温度变化时焊点中会产生应力和应变，使用过程中器件温度变化产生的应力和应变将导致焊点疲劳断裂而失效。要解决这种可靠性问题，电子行业的共同做法是在器件与基板间隙填充底胶材料，从而减少焊点的变形和应变，提高焊点的可靠性寿命，底胶的封装过程通常被称为底部填充。
- [3] 需要底部填充的电子器件例子包括倒装芯片，芯片级封装（CSP）和球格阵列（BGA）封装等。其它形式的封装中的空气间隙（如电子器件叠加间的空隙）也可能需要填充底胶。在倒装芯片封装中，半导体芯片的有源面是“翻转”，通过球形焊点直接安装在印刷电路基板上。该芯片材料是硅、砷化镓等，其CTE为2-4ppm/°C，基板材料是有机物（如FR-4、聚酰亚胺和BT，CTE为20ppm/°C）或者无机材料（如氧化铝及低温共烧陶瓷，CTE为3-10 ppm/°C），由于芯片和基板之间热膨胀系数不匹配，工作中的温度变化会导致焊点上产生疲劳应力和应变，其结果是焊点断裂和焊点开路的发生。通常的做法是在芯片与基板的间隙处填充聚合物底胶。底胶填充有助于分散应力，减少焊接接头应变，从而提高焊点可靠性。在芯片级封装（CSP）和球格阵列（BGA）封装中，半导体芯片安装在由BT等材料制成的基板，基板再通过焊点与印刷电路板PCB连接。基板与印刷电路板的热膨胀系数不同，它们之间的间隙也需要底胶填充，同时底胶填充可以大大提高焊点抵抗外部机械应力（如手机器件摔掉到地上时所受的应力）的能力。
- [4] 底胶填充是一个非常耗时的过程，尽管已出现多种底胶填充工艺如无流动与晶

圆级工艺，但传统的毛细管流动底胶填充工艺在今天的工业界仍占主导地位。在传统的毛细管流动底胶填充工艺中，用针孔或喷嘴将液态的底胶材料涂在印刷电路板PCB或基板上的贴装器件四周，加热基板至一个底胶可以流动的温度（如70-90摄氏度）以降低底部填充胶的粘度。在毛细管力驱动下，底胶流动并填充器件与基板的间隙，以上工艺过程都是在点胶设备上的加热台上完成的。尽管底胶点滴的时间只需要一秒或更短，但是底胶流动及填充间隙（如0.05 - 0.15毫米的倒装芯片和为0.3 - 0.8毫米CSP）需要的时间较长。例如要填充一个10毫米的器件/基板间隙，底部填充流动的时间超过15秒，更大器件和更小间隙的底胶填充需要的时间更长。假设液态的底胶为牛顿液态，流动过程为二维层流，根据Navier-Stokes 方程，底胶的流动时间 t 为 $t = (3\mu L^2) / h r \cos\theta$ 。其中 μ 是底胶的粘滞系数， L 是流动距离， h 是流动间隙高度， θ 是底胶与基板的接触角度。底胶填充需要较长时间的原因除了单个器件中底胶的毛细血管流动速度慢以外，另一个主要原因是点胶机加热台的空间有限，器件又得在加热台上底胶流动结束后才能被移出点胶机，因而无法同时批处理大量器件，生产效率（以每小时底胶填充的器件UPH计）很低。底胶材料充满间隙之后，整个封装器件再移出点胶机，到一个空气压力的烤箱和回流炉中以较高的底胶固化温度（如125-165℃）进行加热固化，固化时间和温度取决于底部填充材料的性质。

[5] 阻碍毛细管流动底胶填充工艺广泛运用的因素除了上述的工艺耗时长，特别是底胶流动并填满器件与基板间隙所需要的时间过长之外，且底胶流动填充过程是一个一个器件单独完成，空洞发生从而影响底胶填充的质量和可靠性也是因素之一。下面对此进行说明。

[6] 毛细管流动底胶填充工艺的另一个主要问题是底胶材料中存在空洞，特别是对大的器件，较小的器件与基板间隙、以及较多焊点器件而言，空洞问题更为严重。液态的底胶材料在器件与基板的间隙中流动是不均匀的，在有焊点的区域流动速度变化，同时在靠近器件边缘的流动往往比中间快，另外器件和基板的表面环境变化如助焊剂和残留物的存在都可以改变底胶的流动速度。在底胶流动快与流动慢的区域之间就会出现气泡，气泡在底胶固化后就成为空洞。空洞的存在不仅改变了底胶体积，而且形成了底胶内部的压力集中点，同时湿气易

在空洞中聚集，对器件的可靠性产生不良的影响。

- [7] 以往的专利已经有一些提高底胶填充工艺效率和空洞的方法和设备。工艺效率的提高主要是利用真空吸附或空气压力提高单个器件中底胶的流动速度，减少底胶填充的时间。
- [8] 美国专利6,048,656 《Void-free underfill of surface mounted chips》阐述了一种底胶的真空吸附工艺和设备，基板上贴装的半导体器件边缘用阻挡材料密封起来，留下一个底胶入口以及一个出口。在出口处抽真空，加速底胶的流动，并去除器件与基板间的空气，减少最后底胶中的空洞。阻挡层和真空的吸附工具需要根据器件的大小而改变。类似的真空吸附工艺是在美国专利7,791,209B2 《Method of underfill air vent for flipchip BGA》中，不同的是底胶是通过在基板的中央钻出的一个小孔流出。底胶在器件边缘涂布，通过真空快速从基板的小孔中吸附出来。主要的工艺困难在于需要在基板钻孔以及需要额外设备收集真空吸附出来的底胶。
- [9] 另外一个提高底胶流动速度和减少气泡的方法是提高器件外部的空气压力。美国专利5,203,076 《Vacuum infiltration of underfill material for flip-chip devices》阐述了在倒装芯片基板上加一个空腔盖子，芯片周围涂布底胶后，先对空腔抽真空然后加压，驱动底胶的流动，该方法的一个缺点是同时需要真空和加压设备。另一个利用底胶流动两侧空气压力不同驱动底胶流动的专利是美国专利6,895,666 B2 《Underfill system for semiconductor package》，在器件的底胶出口处通过空气流动造成一个低压，整个工艺设备也较复杂。
- [10] 一些以往的发明专利仅仅减少底胶中的空洞。美国专利5,998,242 《Vacuum assisted underfill process and apparatus for semiconductor package fabrication》是关于在单个器件基板上放一个真空腔，底胶通过一个穿透真空腔的针管涂布在器件的周围，再填满器件与基板的间隙。真空环境有利于减少底胶中的气泡，但针对器件定制的真空腔以及特别的底胶涂布设备是该方法的难点。美国专利6,653,172 《Methods for providing void-free layers for semiconductor assemblies》说明了加压去除底胶气泡的方法，同样需要特别的加压设备。
- [11] 综上所述，以往的发明主要是减少单个电子器件的底胶流动时间来提高工艺的

效率。一个小空腔压在器件的基板上，空腔内的真空或高压加速器件周围底胶的流动和减少底胶中的气泡。它们有一些主要的工艺和设备的难点，需要针对器件的大小等特性定制空腔，器件改变以后，空腔的设计需要随之改变。另一个缺点是虽然底胶流动时间减少了，但需要时间在器件基板上放空腔以及抽真空或加压。最主要的是底胶填充仍是一个器件接一个器件完成，总体工艺效率不高。因此迫切需要工艺和设备简单通用，并同时能达到高效率和无空洞的底胶填充方法。

对发明的公开

技术问题

- [12] 本发明要解决的主要技术问题是，提供一种半导体器件封装中的底胶填充方法及设备，能够缩短底胶填充工艺的耗时。本技术以半导体器件为例，但同样也可以用于其它如光电子等需要底胶填充工艺甚至顶部灌胶的器件。

技术解决方案

- [13] 为解决上述技术问题，本发明采用了如下技术方案：
- [14] 一种半导体封装中的底胶填充方法，用于在基板与封装在所述基板上的半导体器件之间的间隙填充底胶，包括：
- [15] 底胶涂布：利用底胶涂布机器在所述基板上的半导体器件边缘涂布底胶；
- [16] 底胶流动：将涂布好底胶的所述基板转移到烤箱中，以底胶流动温度进行加热，直至底胶填充到所述基板与所述半导体器件之间的间隙；
- [17] 底胶固化：以底胶固化温度进行加热直至所述底胶固化。
- [18] 在本发明的一种实施例中，在所述底胶流动时，维持所述烤箱内为真空环境。其优点是底胶中无空洞，真空炉在底胶填充间隙之前就将器件与基板间的空气排空。即使是在进入真空炉前底胶就已经填充了间隙，只要底胶未固化则真空炉也会将底胶中的气泡驱除。因此，本发明对无气泡底胶填充的工艺窗口是很大的。
- [19] 在本发明的一种实施例中，底胶涂布时，以对称方式沿所述半导体器件四周涂布所述底胶。
- [20] 在本发明的一种实施例中，在所述底胶流动时，所述基板被倾斜放在所述烤箱

内，以及在所述底胶流动之前，在所述半导体器件表面先覆盖一层非粘性层。

[21] 在本发明的一种实施例中，所述底胶包括液态底胶、固态底胶或者糊态底胶。

[22] 在本发明的一种实施例中，液态底胶时，采用点滴工艺涂布到所述基板上；固态底胶时，采用加热针管涂布和固体块放置的方法涂布到所述基板上；糊态底胶时，采用印刷工艺或针管涂布到所述基板上。

[23] 在本发明的一种实施例中，在所述底胶流动和底胶固化中，采用批处理方式同时对多块基板进行底胶流动和固化。

[24] 本发明也提供了一种半导体封装中的底胶填充设备,用于在基板与封装在所述基板上的半导体器件之间的间隙填充底胶，包括：

[25] 底胶涂布机，在所述基板上的半导体器件边缘涂布底胶；

[26] 烤箱用于以底胶流动温度对置入其中的涂布好底胶的所述基板上的底胶进行加热，直至底胶填充到所述基板与所述半导体器件之间的间隙；以及以底胶固化温度对所述底胶进行加热直至所述底胶固化。

[27] 在本发明的一种实施例中，所述用于进行底胶流动的烤箱为真空烤箱或真空回流炉。

[28] 在本发明的一种实施例中，所述用于底胶固化的烤箱为热板、传统烤箱或回流炉。

[29] 本发明可以有效缩短底胶流动所需时间，从而从整体上减少底胶填充工艺的耗时。

附图说明

[30] 图1是当前工业界普遍采用的毛细管流动底胶填充工艺图；其中，图1A是在点胶机上液态底胶涂布工艺图；图1B是在点胶机上底胶流动填充芯片与基板间隙图；基板温度保持在底胶流动所需要的温度（如70-90℃）；图1C是底胶固化图；固化温度通常在一个更高的温度（如125-165℃）；

[31] 图2是本发明实施例中的毛细管流动底胶填充工艺图；其中，图2A是在点胶机上液体底胶涂布工艺图；图2B是在烤箱中（真空烤箱或真空回流炉，温度70-90℃）底胶流动填充芯片与基板的间隙图；图2C是在烤箱中（真空烤箱或真空回流炉）底胶固化图；

- [32] 图3是沿器件四周底胶对称涂布工艺图；其中，图3A是底胶沿器件四周均匀涂布的俯视图；图3B是底胶沿器件四周均匀涂布的截面图。

本发明的实施方式

- [33] 下面通过具体实施方式结合附图对本发明作进一步详细说明。

- [34] 本发明涉及半导体封装等器件中底胶填充的方法与设备。本文中的封装是指利用焊料等连接粘结材料将一个或多个半导体封装器件与印刷电路板基板互连或器件之间的互连。参见图1，传统的底胶填充是在一台机器上将底胶涂在封装元器件边缘，底胶再在空气环境下通过毛细血管作用流动并填充到衬底与器件之间的间隙，最后底胶在传统的空气加热炉中固化。传统方法主要缺点是单个元器件的底胶流动工艺时间长或生产效率低，以及因在空气中流动底胶材料而容易出现空洞。为此，参见图2，本发明给出了一种高效率无空洞的底胶填充方法及设备，具体如下：

- [35] 一种半导体封装中的底胶填充方法,用于在基板与封装在所述基板上的半导体器件之间的间隙填充底胶，包括：

- [36] 底胶涂布：利用底胶涂布机器在所述基板上的半导体器件边缘涂布底胶；

- [37] 底胶流动：将涂布好底胶的所述基板转移到烤箱中，以底胶流动温度进行加热，直至底胶填充到所述基板与所述半导体器件之间的间隙；

- [38] 底胶固化：以底胶固化温度进行加热直至所述底胶固化。

- [39] 可以看到，在底胶填充工艺流程中，包括底胶涂布过程、底胶流动过程、底胶固化过程，下面分别予以说明。

- [40] 1、底胶涂布

- [41] 现有技术中所用的底胶一般为液态底胶，是用胶针或喷泵和控制龙门沿器件上两侧进行涂布。Asymtek公司的C-720就是液体底胶涂布机的一个例子。

- [42] 在本发明的一种实施例中，底胶可以包括液态底胶、固态底胶或者糊态底胶，即除了传统的液态底胶外，本发明还能运用糊态及固态底胶材料填充。一般的，液体底部填充材料是由机器点滴方法沿器件的边缘涂布到基板上，固体和糊状底部填充材料分别用直接放置和印刷或涂布到基板上器件的周围，底胶可以像传统的工艺一样放在器件的一边或两边，也可以放器件的三边或四边。并底

胶涂布时，点胶机的加热板可以不加热或稍稍加热，目的是使底胶粘在器件的边缘。因未被加热，底胶粘滞系数仍大，点胶机上本发明的目的是底胶在器件与基板之间的间隙不流动或流动距离较小。

[43] 用于填充的底胶另一种可能的状态时室温下为固体（例如环氧树脂）。环氧树脂的优点在于一旦被固化，粘度会非常低并具有高比例无机填充物（如80%的SiO₂颗粒），更高比例的填充物具有更低的热膨胀系数和更高的可靠性。

[44] 固体底胶涂布有两种方式：（1）加热的针管或喷嘴涂布（2）固态涂布。对于针管涂布，底胶在注射器中加热到一个中等温度融化成液态。在涂布时，在针管针头附近加热使底胶沿着器件边缘点滴下来，也可使用加热的喷嘴涂布。底胶落到室温或低温的基板上时便冷却凝固成固体。对于固态涂布方式，先将底胶固体定型成基底器件大小的条状，用机械手将条状底胶沿着器件放置。通常采用加热基板或在基板上涂一层粘结材料以确保底胶与基板的粘结。在采用糊状底胶时，可采用带孔的模板如钢板印刷到基板上，也可用或喷嘴涂布。

[45] 综上所述，本发明中的底胶涂布工艺与现有技术的底胶涂布工艺有以下3个不同点：

[46] 1、本发明中的印刷电路板基材可以加热或不加热。在现有技术的工艺中，需要加热基板降低底胶黏度，促进底胶流动。在本发明中，可以不对基板加热或仅加热到低于底胶流动需要的温度（低于70-90℃）。因此，基板上涂布的底胶温度低、粘度高，这减弱了底胶涂布工艺中底胶的流动性。

[47] 2、现有工艺一般采用液态底胶，而本发明除液态底胶外，固态和糊状底胶也可以得到应用。

[48] 3、本发明中，底胶可以沿器件的四边进行涂布，然而在现有工艺中，底胶只沿器件的一边或两边涂布以减少气泡产生。因此，工艺工程师并不需要为尽量减小气泡而进行大量的实验，通过涂布方案和衬底温度来进行调节。涂布时，胶针截面可以为小方形，涂布时的一个重要参数是底胶体积，它等于器件与基板间隙的体积加上器件边缘需要的底胶体积。

[49] 在本发明中，有可能会使器件表面上也被涂布底胶。因此，将器件倾斜地放在烤箱中使表面上的底胶流动到器件的侧墙并将器件与基板间的间隙填充完。为

防止底胶粘附到器件的表面，器件上表面需先覆盖一层非粘性层，例如如聚四氟乙烯。

- [50] 底胶涂布到PCB基板后，则要进行底胶流动。与在点胶机上加热台上底胶流动工艺不同，本发明中底胶的流动和固化都是在空气或真空环境的烤箱中进行。该烤箱例如可以是一个独立的回流炉或具有三到七个加热区和一个移动带的烤箱。底胶在烤箱中流动与固化的温度曲线分两个阶段。第一阶段的底胶流动温度（例如70~90℃）是降低底胶粘度促进底胶流动。一旦底胶填充好间隙，被加热到第二阶段的底胶固化温度（如140-165℃），固化时间长短取决与底胶的固化速率。只要底胶在固化前能填充间隙，可以采用超过2阶段烤箱温度曲线。
- [51] 在底胶流动时，对于不易引发气泡的小器件封装，采用简单的传统烤箱和回流炉即可。而对于容易引发气泡的大器件封装，为了防止底胶流动中会产生气泡，可以采用将烤箱内维持为真空环境的方式，例如采用真空烤箱、真空回流炉或真空室进行底胶流动和固化。
- [52] 例如，底胶涂布完过后，器件和PCB板将从涂布机器上转移到真空烤箱中。烤箱的起始温度为室温到底胶流动温度（例如70-90℃）之间的某个温度或底胶流动温度。随后，将烤箱升至底胶流动温度并保持一段时间直到底胶填充完器件与基板的间隙并在器件周围形成圆角。最后，该封装体再由同一个真空烤箱或另外的传统烤箱在底胶固化温度（例如125-165℃）进行烘烤或者经过紫外线固化。在固化过程中，可以使用也可以不使用真空炉。
- [53] 在真空烤箱中进行底胶流动的主要目的是在底胶填充间隙前将芯片与基板间的空气抽走；且即使已经将底胶涂布并填充了间隙，在真空烤箱中采用两个温度梯度曲线的加热方式也可以将空气赶走。真空回流炉同样可以应用于本发明中，器件底胶流动时可以在回流炉的某个区中用一个真空腔盖住。或者，将涂布好底胶的封装体放入可移动真空室，将一批封装体放置好，真空室开始抽空，然后将真空室内温度升到底胶流动温度，也可以真空室内温度一开始就维持在底胶流动温度，因基板升温需要时间，关键是底胶升温，在开始流动或流动很小距离时，烤箱处于真空环境中，底胶的流动过程处于真空中，从而避免了空气流动过程中的底胶气泡和固化后的空洞。最后底胶的固化可以在任何环境中

，烘烤机器可以为热板，传统烤箱或回流炉。

[54] 对于小器件（5mm或更少），底胶只要沿器件一边或两边涂布即可，然后将封装体放入传统烤箱或回流炉。由于小器件不易产生气泡，一般无需进行抽真空处理。烘烤温度也同样是一个中等的流动温度和一个较高的固化温度。将底胶流动工艺从点胶机上转移到烤箱中，底胶流动时间降低，工艺效率得到提升。

[55] 将底胶流动工艺从点胶机转移到烤箱中的好处是可以明显地提高生产效率并降低设备投资。此外，在底胶流动中，可以在烤箱中采用批处理方式对多块基板进行底胶流动和填充间隙。而在点胶机，底胶流动只能逐个进行。例如，对100个倒装芯片进行底胶填充间隙需要20秒钟，而在点胶机上所需的总时间将是2000秒。同样的，底胶固化也可以在烤箱中采用批处理方式进行。

[56] 除了高效率和无气泡的优点，本发明还能实现器件四周边缘底胶体积的一致性。器件边缘底胶圆角是多余的底胶围绕器件四周形成的，它的横截面是圆弧形，底胶圆角的一致性有助于提高可靠性。该圆角的横截面通常为凹形，如果底胶涂布过量则为凸形。传统底胶的问题是底胶在器件周围不均匀，因为底胶在器件的一边或最多两边涂布，底胶从涂布的边缘流向没有涂布的边缘，最后往往涂布边缘的底胶多于未有涂布的边缘。最坏的情况下没有涂布边缘没有底胶。为了达到一致性，目前行业中的做法是在底胶填充后再在器件四周涂布一层底胶，然而这增加了工艺步骤，降低了效率。参见图3，本发明则可以在底胶涂布时以对称方式沿器件的四周涂布底胶而保证底胶在器件边缘圆角的一致性。

[57] 不同于现有技术以点胶机一种设备完成整个底胶涂布和底胶流动工艺，本发明采用不同机器来分别处理底胶涂布和流动。这带来了诸多优势：

[58] 1、底胶涂布时，可采用的底胶材料形式更广，并且可以对基板不进行加热或稍稍加热，相比于现有技术必须给基板加热可以简化工艺或节省耗能。此外，在底胶涂布时采用以对称方式沿器件的四周涂布底胶的方式可以在底胶涂布阶段即保证底胶填充工艺结束时的底胶圆角一致性。而现有技术需要增加工艺来保证该一致性。

[59] 2、底胶流动在烤箱中进行，可以节省流动工艺耗时以及节约设备投资，尤其通过批处理方式同时处理多个器件的底胶流动工艺，更可大大减少一批次器件

的总体底胶填充时间。此外，通过将烤箱内置为真空环境以在真空中完成底胶流动，可大大减少底胶填充中出现空洞的可能性。

- [60] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求书

- [权利要求 1] 一种半导体封装中的底胶填充方法,用于在基板与封装在所述基板上的半导体器件之间的间隙填充底胶, 其特征在于, 包括:
- 底胶涂布: 利用底胶涂布机器在所述基板上的半导体器件边缘涂布底胶;
- 底胶流动: 将涂布好底胶的所述基板转移到烤箱中, 以底胶流动温度进行加热, 直至底胶填充到所述基板与所述半导体器件之间的间隙;
- 底胶固化: 以底胶固化温度进行加热直至所述底胶固化。
- [权利要求 2] 如权利要求1所述的方法, 其特征在于, 在所述底胶流动时, 维持所述烤箱内为真空环境。
- [权利要求 3] 如权利要求1所述的方法, 其特征在于, 底胶涂布时, 以对称方式沿所述半导体器件四周涂布所述底胶。
- [权利要求 4] 如权利要求1所述的方法, 其特征在于, 在所述底胶流动时, 所述基板被倾斜放在所述烤箱内, 以及在所述底胶流动之前, 在所述半导体器件表面先覆盖一层非粘性层。
- [权利要求 5] 如权利要求1所述的方法, 其特征在于, 所述底胶包括液态底胶、固态底胶或者糊态底胶。
- [权利要求 6] 如权利要求5所述的方法, 其特征在于, 液态底胶时, 采用点滴工艺涂布到所述基板上; 固态底胶时, 采用加热针管涂布和固体块放置的方法涂布到所述基板上; 糊态底胶时, 采用印刷工艺或针管涂布到所述基板上。
- [权利要求 7] 如权利要求1-6任一所述的方法, 其特征在于, 在所述底胶流动和底胶固化中, 采用批处理方式同时对多块基板进行底胶流动和固化。
- [权利要求 8] 一种半导体封装中的底胶填充设备,用于在基板与封装在所述基板上的半导体器件之间的间隙填充底胶, 其特征在于, 包括:
- 底胶涂布机, 在所述基板上的半导体器件边缘涂布底胶;

烤箱，用于以底胶流动温度对置入其中的涂布好底胶的所述基板上的底胶进行加热，直至底胶填充到所述基板与所述半导体器件之间的间隙；以及以底胶固化温度对所述底胶进行加热直至所述底胶固化。

[权利要求 9] 如权利要求8所述的底胶填充设备，其特征在于，所述用于进行底胶流动的烤箱为真空烤箱或真空回流炉。

[权利要求 10] 如权利要求8所述的底胶填充设备，其特征在于，所述用于底胶固化的烤箱为热板、传统烤箱或回流炉。

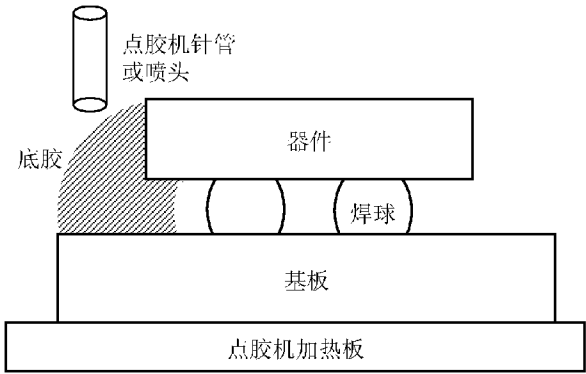


图 1A

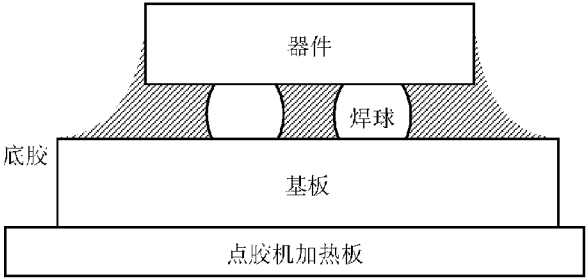


图 1B

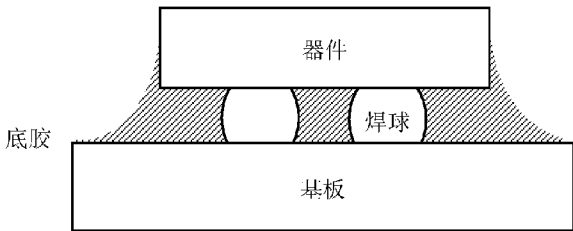


图 1C

图 1

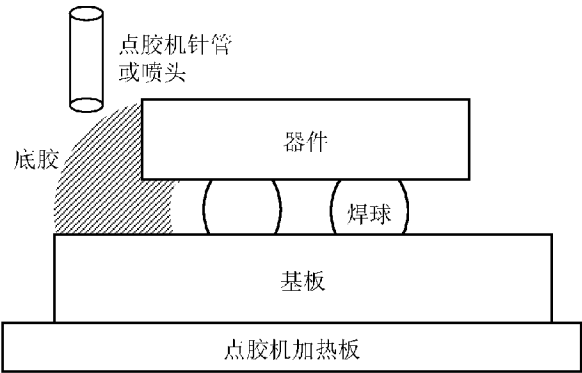


图 2A

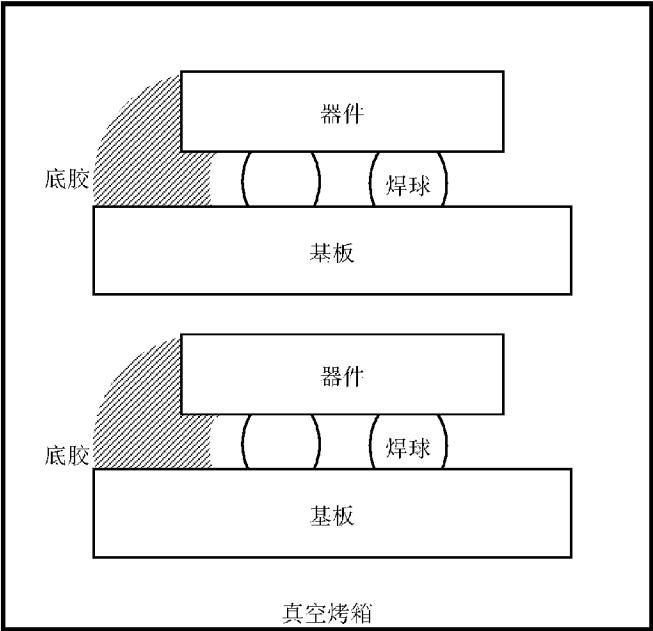


图 2B

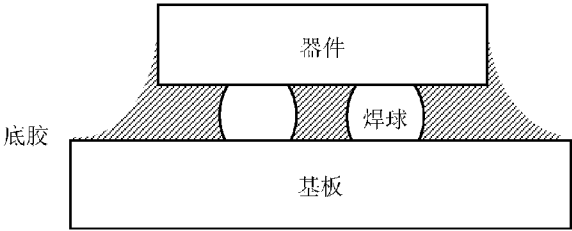


图 2C

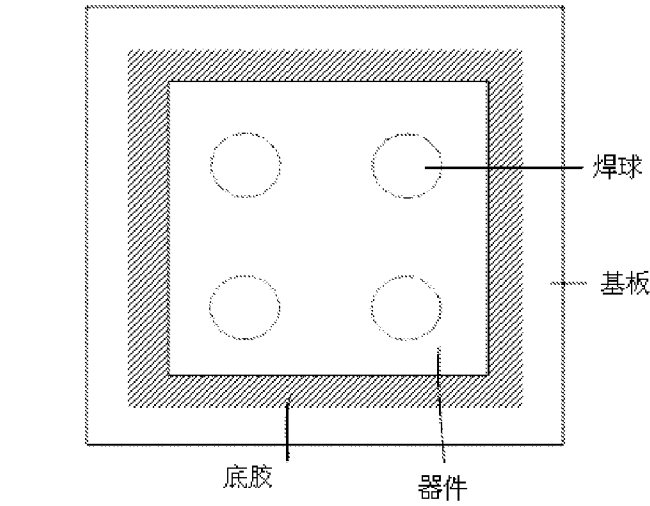


图 3A

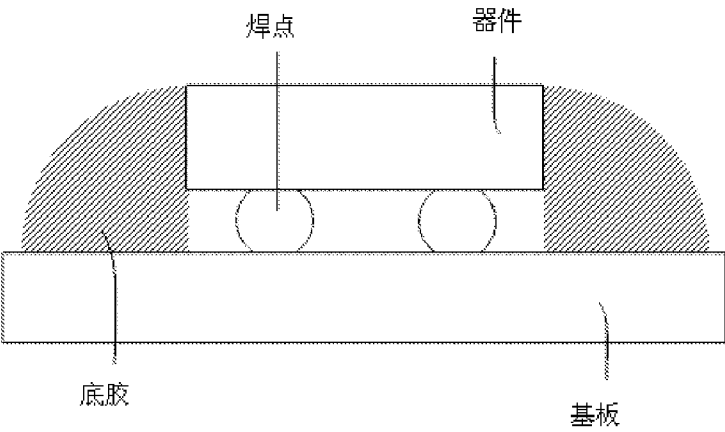


图 3B

图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072462

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/58 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,CPPAT,CNKI: chip, package, fill+, substrate, heat+, semiconductor, glue, coating, batch, gap, solidity

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US6391683B1 (SILICONWARE PRECISION IND CO LTD (TW)) 21 May 2002 (21.05.2002) claims 1-4,column 3 line 38 – column 4 line 53,figs.3A-3D,4	1,5,8-10
A	CN1574255A (TAIWAN SEMICONDUCTOR MFG CO (TW)) 02 Feb. 2005 (02.02.2005) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search
24 Nov. 2011 (24.11.2011)Date of mailing of the international search report
19 Jan. 2012 (19.01.2012)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

XIE,Shaojun

Telephone No. (86-10)62411593

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/072462

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US6391683B1	21.05.2002	TW447089A	21.07.2001
		US2002127774A1	12.09.2002
		US6600232B2	29.07.2003
CN1574255A	02.02.2005	US2004232560A1	25.11.2004
		TW200427037A	01.12.2004
		CN1301540C	21.02.2007
		TW257161B1	21.06.2006

国际检索报告

国际申请号

PCT/CN2011/072462

A. 主题的分类

H01L 21/58 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

WPI,EPODOC,CPPAT,CNKI: CSP, BGA, 芯片, 封装, 底胶 (4), 填充, 基板, 加热, 间隙, 半导体, 涂布, 固化, chip, package, fill+, substrate, heat+, semiconductor, glue, coating, batch, gap, solidity

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US6391683B1 (矽品精密工业股份有限公司(台湾)) 21.5 月 2002 (21.05.2002) 权利要求 1-4, 说明书第 3 栏第 38 行-第 4 栏第 53 行, 图 3A-3D, 4	1,5,8-10
A	CN1574255A (台湾积体电路制造股份有限公司(台湾)) 02.2 月 2005 (02.02.2005) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
24.11 月 2011 (24.11.2011)

国际检索报告邮寄日期
19.1 月 2012 (19.01.2012)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

谢绍俊
电话号码: (86-10) **62411593**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/072462

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6391683B1	21.05.2002	TW447089A	21.07.2001
		US2002127774A1	12.09.2002
		US6600232B2	29.07.2003
CN1574255A	02.02.2005	US2004232560A1	25.11.2004
		TW200427037A	01.12.2004
		CN1301540C	21.02.2007
		TW257161B1	21.06.2006