



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I637484 B

(45)公告日：中華民國 107 (2018) 年 10 月 01 日

(21)申請案號：103143898

(22)申請日：中華民國 103 (2014) 年 12 月 16 日

(51)Int. Cl. : **H01L27/105 (2006.01)****H01L27/115 (2017.01)****H03K5/13 (2014.01)****H03K5/145 (2006.01)**

(30)優先權：2013/12/26 日本

2013-268613

2014/03/14 日本

2014-050958

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：青木健 AOKI, TAKESHI (JP)；上妻宗広 KOZUMA, MUNEHIRO (JP)；黒川義元
KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I270251B

JP 10-65507A

JP 2005-236814A

US 6600338B1

審查人員：陳基發

申請專利範圍項數：15 項 圖式數：29 共 121 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

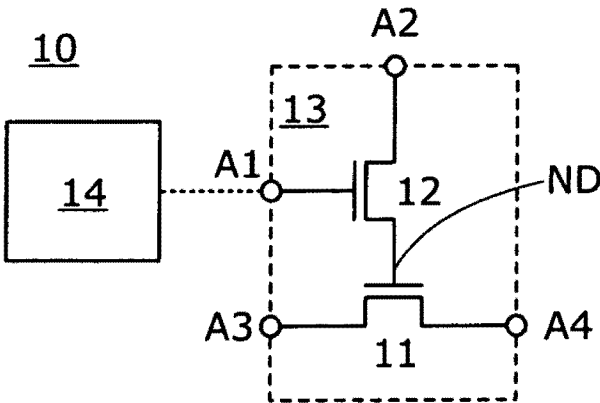
(57)摘要

本發明提供一種可以在確保正常工作的同時實現低功耗化的半導體裝置。根據本發明的一個實施方式的半導體裝置包括一對第一電路及第二電路，該一對第一電路都包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號，其中，上述一對第一電路各自所具有的上述第一電晶體的源極和汲極中的一個彼此電連接，在上述一對第一電路中，分別供應到上述第一電晶體所具有的閘極的上述第一信號具有邏輯位準彼此不同的電位。

A semiconductor device that can operate normally with lower power consumption is provided. The semiconductor device includes a pair of first circuits which each include a first transistor and a second transistor capable of controlling the supply of a first signal to a gate of the first transistor, and a second circuit which is capable of generating a second signal which is to be supplied to a gate of the second transistor and which has a larger amplitude than the first signal. One of a source and a drain of one of the first transistors included in the pair of first circuits is electrically connected to one of a source and a drain of the other of the first transistors. The first signals supplied to the gates of the first transistors in the pair of first circuits have potentials with different logic levels.

指定代表圖：

圖 1



- 符號簡單說明：
- 10 . . . 半導體裝置
 - 11 . . . 電晶體
 - 12 . . . 電晶體
 - 13 . . . 電路
 - 14 . . . 電路
 - ND . . . 節點
 - A1、A2 . . . 佈線

圖 式

圖 1

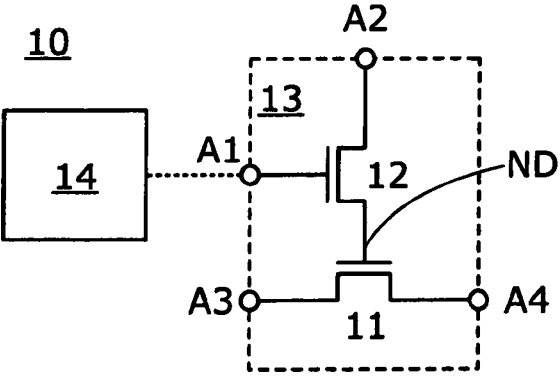


圖 2

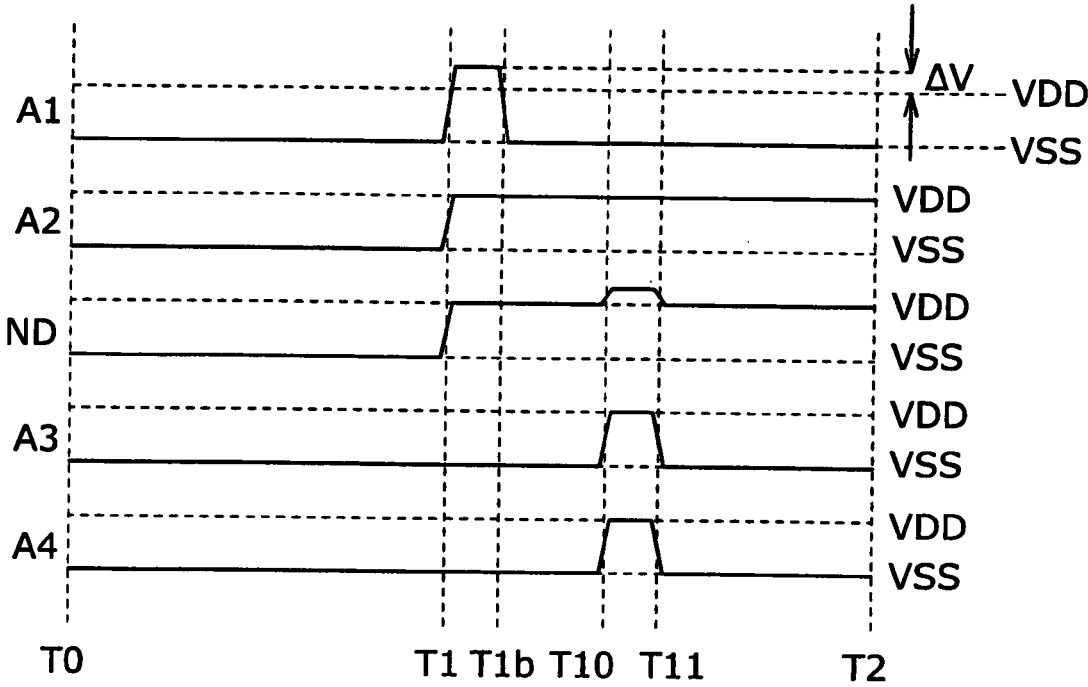


圖 3A

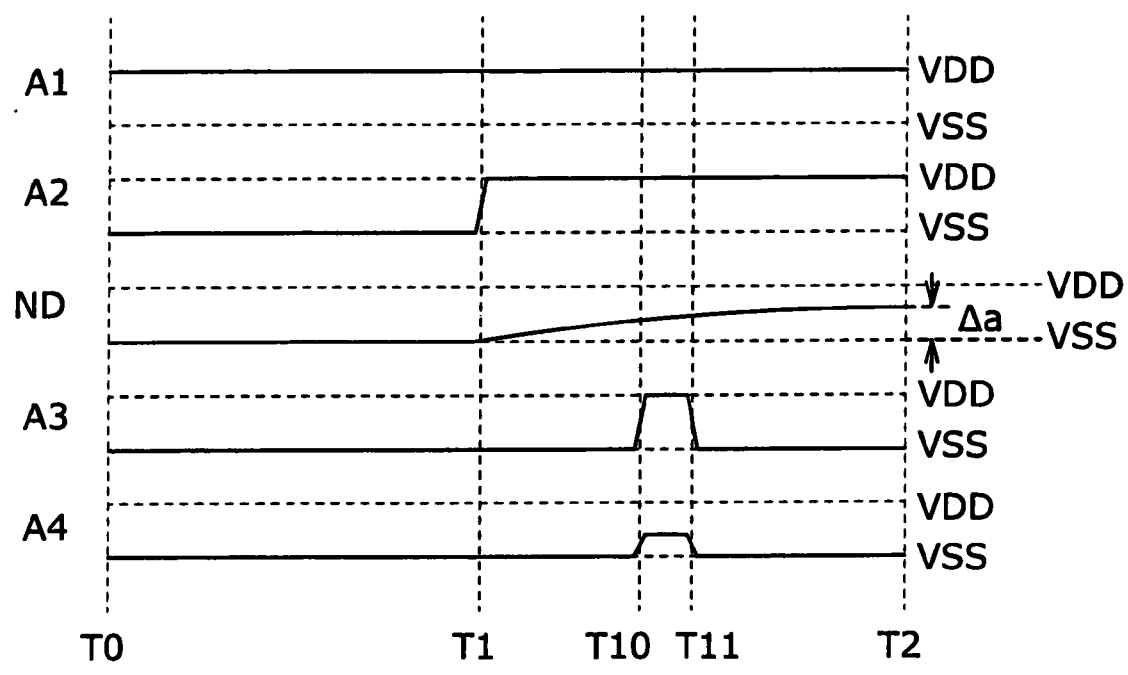


圖 3B

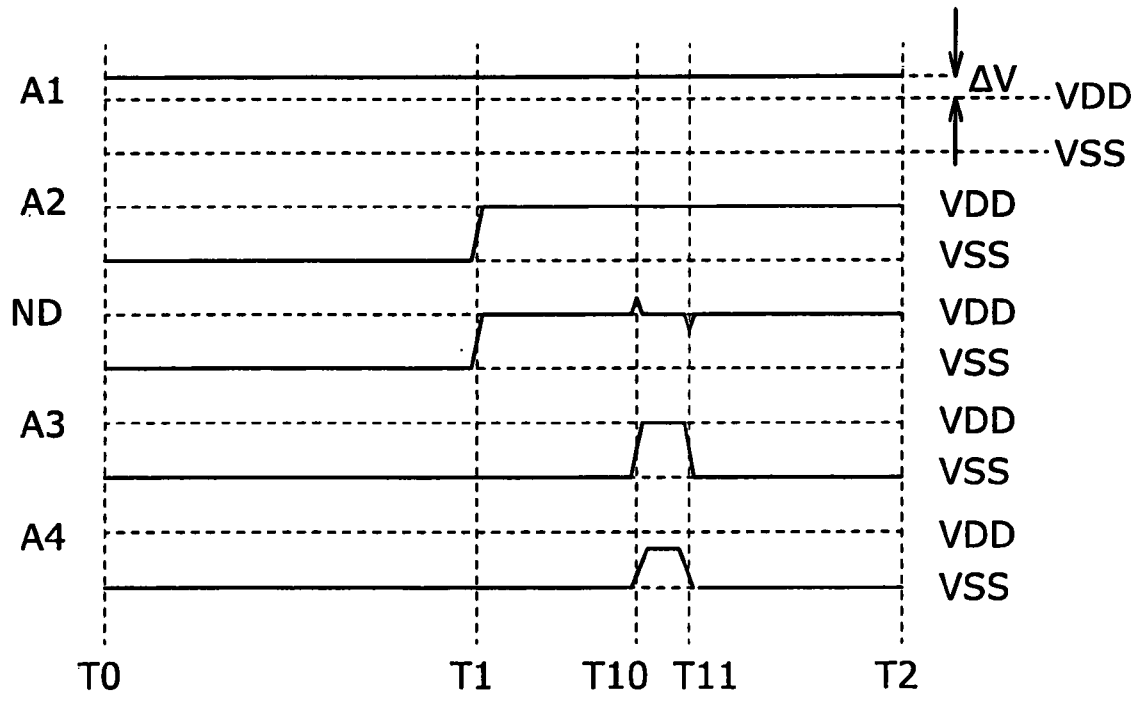


圖 4

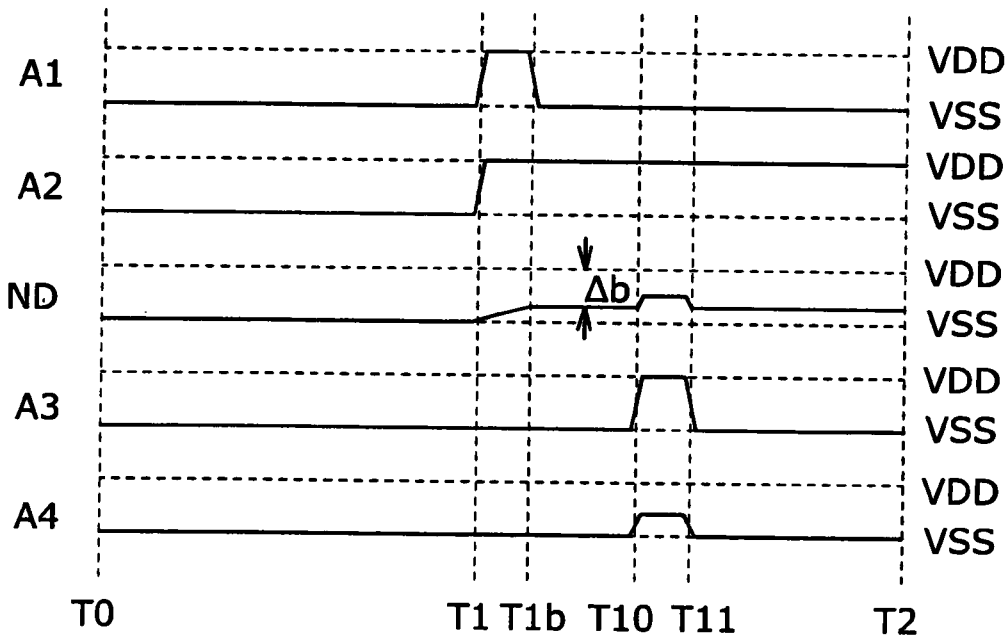


圖 5

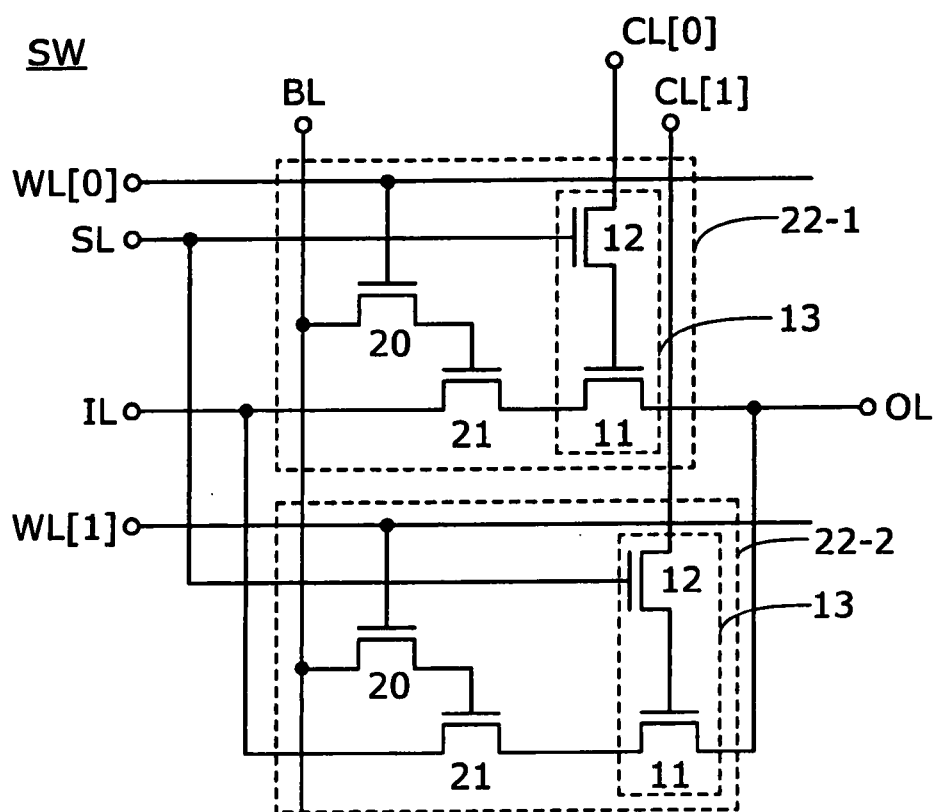


圖 6

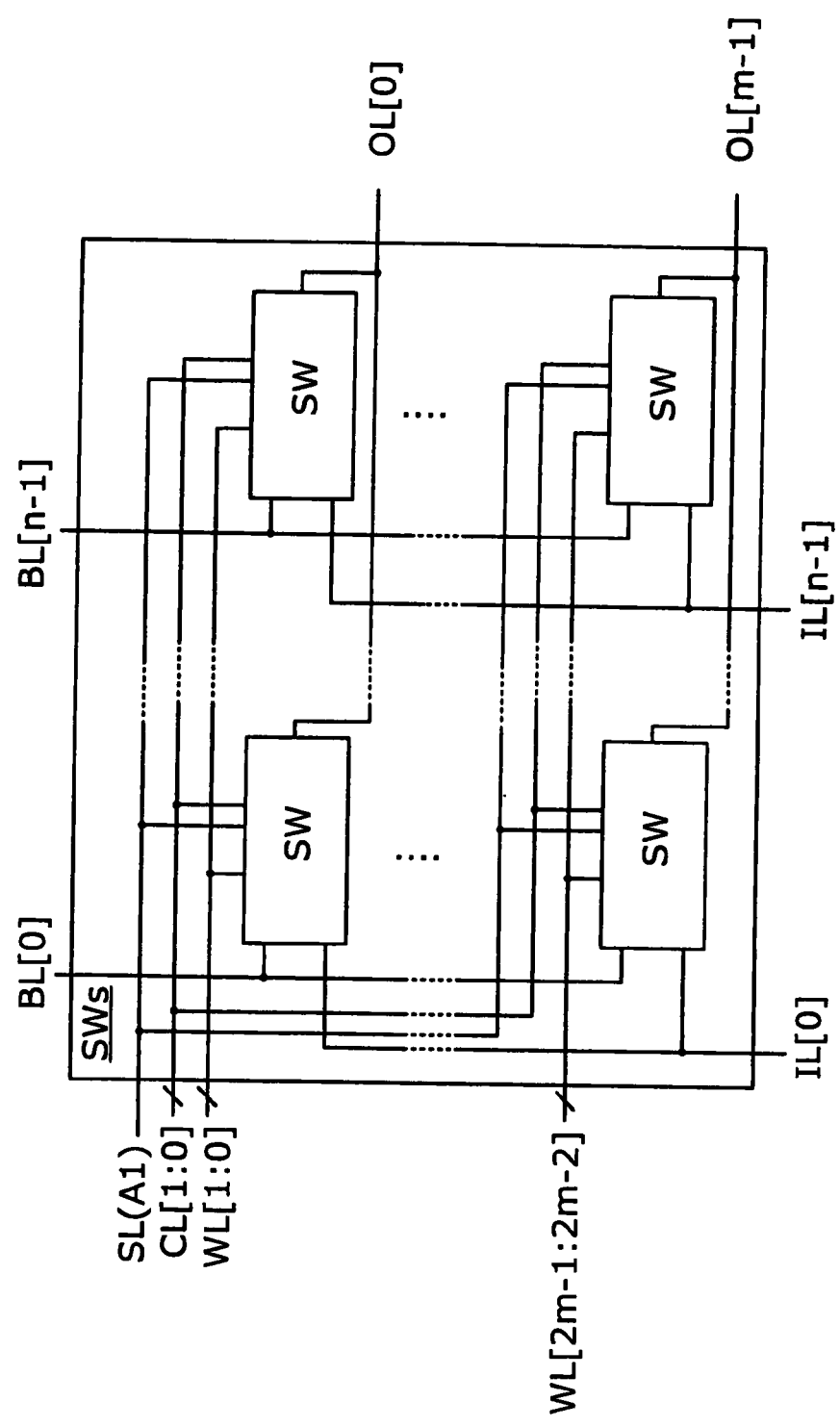


圖 7

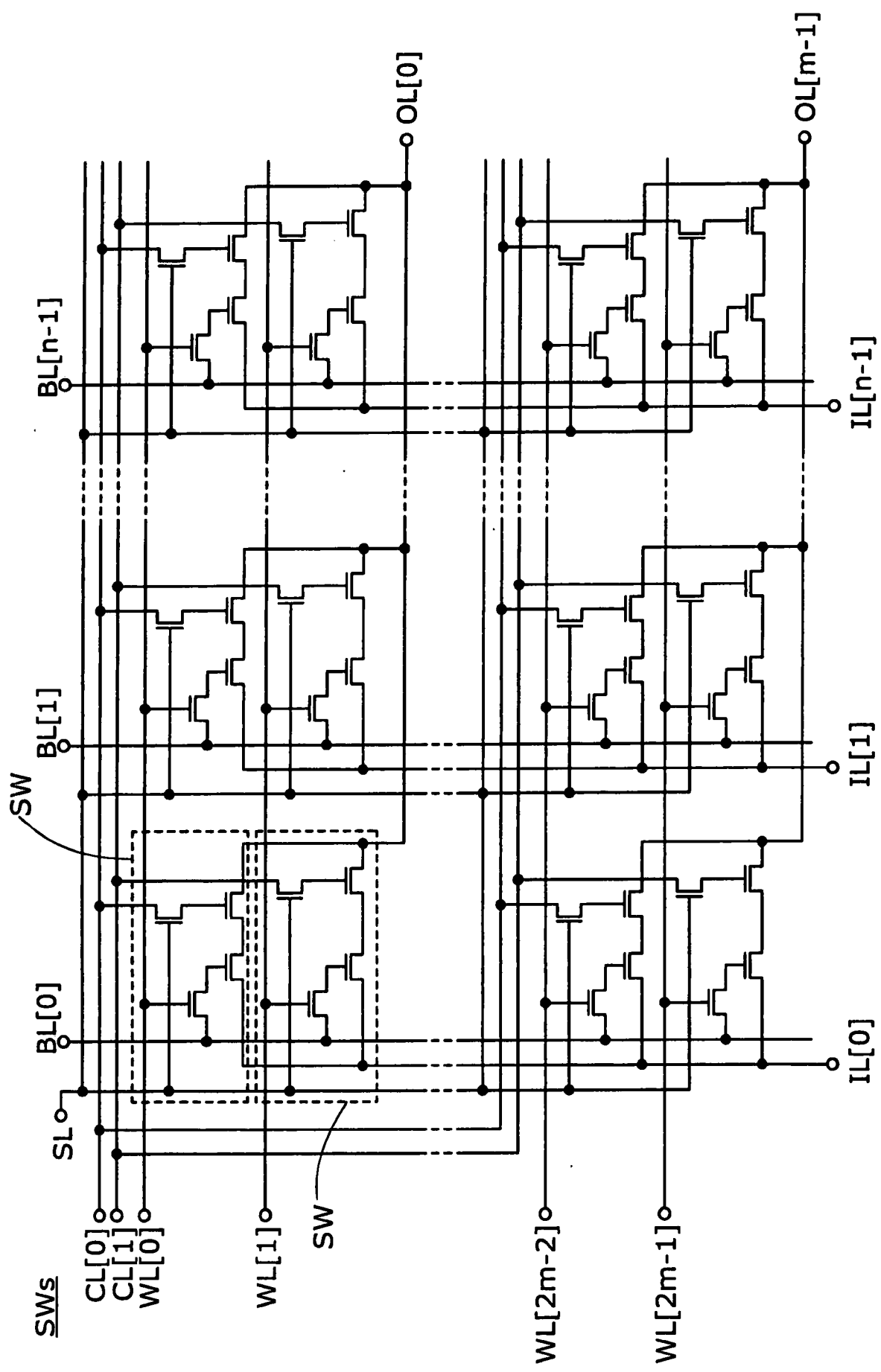


圖 8

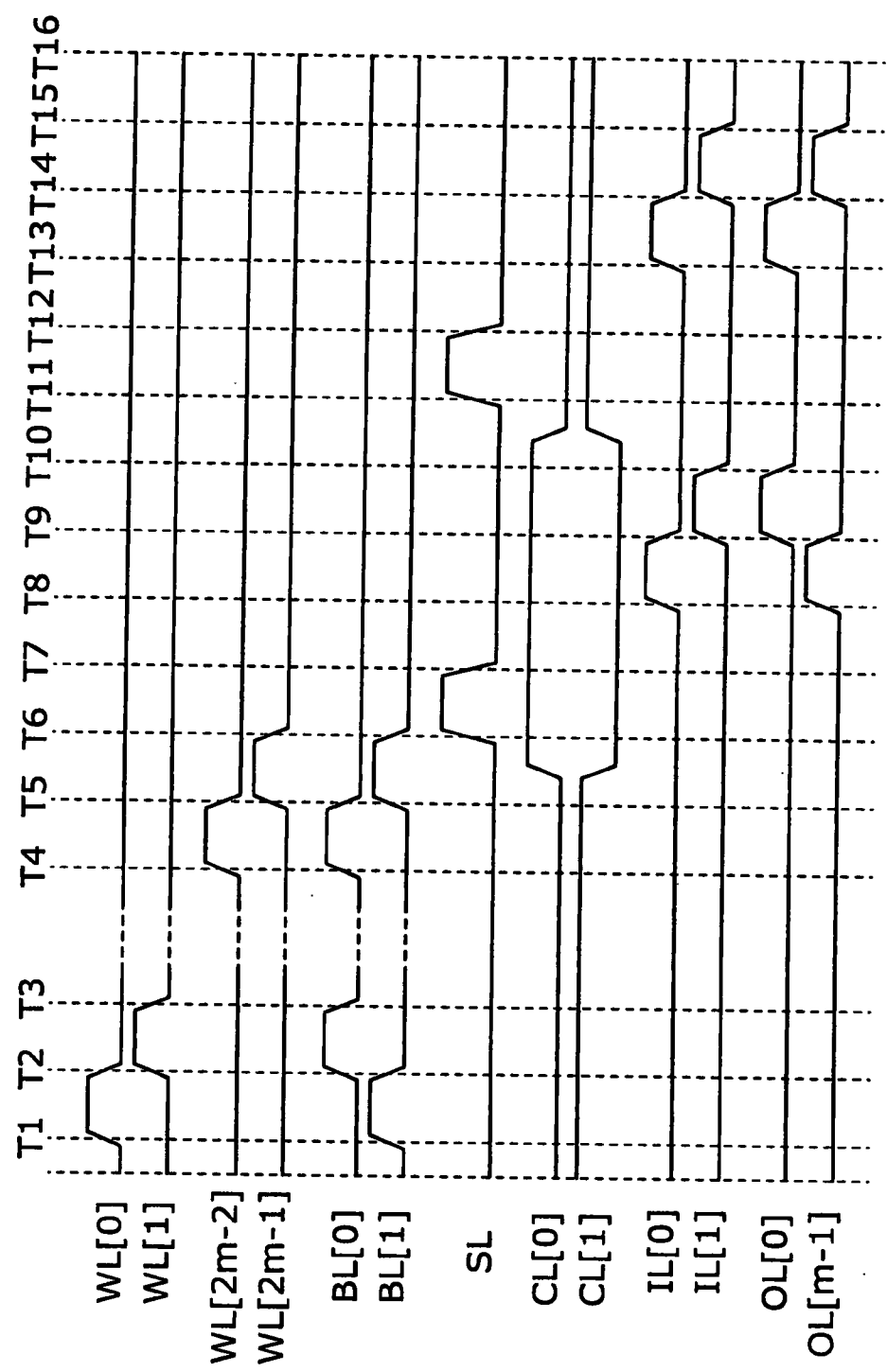


圖 9A

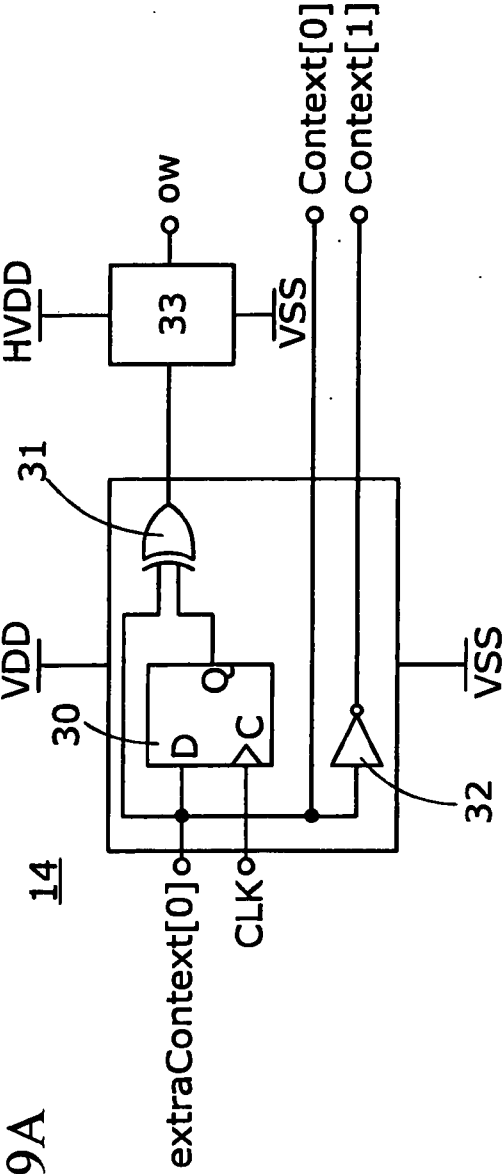


圖 9B

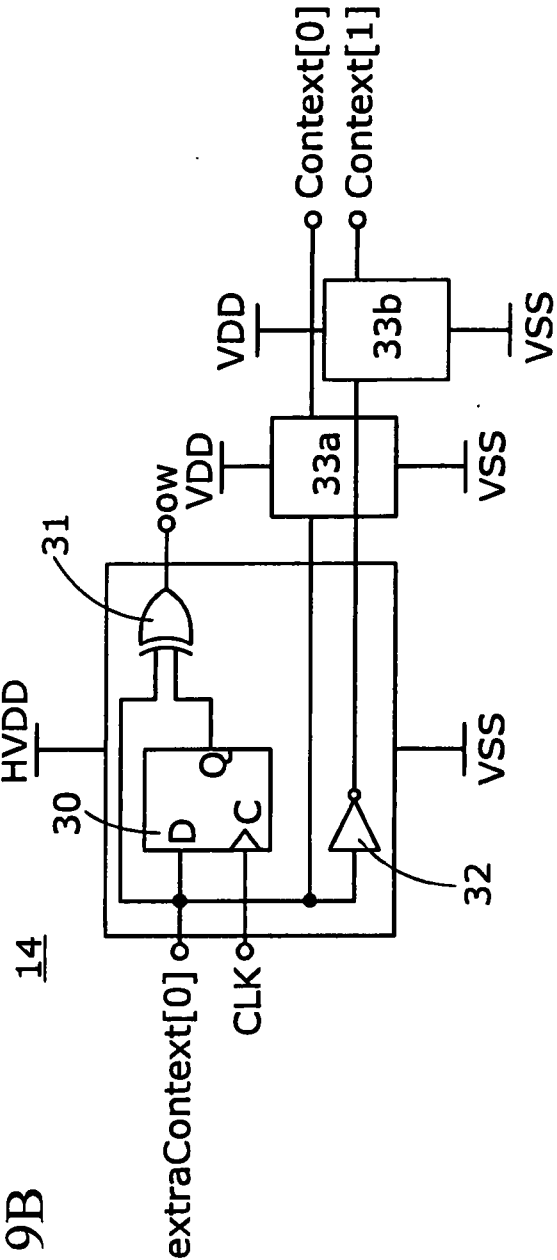


圖 10

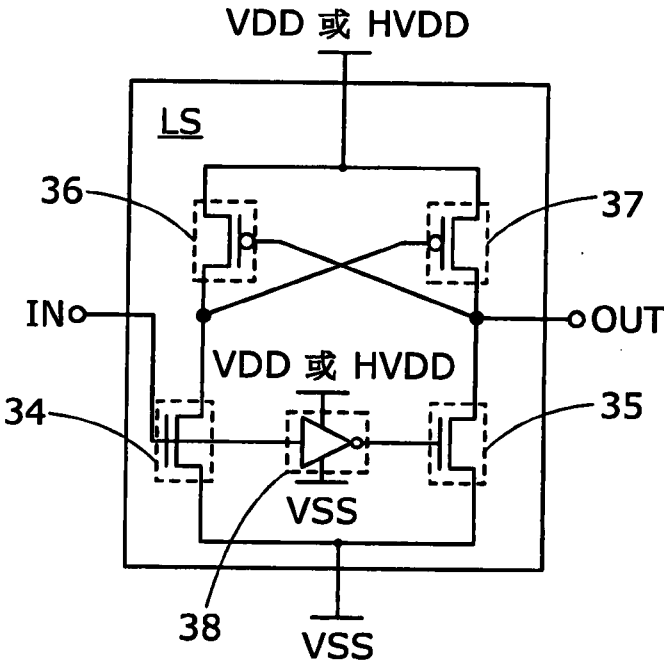


圖 11

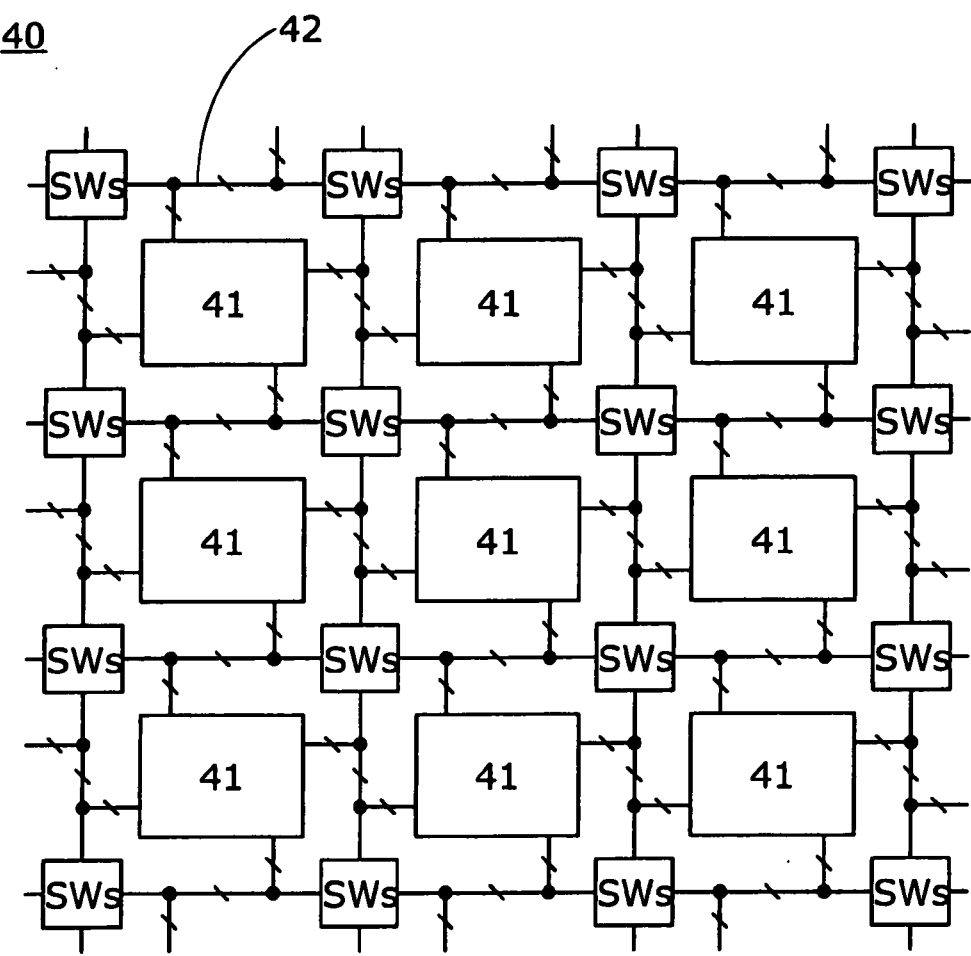


圖 12A

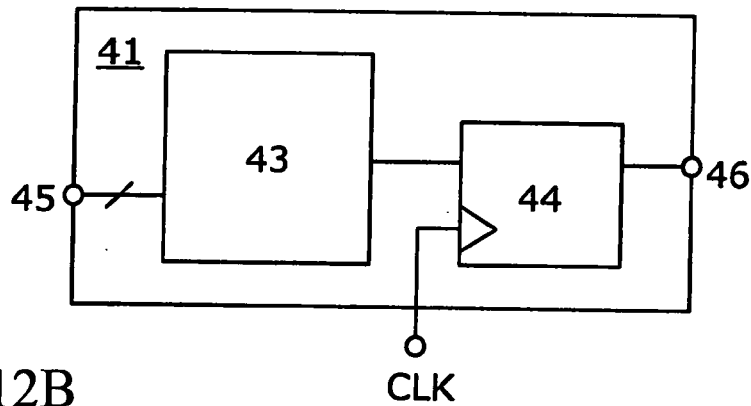


圖 12B

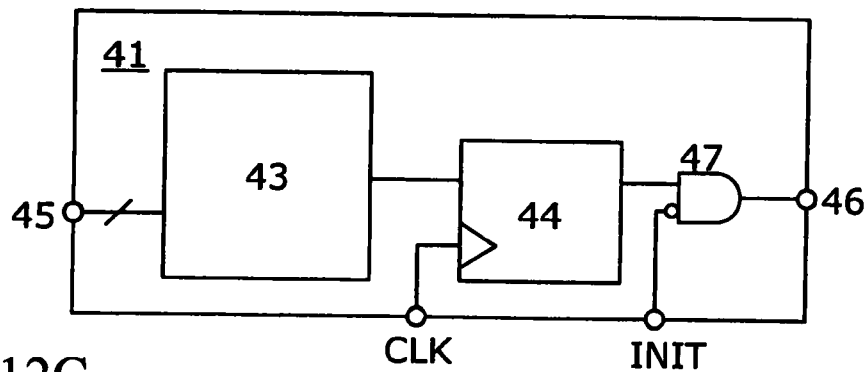


圖 12C

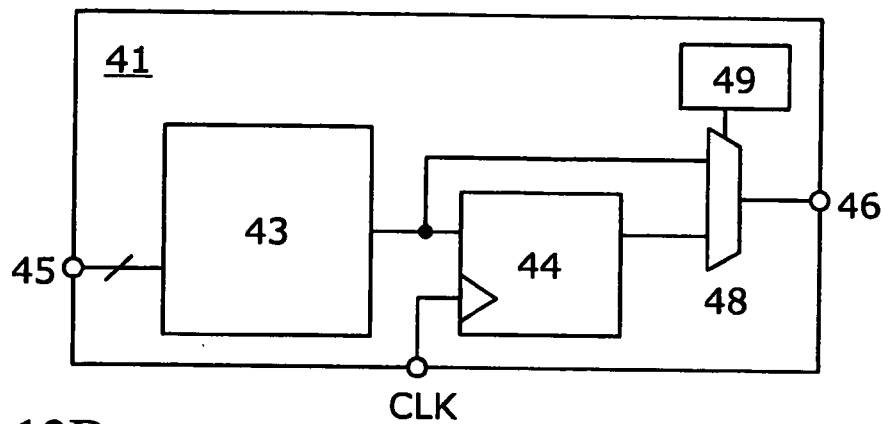


圖 12D

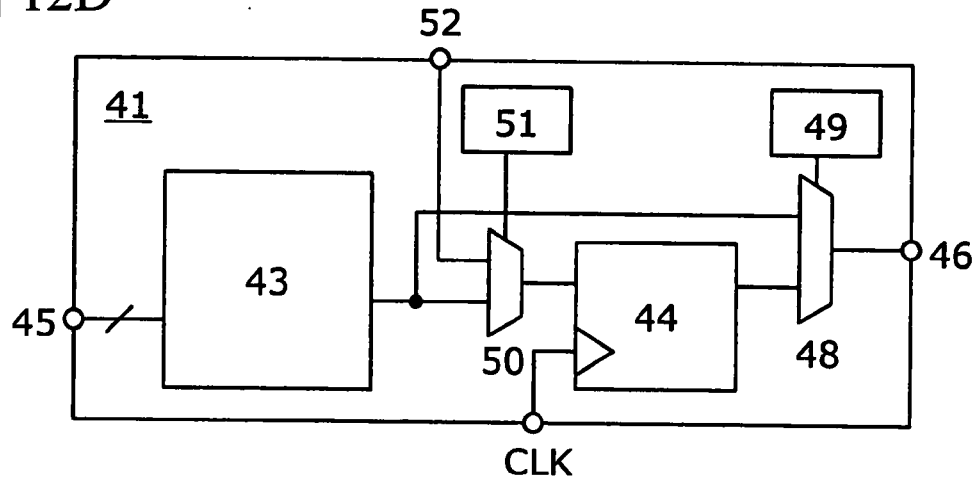


圖 13

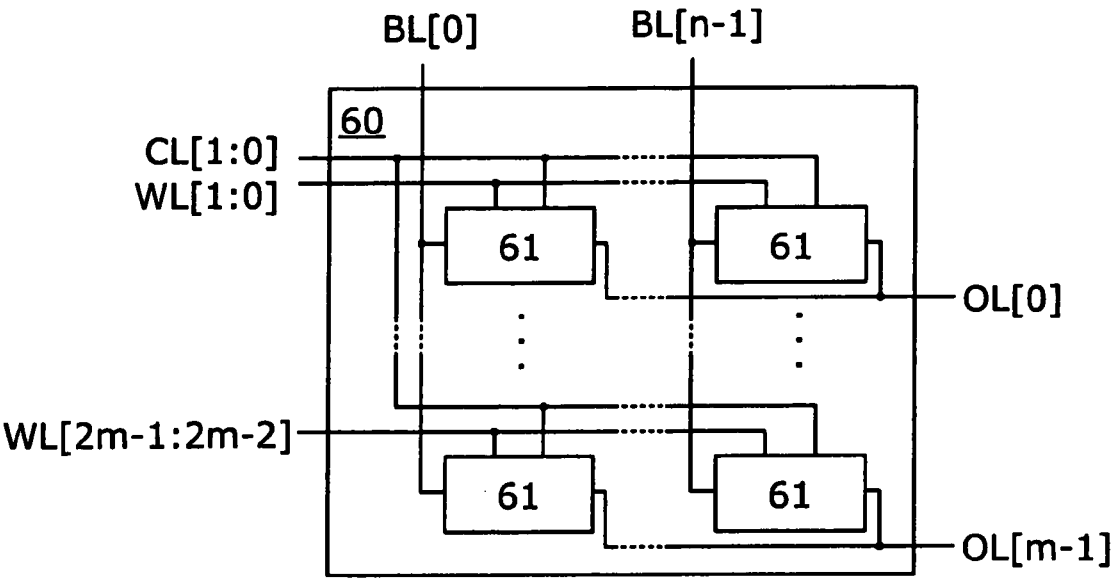


圖 14A

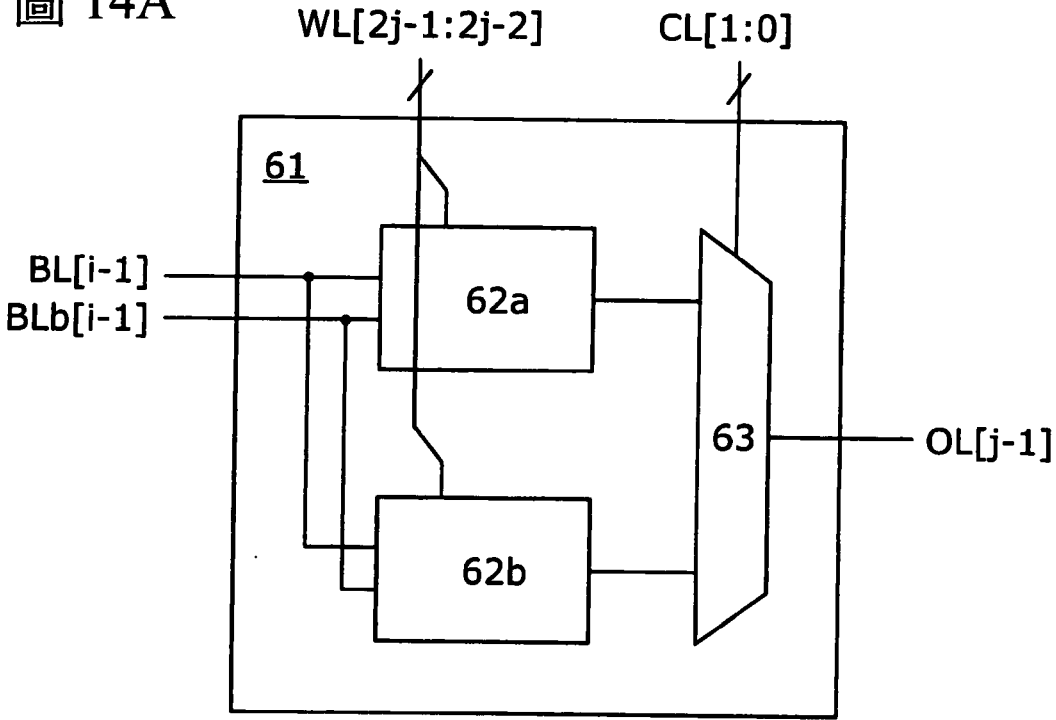


圖 14B

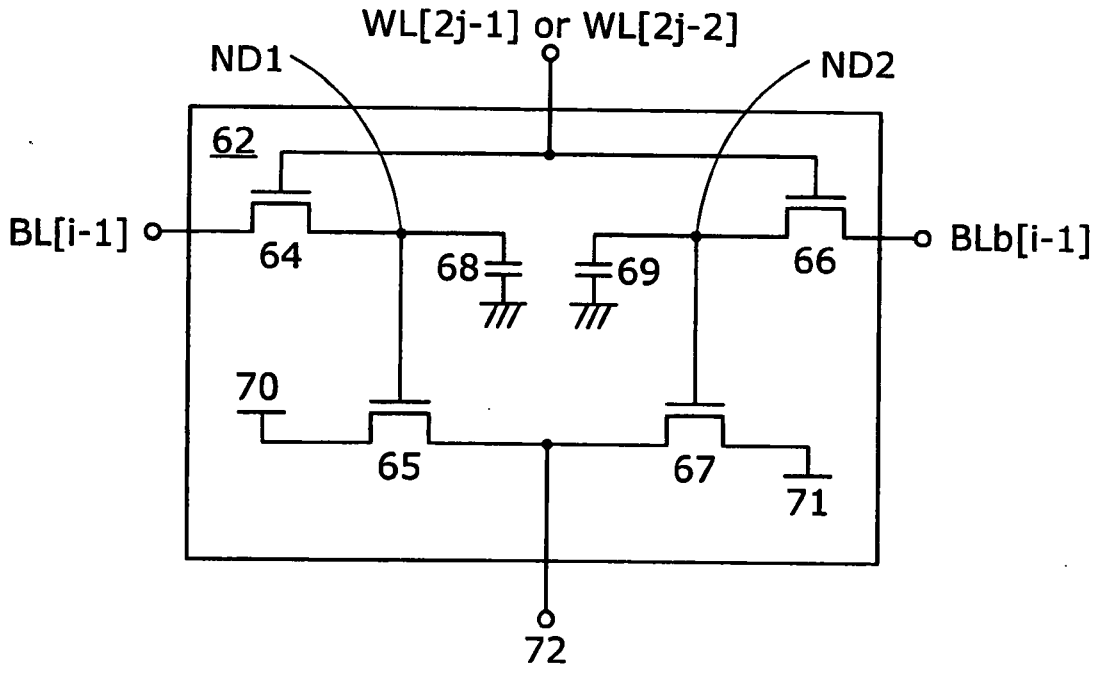


圖 15

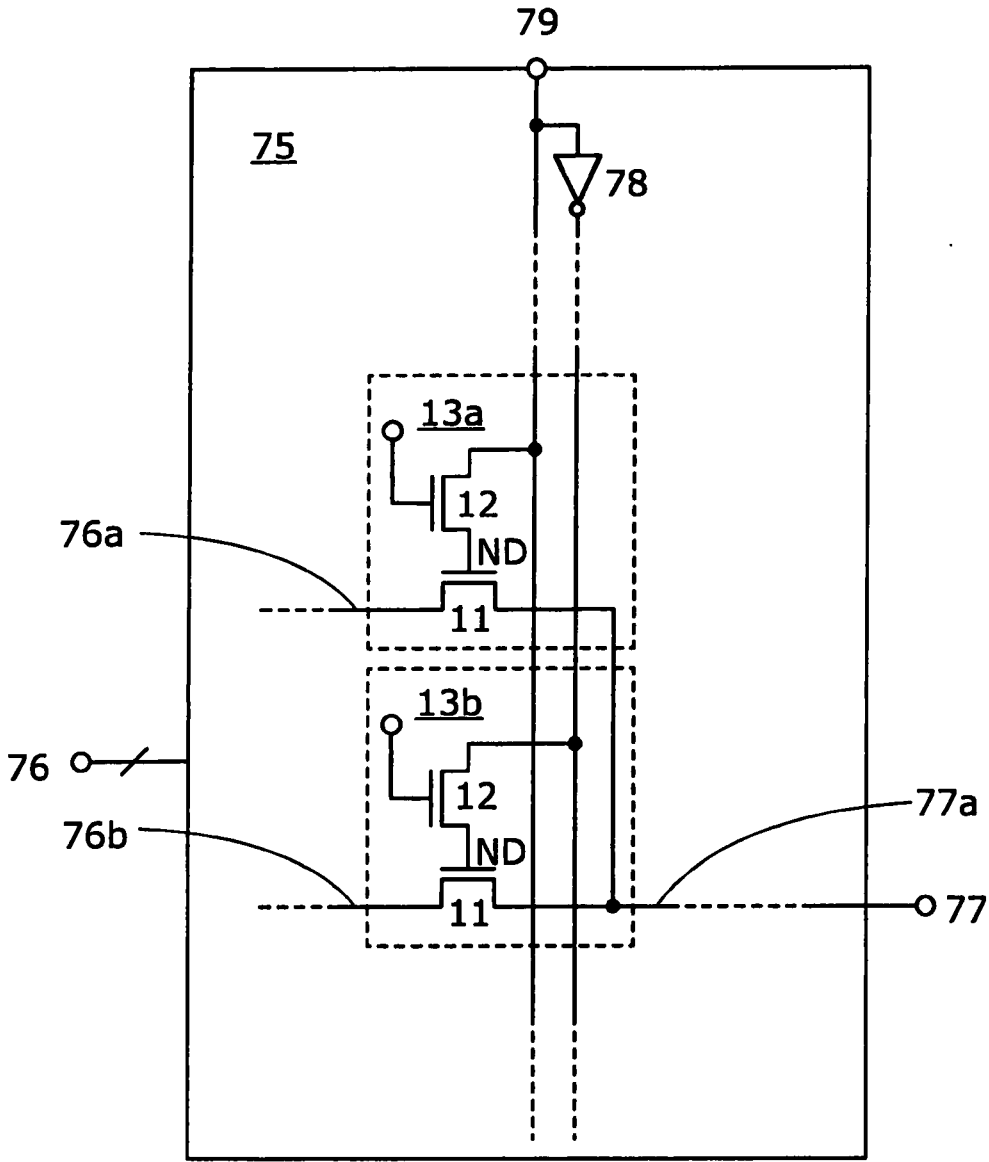


圖 16

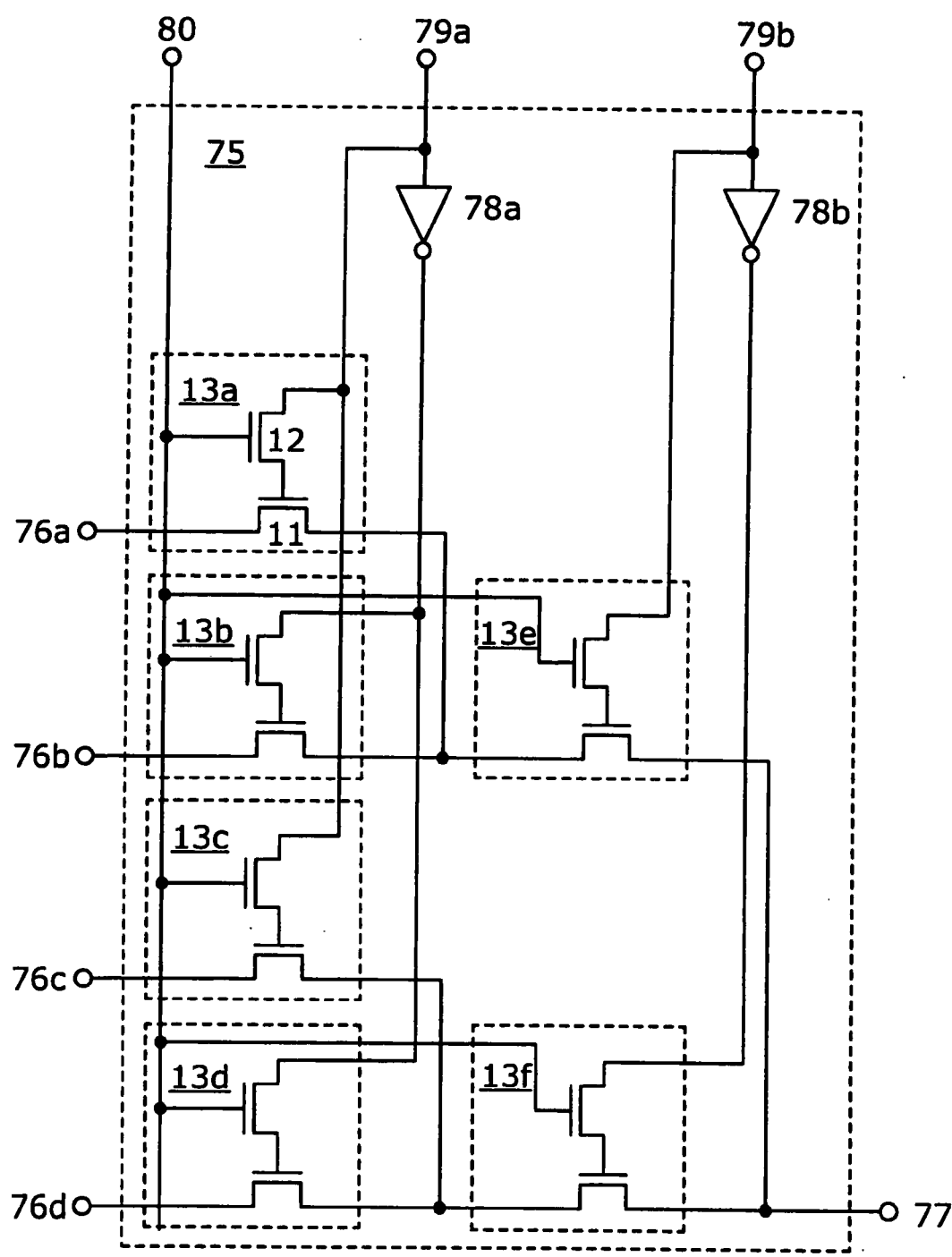


圖 17

80

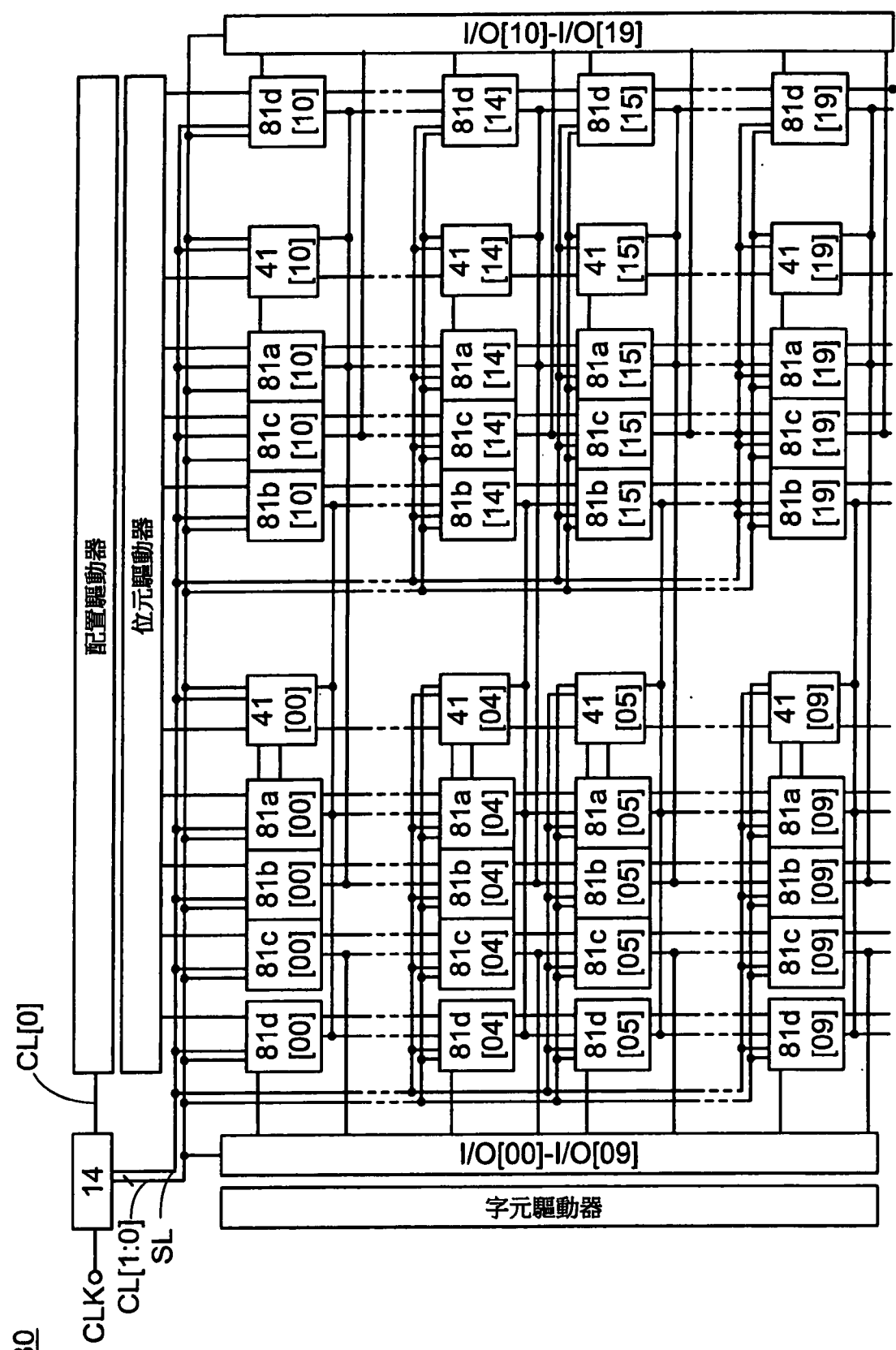


圖 18

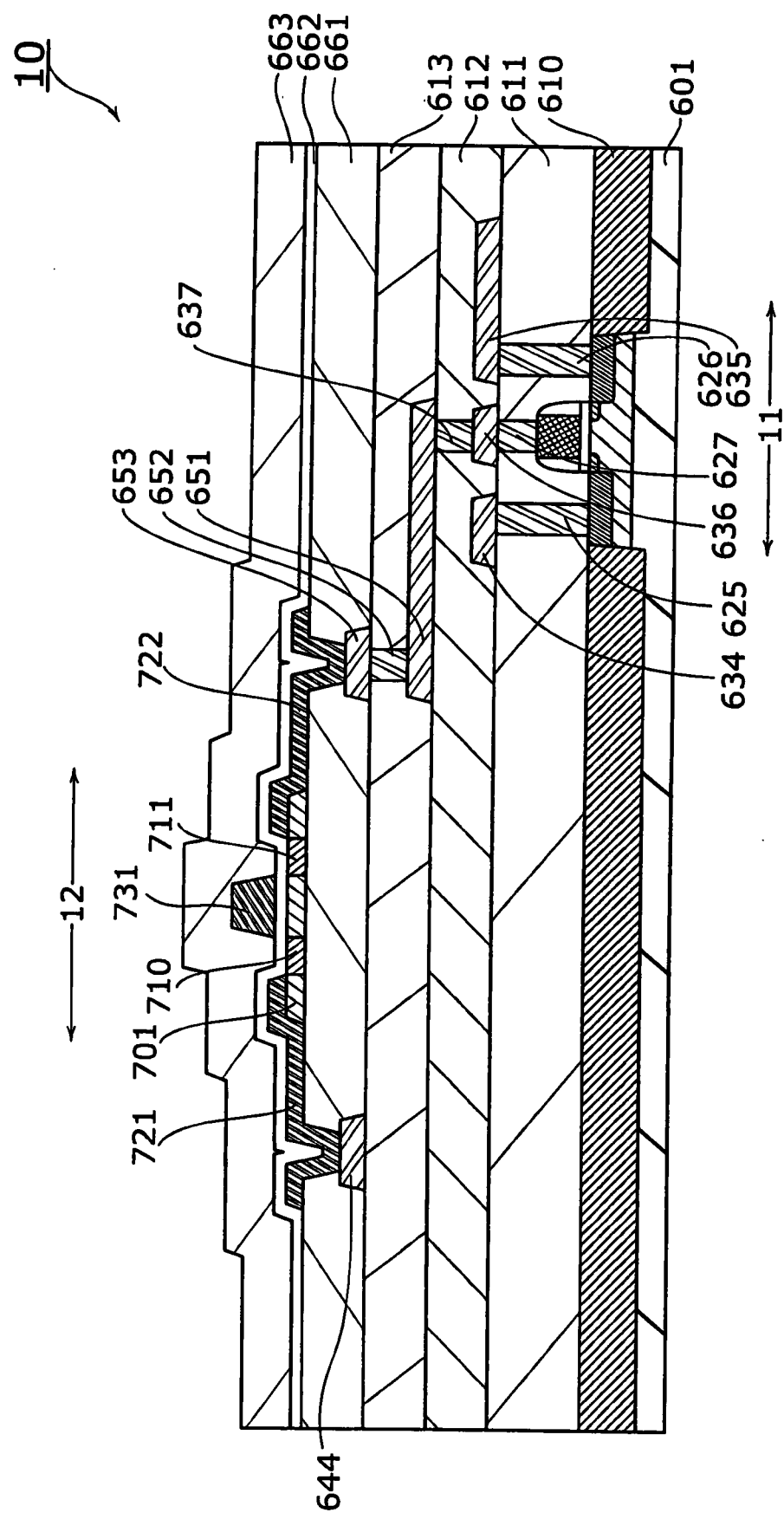


圖 19A

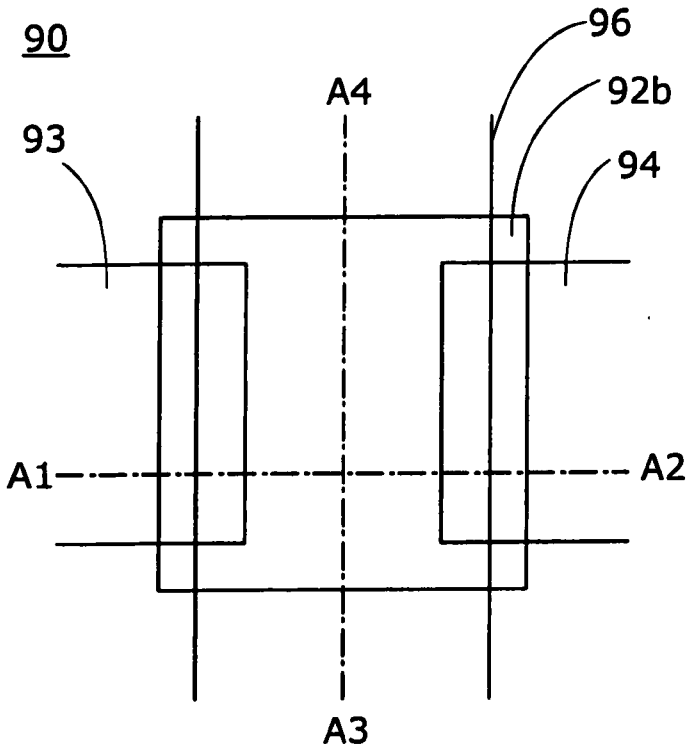


圖 19C

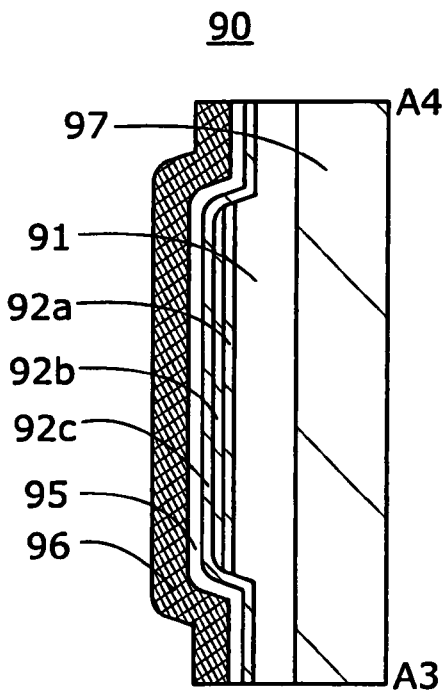


圖 19B

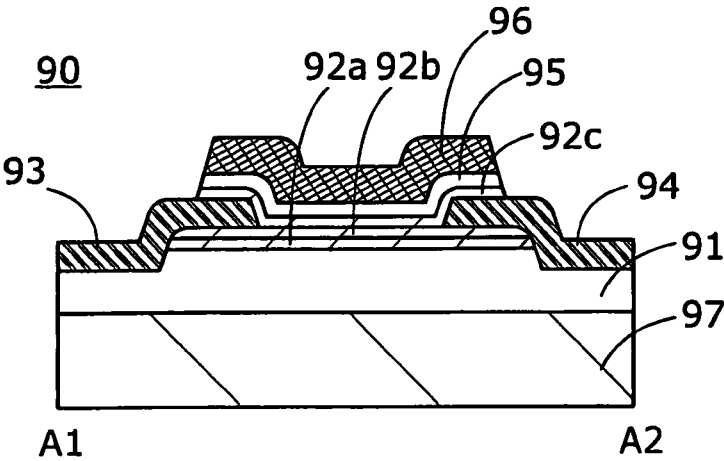


圖 20A

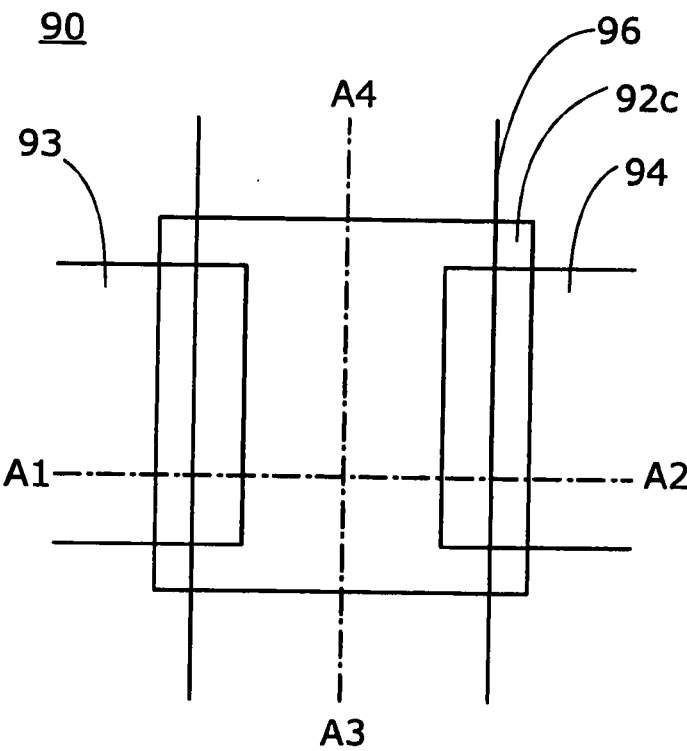


圖 20C

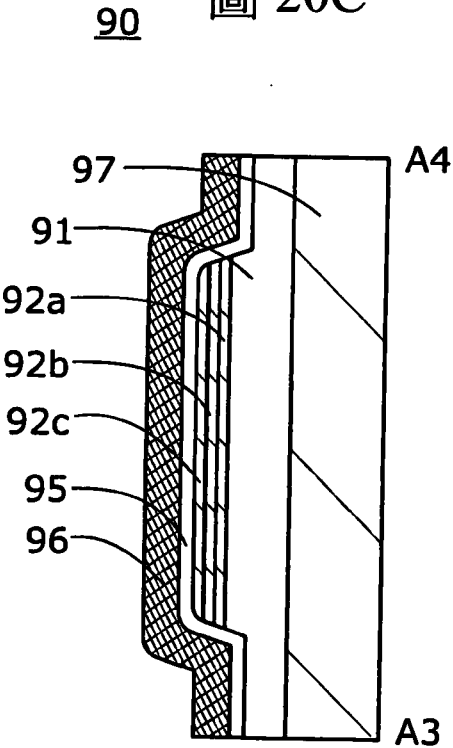


圖 20B

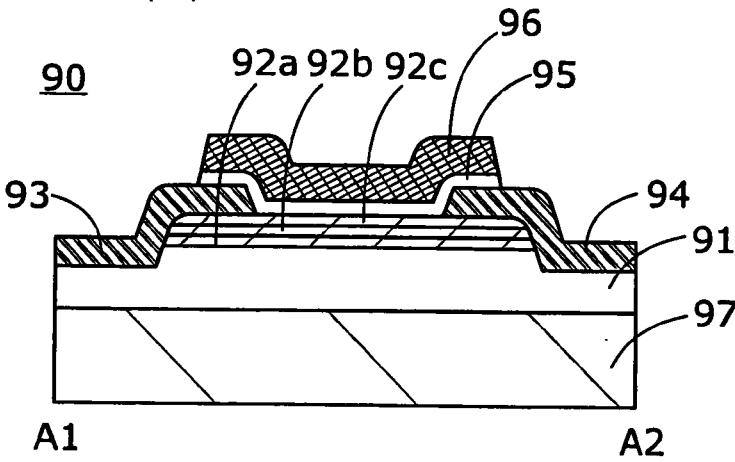


圖 21

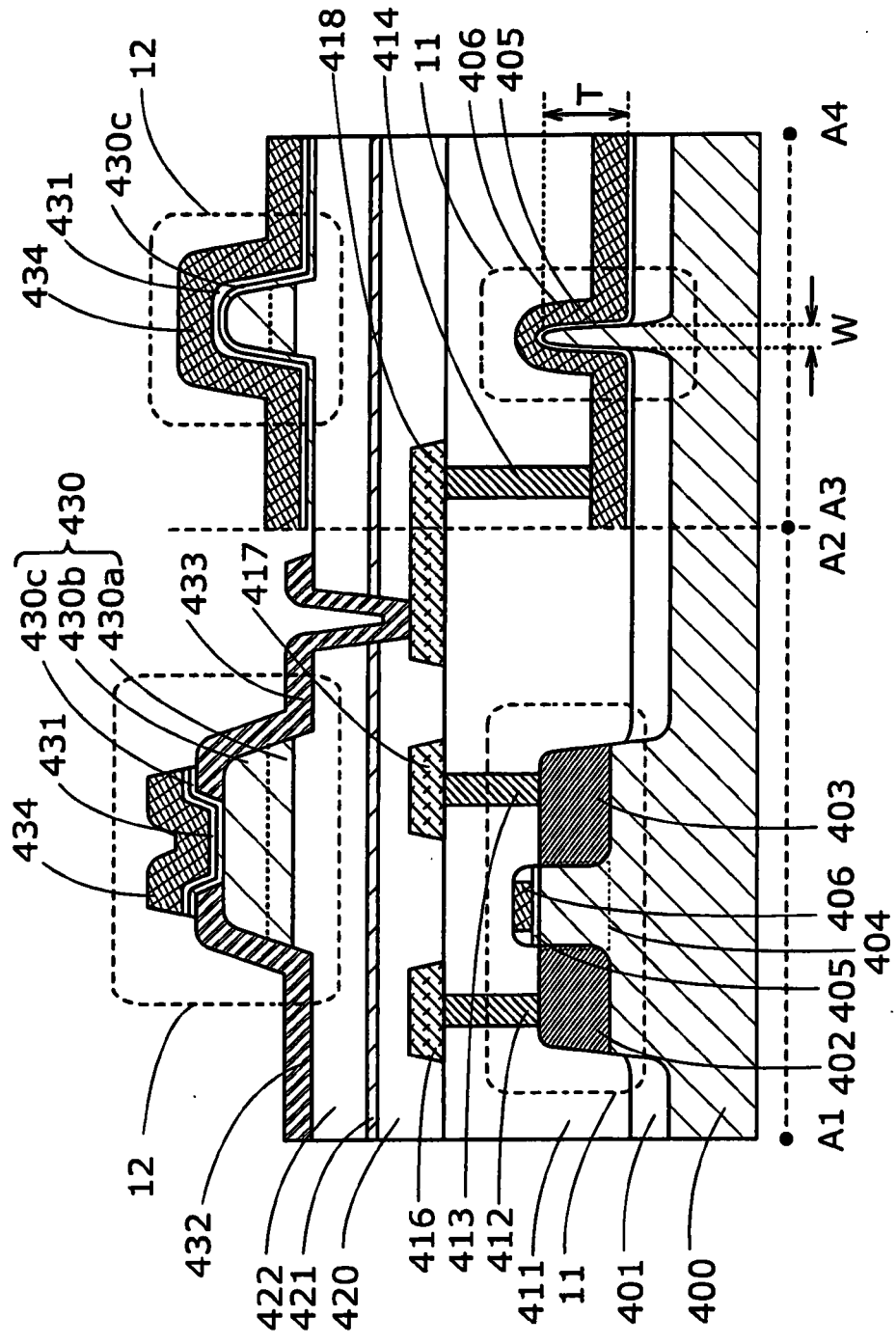


圖 22A

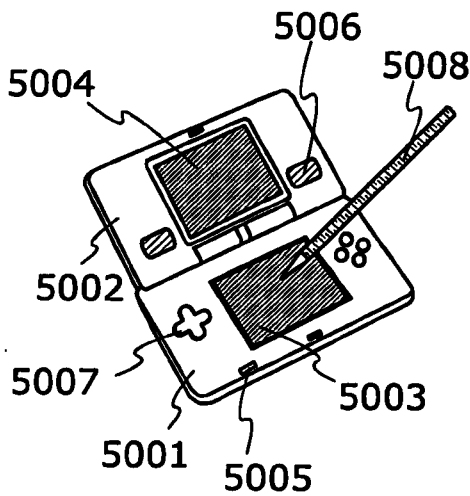


圖 22B

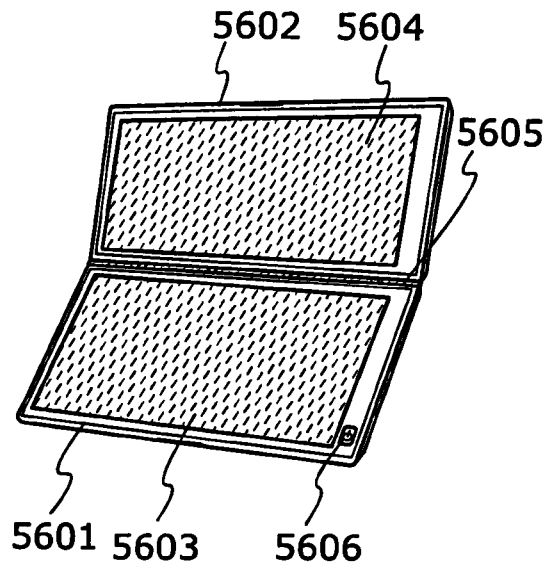


圖 22C

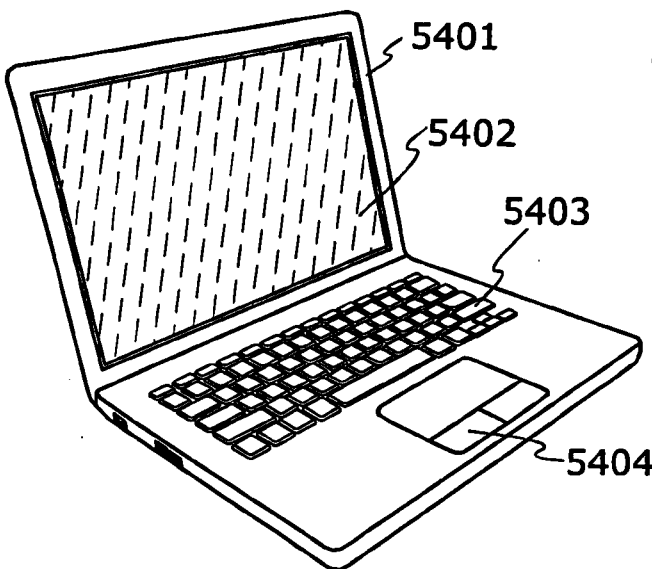


圖 22D

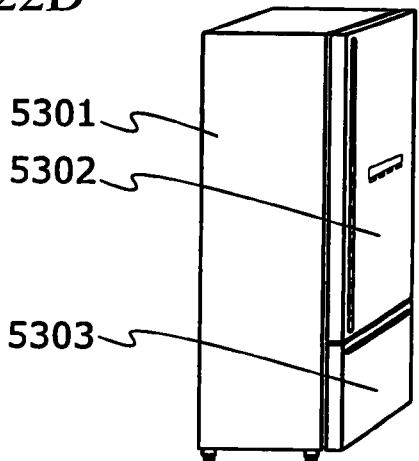


圖 22E

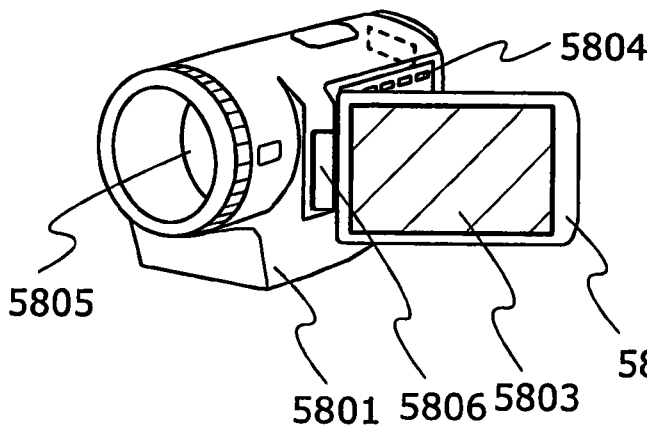


圖 22F

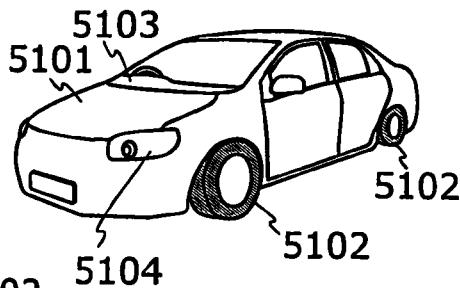


圖 23A

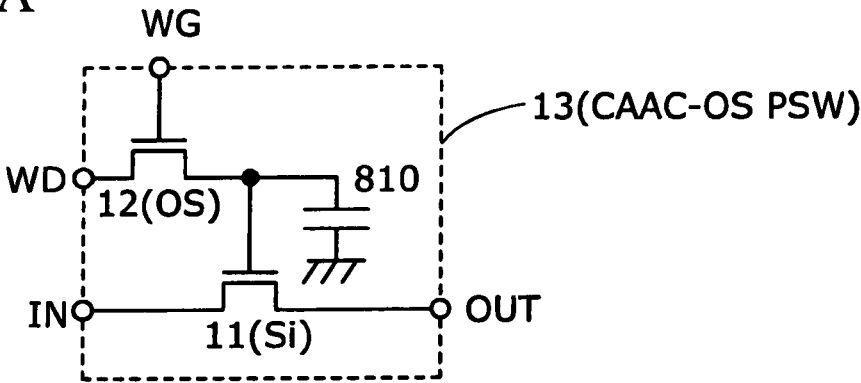


圖 23B

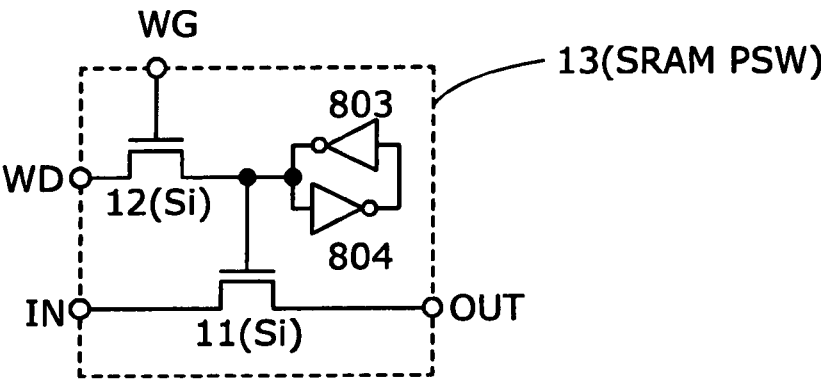


圖 23C

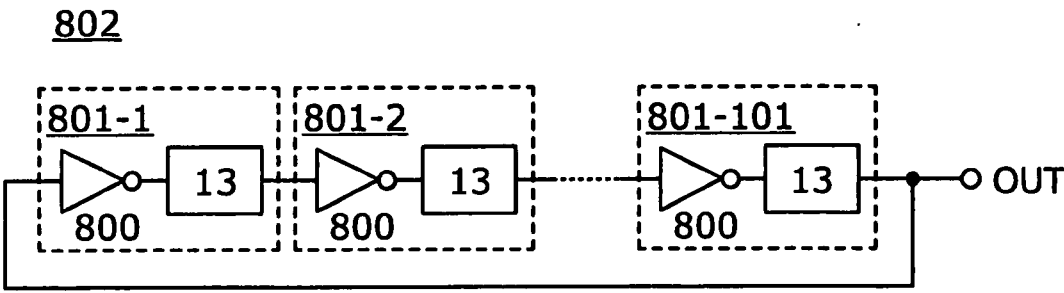


圖 24

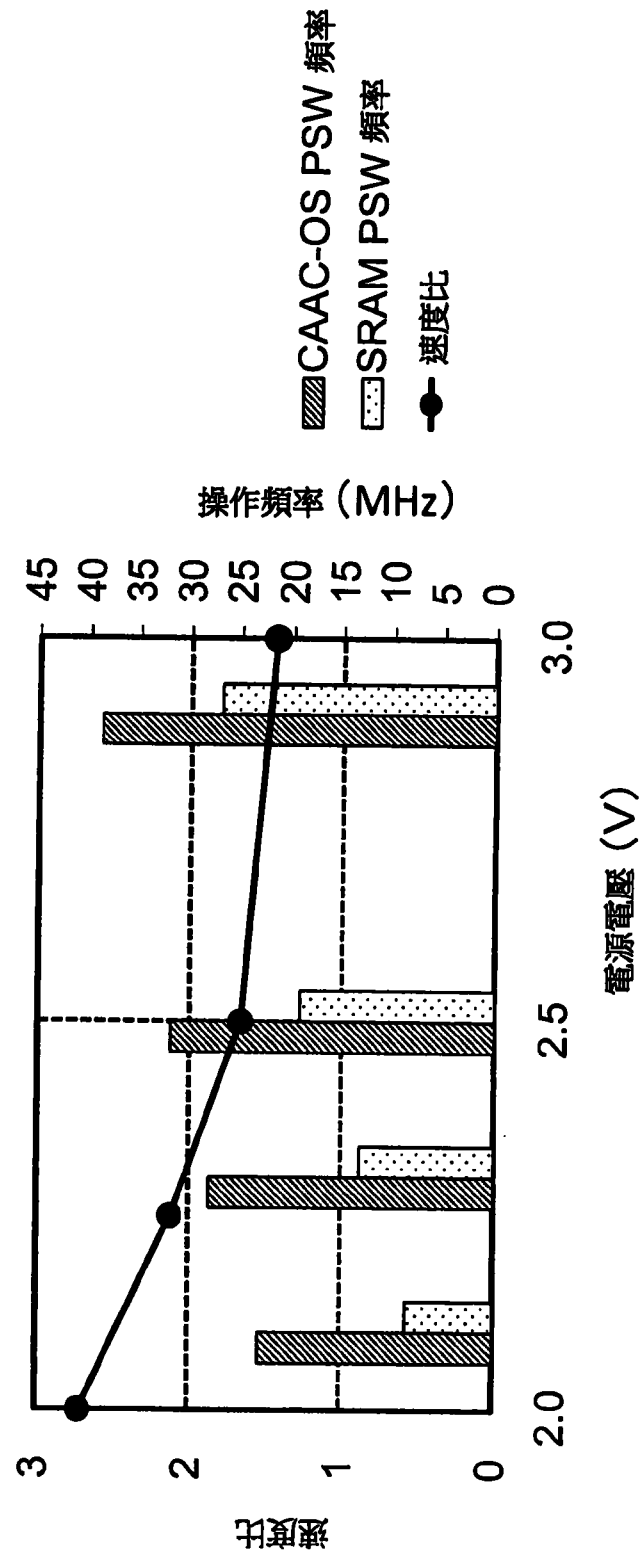


圖 27

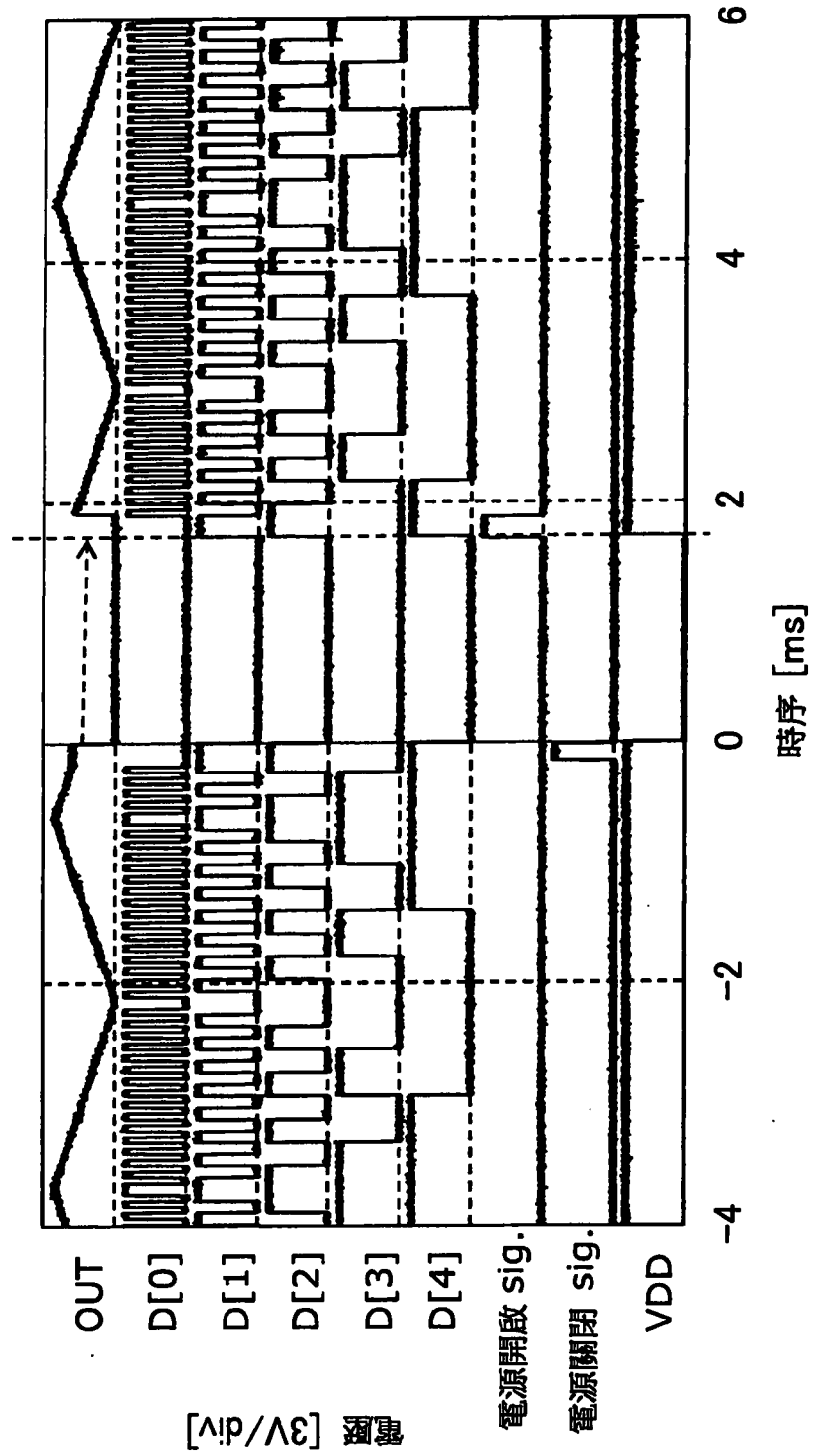


圖 28

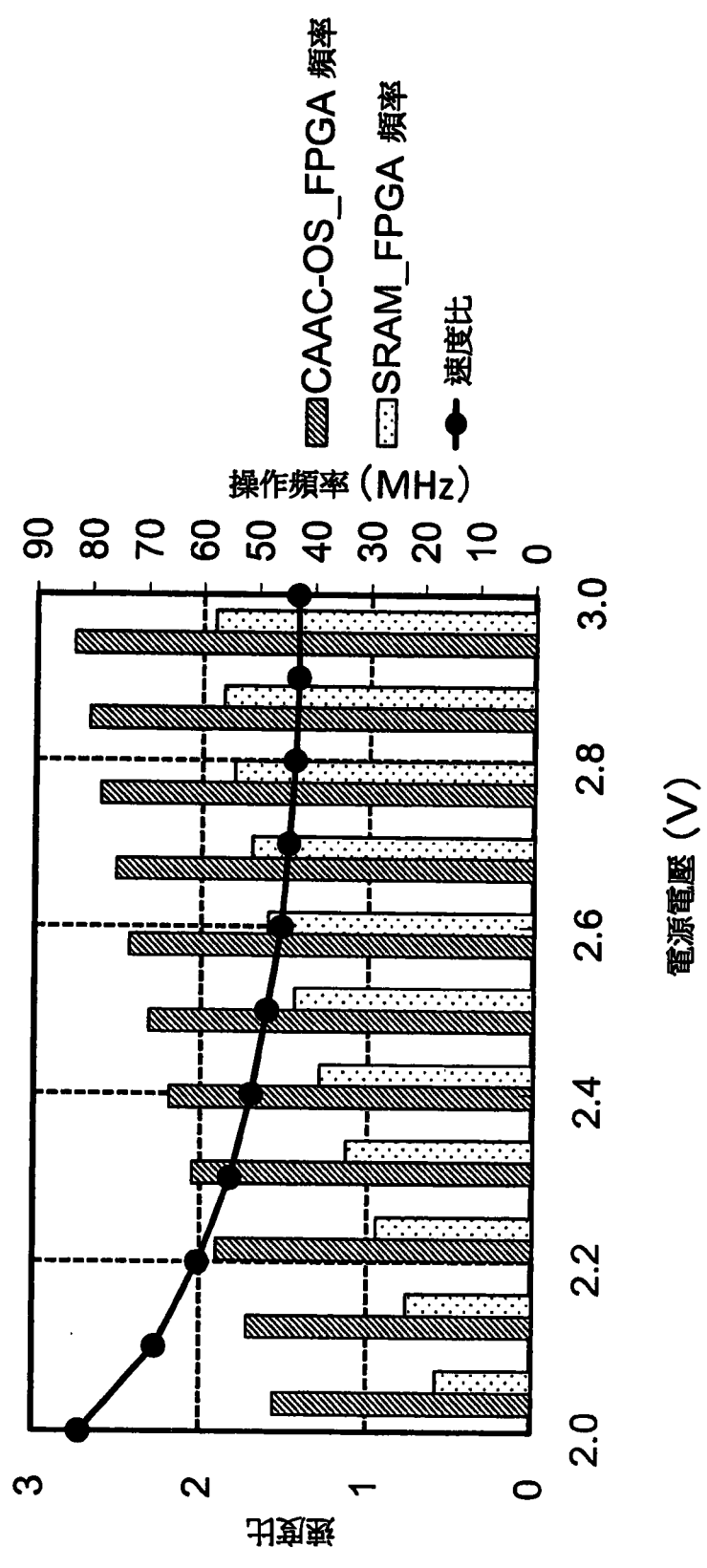
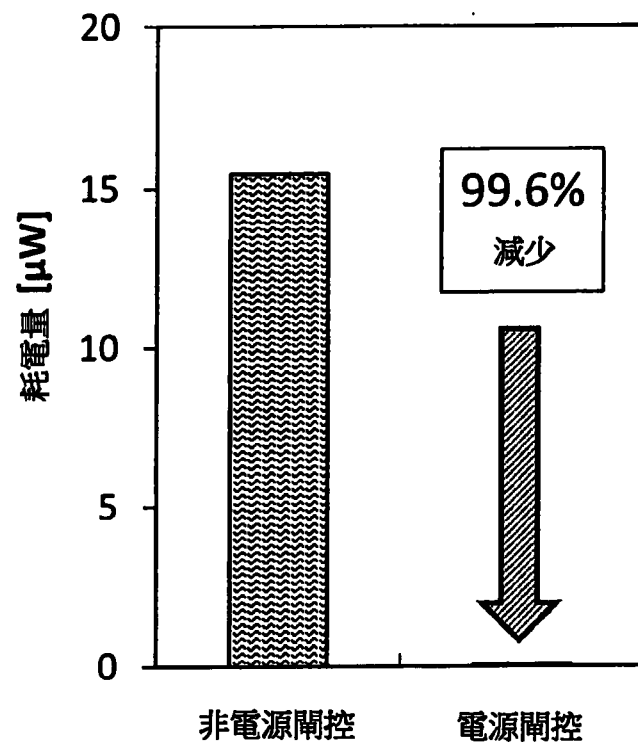


圖 29



發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。此外，本發明係關於一種製程(process)、機器(machine)、產品(manufacture)或組合物(composition of matter)。尤其是，本發明的一個實施方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。例如，本發明係關於一種能夠改變硬體的結構的可程式邏輯裝置和使用該可程式邏輯裝置的半導體裝置。

【先前技術】

[0002] 使用具有升壓功能的路徑電晶體 (path transistor) 的可程式邏輯裝置 (PLD: Programmable Logic Device) 可以進行高速工作，並且因為其元件數比習知的使用 SRAM 的可程式邏輯裝置少，所以面積效率高。下述非專利文獻 1 記載有使用具有升壓功能的路徑電晶體的多上下文 (multi-context) 方式的 PLD。

[0003]

[非專利文獻 1] Y. Okamoto et al., “Novel Application of Crystalline Indium-Gallium-Zinc-Oxide Technology to LSI : Dynamically Reconfigurable Programmable Logic Device Based on Multi-Context Architecture,” ECS Trans., vol. 54, no. 1, pp. 141-149, Jun. 2013。

[0004] 在 PLD 等半導體裝置的性能評價上，低功耗是重要因素。但是，在為了實現半導體裝置的低功耗化而減少電源電壓時，電晶體的通態電流（on-state current）變小。因此，在利用具有升壓功能的路徑電晶體的多上下文方式的 PLD 中，當減少電源電壓時，控制對路徑電晶體所具有的閘極供應電位的升壓電晶體的電流供應能力變低。由此，當切換上下文時，切換路徑電晶體所具有的閘極的電位之時間增加。

[0005] 另外，在作為升壓電晶體使用 n 通道型電晶體的情況下，施加到路徑電晶體的閘極的高位準電位下降相當於升壓電晶體的臨界電壓的部分。因此，在為了減少耗電量而降低 PLD 的電源電壓時，由於閘極的電位過低，路徑電晶體變得不開啟，由此 PLD 不能正常工作。

【發明內容】

[0006] 鑒於上述技術背景，本發明的一個實施方式的目的之一是提供一種能夠在確保正常工作的同時實現低功耗化的半導體裝置。

[0007] 另外，本發明的一個實施方式的目的之一是

提供一種新穎的半導體裝置等。注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。另外，上述以外的目的自可從說明書、圖式、申請專利範圍等的記載顯而易見，且可以從說明書、圖式、申請專利範圍等的記載中衍生上述以外的目的。

[0008] 根據本發明的一個實施方式的半導體裝置包括第一電路及第二電路，該第一電路包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號。

[0009] 根據本發明的一個實施方式的半導體裝置包括第一電路及第二電路，該第一電路包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號，其中，上述第二信號所包括的脈衝信號的高位準電位比上述第一信號的高位準電位高。

[0010] 根據本發明的一個實施方式的半導體裝置包括第一電路及第二電路，該第一電路包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號，其中，上述第二信號所包括的脈衝信號的低位準電位比上述第一

信號的低位準電位低。

[0011] 根據本發明的一個實施方式的半導體裝置包括一對第一電路及第二電路，該一對第一電路都包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號，其中，上述一對第一電路各自所具有的上述第一電晶體的源極和汲極中的一個彼此電連接，在上述一對第一電路中，分別供應到上述第一電晶體所具有的閘極的上述第一信號具有邏輯位準彼此不同的電位。

[0012] 並且，在根據本發明的一個實施方式的半導體裝置中，上述第二電晶體也可以在氧化物半導體膜中具有通道形成區。

[0013] 再者，在根據本發明的一個實施方式的半導體裝置中，上述氧化物半導體膜也可以包含 In、Ga 及 Zn。

[0014] 根據本發明的一個實施方式，可以提供一種能夠在確保正常工作的同時實現低功耗化的半導體裝置。

[0015] 另外，根據本發明的一個實施方式，可以提供一種新穎的半導體裝置等。注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要實現所有上述效果。另外，上述以外的效果自可從說明書、圖式、申請專利範圍等的記載顯而易見，且可以從說明書、圖式、申請專利範圍等的記載中衍生上述以外的效

果。

【圖式簡單說明】

[0016]

在圖式中：

圖 1 是示出半導體裝置的結構的圖；

圖 2 是示出半導體裝置的工作的時序圖；

圖 3A 和圖 3B 是示出半導體裝置的工作的時序圖；

圖 4 是示出半導體裝置的工作的時序圖；

圖 5 是示出開關電路的結構的圖；

圖 6 是示出開關電路的結構的圖；

圖 7 是示出開關電路的結構的圖；

圖 8 是示出開關電路的工作的時序圖；

圖 9A 和圖 9B 是示出電路 14 的結構的圖；

圖 10 是示出位準轉移器的結構的圖；

圖 11 是示出 PLD 的結構的一部分的圖；

圖 12A 至圖 12D 是示出邏輯塊的具體結構的圖；

圖 13 是示出記憶體電路的結構的圖；

圖 14A 和圖 14B 是示出電路 61 及電路 62 的結構的圖；

圖 15 是示出多工器的結構的圖；

圖 16 是示出多工器的結構的圖；

圖 17 是示出 PLD 的結構的圖；

圖 18 是示出半導體裝置的剖面結構的圖；

圖 19A 至圖 19C 是示出電晶體的結構的圖；

圖 20A 至圖 20C 是示出電晶體的結構的圖；

圖 21 是示出半導體裝置的剖面結構的圖；

圖 22A 至圖 22F 是示出電子裝置的圖；

圖 23A 至圖 23C 是示出電路 13 和環形振盪器的結構的圖；

圖 24 是示出藉由測量得到的供應到環形振盪器的電源電壓與電路 13 之一所具有的電晶體 11 的工作頻率之間的關係的圖；

圖 25 是所試製的包括 FPGA 的晶片的照片；

圖 26 是放大所試製的晶片的照片；

圖 27 是用於所試製的 FPGA 的工作的時序圖；

圖 28 是藉由測量得到的供應到 FPGA 的電源電壓與 FPGA 的工作頻率之間的關係的圖；

圖 29 是示出所算出的每個邏輯塊的耗電量的值的圖。

【實施方式】

[0017] 下面，參照圖式對本發明的實施方式進行詳細說明。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於下面所示的實施方式所記載的內容中。

[0018] 注意，在本發明的一個實施方式的可程式邏輯裝置的範疇內包括使用半導體元件的各種半導體積體電路，諸如微處理器、影像處理電路、半導體顯示裝置用控制器、DSP（Digital Signal Processor：數位訊號處理器）、微控制器、二次電池等電池的控制電路或保護電路等。另外，在本發明的一個實施方式的半導體裝置的範疇內包括使用上述半導體積體電路的 RF 標籤、半導體顯示裝置等各種裝置。在半導體顯示裝置的範疇內包括液晶顯示裝置、在各像素中具有以有機發光元件（OLED）為代表的發光元件的發光裝置、電子紙、DMD（Digital Micromirror Device：數位微鏡裝置）、PDP（Plasma Display Panel：電漿顯示面板）及 FED（Field Emission Display：場致發射顯示器）等以及在驅動電路中具有半導體元件的其他半導體顯示裝置。

[0019] 注意，在本說明書中，電晶體的「源極」是指用作活性層的半導體膜的一部分的源極區或與上述半導體膜連接的源極電極。同樣地，電晶體的汲極是指上述半導體膜的一部分的汲極區或與上述半導體膜連接的汲極電極。此外，閘極是指閘極電極。

[0020] 電晶體所具有的「源極」和「汲極」的名稱伴隨電晶體的導電型及供應到各端子的電位的高低而互換。一般而言，在 n 通道型電晶體中，將被供應低電位的端子稱為源極，而將被供應高電位的端子稱為汲極。另外，在 p 通道型電晶體中，將被供應低電位的端子稱為汲

極，而將被供應高電位的端子稱為源極。在本說明書中，儘管為方便起見在一些情況下假設源極和汲極是固定的來描述電晶體的連接關係，但是實際上源極和汲極的名稱根據上述電位關係而互換。

[0021]

<半導體裝置的結構實例 1>

首先，對根據本發明的一個實施方式的半導體裝置的結構實例進行說明。圖 1 示出根據本發明的一個實施方式的半導體裝置 10 的結構。

[0022] 根據本發明的一個實施方式的半導體裝置 10 包括：具有電晶體 11 及電晶體 12 的電路 13；以及具有產生供應到電晶體 12 所具有的閘極的信號的功能的電路 14。另外，電晶體 12 具有控制將藉由佈線 A2 被輸入的信號供應到電晶體 11 所具有的閘極的功能。

[0023] 明確而言，電晶體 11 所具有的源極和汲極中的一個電連接到佈線 A3，另一個電連接到佈線 A4。電晶體 12 所具有的源極和汲極中的一個電連接到佈線 A2，另一個電連接到電晶體 11 的閘極。此外，電晶體 12 所具有的閘極電連接到佈線 A1，產生在電路 14 中的信號藉由佈線 A1 供應到電晶體 12 所具有的閘極。

[0024] 當根據供應到佈線 A1 的信號的電位而電晶體 12 成為導通狀態時，施加到佈線 A2 的信號的電位藉由電晶體 12 施加到電晶體 11 的閘極（以節點 ND 表示）。根據閘極的電位控制電晶體 11 的導通狀態/非導通狀態。

[0025] 並且，在本發明的一個實施方式中，產生在電路 14 中且施加到佈線 A1 的信號的振幅比施加到佈線 A2 的信號大。明確而言，在電晶體 11 及電晶體 12 是 n 通道型的情況下，施加到佈線 A1 的信號所包括的脈衝信號的高位準電位高於施加到佈線 A2 的信號的高位準電位。另外，在電晶體 11 及電晶體 12 是 p 通道型的情況下，施加到佈線 A1 的信號所包括的脈衝信號的低位準電位低於施加到佈線 A2 的信號的低位準電位。

[0026] 在本發明的一個實施方式中，藉由採用上述結構，例如在電晶體 11 及電晶體 12 是 n 通道型的情況下，可以在佈線 A1 被施加脈衝信號的期間中使相當於電晶體 12 的閘極與源極之間的電壓的閘極電壓高於臨界電壓。因此，當施加到佈線 A2 的信號的高位準電位藉由電晶體 12 施加到電晶體 11 的閘極時可以防止下降相當於電晶體 11 的臨界電壓的部分的情況。另外，在本發明的一個實施方式中，藉由採用上述結構，例如在電晶體 11 及電晶體 12 是 p 通道型的情況下，可以在佈線 A1 被施加脈衝信號的期間中使相當於電晶體 12 的閘極與源極之間的電壓的閘極電壓低於臨界電壓。因此，當施加到佈線 A2 的信號的低位準電位藉由電晶體 12 施加到電晶體 11 的閘極時可以防止上升相當於電晶體 11 的臨界電壓的部分的情況。

[0027] 並且，當佈線 A1 被施加脈衝信號的期間結束而佈線 A1 不被施加脈衝信號的期間開始時，電晶體 12 成

為非導通狀態。當電晶體 12 成為非導通狀態時，相當於電晶體 11 的閘極的節點 ND 成為浮動狀態。因此，在節點 ND 中保持施加到節點 ND 的電位。

[0028] 另外，在電路 13 中，因為當電晶體 12 處於非導通狀態時節點 ND 成為浮動狀態，所以可以期待以下所述的升壓效果。換言之，在電路 13 中，當節點 ND 處於浮動狀態時，隨著佈線 A3 的電位從低位準變為高位準，由於形成在電晶體 11 的源極與閘極之間的電容 C_{gs} ，節點 ND 的電位上升。並且，該節點 ND 的電位的上升幅度根據輸入到電晶體 11 的閘極的電位而不同。

[0029] 明確而言，以電晶體 11 及電晶體 12 是 n 通道型的情況為例，對節點 ND 的電位的上升幅度進行說明。當施加到電晶體 11 的閘極的電位充分低時，即當該電位近於施加到佈線 A2 的信號的低位準電位時，電晶體 11 處於弱反轉模式。因此，有助於節點 ND 的電位的上升的電容 C_{gs} 包括不依賴於閘極電極的電位，即節點 ND 的電位的電容 C_{os} 。明確而言，例如，電容 C_{os} 包括形成在閘極電極與源極區重疊的區域的重疊電容、形成在閘極電極與源極電極之間的寄生電容等。

[0030] 另一方面，當施加到電晶體 11 的閘極的電位充分高時，即當該電位近於施加到佈線 A2 的信號的高位準電位時，電晶體 11 處於強反轉模式。因此，有助於節點 ND 的電位上升的電容 C_{gs} 除了上述電容 C_{os} 之外還包括形成在閘極電極與汲極電極之間的電容 C_{od} 及形成在通

道形成區與閘極電極之間的電容 C_{ox} 的一部分。因此，與電晶體 11 處於弱反轉模式時相比，電晶體 11 處於強反轉模式時的有助於節點 ND 的電位上升的電晶體 11 的容量 C_{gs} 大。因此，在電晶體 11 及電晶體 12 是 n 通道型的情況下，與電晶體 11 處於弱反轉模式時相比，當電晶體 11 處於強反轉模式時可以獲得更大的升壓效果，即隨著佈線 A3 的電位變化而進一步提高節點 ND 的電位的效果。由此，因為電晶體 11 處於強反轉模式時的升壓效果大，所以可以隨著佈線 A3 的電位變化而提高電晶體 11 的開關速度。另外，當電晶體 11 處於弱反轉模式時，隨著佈線 A3 的電位變化的升壓效果小，因此電晶體 11 維持非導通狀態。

[0031] 並且，在本發明的一個實施方式中，電晶體 12 的關態電流（off-state current）極小是較佳的。在其能帶間隙寬於矽的能帶間隙且其本質載子密度低於矽的本質載子密度的半導體膜中形成通道形成區的電晶體可以具有極小的關態電流。因此，上述電晶體適合用於電晶體 12。作為這樣的半導體，例如可以舉出具有矽的能帶間隙的 2 倍以上的大能帶間隙的氧化物半導體、氮化鎵等化合物半導體等。與一般的由矽或鍺等半導體形成的電晶體相比，具有上述半導體的電晶體可以具有極小的關態電流。

[0032] 由於電晶體 12 具有極小的關態電流，在電晶體 12 處於非導通狀態時，節點 ND 成為與其他電極或佈線之間的絕緣性極高的浮動狀態。因此，當電晶體 12 處

於非導通狀態時，在節點 ND 中保持電位。

[0033] 注意，在沒有特別的說明的情況下，本說明書所述的關態電流是指在截止區（cut-off region）中流過電晶體的源極與汲極之間的電流。

[0034] 另外，在根據本發明的一個實施方式的半導體裝置 10 中，施加到佈線 A1 的信號和施加到佈線 A2 的信號的振幅也可以比施加到佈線 A3 的信號大。明確而言，在電晶體 11 及電晶體 12 是 n 通道型的情況下，施加到佈線 A1 的信號所包括的脈衝信號的高位準電位及施加到佈線 A2 的信號所包括的脈衝信號的高位準電位高於施加到佈線 A3 的信號的高位準電位。另外，在電晶體 11 及電晶體 12 是 p 通道型的情況下，施加到佈線 A1 的信號所包括的脈衝信號的低位準電位及施加到佈線 A2 的信號所包括的脈衝信號的低位準電位低於施加到佈線 A3 的信號的低位準電位。

[0035] 在本發明的一個實施方式中，藉由採用上述結構，例如在電晶體 11 及電晶體 12 是 n 通道型的情況下，即使當施加到佈線 A2 的信號的高位準電位藉由電晶體 12 施加到電晶體 11 的閘極時下降相當於電晶體 11 的臨界電壓的部分，也可以藉由升壓效果充分提高節點 ND 的電位。因此，可以隨著佈線 A3 的電位變化而提高電晶體 11 的開關速度。另外，例如在電晶體 11 及電晶體 12 是 p 通道型的情況下，即使當施加到佈線 A2 的信號的低位準電位藉由電晶體 12 施加到電晶體 11 的閘極時上升相

當於電晶體 11 的臨界電壓的部分，也可以藉由升壓效果充分降低節點 ND 的電位。因此，可以隨著佈線 A3 的電位變化而提高電晶體 11 的開關速度。

[0036]

<半導體裝置的工作實例子>

下面，參照圖 2 所示的時序圖對圖 1 所示的半導體裝置 10 的具體的工作的一個例子進行說明。注意，圖 2 例示出電晶體 11 及電晶體 12 是 n 通道型時的時序圖。

[0037] 首先，如圖 2 所示，在時刻 T0 至時刻 T1，施加到佈線 A1 至佈線 A3 的信號的電位都為低位準電位 VSS。另外，節點 ND 的電位也為電位 VSS。因此，在時刻 T0 至時刻 T1，電晶體 12 處於非導通狀態，節點 ND 維持電位 VSS。並且，因為節點 ND 為電位 VSS，所以電晶體 11 也處於非導通狀態。

[0038] 接著，在時刻 T1 至時刻 T1b，施加到佈線 A1 的信號的電位成為高位準，明確而言成為電位 $VDD + \Delta V$ 。另外，施加到佈線 A2 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 12 成為導通狀態，節點 ND 的電位上升。並且，在本發明的一個實施方式中，比施加到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極。因此，可以防止施加到節點 ND 的電位下降相當於電晶體 12 的臨界電壓的部分。因此，在時刻 T1b，節點 ND 無限趨近於佈線 A2 的電位 VDD。

[0039] 另外，在本發明的一個實施方式中，比施加

到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極，因此與施加到佈線 A2 的信號的電位及施加到電晶體 12 的閘極的電位相同的情況相比，可以提高電晶體 12 的電流供應能力。因此，即使時刻 T1 至時刻 T1b 的期間較短，也可以使節點 ND 的電位無限趨近於電位 VDD。

[0040] 另外，在時刻 T1 至時刻 T1b，施加到佈線 A3 的信號的電位為 VSS。

[0041] 接著，在時刻 T1b 至時刻 T10，施加到佈線 A1 的信號成為電位 VSS。因此，電晶體 12 成為非導通狀態，保持節點 ND 的電位。另外，雖然在圖 2 中，施加到佈線 A2 的信號在時刻 T1b 至時刻 T10 維持電位 VDD，但是施加到佈線 A2 的信號只要在電晶體 12 成為非導通狀態之後具有比從電位 VSS 減去電晶體 12 的臨界電壓的電位高的值即可。

[0042] 接著，在時刻 T10 至時刻 T11，施加到佈線 A1 的信號具有電位 VSS。因此，電晶體 12 處於非導通狀態。另外，與時刻 T1b 至時刻 T10 同樣，施加到佈線 A2 的信號的電位具有比從電位 VDD 或電位 VSS 減去電晶體 12 的臨界電壓的電位高的值。並且，在時刻 T10 至時刻 T11，施加到佈線 A3 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 11 處於導通狀態，由此佈線 A4 的電位上升。

[0043] 另外，在時刻 T1b 至時刻 T10，節點 ND 為電位 VDD，所以電晶體 11 處於強反轉模式。因此，施加到

佈線 A3 的信號在時刻 T10 從電位 VSS 上升到電位 VDD 時，藉由升壓效果，節點 ND 的電位從電位 VDD 進一步上升。因此，在本發明的一個實施方式中，在時刻 T10 至時刻 T11，比施加到佈線 A3 的信號的電位高的電位施加到電晶體 11 的閘極，所以可以防止施加到佈線 A4 的電位下降相當於電晶體 11 的臨界電壓的部分。因此，在時刻 T11，佈線 A4 無限趨近於佈線 A3 的電位 VDD。

[0044] 另外，在本發明的一個實施方式中，比施加到佈線 A3 的信號的電位高的電位施加到電晶體 11 的閘極，因此與施加到佈線 A3 的信號的電位和施加到電晶體 11 的閘極的電位相同的情況相比，可以提高電晶體 11 的電流供應能力。因此，即使時刻 T10 至時刻 T11 的期間較短，也可以使佈線 A4 的電位無限趨近於佈線 A3 的電位 VDD。

[0045] 接著，在時刻 T11 至時刻 T2，施加到佈線 A1 的信號具有電位 VSS。因此，電晶體 12 處於非導通狀態。另外，與時刻 T10 至時刻 T11 同樣，施加到佈線 A2 的信號的電位具有比從電位 VDD 或電位 VSS 減去電晶體 12 的臨界電壓的電位高的值。並且，在時刻 T11 至時刻 T2，施加到佈線 A3 的信號成為 VSS。因此，節點 ND 的電位下降，返回到電位 VDD。因為電晶體 11 處於導通狀態，所以藉由使佈線 A3 成為電位 VSS，佈線 A4 的電位也下降到電位 VSS。

[0046]

<比較例 1>

另外，作為比較例，參照圖 3A 所示的時序圖對圖 1 所示的半導體裝置 10 的其他工作進行說明。注意，圖 3A 例示出電晶體 11 及電晶體 12 是 n 通道型時的時序圖。明確而言，圖 3A 例示出施加到佈線 A1 的信號始終具有電位 VDD 時的時序圖。

[0047] 首先，在圖 3A 中，在時刻 T0 至時刻 T1，施加到佈線 A2 及佈線 A3 的信號為電位 VSS，施加到佈線 A1 的信號為電位 VDD。因此，在時刻 T0 至時刻 T1，電晶體 12 處於導通狀態，節點 ND 成為電位 VSS。並且，因為節點 ND 為電位 VSS，所以電晶體 11 處於非導通狀態。

[0048] 接著，在時刻 T1 至時刻 T10，施加到佈線 A1 的信號維持電位 VDD。另外，施加到佈線 A2 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 12 成為導通狀態，節點 ND 的電位上升。但是，在圖 3A 的情況下，在時刻 T1 至時刻 T10，佈線 A1 和佈線 A2 具有相同的電位，即電位 VDD。由此，與如圖 2 所示的時刻 T1 至時刻 T1b 那樣的比施加到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極的情況相比，電晶體 12 的電流供應能力低。因此，節點 ND 的電位的上升需要時間。

[0049] 另外，在如圖 3A 所示的時序圖的情況下，佈線 A1 和佈線 A2 具有相同的電位，即 VDD。因此，即使

時刻 T1 至時刻 T10 的期間充分長，節點 ND 的電位最終也只會上升到下降的相當於電晶體 12 的臨界電壓的部分。圖 3A 例示出在時刻 T10，節點 ND 為比從電位 VDD 下降相當於電晶體 12 的臨界電壓的部分更低的值，即電位 $VDD - \Delta a$ 的情況。

[0050] 接著，在時刻 T10 至時刻 T11，施加到佈線 A1 及佈線 A2 的信號具有電位 VDD。因此，電晶體 12 處於導通狀態。並且，在時刻 T10 至時刻 T11，施加到佈線 A3 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 11 處於導通狀態，從而佈線 A4 的電位上升。

[0051] 但是，在圖 3A 所示的時序圖的情況下，在時刻 T10 至時刻 T11，電晶體 12 處於導通狀態，因此即使施加到佈線 A3 的信號在時刻 T10 從電位 VSS 上升到電位 VDD，節點 ND 的電位也還處於上升途中，而不能期待由升壓效果帶來的節點 ND 的電位的上升。另外，因為節點 ND 的電位為處於上升途中的電位 Δ ，所以電晶體 11 的電流供應能力比圖 2 中的時刻 T10 至時刻 T11 時的電晶體 11 小。因此，佈線 A4 的電位只會上升到比電位 VDD 低的值。

[0052] 接著，在時刻 T11 至時刻 T2，施加到佈線 A1 及佈線 A2 的信號具有電位 VDD。因此，電晶體 12 處於導通狀態。並且，在時刻 T11 至時刻 T2，施加到佈線 A3 的信號成為電位 VSS。由此，因為電晶體 11 處於導通狀

態，所以藉由使佈線 A3 成為電位 VSS，佈線 A4 的電位也下降到電位 VSS。

[0053]

<比較例 2>

下面，作為比較例，參照圖 3B 所示的時序圖對圖 1 所示的半導體裝置 10 的其他工作進行說明。注意，圖 3B 例示出電晶體 11 及電晶體 12 是 n 通道型時的時序圖。明確而言，圖 3B 例示出施加到佈線 A1 的信號始終具有電位 $VDD+\Delta V$ 時的時序圖。

[0054] 首先，在圖 3B 中，在時刻 T0 至時刻 T1，施加到佈線 A2 及佈線 A3 的信號為電位 VSS，施加到佈線 A1 的信號為電位 $VDD+\Delta V$ 。因此，在時刻 T0 至時刻 T1，電晶體 12 處於導通狀態，節點 ND 成為電位 VSS。並且，因為節點 ND 為電位 VSS，所以電晶體 11 處於非導通狀態。

[0055] 接著，在時刻 T1 至時刻 T10，施加到佈線 A1 的信號維持電位 $VDD+\Delta V$ 。另外，施加到佈線 A2 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 12 成為導通狀態，節點 ND 的電位上升。

[0056] 並且，與圖 2 所示的時刻 T1 至時刻 T1b 的情況同樣，在圖 3B 的情況下，在時刻 T1 至時刻 T10，比施加到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極。因此，可以防止施加到節點 ND 的電位下降相當於電晶體 12 的臨界電壓的部分。因此，在時刻 T10，節

點 ND 無限趨近於佈線 A2 的電位 VDD。

[0057] 另外，在本發明的一個實施方式中，比施加到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極，因此與施加到佈線 A2 的信號的電位和施加到電晶體 12 的閘極的電位相同的情況相比，可以提高電晶體 12 的電流供應能力。因此，即使時刻 T1 至時刻 T1b 的期間較短，也可以使節點 ND 的電位無限趨近於電位 VDD。

[0058] 接著，在時刻 T10 至時刻 T11，施加到佈線 A1 的信號具有電位 $VDD + \Delta V$ 。另外，施加到佈線 A2 的信號具有電位 VDD。因此，電晶體 12 處於導通狀態。並且，在時刻 T10 至時刻 T11，施加到佈線 A3 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 11 處於導通狀態，所以佈線 A4 的電位上升。

[0059] 但是，在圖 3B 所示的時序圖的情況下，電晶體 12 在時刻 T10 至時刻 T11 處於導通狀態，因此即使施加到佈線 A3 的信號在時刻 T10 從電位 VSS 上升到電位 VDD，也不能期待由升壓效果帶來的節點 ND 的電位的上升。因此，節點 ND 為電位 VDD，並且佈線 A3 也為電位 VDD，所以佈線 A4 的電位只會上升到下降的相當於電晶體 11 的臨界電壓的部分。

[0060] 接著，在時刻 T11 至時刻 T2，施加到佈線 A1 的信號具有電位 $VDD + \Delta V$ 。另外，施加到佈線 A2 的信號具有電位 VDD。因此，電晶體 12 處於導通狀態。並且，在時刻 T11 至時刻 T2，施加到佈線 A3 的信號成為電位

VSS。因此，電晶體 11 處於導通狀態，所以藉由使佈線 A3 成為電位 VSS，佈線 A4 的電位也下降到電位 VSS。

[0061]

<比較例 3>

下面，作為比較例，參照圖 4 所示的時序圖對圖 1 所示的半導體裝置 10 的其他工作進行說明。注意，圖 4 例示出電晶體 11 及電晶體 12 是 n 通道型時的時序圖。明確而言，圖 4 例示出當施加到佈線 A1 的信號在時刻 T1 至時刻 T1b 的期間中具有電位 VDD，在其他期間具有電位 VSS 時的時序圖。

[0062] 首先，在圖 4 中，在時刻 T0 至時刻 T1，施加到佈線 A2 及佈線 A3 的信號為電位 VSS。另外，節點 ND 的電位也為電位 VSS。因此，在時刻 T0 至時刻 T1，電晶體 12 處於非導通狀態，節點 ND 維持電位 VSS。並且，因為節點 ND 為電位 VSS，所以電晶體 11 也處於非導通狀態。

[0063] 接著，在時刻 T1 至時刻 T1b，施加到佈線 A1 及佈線 A2 的信號的電位成為高位準電位，明確而言成為電位 VDD。因此，電晶體 12 成為導通狀態，節點 ND 的電位上升。但是，在圖 4 的情況下，在時刻 T1 至時刻 T1b，佈線 A1 和佈線 A2 具有相同的電位，即電位 VDD。由此，與如圖 2 所示的時刻 T1 至時刻 T1b 那樣的比施加到佈線 A2 的信號的電位高 ΔV 的電位施加到電晶體 12 的閘極的情況相比，電晶體 12 的電流供應能力低。因

此，節點 ND 的電位的上升需要時間。

[0064] 另外，在如圖 4 所示的時序圖的情況下，佈線 A1 和佈線 A2 具有相同的電位，即 VDD。因此，即使時刻 T1 至時刻 T1b 的期間充分長，節點 ND 的電位最終也只會上升到下降的相當於電晶體 12 的臨界電壓的部分。圖 4 例示出在時刻 T1b 至時刻 T10，節點 ND 為比從電位 VDD 下降相當於電晶體 12 的臨界電壓的部分更低的值，即電位 $VDD-\Delta b$ 的情況。

[0065] 接著，在時刻 T10 至時刻 T11，施加到佈線 A1 的信號具有電位 VSS。另外，施加到佈線 A2 的信號具有 VDD。因此，電晶體 12 處於非導通狀態。並且，在時刻 T10 至時刻 T11，施加到佈線 A3 的信號的電位成為高位準，明確而言成為電位 VDD。因此，電晶體 11 處於導通狀態，佈線 A4 的電位上升。

[0066] 但是，在圖 4 所示的時序圖的情況下，時刻 T10 時的節點 ND 為低，即為電位 $VDD-\Delta b$ 。因此，即使在時刻 T10 施加到佈線 A3 的信號從電位 VSS 上升到電位 VDD，由升壓效果帶來的節點 ND 的電位的上升幅度比圖 2 所示的時刻 T10 至時刻 T11 的情況小。因此，佈線 A4 的電位只會上升到比電位 VDD 低的值。

[0067] 接著，在時刻 T11 至時刻 T2，施加到佈線 A1 的信號具有電位 VSS。另外，施加到佈線 A2 的信號具有電位 VDD。因此，電晶體 12 處於非導通狀態。並且，在時刻 T11 至時刻 T2，施加到佈線 A3 的信號成為電位

VSS。因此，電晶體 11 處於導通狀態，所以使藉由佈線 A3 成為電位 VSS，佈線 A4 的電位也下降到電位 VSS。

[0068]

<半導體裝置的結構實例 2>

接著，圖 5 示出作為構成要素包括電路 13 的開關電路 SW 的結構實例。根據本發明的一個實施方式的開關電路 SW 包括多個電路 22，該電路 22 包括電路 13、電晶體 20 和電晶體 21。明確而言，圖 5 例示出開關電路 SW 包括以電路 22-1 及電路 22-2 表示的兩個電路 22 的情況。

[0069] 並且，在電晶體 20 中，閘極電連接到以佈線 WL[0]及佈線 WL[1]表示的多個佈線 WL 之一。另外，在電晶體 20 中，源極和汲極中的一個電連接到佈線 BL，源極和汲極中的另一個電連接到電晶體 21 的閘極。在電晶體 21 中，源極和汲極中的一個電連接到佈線 IL，源極和汲極中的另一個電連接到電路 13 所具有的電晶體 11 的源極和汲極中的一個。電晶體 11 的源極和汲極中的另一個電連接到佈線 OL。在電路 13 所具有的電晶體 12 中，閘極電連接到佈線 SL。另外，在電晶體 12 中，源極和汲極中的一個電連接到以佈線 CL[0]及佈線 CL[1]表示的多個佈線 CL 之一。此外，在電晶體 12 中，源極和汲極中的另一個電連接到電晶體 11 的閘極。

[0070] 在圖 5 所示的開關電路 SW 中，在電路 22-1 所具有的電路 13 中，佈線 CL[0]相當於圖 1 所示的佈線 A2。佈線 SL 相當於圖 1 所示的佈線 A1。電晶體 21 的源

極和汲極中的另一個相當於佈線 A3。佈線 OL 相當於圖 1 所示的佈線 A4。

[0071] 另外，在圖 5 所示的開關電路 SW 中，在電路 22-2 所具有的電路 13 中，佈線 CL[1]相當於圖 1 所示的佈線 A2。佈線 SL 相當於圖 1 所示的佈線 A1。電晶體 21 的源極和汲極中的另一個相當於佈線 A3。佈線 OL 相當於圖 1 所示的佈線 A4。

[0072] 圖 6 示出包括多個圖 5 所示的開關電路 SW 的開關電路 SWs 的結構實例。在圖 6 中，以 m 行 n 列配置有多個開關電路 SW。並且，第 i 列第 j 行（ i 意味著 n 以下的自然數， j 意味著 m 以下的自然數）的開關電路 SW 與佈線 BL[$i-1$]、佈線 SL、佈線 CL[1 : 0]、佈線 WL[$2j-1 : 2j-2$]、佈線 IL[$i-1$]、佈線 OL[$j-1$]電連接。

[0073] 注意，佈線 CL[1 : 0]意味著佈線 CL[0]及佈線 CL[1]。另外，佈線 WL[$2m-1 : 2m-2$]意味著佈線 WL[$2m-2$]及佈線 WL[$2m-1$]。

[0074] 下面，參照圖 6 所示的開關電路 SWs 的更具體的結構實例對開關電路 SWs 的工作實例進行說明。圖 7 示出圖 6 所示的開關電路 SWs 的更具體的結構實例。另外，圖 8 示出圖 7 所示的開關電路 SWs 的時序圖。圖 8 例示出開關電路 SWs 所具有的所有電晶體是 n 通道型時的時序圖。

[0075] 首先，說明在時刻 T1 至時刻 T6 進行的對於開關電路 SWs 的資料的寫入。在時刻 T1 至時刻 T6，對

佈線 SL 和所有佈線 IL 施加低位準電位。

[0076] 首先，在時刻 T1 至時刻 T2，佈線 WL[0]被施加高位準電位，佈線 WL[0]之外的所有佈線 WL 被施加低位準電位。另外，佈線 BL[0]至佈線 BL[n-1]被施加包括資料的信號的電位。圖 8 例示出佈線 BL[1]被施加高位準電位，佈線 BL[1]之外的所有佈線 BL 被施加低位準電位的情況。

[0077] 藉由上述工作，對電連接到佈線 WL[0]的開關電路 SW 寫入資料。明確而言，藉由在電連接到佈線 WL[0]及佈線 BL[1]的開關電路 SW 中電晶體 21 的閘極被施加高位準電位，儲存對應於“1”的邏輯值的資料。另外，藉由在分別電連接到佈線 WL[0]及佈線 BL[1]之外的佈線 BL 的多個開關電路 SW 中電晶體 21 的閘極被施加低位準電位，儲存對應於“0”的邏輯值的資料。

[0078] 接著，在時刻 T2 至時刻 T3，佈線 WL[1]被施加高位準電位，佈線 WL[1]之外的所有佈線 WL 被施加低位準電位。另外，佈線 BL[0]至佈線 BL[n-1]被施加包括資料的信號的電位。圖 8 例示出佈線 BL[0]被施加高位準電位，佈線 BL[0]之外的所有佈線 BL 被施加低位準電位的情況。

[0079] 藉由上述工作，對電連接到佈線 WL[1]的開關電路 SW 寫入資料。明確而言，藉由在電連接到佈線 WL[1]及佈線 BL[0]的開關電路 SW 中電晶體 21 的閘極被施加高位準電位，儲存對應於“1”的邏輯值的資料。另

外，藉由在分別電連接到佈線 WL[1]及佈線 BL[0]之外的佈線 BL 的多個開關電路 SW 中電晶體 21 的閘極被施加低位準電位，儲存對應於“0”的邏輯值的資料。

[0080] 與此同樣，在時刻 T3 至時刻 T4 也依次對電連接到佈線 WL[3]至佈線 WL[2m-3]的開關電路 SW 寫入資料。

[0081] 接著，在時刻 T4 至時刻 T5，佈線 WL[2m-2]被施加高位準電位，佈線 WL[2m-2]之外的所有佈線 WL 被施加低位準電位。另外，佈線 BL[0]至佈線 BL[n-1]被施加包括資料的信號的電位。圖 8 例示出佈線 BL[0]被施加高位準電位，佈線 BL[0]之外的所有佈線 BL 被施加低位準電位的情況。

[0082] 藉由上述工作，對電連接到佈線 WL[2m-2]的開關電路 SW 寫入資料。明確而言，藉由在電連接到佈線 WL[2m-2]及佈線 BL[0]的開關電路 SW 中電晶體 21 的閘極被施加高位準電位，儲存對應於“1”的邏輯值的資料。另外，藉由在分別電連接到佈線 WL[2m-2]及佈線 BL[0]之外的佈線 BL 的多個開關電路 SW 中電晶體 21 的閘極被施加低位準電位，儲存對應於“0”的邏輯值的資料。

[0083] 接著，在時刻 T5 至時刻 T6，佈線 WL[2m-1]被施加高位準電位，佈線 WL[2m-1]之外的所有佈線 WL 被施加低位準電位。另外，佈線 BL[0]至佈線 BL[n-1]被施加包括資料的信號的電位。圖 8 例示出佈線 BL[1]被施加高位準電位，佈線 BL[1]之外的所有佈線 BL 被施加低

位準電位的情況。

[0084] 藉由上述工作，對電連接到佈線 WL[2m-1]的開關電路 SW 寫入資料。明確而言，藉由在電連接到佈線 WL[2m-1]及佈線 BL[1]的開關電路 SW 中電晶體 21 的閘極被施加高位準電位，儲存對應於“1”的邏輯值的資料。另外，藉由在分別電連接到佈線 WL[2m-1]及佈線 BL[1]之外的佈線 BL 的多個開關電路 SW 中電晶體 21 的閘極被施加低位準電位，儲存對應於“0”的邏輯值的資料。

[0085] 下面，對在時刻 T6 至時刻 T16 執行的根據儲存在開關電路 SW 中的資料切換佈線 IL 與佈線 OL 之間的導通狀態及非導通狀態的工作進行說明。在時刻 T6 至時刻 T16，所有佈線 WL 都被施加低位準電位。

[0086] 首先，在時刻 T6 至時刻 T7，佈線 CL[0]被施加高位準電位，佈線 CL[1]被施加低位準電位。另外，佈線 SL 被施加比施加到佈線 CL[0]的電位高的高位準電位。藉由上述工作，在電連接到佈線 CL[0]的開關電路 SW 中，電晶體 11 成為導通狀態。因此，可以根據儲存在電連接到佈線 CL[0]的開關電路 SW 中的資料切換佈線 IL 與佈線 OL 之間的導通狀態及非導通狀態。

[0087] 明確而言，在電連接到佈線 WL[0]的多個開關電路 SW 中的電連接到佈線 BL[1]的開關電路 SW 中儲存有對應於“1”的邏輯值的資料。因此，佈線 IL[1]和佈線 OL[0]成為導通狀態。另外，在電連接到佈線 WL[2m-2]的多個開關電路 SW 中的電連接到佈線 BL[0]的開關電路

SW 中儲存有對應於“1”的邏輯值的資料。因此，佈線 IL[0]和佈線 OL[m-1]成為導通狀態。

[0088] 接著，在時刻 T7 至時刻 T8，佈線 SL 被施加低位準電位。藉由上述工作，在電連接到佈線 CL[0]的開關電路 SW 中，電晶體 12 從導通狀態切換為非導通狀態。

[0089] 接著，在時刻 T8 至時刻 T9，佈線 SL 被施加低位準電位。另外，佈線 IL[0]的電位從低位準切換為高位準。藉由上述工作，佈線 OL[m-1]的電位從低位準切換為高位準。

[0090] 接著，在時刻 T9 至時刻 T10，佈線 SL 被施加低位準電位。另外，佈線 IL[0]的電位從高位準切換為低位準。藉由上述工作，佈線 OL[m-1]的電位從高位準切換為低位準。另外，佈線 IL[1]的電位從低位準切換為高位準。藉由上述工作，佈線 OL[0]的電位從低位準切換為高位準。

[0091] 接著，在時刻 T10 至時刻 T11，佈線 SL 被施加低位準電位。另外，佈線 IL[1]的電位從高位準切換為低位準。藉由上述工作，佈線 OL[0]的電位從高位準切換為低位準。

[0092] 接著，在時刻 T11 至時刻 T12，佈線 CL[0]被施加低位準電位，佈線 CL[1]被施加高位準電位。另外，佈線 SL 被施加比施加到佈線 CL[1]的電位高的高位準電位。藉由上述工作，在電連接到佈線 CL[1]的開關電路

SW 中，電晶體 11 成為導通狀態。因此，可以根據儲存在電連接到佈線 CL[1]的開關電路 SW 中的資料切換佈線 IL 與佈線 OL 之間的導通狀態及非導通狀態。

[0093] 明確而言，在電連接到佈線 WL[1]的多個開關電路 SW 中的電連接到佈線 BL[0]的開關電路 SW 中儲存有對應於“1”的邏輯值的資料。因此，佈線 IL[0]和佈線 OL[0]成為導通狀態。另外，在電連接到佈線 WL[2m-1]的多個開關電路 SW 中的電連接到佈線 BL[1]的開關電路 SW 中儲存有對應於“1”的邏輯值的資料。因此，佈線 IL[1]和佈線 OL[m-1]成為導通狀態。

[0094] 接著，在時刻 T12 至時刻 T13，佈線 SL 被施加低位準電位。藉由上述工作，在電連接到佈線 CL[1]的開關電路 SW 中，電晶體 12 從導通狀態切換為非導通狀態。

[0095] 接著，在時刻 T13 至時刻 T14，佈線 SL 被施加低位準電位。另外，佈線 IL[0]的電位從低位準切換為高位準。藉由上述工作，佈線 OL[0]的電位從低位準切換為高位準。

[0096] 接著，在時刻 T14 至時刻 T15，佈線 SL 被施加低位準電位。另外，佈線 IL[0]的電位從高位準切換為低位準。藉由上述工作，佈線 OL[0]的電位從高位準切換為低位準。另外，佈線 IL[1]的電位從低位準切換為高位準。藉由上述工作，佈線 OL[m-1]的電位從低位準切換為高位準。

[0097] 接著，在時刻 T15 至時刻 T16，佈線 SL 被施加低位準電位。另外，佈線 IL[1]的電位從高位準切換為低位準。藉由上述工作，佈線 OL[m-1]的電位從高位準切換為低位準。

[0098] 另外，只要至少在佈線 SL 被施加高位準電位的時刻 T6 至時刻 T7 的期間中，佈線 CL[0]被施加高位準電位，佈線 CL[1]被施加低位準電位即可。此外，只要至少在佈線 SL 被施加高位準電位的時刻 T11 至時刻 T12 的期間中，佈線 CL[0]被施加低位準電位，佈線 CL[1]被施加高位準電位即可。因此，在時刻 T6 之前的期間、在時刻 T7 之後且時刻 T11 之前的期間以及在時刻 T12 之後的期間中，佈線 CL[0]及佈線 CL[1]分別被施加的電位也可以為低位準或高位準。

[0099]

<電路 14 的結構實例>

下面，對圖 1 所示的電路 14 的具體結構的一個例子進行說明。

[0100] 圖 9A 示出電路 14 的結構實例。在圖 9A 中，電路 14 被施加電位 VSS 和電位 VDD。並且，圖 9A 例示出為了使供應到佈線 A1 的脈衝信號的振幅放大 ΔV 而使用位準轉移器的情況。

[0101] 明確而言，圖 9A 所示的電路 14 包括 D 型正反器（D-FF）30、XOR 電路 31、反相器 32 以及位準轉移器（LS）33。

[0102] 在 D-FF30 中，當 D 端子被輸入信號 `extraContext[0]`，C 端子被輸入時脈信號 CLK 時，從端子 Q 輸出延遲時脈信號的 1 週期的信號 `extraContext[0]`。在 XOR 電路 31 中，從端子 Q 輸出的信號和信號 `extraContext[0]` 被輸入時，輸出脈衝信號。該脈衝信號在從信號 `extraContext[0]` 的電位被切換的時序開始的相當於時脈信號 CLK 的一週期的期間中具有高位準電位 VDD。

[0103] 從 XOR 電路 31 輸出的信號的振幅在 LS33 中被放大。明確而言，LS33 被施加電位 VSS 和電位 HVDD。電位 HVDD 相當於電位 $VDD + \Delta V$ 。並且，從 XOR 電路 31 輸出的脈衝信號在 LS33 中從相當於電位 VSS 與電位 VDD 的差的振幅放大到相當於電位 VSS 與電位 HVDD 的差的振幅。從 LS33 輸出的信號 `ow` 例如藉由佈線 SL 供應到圖 5 所示的開關電路 SW。

[0104] 另外，在反相器 32 中，當被輸入信號 `extraContext[0]` 時，產生使其極性反轉的信號 `Context[1]`。信號 `Context[1]` 例如藉由佈線 CL[1] 施加到圖 5 所示的開關電路 SW。此外，信號 `extraContext[0]` 例如藉由佈線 CL[0] 作為信號 `Context[0]` 施加到圖 5 所示的開關電路 SW。

[0105] 下面，圖 9B 示出電路 14 的其他結構實例。在圖 9B 中，電路 14 被施加電位 VSS 和電位 HVDD。並且，圖 9B 例示出為了減少信號 `Context[0]` 及信號 `Context[1]` 的振幅而使用位準轉移器的情況。

[0106] 明確而言，圖 9B 所示的電路 14 包括 D-FF30、XOR 電路 31、反相器 32 以及 LS33a 和 LS33b。

[0107] 並且，與圖 9A 所示的電路 14 同樣，在圖 9B 所示的電路 14 中，從 XOR 電路 31 輸出脈衝信號。但是，圖 9B 所示的電路 14 與圖 9A 所示的電路 14 之間的不同之處在於：在圖 9B 所示的電路 14 中，上述脈衝信號具有高位準電位 HVDD。在圖 9B 中，從 XOR 電路 31 輸出的信號例如藉由佈線 SL 作為信號 ow 施加到圖 5 所示的開關電路 SW。

[0108] 另外，LS33a 和 LS33b 被施加電位 VSS 和電位 VDD。在 LS33a 中，信號 extraContext[0]從相當於電位 VSS 與電位 HVDD 的差的振幅調整為相當於電位 VSS 與電位 VDD 的差的振幅。此外，在 LS33b 中，從反相器 32 輸出的信號 Context[1]從相當於電位 VSS 與電位 HVDD 的差的振幅調整為相當於電位 VSS 與電位 VDD 的差的振幅。

[0109] 振幅被調整的信號 Context[1]例如藉由佈線 CL[1]作為信號 Context[1]施加到圖 5 所示的開關電路 SW。另外，振幅被調整的信號 extraContext[0]例如藉由佈線 CL[0]作為信號 Context[0]施加到圖 5 所示的開關電路 SW。

[0110] 另外，在圖 9B 中，也可以使用反相器或緩衝器等代替 LS33a 或 LS33b。

[0111] 下面，圖 10 示出圖 9A 所示的 LS33 或者圖

9B 所示的 LS33a 或 LS33b 的具體結構實例。

[0112] 圖 10 所示的 LS (相當於 LS33、LS33a 或 LS33b) 包括 n 通道型電晶體 34 和電晶體 35、p 通道型電晶體 36 和電晶體 37 以及反相器 38。

[0113] 電晶體 34 的閘極電連接到輸入端子 IN。另外，在電晶體 34 中，源極和汲極中的一個被施加電位 VSS，源極和汲極中的另一個電連接到電晶體 37 的閘極。

[0114] 電晶體 36 的閘極電連接到輸出端子 OUT。另外，在電晶體 36 中，源極和汲極中的一個被施加電位 VDD 或電位 HVDD，源極和汲極中的另一個電連接到電晶體 37 的閘極。

[0115] 反相器 38 被施加輸入端子 IN 的電位，從反相器 38 輸出的電位施加到電晶體 35 的閘極。另外，反相器 38 作為電源電壓被施加電位 VSS 與電位 VDD 或電位 HVDD 的電位差。

[0116] 在電晶體 35 中，源極和汲極中的一個被施加電位 VSS，源極和汲極中的另一個電連接到電晶體 36 的閘極。

[0117] 在電晶體 37 中，源極和汲極中的一個被施加電位 VDD 或電位 HVDD，源極和汲極中的另一個電連接到電晶體 36 的閘極。

[0118]

<邏輯陣列的結構實例>

下面，對相當於根據本發明的一個實施方式的半導體裝置的一個例子的 PLD 的結構實例進行說明。

[0119] 圖 11 例示出 PLD40 的結構的一部分。PLD40 包括：多個邏輯塊 41；與多個邏輯塊 41 的輸入端子或輸出端子電連接的多個佈線 42；以及具有控制佈線 42 之間的導通狀態的功能的多個開關電路 SWs。藉由多個佈線 42 和多個開關電路 SWs，控制邏輯塊 41 之間的導通狀態。

[0120] 另外，在圖 11 所示的 PLD40 中，除了與多個邏輯塊 41 的輸入端子或輸出端子電連接的佈線 42 之外，也可以設置有具有將時脈信號 CLK 或信號 RES 供應到邏輯塊 41 的功能的佈線。時脈信號 CLK 例如也可以用於控制從邏輯塊 41 所具有的正反器輸出信號的時序。另外，信號 RES 例如可以用於控制使保持在邏輯塊 41 所具有的正反器中的資料初始化的時序。

[0121]

<邏輯塊的結構實例>

下面，對邏輯塊 41 的結構實例進行說明。

[0122] 圖 12A 例示出邏輯塊 41 的一個方式。圖 12A 所示的邏輯塊 41 包括 LUT（查找表）43 和正反器 44。在 LUT43 中，根據包括電路資訊的資料決定相對於輸入到輸入端子 45 的輸入信號的邏輯值的輸出信號的邏輯值。正反器 44 保持 LUT43 的輸出信號所包括的資料，與時脈信號 CLK 同步地從輸出端子 46 輸出對應於該資料的輸出信

號。

[0123] 另外，也可以採用根據包括電路資訊的資料定義正反器 44 的種類的結構。明確而言，正反器 44 也可以根據包括電路資訊的資料具有 D 型正反器、T 型正反器、JK 型正反器和 RS 型正反器中的任一個的功能。

[0124] 另外，圖 12B 例示出邏輯塊 41 的其他方式。圖 12B 所示的邏輯塊 41 具有對圖 12A 所示的邏輯塊 41 附加 AND 電路 47 的結構。AND 電路 47 作為正邏輯的輸入被施加來自正反器 44 的信號，並且作為負邏輯的輸入被施加信號 INIT 的電位。藉由採用上述結構，可以根據信號 INIT 的電位使輸出端子 46 的電位初始化。

[0125] 另外，圖 12C 例示出邏輯塊 41 的其他方式。圖 12C 所示的邏輯塊 41 具有對圖 12A 所示的邏輯塊 41 附加多工器 48 的結構。另外，圖 12C 所示的邏輯塊 41 具有記憶體電路 49。

[0126] 在 LUT43 中，根據包括電路資訊的資料決定相對於輸入信號的邏輯值的輸出信號的邏輯值。另外，多工器 48 被輸入來自 LUT43 的輸出信號和來自正反器 44 的輸出信號。並且，多工器 48 具有根據保持在記憶體電路 49 的資料而選擇上述兩種輸出信號中的任一個並將其輸出的功能。來自多工器 48 的輸出信號從輸出端子 46 輸出。

[0127] 此外，圖 12D 例示出邏輯塊 41 的其他方式。圖 12D 所示的邏輯塊 41 具有對圖 12C 所示的邏輯塊 41

附加多工器 50 的結構。另外，圖 12D 所示的邏輯塊 41 具有記憶體電路 51。

[0128] 另外，多工器 50 被輸入來自 LUT43 的輸出信號和從端子 52 輸入的來自其他邏輯塊 41 所具有的正反器 44 的輸出信號。並且，多工器 50 具有根據保持在記憶體電路 51 的包括電路資訊的資料而選擇上述兩種輸出信號中的任一個並將其輸出的功能。

[0129]

<記憶體電路>

下面，對邏輯塊所包括的具有儲存電路資訊的功能的記憶體電路的結構實例進行說明。

[0130] 圖 13 示出記憶體電路 60 的結構的一個例子。記憶體電路 60 可以用於圖 12C 所示的記憶體電路 49 或者圖 12D 所示的記憶體電路 49 或記憶體電路 51。另外，記憶體電路 60 可以用於 LUT43 所具有的記憶體電路。

[0131] 記憶體電路 60 包括具有儲存資料的功能的多個電路 61。圖 13 例示出以 m 行 n 列配置有多個電路 61 的情況。並且，第 i 列第 j 行（ i 意味著 n 以下的自然數， j 意味著 m 以下的自然數）的電路 61 與佈線 $BL[i-1]$ 、佈線 $CL[1:0]$ 、佈線 $WL[2j-1:2j-2]$ 、佈線 $OL[j-1]$ 電連接。

[0132] 圖 14A 示出第 i 列第 j 行的電路 61 的更具體的結構的一個例子。電路 61 包括：具有儲存資料的功能

的多個電路 62、具有選擇從多個電路 62 分別輸出的資料的功能的多工器 63。明確而言，圖 14A 例示出電路 61 包括以電路 62a 及電路 62b 表示的 2 個電路 62 的情況。

[0133] 明確而言，被輸入的信號的極性相互反轉的佈線 BL[i-1]及佈線 BLb[i-1]都電連接到電路 62a 及電路 62b。佈線 WL[2j-2]及佈線 WL[2j-1]分別電連接到電路 62a 及電路 62b。佈線 CL[0]及佈線 CL[1]電連接到多工器 63。在多工器 63 中，根據從佈線 CL[0]及佈線 CL[1]供應的信號所包括的資料選擇從電路 62a 輸出的資料和從電路 62b 輸出的資料中的任何一個。

[0134] 另外，電路 61 也可以包括三個以上的電路 62。此時，較佳的是，根據電路 62 的個數調整電連接到電路 61 的佈線 WL 及佈線 CL 的個數。此外，電路 61 也可以包括一個電路 62。此時，較佳的是，根據電路 62 的個數調整佈線 WL 及佈線 CL 的個數。並且，在電路 61 包括一個電路 62 的情況下，也可以將從電路 62 輸出的資料輸入到佈線 OL[j-1]，而不在電路 61 中設置多工器 63。

[0135] 接著，圖 14B 示出電路 62 的具體結構的一個例子。圖 14B 所示的電路 62 至少包括電晶體 64 至電晶體 67。另外，如圖 14B 所示，電路 62 也可以包括電容元件 68 及電容元件 69。

[0136] 電晶體 64 具有控制對電路 62 中的節點 ND1 供應包括資料的第一信號的電位的功能。明確而言，當電晶體 64 處於導通狀態時，施加到佈線 BL[i-1]的包括資料

的第一信號的電位供應到節點 ND1。另外，當電晶體 64 處於非導通狀態時，保持節點 ND1 的電位。電容元件 68 的一個電極電連接到節點 ND1，電容元件 68 具有保持節點 ND1 的電位的功能。電容元件 68 的另一個電極例如連接到具有能夠供應固定的電位的功能的佈線諸如 GND 線。注意，該佈線的電位不侷限於 0V。

[0137] 根據施加到佈線 WL[2j-1]或佈線 WL[2j-2]的信號的電位，選擇電晶體 64 的導通狀態或非導通狀態。

[0138] 電晶體 65 具有根據節點 ND1 的電位切換佈線 70 與佈線 72 之間的導通狀態或非導通狀態的功能。明確而言，當電晶體 65 處於導通狀態時，佈線 70 和佈線 72 成為導通狀態。另外，當電晶體 65 處於非導通狀態時，佈線 70 和佈線 72 成為非導通狀態。

[0139] 另外，電晶體 66 具有控制對電路 62 中的節點 ND2 供應包括資料的第二信號的電位的功能。明確而言，當電晶體 66 處於導通狀態時，施加到佈線 BLb[i-1]的包括資料的第二信號的電位供應到節點 ND2。另外，當電晶體 66 處於非導通狀態時，保持節點 ND2 的電位。電容元件 69 的一個電極電連接到節點 ND2，電容元件 69 具有保持節點 ND2 的電位的功能。電容元件 69 的另一個電極例如電連接到具有能夠供應固定的電位的功能的佈線諸如 GND 線。注意，該佈線的電位不侷限於 0V。另外，電容元件 69 的另一個電極也可以電連接到電容元件 68 的另一個電極。注意，本發明的一個實施方式不侷限於此。

[0140] 根據施加到佈線 WL[2j-1]或佈線 WL[2j-2]的信號的電位，選擇電晶體 66 的導通狀態或非導通狀態。

[0141] 電晶體 67 具有根據節點 ND2 的電位切換佈線 71 與佈線 72 之間的導通狀態或非導通狀態的功能。明確而言，當電晶體 67 處於導通狀態時，佈線 71 和佈線 72 成為導通狀態。另外，當電晶體 67 處於非導通狀態時，佈線 71 和佈線 72 成為非導通狀態。

[0142] 另外，佈線 70 被施加高位準電位 VDD，佈線 71 被施加低位準電位 VSS。並且，當將資料寫入到電路 62 時，第一信號的電位和第二信號的電位的極性相互反轉，即邏輯位準是反轉的。因此，當電晶體 65 和電晶體 67 中的一個處於導通狀態時，另一個處於非導通狀態。此外，根據第一信號和第二信號的電位，即資料決定電晶體 65 和電晶體 67 中的哪一個處於導通狀態且哪一個處於非導通狀態。因此，根據資料決定施加到佈線 72 的電位是高位準電位 VDD 還是低位準電位 VSS。

[0143] 包括施加到佈線 72 的電位作為資料的信號輸入到圖 14A 所示的多工器 63。

[0144] 另外，在圖 14B 所示的電路 62 中，用於電晶體 64 及電晶體 66 的電晶體具有保持節點 ND1 及節點 ND2 的電位的功能，因此較佳為使用關態電流極小的電晶體。具有在其能帶間隙寬於矽的能帶間隙且其本質載子密度低於矽的本質載子密度的半導體膜中形成通道形成區的特徵的電晶體的關態電流極小，所以將其用作電晶體 64

及電晶體 66 是較佳的。作為這樣的半導體，例如可以舉出具有矽的能帶間隙的 2 倍以上的大能帶間隙的氧化物半導體、氮化鎵等。因此，藉由將具有上述結構的電晶體用於電晶體 64 及電晶體 66，可以防止保持在節點 ND1 及節點 ND2 的電荷洩漏。

[0145] 另外，當將 n 通道型電晶體用於電晶體 64 時，雖容易將節點 ND1 設定為電位 VSS，但是當考慮到上述電晶體的臨界電壓時，難以將節點 ND1 設定為電位 VDD。因此，當將 p 通道型電晶體用於電晶體 65 時，難以完全使電晶體 65 成為非導通狀態，藉由電晶體 65 容易流過貫通電流。因此，當將 n 通道型電晶體用於電晶體 64 時，為了防止貫通電流，將 n 通道型電晶體用於電晶體 65 是較佳的。電晶體 66 和電晶體 67 也是與此同樣。換言之，當將 n 通道型電晶體用於電晶體 66 時，為了防止貫通電流，將 n 通道型電晶體用於電晶體 67 是較佳的。

[0146] 另外，當將 p 通道型電晶體用於電晶體 64 時，雖容易將節點 ND1 設定為電位 VDD，但是當考慮到上述電晶體的臨界電壓時，難以將節點 ND1 設定為電位 VSS。因此，當將 n 通道型電晶體用於電晶體 65 時，難以完全使電晶體 65 成為非導通狀態，藉由電晶體 65 容易流過貫通電流。因此，當將 p 通道型電晶體用於電晶體 64 時，為了防止貫通電流，將 p 通道型電晶體用於電晶體 65 是較佳的。電晶體 66 和電晶體 67 也是與此同樣。

換言之，當將 p 通道型電晶體用於電晶體 66 時，為了防止貫通電流，將 p 通道型電晶體用於電晶體 67 是較佳的。

[0147]

<多工器的結構實例>

下面，對根據本發明的一個實施方式的多工器的結構實例進行說明。

[0148] 圖 15 示出多工器 (MUX) 75 的具體結構的一個例子。根據本發明的一個實施方式的多工器包括多個圖 1 所示的電路 13。明確而言，圖 15 例示出具有以電路 13a 及電路 13b 表示的多個電路 13 的 MUX75 的結構。並且，藉由根據包括電路資訊的資料控制電路 13a 及電路 13b 的工作，MUX75 可以選擇輸入到多個佈線 76 的信號中的任何一個而將其供應到佈線 77。

[0149] 當假設佈線 76a 是多個佈線 76 之一個佈線時，明確而言，電路 13a 具有根據包括電路資訊的信號控制是否對佈線 77a 供應輸入到佈線 76a 的信號的功能。另外，當假設佈線 76b 是多個佈線 76 之其他佈線時，明確而言，電路 13b 具有根據包括電路資訊的信號控制是否對佈線 77a 供應輸入到佈線 76b 的信號的功能。

[0150] 另外，佈線 76a 及佈線 76b 相當於圖 1 的佈線 A3，佈線 77a 相當於圖 1 的佈線 A4。

[0151] 明確而言，在電晶體 12 中，源極和汲極中的一個被輸入來自佈線 79 的包括電路資訊的信號，源極和

汲極中的另一個連接到電晶體 11 的閘極。在電晶體 11 中，源極和汲極中的一個連接到佈線 76a 或佈線 76b，源極和汲極中的另一個電連接到佈線 77a。

[0152] 並且，分別輸入到電路 13a 和電路 13b 的包括電路資訊的信號的邏輯位準彼此不同。明確而言，圖 15 例示出藉由反相器 78 將輸入到電路 13a 的信號的邏輯位準反轉的信號輸入到電路 13b 的情況。但是，也可以分別對電路 13a 和電路 13b 輸入邏輯位準彼此不同的上述信號而不藉由反相器 78。

[0153] 另外，雖然圖 15 示出包括反相器 78 的 MUX75 的結構實例，但是 MUX75 也可以不包括反相器 78。

[0154] 藉由採用上述結構，在電路 13a 和電路 13b 中的任一個中電晶體 11 成為導通狀態，在另一個中電晶體 11 成為非導通狀態。就是說，只有輸入到佈線 76a 或佈線 76b 的信號中的任何一個被電路 13a 及電路 13b 選擇而供應到佈線 77a。

[0155] 注意，根據多個佈線 76 的個數，有時在 MUX75 中設置多個電路 13a 及電路 13b。此時，在 MUX75 中設置多個佈線 77a，該佈線 77a 被輸入被多個電路 13a 及電路 13b 選擇的信號。並且，上述 MUX75 包括用來進一步選擇輸入到多個佈線 77a 的信號的一個或多個電路 13a 及電路 13b。藉由多個電路 13a 及電路 13b 重複選擇信號，最終一個信號供應到佈線 77。

[0156] 並且，在本發明的一個實施方式中，較佳的是，電晶體 12 的關態電流比電晶體 11 極小。由於在其能帶間隙寬於矽的能帶間隙且其本質載子密度低於矽的本質載子密度的半導體膜中形成通道形成區的電晶體具有極小的關態電流，因此適合用於電晶體 12。作為這樣的半導體，例如可以舉出具有矽的能帶間隙的 2 倍以上的大能帶間隙的氧化物半導體、氮化鎵等。

[0157] 藉由使用具有上述結構的電晶體 12，可以防止當電晶體 12 處於非導通狀態時，保持在與電晶體 11 的閘極連接的節點 ND 的電荷洩漏的情況。並且，藉由在節點 ND 中保持電荷，保持電晶體 11 的導通狀態或非導通狀態，由此維持信號被電路 13a 及電路 13b 選擇的狀態。

[0158] 下面，圖 16 示出被輸入 2 位元的信號的 MUX75 的結構的一個例子。圖 16 所示的 MUX75 包括以電路 13a 至電路 13f 表示的六個電路 13。電路 13a 至電路 13f 分別包括電晶體 11 及電晶體 12，電晶體 11 及電晶體 12 的連接結構與圖 15 所示的 MUX75 同樣。

[0159] 但是，在圖 16 所示的 MUX75 中，在電路 13a 及電路 13c 所具有的電晶體 12 中，源極和汲極中的一個連接到佈線 79a。另外，在電路 13b 及電路 13d 所具有的電晶體 12 中，源極和汲極中的一個連接到反相器 78a 的輸出端子。反相器 78a 的輸入端子連接到佈線 79a。此外，在電路 13e 所具有的電晶體 12 中，源極和汲極中的一個連接到佈線 79b。另外，在電路 13f 所具有的電晶體

12 中，源極和汲極中的一個連接到反相器 78b 的輸出端子。反相器 78b 的輸入端子連接到佈線 79b。

[0160] 此外，在圖 16 所示的 MUX75 中，在電路 13a 至電路 13d 分別所具有的電晶體 11 中，源極和汲極中的一個分別連接到佈線 76a 至佈線 76d。另外，在電路 13a 及電路 13b 分別所具有的電晶體 11 中，源極和汲極中的另一個連接到電路 13e 所具有的電晶體 11 的源極和汲極中的一個。此外，在電路 13c 及電路 13d 分別所具有的電晶體 11 中，源極和汲極中的另一個連接到電路 13f 所具有的電晶體 11 的源極和汲極中的一個。電路 13e 及電路 13f 所具有的電晶體 11 的源極和汲極中的另一個連接到佈線 77。

[0161] 在圖 16 所示的 MUX75 中，根據從佈線 79a 及佈線 79b 輸入的包括電路資訊的信號決定電晶體 11 的導通狀態或非導通狀態。並且，電路 13a 至電路 13f 根據上述信號選擇分別輸入到佈線 76a 至佈線 76d 的信號中的任何一個，將其輸入到佈線 77。

[0162] 另外，在圖 15 所示的多工器中，在施加到佈線 79 的信號是包括電路資訊的信號的情況下，可以在電路 13a 及電路 13b 中獲得升壓效果。因此，與將圖 15 所示的多工器用作圖 12A 至圖 12D 所示的邏輯塊 41 的 LUT43 所包括的多工器的情況相比，在將其用作圖 12C 所示的邏輯塊 41 的多工器 48、圖 12D 所示的邏輯塊 41 的多工器 48 或多工器 50 的情況下，可以在電路 13a 及電

路 13b 中獲得升壓效果，所以是較佳的。

[0163]

<PLD 的結構實例>

下面，圖 17 示出 PLD80 的結構實例。圖 17 例示出 PLD80 包括排列為 2 列 10 行的多個邏輯塊 41 的情況。明確而言，在圖 17 中，以邏輯塊 41[xy]表示第 (x+1) 列第 (y+1) 行 (x+1 意味著 2 以下的自然數，y+1 意味著 10 以下的自然數) 的邏輯塊 41。

[0164] 另外，圖 17 所示的 PLD80 包括多個開關電路 SWs。明確而言，在圖 17 中，以開關電路 81a[0y]表示控制將信號輸入到邏輯塊 41[0y]的開關電路 SWs。另外，以開關電路 81b[0y]表示控制將信號從邏輯塊 41[1y]輸入到邏輯塊 41[0y]的開關電路 SWs。

[0165] 另外，I/O 包括多個 I/O 塊。I/O 塊具有控制從 PLD80 的外部電路輸入信號或對外部電路輸出信號的作為介面的功能。並且，圖 17 所示的 PLD80 包括具有 I/O 塊[00]至 I/O 塊[09]的 I/O 塊 (I/O[00]-I/O[09]) 以及具有 I/O 塊[10]至 I/O 塊[19]的 I/O 塊 (I/O[10]-I/O[19])。

[0166] 另外，在圖 17 中，以開關電路 81c[0y]表示控制將信號從 I/O 塊[0y]輸入到邏輯塊 41[0y]的開關電路 SWs。圖 17 中亦以開關電路 81d[0y]表示控制將信號從邏輯塊 41[0y]輸入到 I/O 塊[0y]的開關電路 SWs。

[0167] 另外，在圖 17 中，以開關電路 81a[1y]表示

控制將信號輸入到邏輯塊 41[1y]的開關電路 SWs。圖 17 中亦以開關電路 81b[1y]表示控制將信號從邏輯塊 41[0y]輸入到邏輯塊 41[1y]的開關電路 SWs。

[0168] 另外，在圖 17 中，以開關電路 81c[1y]表示控制將信號從 I/O 塊[1y]輸入到邏輯塊 41[1y]的開關電路 SWs。圖 17 中亦以開關電路 81d[1y]表示控制將信號從邏輯塊 41[1y]輸入到 I/O 塊[1y]的開關電路 SWs。

[0169] 另外，也可以在 PLD80 中設置有不藉由開關電路將輸出信號供應到相鄰的邏輯塊的佈線。當使用多個邏輯塊構成移位暫存器、加法電路、減法電路等時，設置這些佈線是有效的。再者，藉由對邏輯塊附加 1 位元的半加法電路、全加法電路，可以使用較少數量的邏輯塊實現所希望的算術電路，例如可以使用一個邏輯塊構成使用多個邏輯塊構成的加法電路、減法電路等。

[0170] 另外，PLD80 包括：控制對邏輯塊 41 的記憶體電路 60 所具有的佈線 BL 或開關電路 SWs 所具有的佈線 BL 供應信號的驅動電路（Bit Driver）；選擇供應到多個佈線 CL 的電位的驅動電路(Configuration Controller)；以及控制對邏輯塊 41 的記憶體電路 60 所具有的佈線 WL 或開關電路 SWs 所具有的佈線 WL 供應信號的驅動電路（Word Driver）。

[0171]

<半導體裝置的剖面結構的例子>

圖 18 示出包括圖 1 所示的電路 13 的半導體裝置的剖

面結構的一個例子。

[0172] 另外，圖 18 示出在氧化物半導體膜中具有通道形成區的電晶體 12 形成於在單晶矽基板中具有通道形成區的電晶體 11 上的例子。

[0173] 電晶體 11 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區。另外，電晶體 11 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區。當所有電晶體在氧化物半導體膜或氧化物半導體基板中具有通道形成區時，可以不將電晶體 12 層疊於電晶體 11 上而在同一個層中形成電晶體 12 和電晶體 11。

[0174] 當使用矽薄膜形成電晶體 11 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火等處理使非晶矽晶化而形成的多晶矽；或者藉由對單晶矽晶圓注入氫離子等來使表層部剝離而得到的單晶矽等。

[0175] 形成有電晶體 11 的半導體基板 601 例如可以使用矽基板、鍺基板、矽鍺基板等。圖 18 示出將單晶矽基板用於半導體基板 601 的例子。

[0176] 另外，電晶體 11 利用元件隔離法被電隔離。作為元件分離法，可以使用矽的局部氧化(LOCOS：Local Oxidation of Silicon)法或溝槽分離法(STI 法：Shallow Trench Isolation)等。圖 18 示出利用溝槽分離法使電晶體 11 電隔離時的例子。明確而言，圖 18 例示出在半導體基

板 601 上利用蝕刻等形成溝槽之後，利用藉由將包含氧化矽等的絕緣物埋入在該溝槽中而形成的元件分離區 610，使電晶體 11 元件分離的情況。

[0177] 在電晶體 11 上設置有絕緣膜 611。在絕緣膜 611 中形成有開口部。並且，在上述開口部中形成有分別電連接到電晶體 11 的源極及汲極的導電膜 625 及導電膜 626 以及電連接到電晶體 11 的閘極的導電膜 627。

[0178] 並且，導電膜 625 與形成在絕緣膜 611 上的導電膜 634 電連接，導電膜 626 與形成在絕緣膜 611 上的導電膜 635 電連接，導電膜 627 與形成在絕緣膜 611 上的導電膜 636 電連接。

[0179] 在導電膜 634 至導電膜 635 上形成有絕緣膜 612。在絕緣膜 612 中形成有開口部，在上述開口部中形成有電連接到導電膜 636 的導電膜 637。並且，導電膜 637 與形成在絕緣膜 612 上的導電膜 651 電連接。

[0180] 另外，在導電膜 651 上形成有絕緣膜 613。在絕緣膜 613 中形成有開口部，在上述開口部中形成有電連接到導電膜 651 的導電膜 652。並且，導電膜 652 與形成在絕緣膜 613 上的導電膜 653 電連接。此外，在絕緣膜 613 上還形成有導電膜 644。

[0181] 在導電膜 653 及導電膜 644 上形成有絕緣膜 661。並且，在圖 18 中，在絕緣膜 661 上形成有電晶體 12。

[0182] 電晶體 12 包括：絕緣膜 661 上的包含氧化物

半導體的半導體膜 701；半導體膜 701 上的用作源極電極或汲極電極的導電膜 721 及導電膜 722；半導體膜 701、導電膜 721 及導電膜 722 上的閘極絕緣膜 662；以及位於閘極絕緣膜 662 上且在導電膜 721 與導電膜 722 之間重疊於半導體膜 701 的閘極電極 731。另外，導電膜 722 在設置於絕緣膜 661 中的開口部中電連接到導電膜 653。

[0183] 並且，在電晶體 12 中，在半導體膜 701 中的重疊於導電膜 721 的區域與重疊於閘極電極 731 的區域之間存在有區域 710。另外，在電晶體 12 中，在半導體膜 701 中的重疊於導電膜 722 的區域與重疊於閘極電極 731 的區域之間存在有區域 711。藉由以導電膜 721、導電膜 722 及閘極電極 731 為遮罩對區域 710 及區域 711 添加氬、對半導體膜 701 賦予 p 型導電型的雜質或者對半導體膜 701 賦予 n 型導電型的雜質，與半導體膜 701 中的重疊於閘極電極 731 的區域相比，可以降低區域 710 及區域 711 的電阻率。

[0184] 並且，在電晶體 12 上設置有絕緣膜 663。

[0185] 另外，雖然在圖 18 中電晶體 12 在半導體膜 701 的至少一側具有閘極電極 731 即可，但是電晶體 12 也可以具有夾著半導體膜 701 存在的一對閘極電極。

[0186] 在電晶體 12 具有夾著半導體膜 701 存在的一對閘極電極的情況下，可以對一個閘極電極供應用來控制導通狀態/非導通狀態的信號，並對另一個閘極電極施加來自外部的電位。在此情況下，既可以對一對閘極電極施

加相同位準的電位，又可以只對另一個閘極電極施加接地電位等固定電位。藉由控制對另一個閘極電極施加的電位的位準，可以控制電晶體的臨界電壓。

[0187] 另外，圖 18 例示出電晶體 12 具有單閘極結構的情況，即包括對應於一個閘極電極 731 的一個通道形成區。但是，電晶體 12 也可以具有多閘極結構，其中藉由具有彼此電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

[0188]

<電晶體>

下面，對在氧化物半導體膜中具有通道形成區的電晶體 90 的結構實例進行說明。

[0189] 圖 19A 至圖 19C 示出在氧化物半導體膜中具有通道形成區的電晶體 90 的結構的一個例子。圖 19A 示出電晶體 90 的俯視圖。注意，在圖 19A 中，為了明確地示出電晶體 90 的佈局，省略了各種絕緣膜。此外，圖 19B 示出沿著圖 19A 所示的俯視圖的虛線 A1-A2 的剖面圖，圖 19C 示出沿著虛線 A3-A4 的剖面圖。

[0190] 如圖 19A 至圖 19C 所示，電晶體 90 包括：在形成於基板 97 上的絕緣膜 91 上依次層疊的氧化物半導體膜 92a 及氧化物半導體膜 92b；電連接於氧化物半導體膜 92b 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；氧化物半導體膜 92b、導電膜 93 及導電膜 94 上的氧化物半導體膜 92c；被用作閘極絕緣膜且位於氧化物半導

體膜 92c 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。另外，基板 97 既可以是玻璃基板或半導體基板等，又可以在玻璃基板或半導體基板上形成有半導體元件的元件基板。

[0191] 此外，圖 20A 至圖 20C 示出電晶體 90 的具體結構的另外一個例子。圖 20A 示出電晶體 90 的俯視圖。注意，在圖 20A 中，為了明確地示出電晶體 90 的佈局，省略了各種絕緣膜。此外，圖 20B 示出沿著圖 20A 所示的俯視圖的虛線 A1-A2 的剖面圖，圖 20C 示出沿著圖 20A 所示的俯視圖的虛線 A3-A4 的剖面圖。

[0192] 如圖 20A 至圖 20C 所示，電晶體 90 包括：在絕緣膜 91 上依次層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c；電連接於氧化物半導體膜 92c 且被用作源極電極或汲極電極的導電膜 93 及導電膜 94；被用作閘極絕緣膜且位於氧化物半導體膜 92c、導電膜 93 及導電膜 94 上的絕緣膜 95；以及被用作閘極電極且在絕緣膜 95 上與氧化物半導體膜 92a 至氧化物半導體膜 92c 重疊的導電膜 96。

[0193] 另外，在圖 19A 至圖 19C 和圖 20A 至圖 20C 中，示出使用層疊的氧化物半導體膜 92a 至氧化物半導體膜 92c 的電晶體 90 的結構。電晶體 90 所包括的氧化物半導體膜不限於由層疊的多個氧化物半導體膜構成的結構，還可以由單膜的氧化物半導體膜構成。

[0194] 當電晶體 90 包括氧化物半導體膜 92a 至氧化物半導體膜 92c 被依次層疊的半導體膜時，氧化物半導體膜 92a 及氧化物半導體膜 92c 為如下氧化物膜：在其構成要素中包含構成氧化物半導體膜 92b 的金屬元素的至少一個，並且其傳導帶底的能量比氧化物半導體膜 92b 離真空能階近 0.05eV 以上、 0.07eV 以上、 0.1eV 以上或 0.15eV 以上，且 2eV 以下、 1eV 以下、 0.5eV 以下或 0.4eV 以下。並且，當氧化物半導體膜 92b 至少包含銦時，載子移動率變高，所以是較佳的。

[0195] 在電晶體 90 具有上述結構的半導體膜的情況下，當對閘極電極施加電壓而對半導體膜施加電場時，通道區形成在半導體膜中的傳導帶底的能量小的氧化物半導體膜 92b 中。也就是說，藉由在氧化物半導體膜 92b 與絕緣膜 95 之間設置有氧化物半導體膜 92c，可以在與絕緣膜 95 分開的氧化物半導體膜 92b 中形成通道區。

[0196] 另外，由於氧化物半導體膜 92c 在其構成要素中包含至少一個構成氧化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92c 的介面處不容易發生介面散射。因此，在該介面處載子的移動不容易被阻礙，所以電晶體 90 的場效移動率變高。

[0197] 另外，當在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處形成介面能階時，由於在介面附近的區域中也會形成通道區，因此電晶體 90 的臨界電壓變動。但是，由於氧化物半導體膜 92a 在其構成要素中包含

至少一個構成氧化物半導體膜 92b 的金屬元素，因此在氧化物半導體膜 92b 與氧化物半導體膜 92a 的介面處不容易形成介面能階。因此，藉由採用上述結構可以減少電晶體 90 的臨界電壓等的電特性的偏差。

[0198] 另外，較佳的是，以不使因氧化物半導體膜間的雜質的存在而在各膜的介面形成有阻礙載子移動的介面能階的方式將多個氧化物半導體膜層疊。這是因為，當被層疊的氧化物半導體膜的膜間存在雜質時，氧化物半導體膜間的傳導帶底的能量失去連續性，於是在介面附近，載子被俘獲或因再結合而消失。藉由減少膜間的雜質，與將作為主成分至少包含相同一種金屬的多個氧化物半導體膜單純地層疊相比，更容易形成連續接合（這裡尤其是指具有傳導帶底的能量在各膜之間連續地變化的 U 字型井結構的狀態）。

[0199] 為了形成連續接合，需要使用具備負載鎖定室的多室方式的成膜裝置（濺射裝置）在不使各膜暴露於大氣的情況下連續地層疊。在濺射裝置中的各處理室中，為了儘可能地去除成為氧化物半導體的雜質的水等，較佳為使用如低溫泵的吸附式的真空排氣泵進行高真空排氣（ $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右的真空）。或者，較佳為組合渦輪分子泵與冷阱使氣體不從排氣系統倒流到處理室內。

[0200] 為了得到高純度的本質氧化物半導體，不僅需要對各處理室進行高真空排氣，而且用於濺射的氣體的

高度純化也是重要的。藉由將用作上述氣體的氧氣體或氫氣體的露點設定為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下，實現氣體的高度純化，可以儘可能地防止水分等混入氧化物半導體膜。明確而言，當氧化物半導體膜 92b 是 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd 等），並且用於形成氧化物半導體膜 92b 的靶材中的金屬元素的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ 時， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 1 以上且 6 以下，作為氧化物半導體膜 92b 容易形成 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 等。

[0201] 明確而言，當氧化物半導體膜 92a 及氧化物半導體膜 92c 為 In-M-Zn 氧化物膜（M 為 Ga、Y、Zr、La、Ce 或 Nd）時，在用來形成氧化物半導體膜 92a 及氧化物半導體膜 92c 的靶材中的金屬元素的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ 的情況下，較佳的是， x_2/y_2 小於 x_1/y_1 ， z_2/y_2 是 1/3 以上且 6 以下、更佳的是 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 1 以上且 6 以下，容易形成用作氧化物半導體膜 92a 及氧化物半導體膜 92c 的 CAAC-OS 膜。作為靶材的金屬元素的原子數比的典型例子，有 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 8$ 等。

[0202] 氧化物半導體膜 92a 及氧化物半導體膜 92c 的厚度為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。此外，氧化物半導體膜 92b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0203] 在三層結構的半導體膜中，氧化物半導體膜 92a 至氧化物半導體膜 92c 既可以是非晶又可以是結晶。但是，由於當形成有通道區的氧化物半導體膜 92b 是結晶時可以賦予電晶體 90 穩定的電特性，因此氧化物半導體膜 92b 較佳為是結晶。

[0204] 注意，通道形成區是指在電晶體 90 的半導體膜中與閘極電極重疊且被源極電極和汲極電極夾著的區域。另外，通道區是指在通道形成區中電流主要流動的區域。

[0205] 例如，作為氧化物半導體膜 92a 及氧化物半導體膜 92c，在使用由濺射法形成的 In-Ga-Zn 氧化物的情況下，在氧化物半導體膜 92a 及氧化物半導體膜 92c 的成膜時，可以使用 In-Ga-Zn 氧化物（In：Ga：Zn=1：3：2[原子個數比]）的靶材。作為成膜條件，例如作為成膜氣體使用 30sccm 的氫氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，並使基板溫度為 200℃，DC 功率為 0.5kW，即可。

[0206] 另外，當作為氧化物半導體膜 92b 使用 CAAC-OS 膜時，在氧化物半導體膜 92b 的成膜時較佳為

使用 In-Ga-Zn 氧化物 (In : Ga : Zn=1 : 1 : 1[原子數比]) 的包含 In-Ga-Zn 氧化物的多晶靶材。作為成膜條件，例如作為成膜氣體可以使用 30sccm 的氫氣體和 15sccm 的氧氣體，將壓力設定為 0.4Pa，並使基板溫度為 300℃，DC 功率為 0.5kW。

[0207] 雖然氧化物半導體膜 92a 至 92c 可以利用濺射法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD (Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition：原子層沉積) 法。

[0208] 因為其中的載子發生源少，所以藉由減少成為電子施體(施體)的水分或氫等雜質且減少氧缺陷來實現高度純化的氧化物半導體(purified Oxide Semiconductor)可以是 i 型(本質半導體)或無限趨近於 i 型。因此，在被高度純化的氧化物半導體膜中具有通道形成區的電晶體的關態電流極小且可靠性高。並且，在該氧化物半導體膜中形成有通道形成區的電晶體容易具有臨界電壓為正的電特性(也稱為常關閉(normally-off)特性)。

[0209] 明確而言，根據各種實驗可以證明在被高度純化的氧化物半導體膜中具有通道形成區的電晶體的關態電流小。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ 且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極電極與汲極電極之間的電壓(汲極電壓)為 1V 至 10V 的範圍內獲得關態電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情

況下，可知以電晶體的通道寬度標準化的關態電流為 $100\text{zA}/\mu\text{m}$ 以下。此外，在電路中將電容元件與電晶體連接且由該電晶體控制流入電容元件或從電容元件流出的電荷，並藉由使用該電路來測量關態電流。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的每單位時間的電荷量變化來測量該電晶體的關態電流。其結果是，可知當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以獲得更小的關態電流，即每微米幾十攸(yocto)安培 $\text{yA}/\mu\text{m}$ 。由此，將被高度純化的氧化物半導體膜用於通道形成區的電晶體的關態電流比使用具有結晶性的矽的電晶體的關態電流要小得多。

[0210] 另外，當作為半導體膜使用氧化物半導體膜時，較佳的是，作為氧化物半導體，至少包含銦(In)或鋅(Zn)。另外，作為降低使用該氧化物半導體的電晶體的電特性的不均勻的穩定劑，除了上述元素以外還包含鎵(Ga)是較佳的。此外，作為穩定劑較佳為包含錫(Sn)。此外，作為穩定劑較佳為包含鈦(Hf)。此外，作為穩定劑較佳為包含鋁(Al)。此外，作為穩定劑較佳為包含銩(Zr)。

[0211] 在氧化物半導體中，In-Ga-Zn 氧化物、In-Sn-Zn 氧化物等與碳化矽、氮化鎵或氧化鎵不同，可以藉由濺射法或濕處理製造電特性優良的電晶體，並具有容易量產等優點。此外，與使用碳化矽、氮化鎵或氧化鎵的情況不同，在使用上述 In-Ga-Zn 氧化物的情況下，可以在玻

璃基板上製造電特性優良的電晶體。此外，還可以應對基板的大型化。

[0212] 此外，作為其他穩定劑，也可以包含鑰系元素的鑰（La）、銻（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釷（Gd）、錒（Tb）、鐳（Dy）、釹（Ho）、銩（Er）、鎳（Tm）、鐳（Yb）、鐳（Lu）中的一種或多種。

[0213] 例如，作為氧化物半導體，可以使用：氧化銦、氧化銻、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物（也稱為 IGZO）、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Ce-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0214] 注意，例如，In-Ga-Zn 氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-

Zn 氧化物在無電場時的電阻足夠高而能夠充分地降低關態電流且移動率也高。

[0215] 例如，使用 In-Sn-Zn 氧化物比較容易得到高移動率。但是，在使用 In-Ga-Zn 氧化物時，也可以藉由降低塊體內缺陷密度而提高移動率。

[0216] 另外，在電晶體 90 中，根據用於源極電極及汲極電極的導電性材料，有時源極電極及汲極電極中的金屬會抽出氧化物半導體膜中的氧。此時，氧化物半導體膜中的接觸於源極電極及汲極電極的區域由於氧缺陷的形成而成為 n 型。因為成為 n 型的區域被用作源極區或汲極區，所以可以降低氧化物半導體膜與源極電極及汲極電極之間的接觸電阻。因此，藉由形成 n 型的區域，可以增大電晶體 90 的移動率及通態電流，從而可以實現使用電晶體 90 的半導體裝置的高速工作。

[0217] 另外，源極電極及汲極電極中的金屬所引起的氧的抽出有可能在利用濺射法等形成源極電極及汲極電極時發生，還有可能在形成源極電極及汲極電極之後進行的加熱處理時發生。另外，藉由將容易與氧鍵合的導電材料用於源極電極及汲極電極更容易形成 n 型的區域。作為上述導電材料，可以舉出例如 Al、Cr、Cu、Ta、Ti、Mo、W 等。

[0218] 當將包括多個層疊的氧化物半導體膜的半導體膜用於電晶體 90 時，為了提高電晶體 90 的移動率及通態電流以實現半導體裝置的更高速的工作，n 型的區域較

佳為到達用作通道區的氧化物半導體膜 92b。

[0219] 絕緣膜 91 較佳為具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能。此外，絕緣膜 91 中的缺陷少是較佳的，典型的是，藉由 ESR 測量所得到的起因於矽的懸空鍵的 $g=2.001$ 的自旋密度較佳為 $1 \times 10^{18} \text{ spins/cm}^3$ 以下。

[0220] 由於絕緣膜 91 具有藉由加熱將上述氧的一部分供應到氧化物半導體膜 92a 至氧化物半導體膜 92c 的功能，因此絕緣膜 91 較佳為氧化物，例如可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化銻、氧化鉍、氧化銻、氧化鉛、氧化鋅及氧化鋇等。絕緣膜 91 可以利用電漿 CVD (Chemical Vapor Deposition) 法或濺射法等形成。

[0221] 注意，在本說明書中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在其組成中氮含量多於氧含量的材料。

[0222] 另外，圖 19A 至圖 19C 或圖 20A 至圖 20C 所示的電晶體 90 具有如下結構：在形成有通道區的氧化物半導體膜 92b 的端部中不與導電膜 93 及導電膜 94 重疊的端部（換言之，位於不同於導電膜 93 及導電膜 94 所在的區域的端部）與導電膜 96 重疊。在用來形成氧化物半導體膜 92b 的端部的蝕刻中該端部暴露於電漿時，從蝕刻氣體產生的氯自由基、氟自由基等容易與構成氧化物半導體的金屬元素鍵合。因此，在氧化物半導體膜的端部中，與

該金屬元素鍵合的氧處於容易脫離的狀態，所以容易形成氧缺陷而成為 n 型。然而，在圖 19A 圖 19C 或圖 20A 至圖 20C 所示的電晶體 90 中，由於不與導電膜 93 及導電膜 94 重疊的氧化物半導體膜 92b 的端部與導電膜 96 重疊，因此藉由控制導電膜 96 的電位可以控制施加於該端部的電場。因此，可以由供應到導電膜 96 的電位控制藉由氧化物半導體膜 92b 的端部流動在導電膜 93 與導電膜 94 之間的電流。將這種電晶體 90 的結構稱為 Surrounded Channel (S-Channel：圍繞通道) 結構。

[0223] 明確而言，若採用 S-Channel 結構，當將使電晶體 90 關閉的電位供應到導電膜 96 時，可以使藉由該端部流動在導電膜 93 與導電膜 94 之間的關態電流較小。因此，在電晶體 90 中，即使為了得到大通態電流而縮短通道長度，其結果是，氧化物半導體膜 92b 的端部的導電膜 93 與導電膜 94 之間的長度變短，也可以降低電晶體 90 的關態電流。因此，在電晶體 90 中，藉由縮短通道長度，在處於開啟狀態時可以得到較大的通態電流，在處於關閉狀態時可以降低關態電流。

[0224] 明確而言，若採用 S-Channel 結構，當將使電晶體 90 開啟的電位供應到導電膜 96 時，可以使藉由該端部流動在導電膜 93 與導電膜 94 之間的電流較大。該電流有助於電晶體 90 的場效移動率和通態電流的增大。並且，藉由使氧化物半導體膜 92b 的端部與導電膜 96 重疊，氧化物半導體膜 92b 中的載子不僅在近於絕緣膜 95

的氧化物半導體膜 92b 的介面附近流動，還在氧化物半導體膜 92b 中的較廣的範圍內流動，所以電晶體 90 中的載子的移動量增加。其結果是，電晶體 90 的通態電流增大且場效移動率增高，典型的是，場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上，進一步為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。注意，在此的場效移動率是電晶體的飽和區域中的電流驅動力的指標，即外觀上的場效移動率，而不是作為氧化物半導體膜的物性值的移動率的近似值。

[0225] 下面說明氧化物半導體膜的結構。

[0226] 氧化物半導體膜大致分為單晶氧化物半導體膜和非單晶氧化物半導體膜。非單晶氧化物半導體膜包括非晶氧化物半導體膜、微晶氧化物半導體膜、多晶氧化物半導體膜及 CAAC-OS 膜等。

[0227] 非晶氧化物半導體膜具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體膜。

[0228] 微晶氧化物半導體膜例如包括 1nm 以上且小於 10nm 的尺寸的微晶（也稱為奈米晶）。因此，微晶氧化物半導體膜的原子排列的有序度比非晶氧化物半導體膜高。因此，微晶氧化物半導體膜的缺陷態密度低於非晶氧化物半導體膜。

[0229] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS

膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。在 CAAC-OS 膜的穿透式電子顯微鏡(TEM: Transmission Electron Microscope)影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0230] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方式排列。

[0231] 在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此也包括 85° 以上且 95° 以下的角度的狀態。

[0232] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0233] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0234] 使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方向。

[0235] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。當該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0236] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0237] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行

於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的法線向量。

[0238] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0239] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0240] 在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

[0241] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0242] 另外，為了形成 CAAC-OS 膜，較佳為採用如下條件。

[0243] 藉由減少成膜時的雜質的混入，可以抑制雜質所導致的結晶狀態的破損。例如，可以降低存在於處理室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0244] 此外，藉由增高成膜時的基板加熱溫度使濺射粒子在到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。當平板狀或顆粒狀的濺射粒子到達基板時，藉由增高成膜時的基板加熱溫度使平板狀或顆粒狀的濺射粒子在基板上發生遷移，於是濺射粒子的平坦的面附著到基板。

[0245] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

[0246] 下面，作為靶材的一個例子示出 In-Ga-Zn 氧化物靶材。

[0247] 將 InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末以規定的莫耳數比混合，並進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 氧化物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 :

2 : 3 或 3 : 1 : 2。另外，粉末的種類以及混合粉末時的莫耳數比可以根據所製造的靶材適當地改變。

[0248] 另外，因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。在鹼土金屬不是構成氧化物半導體的元素的情況下，鹼土金屬也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體膜接觸的絕緣膜為氧化物的情況下擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體膜內，Na 斷裂構成氧化物半導體的金屬與氧的鍵合或擠進其鍵合之中。其結果是，例如，產生因臨界電壓漂移到負方向而導致的常開啟（normally-on）化、移動率的降低等的電晶體的電特性的劣化，而且還產生特性偏差。明確而言，利用二次離子質譜分析法測量的 Na 濃度的測定值較佳為 $5 \times 10^{16}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{16}/\text{cm}^3$ 以下，進一步較佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，Li 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。同樣地，K 濃度的測定值較佳為 $5 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{15}/\text{cm}^3$ 以下。

[0249] 另外，在使用包含鈦的金屬氧化物的情況下，與氧的鍵能比鈦大的矽或碳有時切斷鈦與氧的鍵合而形成氧缺陷。由此，在矽或碳混入到氧化物半導體膜時，與鹼金屬或鹼土金屬同樣，容易發生電晶體的電特性的劣化。因此，較佳為降低氧化物半導體膜中的矽或碳的濃度。明確而言，利用二次離子質譜分析法的 C 濃度的測量值或 Si 濃度的測量值較佳為 $1 \times 10^{18}/\text{cm}^3$ 以下。藉由採用

上述結構，可以防止電晶體的電特性的劣化而可以提高半導體裝置的可靠性。

[0250]

<半導體裝置的剖面結構的例子>

圖 21 示出包括圖 1 所示的電路 13 的半導體裝置的剖面結構的一個例子。另外，在以虛線 A1-A2 表示的區域中示出電晶體 11 及電晶體 12 的通道長度方向上的結構，在以虛線 A3-A4 表示的區域中示出電晶體 11 及電晶體 12 的通道寬度方向上的結構。但是，在本發明的一個實施方式中，電晶體 11 的通道長度方向與電晶體 12 的通道長度方向可以不一致。

[0251] 另外，通道長度方向是指在用作源極區及汲極區的一對雜質區之間載子以最短距離移動的方向，通道寬度方向是指在與基板水平的面內垂直於通道長度方向的方向。

[0252] 另外，在圖 21 中示出在氧化物半導體膜中具有通道形成區的電晶體 12 形成於在單晶矽基板中具有通道形成區的電晶體 11 上時的例子。

[0253] 電晶體 11 可以在非晶、微晶、多晶或單晶的矽或鍺等的半導體膜或半導體基板中具有通道形成區。或者，電晶體 11 可以在氧化物半導體膜或氧化物半導體基板中具有通道形成區。當所有電晶體在氧化物半導體膜或氧化物半導體基板中具有通道形成區時，可以不將電晶體 12 層疊於電晶體 11 上而將電晶體 12 與電晶體 11 形成於

同一層中。

[0254] 當使用矽薄膜形成電晶體 11 時，作為該薄膜可以使用：利用電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火等處理使非晶矽晶化而形成的多晶矽；藉由對單晶矽晶圓注入氫離子等來使表層部剝離而得到的單晶矽；等等。

[0255] 形成有電晶體 11 的基板 400 例如可以使用矽基板、鍺基板、矽鍺基板等。在圖 21 中示出將單晶矽基板用於基板 400 時的例子。

[0256] 另外，電晶體 11 利用元件隔離法被電隔離。作為元件隔離法，可以採用溝槽分離法（STI 法：Shallow Trench Isolation）等。在圖 21 中示出利用溝槽分離法使電晶體 11 電隔離時的例子。具體地，在圖 21 中示出如下例子：將含有氧化矽等的絕緣膜嵌入藉由蝕刻等形成於基板 400 的淺溝中，然後藉由對該絕緣物進行蝕刻等來去除其一部分而形成元件分離區 401，以使電晶體 11 元件隔離。

[0257] 另外，在位於淺溝以外的區域的基板 400 的凸部中設置有電晶體 11 的雜質區 402 及雜質區 403 以及夾在雜質區 402 與雜質區 403 之間的通道形成區 404。再者，電晶體 11 包括覆蓋通道形成區 404 的絕緣膜 405 以及隔著絕緣膜 405 與通道形成區 404 重疊的閘極電極 406。

[0258] 在電晶體 11 中，藉由使通道形成區 404 中的

凸部的側部及上部隔著絕緣膜 405 與閘極電極 406 重疊，可以使載子在包括通道形成區 404 的側部及上部的較廣的範圍中流過。由此，可以縮小電晶體 11 在基板上所占的面積，並可以增加電晶體 11 中的載子的移動量。其結果，電晶體 11 可以在增大通態電流的同時提高場效移動率。尤其是當將通道形成區 404 中的凸部的通道寬度方向上的長度（通道寬度）設定為 W 並將通道形成區 404 中的凸部的膜厚度設定為 T 時，當膜厚 T 與通道寬度 W 的縱橫比較高時，載子能夠流過的範圍變得更寬，因此可以使電晶體 11 的通態電流更大並使場效移動率更高。

[0259] 另外，當作為電晶體 11 使用塊狀半導體基板時，縱橫比較佳為 0.5 以上，更佳為 1 以上。

[0260] 在電晶體 11 上設置有絕緣膜 411。在絕緣膜 411 中形成有開口部。並且，上述開口部中形成有分別與雜質區 402、雜質區 403 電連接的導電膜 412、導電膜 413 以及與閘極電極 406 電連接的導電膜 414。

[0261] 並且，導電膜 412 與形成於絕緣膜 411 上的導電膜 416 電連接，導電膜 413 與形成於絕緣膜 411 上的導電膜 417 電連接，導電膜 414 與形成於絕緣膜 411 上的導電膜 418 電連接。

[0262] 在導電膜 416 至導電膜 418 上設置有絕緣膜 420。並且，在絕緣膜 420 上設置有具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 421。絕緣膜 421 的密度越高越緻密或者懸空鍵越少化學性質上越穩定，越具有更高的

阻擋效果。作為具有防止氧、氫、水的擴散的阻擋效果的絕緣膜 421，例如可以採用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、氧氮化鉛等。另外，作為具有防止氫、水的擴散的阻擋效果的絕緣膜 421，例如還可以採用氮化矽、氮氧化矽等。

[0263] 在絕緣膜 421 上設置有絕緣膜 422，在絕緣膜 422 上設置有電晶體 12。

[0264] 電晶體 12 在絕緣膜 422 上包括：含有氧化物半導體的半導體膜 430；與半導體膜 430 電連接的用作源極電極或汲極電極的導電膜 432 及導電膜 433；覆蓋半導體膜 430 的閘極絕緣膜 431；以及隔著閘極絕緣膜 431 與半導體膜 430 重疊的閘極電極 434。另外，絕緣膜 420 至絕緣膜 422 中設置有開口部，導電膜 433 在上述開口部中與導電膜 418 連接。

[0265] 另外，在圖 21 中，雖然電晶體 12 只要在半導體膜 430 的一側至少具有閘極電極 434 即可，但是還可以具有隔著絕緣膜 422 與半導體膜 430 重疊的閘極電極。

[0266] 當電晶體 12 具有一對閘極電極時，可以對一個閘極電極供應用來控制導通狀態或非導通狀態的信號，並對另一個閘極電極施加外部電位。在該情況下，可以對一對閘極電極施加相同位準的電位，也可以只對另一個閘極電極施加接地電位等固定電位。可以藉由控制對另一個閘極電極施加的電位位準來控制電晶體的臨界電壓。

[0267] 另外，圖 21 例示出電晶體 12 具有單閘極結

構的情況，即包括對應於一個閘極電極 434 的一個通道形成區。但是，電晶體 12 也可以具有多閘極結構，其中藉由具有彼此電連接的多個閘極電極，在一個活性層中具有多個通道形成區。

[0268] 另外，如圖 21 所示，作為電晶體 12 示出半導體膜 430 包括依次層疊於絕緣膜 422 上的氧化物半導體膜 430a 至氧化物半導體膜 430c 的例子。但是，在本發明的一個實施方式中，電晶體 12 所具有半導體膜 430 也可以由單層的金屬氧化物膜構成。

[0269]

<電子裝置的例子>

根據本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠再現儲存媒體如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、視頻攝影機、數位相機等影像拍攝裝置、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動販賣機以及醫療設備等。在圖 22A 至圖 22F 中示出這些電子裝置的具體例子。

[0270] 圖 22A 示出一種可攜式遊戲機，該可攜式遊戲機包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007 以及觸控筆 5008 等。可以將根據本發明的一個實施方式的半導體裝置用於可攜式遊戲機的各種積體電路。注意，雖然圖 22A 所示的可攜式遊戲機包括兩個顯示部即顯示部 5003 和顯示部 5004，但是可攜式遊戲機所具有的顯示部的數量不限於兩個。

[0271] 圖 22B 示出可攜式資訊終端，該可攜式資訊終端包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605 以及操作鍵 5606 等。可以將根據本發明的一個實施方式的半導體裝置用於可攜式資訊終端的各種積體電路。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 和第二外殼 5602 由連接部 5605 連接，由連接部 5605 可以改變第一外殼 5601 和第二外殼 5602 之間的角度。第一顯示部 5603 的影像也可以根據連接部 5605 所形成的第一外殼 5601 和第二外殼 5602 之間的角度切換。此外，也可以將附加有作為位置輸入裝置的功能的顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。作為位置輸入裝置的功能可以藉由在顯示裝置中設置觸控面板而附加。或者，還可以藉由將被稱為光感測器的光電轉換元件設置在顯示裝置的像素部中來附加作為位置輸入裝置的功能。

[0272] 圖 22C 示出筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403、指向裝置 5404 等。可以將根據本發明的一個實施方式的半導體裝置用於筆記本式個人電腦的各種積體電路。

[0273] 圖 22D 示出電冷藏冷凍箱，其包括外殼 5301、冷藏室門 5302、冷凍室門 5303 等。可以將根據本發明的一個實施方式的半導體裝置用於電冷藏冷凍箱的各種積體電路。

[0274] 圖 22E 示出視頻攝影機，該視頻攝影機包括第一外殼 5801、第二外殼 5802、顯示部 5803、操作鍵 5804、透鏡 5805 以及連接部 5806 等。可以將根據本發明的一個實施方式的半導體裝置用於視頻攝影機的各種積體電路。操作鍵 5804 及透鏡 5805 設置在第一外殼 5801 中，顯示部 5803 設置在第二外殼 5802 中。並且，第一外殼 5801 和第二外殼 5802 由連接部 5806 連接，由連接部 5806 可以改變第一外殼 5801 和第二外殼 5802 之間的角度。顯示部 5803 的影像也可以根據連接部 5806 所形成的第一外殼 5801 和第二外殼 5802 之間的角度切換。

[0275] 圖 22F 示出普通汽車，其包括車體 5101、車輪 5102、儀表板 5103 及燈 5104 等。可以將根據本發明的一個實施方式的半導體裝置用於普通汽車的各種積體電路。

實施例 1

[0276] 製造包括 101 級的電路 801 的環形振盪器 802，從來自環形振盪器 802 的輸出信號 OUT 的頻率測量電路 13 之一所具有的電晶體 11 的工作頻率。上述電路 801 包括具有電晶體 11、電晶體 12 和電容元件 810 的電路 13 以及反相器 800。

[0277] 另外，在頻率的測量中，使用電路 13 的結構不同的兩種環形振盪器 802。第一種是如圖 23A 所示那樣的環形振盪器 802，該環形振盪器 802 包括具有在矽膜中形成通道形成區的電晶體 11 (Si)、在 CAAC-OS 膜中形成通道形成區的電晶體 12 (OS) 及電容元件 810 的電路 13 (CAAC-OS PSW)。在電路 13 (CAAC-OS PSW) 中，電晶體 12 (OS) 的通道長度 L 為 $1\mu\text{m}$ ，通道寬度 W 為 $4\mu\text{m}$ 。另外，電晶體 11 (Si) 是 n 通道型，通道長度 L 為 $0.5\mu\text{m}$ ，通道寬度 W 為 $16\mu\text{m}$ 。

[0278] 第二種是如圖 23B 所示那樣的環形振盪器 802，該環形振盪器 802 包括具有在矽膜中形成通道形成區的電晶體 11 (Si) 及在 Si 膜中形成通道形成區的電晶體 12 (Si)，並且 SRAM 電連接到電晶體 11 (Si) 的閘極的電路 13 (SRAM PSW)。在電路 13 (SRAM PSW) 中，電晶體 12 (Si) 是 n 通道型，通道長度 L 為 $0.5\mu\text{m}$ ，通道寬度 W 為 $8\mu\text{m}$ 。另外，電晶體 11 (Si) 是 n 通道型，通道長度 L 為 $0.5\mu\text{m}$ ，通道寬度 W 為 $16\mu\text{m}$ 。

[0279] 另外，在圖 23B 所示的電路 13 (SRAM PSW) 中，作為 SRAM，使用被施加彼此的輸出信號作為

輸入信號的反相器 803 及反相器 804。作為反相器 803 及反相器 804，使用在 Si 膜中形成通道形成區的 n 通道型電晶體及 p 通道型電晶體。上述 n 通道型的電晶體的通道長度 L 為 $0.5\mu\text{m}$ ，通道寬度 W 為 $16\mu\text{m}$ 。另外，上述 p 通道型的電晶體的通道長度 L 為 $0.5\mu\text{m}$ ，通道寬度 W 為 $32\mu\text{m}$ 。

[0280] 圖 23C 示出所製造的環形振盪器 802 的電路結構。如圖 23C 所示，環形振盪器 802 包括以電路 801-1 至電路 801-101 表示的 101 級的電路，並且以前級的輸出成為後級的輸入的方式將它們連接為環狀。並且，以電路 801-101 輸出的電位為輸出信號 OUT，對其頻率進行測量。

[0281] 圖 24 示出藉由測量得到的供應到環形振盪器 802 的電源電壓 (V) 與電路 13 之一所具有的電晶體 11 的工作頻率 (MHz) 之間的關係。另外，圖 24 示出對於電路 13 之一 (CAAC-OS PSW) 所具有的電晶體 11 的工作頻率的電路 13 之一 (SRAM PSW) 所具有的電晶體 11 的工作頻率的比率作為速度比。從圖 24 可知，即使被供應相同的電源電壓，使用電路 13 (CAAC-OS PSW) 的環形振盪器 802 的工作頻率比使用電路 13 (SRAM PSW) 的環形振盪器 802 高。

[0282] 接著，對使用電路 13 (CAAC-OS PSW) 試製的 FPGA 進行說明。

[0283] 圖 25 示出包括所試製的 FPGA 的晶片的照

片。另外，圖 26 示出放大圖 25 所示的晶片的照片。並且，下面的表 1 示出所試製的 FPGA 的規格。

[0284]

[表 1]

核心尺寸	2.6×4.4mm	
LB 個數	20	
使用者 I/O 個數	20	
組態記憶體個數	7,520 位	
Look-Up Table 輸入	4	
電源電壓	2.5-3.3V	
通道長度	CMOS	0.5μm
	CAAC-IGZO	1.0μm
電晶體個數	CMOS	9,040
	CAAC-IGZO	45,411

[0285] 下面，圖 27 示出所試製的 FPGA 的工作的時序圖。另外，在圖 27 所示的時序圖中，在以虛線的箭頭表示的期間中，停止對 FPGA 供應電源電壓。並且，在所試製的 FPGA 中，因為包括電路資訊的資料在記憶體電路中沒有消失而是被儲存起來，所以即使在再次開始電源電壓的供應之後不重新對上述記憶體電路寫入 FPGA 的電路資訊也保持 FPGA 的電路結構，因此可以實現與停止供應電源電壓之前同樣的工作。

[0286] 下面，說明測量如下兩個 FPGA 的工作頻率（MHz）的結果，該兩個 FPGA 的一個是將圖 23A 所示的電路 13（CAAC-OS PSW）用作用來控制邏輯塊之間的連接的開關的 FPGA，另一個是將圖 23B 所示的電路 13（SRAM PSW）用作用來控制邏輯塊之間的連接的開關的 FPGA。圖 28 示出藉由測量得到的供應到 FPGA 的電源電壓（V）與 FPGA 的工作頻率（MHz）之間的關係。另外，圖 28 示出的速度比是使用電路 13（SRAM PSW）的 FPGA 的工作頻率與使用電路 13（CAAC-OS PSW）的 FPGA 的工作頻率的比率。從圖 28 可知，即使被供應相同的電源電壓，使用電路 13（CAAC-OS PSW）的 FPGA 的工作頻率比使用電路 13（SRAM PSW）的 FPGA 高。

[0287] 另外，在將圖 23A 所示的電路 13（CAAC-OS PSW）用作用來控制邏輯塊之間的連接的開關以及用來儲存電路資訊的記憶體電路的 FPGA 中，從 FPGA 整體的耗電量的實際測量值算出不進行電源閘控時（非 PG 時）和進行電源閘控時（PG 時）的每個邏輯塊（LB）的耗電量（ μW ）。

[0288] 明確而言，藉由如下步驟算出耗電量。首先，在統一非 PG 時和 PG 時的工作條件後，測量 FPGA 整體的耗電量。另外，利用 SPICE 模擬算出每個邏輯塊（LB）的耗電量在 FPGA 整體的耗電量中所占的比例。並且，使用所實測的 FPGA 整體的耗電量和藉由 SPICE 模擬算出的上述比例，算出每個邏輯塊（LB）的耗電量。

[0289] 圖 29 示出所算出的每個邏輯塊 (LB) 的耗電量的值。從圖 29 可知，在進行電源閘控時 (PG 時) 可以減少 99.6% 的耗電量。

【符號說明】

[0290]

10：半導體裝置

11：電晶體

12：電晶體

13：電路

13a：電路

13b：電路

13c：電路

13d：電路

13e：電路

13f：電路

14：電路

20：電晶體

21：電晶體

22：電路

22-1：電路

22-2：電路

30：D-FF

31：XOR 電路

32：反相器

33：LS

33a：LS

33b：LS

34：電晶體

35：電晶體

36：電晶體

37：電晶體

38：反相器

40：PLD

41：邏輯塊

42：佈線

43：LUT

44：正反器

45：輸入端子

46：輸出端子

47：AND 電路

48：多工器

49：記憶體電路

50：多工器

51：記憶體電路

52：端子

60：記憶體電路

61：電路

62：電路

62a：電路

62b：電路

63：多工器

64：電晶體

65：電晶體

66：電晶體

67：電晶體

68：電容元件

69：電容元件

70：佈線

71：佈線

72：佈線

75：MUX

76：佈線

76a：佈線

76b：佈線

76d：佈線

77：佈線

77a：佈線

78：反相器

78a：反相器

78b：反相器

79：佈線

79a：佈線

79b：佈線

80：PLD

81a：開關電路

81b：開關電路

81c：開關電路

81d：開關電路

90：電晶體

91：絕緣膜

92a：氧化物半導體膜

92b：氧化物半導體膜

92c：氧化物半導體膜

93：導電膜

94：導電膜

95：絕緣膜

96：導電膜

97：基板

400：基板

401：元件分離區

402：雜質區

403：雜質區

404：通道形成區

405：絕緣膜

406：閘極電極

411：絕緣膜
 412：導電膜
 413：導電膜
 414：導電膜
 416：導電膜
 417：導電膜
 418：導電膜
 420：絕緣膜
 421：絕緣膜
 422：絕緣膜
 430：半導體膜
 430a：氧化物半導體膜
 430c：氧化物半導體膜
 431：閘極絕緣膜
 432：導電膜
 433：導電膜
 434：閘極電極
 601：半導體基板
 610：元件分離區
 611：絕緣膜
 612：絕緣膜
 613：絕緣膜
 625：導電膜
 626：導電膜

627 : 導電膜
 634 : 導電膜
 635 : 導電膜
 636 : 導電膜
 637 : 導電膜
 644 : 導電膜
 651 : 導電膜
 652 : 導電膜
 653 : 導電膜
 661 : 絕緣膜
 662 : 閘極絕緣膜
 663 : 絕緣膜
 701 : 半導體膜
 710 : 區域
 711 : 區域
 721 : 導電膜
 722 : 導電膜
 731 : 閘極電極
 800 : 反相器
 801 : 電路
 802 : 環形振盪器
 803 : 反相器
 804 : 反相器
 810 : 電容元件

5001：外殼

5002：外殼

5003：顯示部

5004：顯示部

5005：麥克風

5006：揚聲器

5007：操作鍵

5008：觸控筆

5101：車體

5102：車輪

5103：儀表板

5104：燈

5301：外殼

5302：冷藏室門

5303：冷凍室門

5401：外殼

5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：外殼

5603：顯示部

5604：顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：外殼

5803：顯示部

5804：操作鍵

5805：透鏡

5806：連接部

公告本

發明摘要

※申請案號：103143898

※申請日：103 年 12 月 16 日

※IPC 分類：
H01L 27/105 (2006.01)
H01L 27/115 (2017.01)
H03K 5/13 (2014.01)
H03K 5/145 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種可以在確保正常工作的同時實現低功耗化的半導體裝置。根據本發明的一個實施方式的半導體裝置包括一對第一電路及第二電路，該一對第一電路都包括：第一電晶體；以及控制對上述第一電晶體所具有的閘極供應第一信號的第二電晶體，該第二電路產生供應到上述第二電晶體所具有的閘極且其振幅比上述第一信號大的第二信號，其中，上述一對第一電路各自所具有的上述第一電晶體的源極和汲極中的一個彼此電連接，在上述一對第一電路中，分別供應到上述第一電晶體所具有的閘極的上述第一信號具有邏輯位準彼此不同的電位。

【 英文 】

A semiconductor device that can operate normally with lower power consumption is provided. The semiconductor device includes a pair of first circuits which each include a first transistor and a second transistor capable of controlling the supply of a first signal to a gate of the first transistor, and a second circuit which is capable of generating a second signal which is to be supplied to a gate of the second transistor and which has a larger amplitude than the first signal. One of a source and a drain of one of the first transistors included in the pair of first circuits is electrically connected to one of a source and a drain of the other of the first transistors. The first signals supplied to the gates of the first transistors in the pair of first circuits have potentials with different logic levels.

申請專利範圍

1. 一種半導體裝置，包含：

包含第一電晶體和第二電晶體的第一電路，該第二電晶體的源極和汲極中的一個被電連接到該第一電晶體的閘極；以及

包含第三電晶體和第四電晶體的第二電路，該第四電晶體的源極和汲極中的一個被電連接到該第三電晶體的閘極，

其中該第二電晶體的閘極被電連接到該第四電晶體的閘極，

其中第一信號被供應到該第二電晶體的該閘極和該第四電晶體的該閘極，

其中第二信號被供應到該第二電晶體的該源極和該汲極中的另一個，

其中第三信號被供應到該第四電晶體的該源極和該汲極中的另一個，

其中該第一信號的振幅大於該第二信號的振幅和該第三信號的振幅，並且

其中當該第二信號和該第三信號中的一個是高的時，該第二信號和該第三信號中的另一個是低的。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該第一信號的高位準電位高於該第二信號的高位準電位和該第三信號的高位準電位。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該

第一信號的低位準電位低於該第二信號的低位準電位和該第三信號的低位準電位。

4. 一種半導體裝置，包含：

包含第一電晶體和第二電晶體的第一電路，該第二電晶體的源極和汲極中的一個被電連接到該第一電晶體的閘極；

包含第三電晶體和第四電晶體的第二電路，該第四電晶體的源極和汲極中的一個被電連接到該第三電晶體的閘極；以及

配置以產生第一信號的第三電路，該第一信號被供應到該第二電晶體的閘極和該第四電晶體的閘極，

其中第二信號被供應到該第二電晶體的該源極和該汲極中的另一個，

其中第三信號被供應到該第四電晶體的該源極和該汲極中的另一個，

其中該第一信號包含脈衝信號，

其中該脈衝信號的振幅大於該第二信號的振幅和該第三信號的振幅，並且

其中當該第二信號和該第三信號中的一個是高的時，該第二信號和該第三信號中的另一個是低的。

5. 根據申請專利範圍第 4 項之半導體裝置，其中該脈衝信號的高位準電位高於該第二信號的高位準電位和該第三信號的高位準電位。

6. 根據申請專利範圍第 4 項之半導體裝置，其中該

脈衝信號的低位準電位低於該第二信號的低位準電位和該第三信號的低位準電位。

7. 根據申請專利範圍第 1 或 4 項之半導體裝置，其中該第二電晶體和該第四電晶體各自在氧化物半導體膜中包含通道形成區。

8. 根據申請專利範圍第 7 項之半導體裝置，其中該氧化物半導體膜包含銮、鎵和鋅。

9. 根據申請專利範圍第 4 項之半導體裝置，其中該半導體裝置被配置，使得該脈衝信號的高位準電位被設定比該第二信號的高位準電位高出該第二電晶體的臨界電壓，並且

其中該半導體裝置被配置，使得該脈衝信號的高位準電位被設定比該第三信號的高位準電位高出該第四電晶體的臨界電壓。

10. 一種半導體裝置，包含：

包含開關電路的可程式邏輯裝置，包含：

第一電晶體；以及

第二電晶體，該第二電晶體在氧化物半導體膜中包含通道形成區，

其中第一信號被供應到該第二電晶體的閘極，

其中第二信號被供應到該第二電晶體的源極和汲極中的一個，

其中該第一電晶體的閘極被電連接到該第二電晶體的該源極和該汲極中的另一個，

其中該第一信號的振幅大於該第二信號的振幅。

11. 根據申請專利範圍第 1 或 10 項之半導體裝置，還包含配置以產生該第一信號的電路。

12. 根據申請專利範圍第 10 項之半導體裝置，其中該第一信號的高位準電位高於該第二信號的高位準電位。

13. 根據申請專利範圍第 1 或 10 項之半導體裝置，其中該半導體裝置被配置，使得該第一信號的高位準電位被設定比該第二信號的高位準電位高出該第二電晶體的臨界電壓。

14. 根據申請專利範圍第 10 項之半導體裝置，其中該氧化物半導體膜包含銦、鎵和鋅。

15. 根據申請專利範圍第 1 或 10 項之半導體裝置，其中該第一信號包含脈衝信號。

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10：半導體裝置

11：電晶體

12：電晶體

13：電路

14：電路

ND：節點

A1、A2：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無