



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월05일
(11) 등록번호 10-1089530
(24) 등록일자 2011년11월29일

(51) Int. Cl.
G11C 11/4093 (2006.01) G11C 11/4096 (2006.01)
G11C 7/10 (2006.01)
(21) 출원번호 10-2009-0054839
(22) 출원일자 2009년06월19일
심사청구일자 2009년06월19일
(65) 공개번호 10-2009-0133083
(43) 공개일자 2009년12월31일
(30) 우선권주장 JP-P-2008-162799 2008년06월23일 일본(JP)
(56) 선행기술조사문헌 KR100697832 B1
KR100695432 B1
JP2007287306 A

(73) 특허권자
엘피다 메모리 가부시키키가이샤
일본 도쿄도 주오구 야에스 2쵸메 2방 1고
(72) 발명자
이시카와 도루
일본 도쿄도 주오구 야에스 2쵸메 2방 1고 엘피다
메모리 가부시키키가이샤 나이
가미사키 사치코
일본 도쿄도 주오구 야에스 2쵸메 2방 1고 엘피다
메모리 가부시키키가이샤 나이
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 11 항

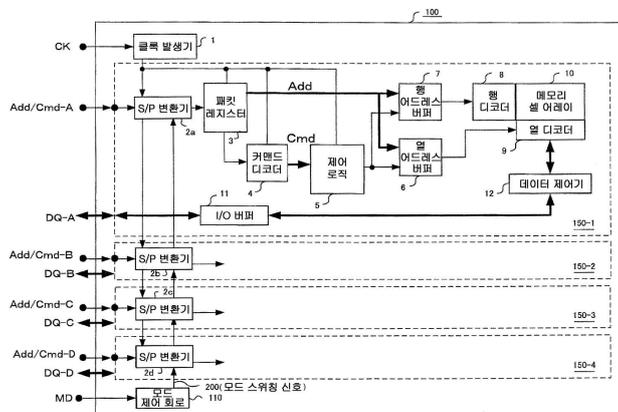
심사관 : 장진환

(54) 반도체 장치 및 데이터 처리 시스템

(57) 요약

제 1 동작 모드에 있어서, 고유 제어 단자를 통하여, 데이터 단자를 통한 데이터 송/수신을 실행하는데 필요한 제어 정보가 수신되고, 제 2 동작 모드에 있어서, 고유 제어 단자 및 또한 다른 포트 중 적어도 하나의 포트의 제어 단자를 사용함으로써, 제어 정보가 수신된다.

대표도



특허청구의 범위

청구항 1

제어 단자 및 데이터 단자를 각각 포함한 복수의 포트들을 포함하는 반도체 장치로서,

제 1 동작 모드에 있어서, 상기 복수의 포트들 각각은, 그 고유 제어 단자를 통하여, 그 고유 데이터 단자를 통한 데이터 송/수신을 실행하도록 구성된 제어 정보를 수신하고,

제 2 동작 모드에 있어서, 상기 복수의 포트들 각각은, 다른 포트들 중 적어도 하나의 제어 단자, 및 그 고유 제어 단자를 통하여, 그 고유 데이터 단자를 통한 데이터 송/수신을 실행하도록 구성된 상기 제어 정보를 수신하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 동작 모드에 있어서, 유효 정보의 부분들은, 상기 다른 포트들 중 적어도 하나의 제어 단자, 및 그 고유 제어 단자를 사용함으로써 수신되는 상기 제어 정보에 관한 데이터 그룹으로부터 인출되고,

상기 유효 정보의 부분들은 결합되어, 상기 제어 정보를 발생시키는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 복수의 포트들 각각은 복수의 메모리 셀들을 갖는 메모리 셀 어레이를 포함하고,

상기 제어 정보는, 상기 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하는 어드레스 신호를 포함하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 복수의 포트들 각각은 행 어드레스 버퍼 및 열 어드레스 버퍼를 더 포함하고,

상기 어드레스 신호는, 상기 행 어드레스 버퍼로 공급되는 행 어드레스 및 상기 열 어드레스 버퍼로 공급되는 열 어드레스를 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제어 정보는, 상기 행 어드레스 버퍼 및 상기 열 어드레스 버퍼를 제어하는 커맨드 신호를 더 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 복수의 포트들을 상기 제 1 동작 모드 및 상기 제 2 동작 모드 중 하나의 동작 모드로 하는 모드 제어 회로를 더 포함하는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 복수의 포트들 각각은, 그 고유 제어 단자로부터 상기 제어 정보를 직렬로 수신하는 직/병렬 변환기를 포함하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 직/병렬 변환기들 각각은, 상기 제 1 동작 모드에서 그 고유 제어 단자를 통해 직렬로 입력된 제어 정보를 병렬 신호로 변환하는, 반도체 장치.

청구항 9

제 7 항에 있어서,

상기 직/병렬 변환기들은, 상기 제어 단자들로 병렬로 공급된 상기 제어 정보에 기초하여 병렬 신호를 발생시키는, 반도체 장치.

청구항 10

마스터 장치; 및

상기 마스터 장치에 접속된 반도체 장치를 포함하고,

상기 반도체 장치는 복수의 회로 유닛들을 포함하고, 상기 복수의 회로 유닛들 각각은 직렬 포트를 포함하며, 외부로부터 입력된 n-비트 정보에 기초하여 소정의 동작을 실행하고,

상기 복수의 회로 유닛들 중 적어도 하나의 회로 유닛은, 그 고유 직렬 포트를 통해 상기 n-비트 정보가 입력되는 제 1 동작 모드, 및 상기 고유 직렬 포트 및 또다른 회로 유닛의 직렬 포트를 통해 상기 n-비트 정보가 입력되는 제 2 동작 모드를 포함하고,

상기 제 1 동작 모드 및 상기 제 2 동작 모드는, 상기 마스터 장치에 의해 발행된 모드 지정 정보에 따라 스위칭되는, 데이터 처리 시스템.

청구항 11

제 10 항에 있어서,

상기 반도체 장치는 반도체 메모리이고,

상기 마스터 장치는, 상기 반도체 메모리의 각 어드레스 영역에 대해 상기 제 1 동작 모드 또는 상기 제 2 동작 모드를 지정하도록 상기 모드 지정 정보를 발행하는, 데이터 처리 시스템.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

명세서

발명의 상세한 설명

기술분야

본 발명은 반도체 장치 및 데이터 처리 시스템에 관한 것이고, 보다 상세하게는 데이터 통신에 이용되는 제어 정보 (예를 들어, 커맨드, 어드레스 등에 대한 정보) 의 모든 비트의 적어도 일 부분이 직렬로 전송되는 반도체 장치 및 데이터 처리 시스템에 관한 것이다.

[0001]

배경 기술

- [0002] 이러한 종류의 반도체 장치의 대표적인 타입으로서, 동기식 반도체 메모리 (메모리 장치) 가 잘 알려져 있다. 이러한 반도체 메모리는 제어기 및 CPU 와 같은 외부 장치로부터 어드레스 정보로서 커맨드 또는 제어 정보를 직렬로 수신하고, 데이터 판독 동작 시에 외부 장치로 데이터를 직렬로 리턴하고, 데이터 기록 동작 시에 외부 장치로부터 직렬로 송신된 데이터를 수신한다.
- [0003] 한편, 최근에 데이터 전송 속도가 더욱 더 빨라지고 있고, 이러한 경향과 함께, 반도체 메모리의 동작을 체크하는 테스트의 속도도 가속화될 필요가 있다. 그러나, 테스트의 동작 속도는 반도체 메모리의 동작 속도만큼 양호하지는 않고, 이들 테스트가 보다 빠른 동작 속도를 갖출 지라도, 매우 고비용이 소요될 것이다.
- [0004] 일본특허공개공보 제 2006-277872호 (이하, "특허문헌 1" 로 지칭됨) 는, 고속 데이터 전송을 수행하는 동기식 반도체 메모리에 대해 저속 테스터를 사용한 테스트가 수행되는 기술을 개시하고 있다.
- [0005] 특허문헌 1 에 개시된 기술에 의해, 반도체 메모리의 내부 클럭 속도에 대응하는 속도 (즉, 반도체 메모리 내부의 데이터 전송 속도) 로 통신될 데이터는 반도체 메모리의 속도보다 저속으로 동작되는 테스터에 의해 공급 및 수신될 수 있다.
- [0006] 동기식 반도체 메모리의 개발로서, 복수의 포트를 포함하는 멀티포트 반도체 메모리가 제안되었는데, 이 복수의 포트/로부터 데이터가 독립적으로 판독 및 기록될 수 있다. 이러한 반도체 메모리에 있어서, "Architectural Considerations for Next-Generation Memory Systems (Rambus Develop Forum, 2007 년 11 월 28 일)" (이하, "비특허문헌 1" 로 지칭됨) 에 개시된 바와 같이, 커맨드/어드레스 시스템의 제어 정보의 전송 속도가 데이터 전송 속도만큼 빨리 가속화되는 규격이 고려된다.
- [0007] 그러나, 특허문헌 1 은, 비특허문헌 1 에 기재된 바와 같이, 커맨드/어드레스 시스템의 정보 전송 속도가 데이터 전송 속도만큼 빨리 가속화되는 경우에는 전혀 관련되지 않는다. 또한, 특허문헌 1 에 개시된 기술은 실제로 데이터 전송 속도의 가속화를 다룰 수 없다.

발명의 내용

해결 하고자하는 과제

- [0008] 본 발명은 전술한 문제점 중 하나 이상을 해결하거나 적어도 부분적으로 이들 문제점에 대해 개선하려고 한다.

과제 해결수단

- [0009] 일 실시형태에 있어서, 복수의 포트를 포함하는 반도체 장치가 제공되는데, 이 복수의 포트 각각은 제어 단자 및 데이터 단자를 갖고, 이 데이터 단자를 통해 커맨드 또는 어드레스와 같은 데이터를 독립적으로 송/수신할 수 있다. 제 1 동작 모드에 있어서, 복수의 포트 각각은, 그 고유 제어 단자를 통하여, 데이터 단자를 통한 데이터 송/수신을 실행하는데 필요한 제어 정보를 수신하고, 제 2 동작 모드에 있어서, 복수의 포트 각각은, 그 고유 제어 단자 및 또한 다른 포트 중 적어도 하나의 포트의 제어 단자를 사용함으로써, 제어 정보를 수신한다.
- [0010] 전술한 바와 같이, 제 2 동작 모드에 있어서, 데이터 전송에 필요한 제어 정보를 수신하는데 적어도 2 개의 제어 단자가 사용되고, 그 결과, 제어 정보의 전송 속도가 지연될 수 있다. 따라서, 테스트 동작 시에 제 2 동작 모드가 시작되는 경우, 반도체 장치는 저속 테스터를 사용함으로써 테스트될 수 있다. 데이터 단자에 대한 테스트를 위해, 특허문헌 1 에 개시된 기술이 채택될 수 있다.
- [0011] 복수의 제어 단자를 통해 공급된 제어 정보가 제 2 동작 모드에서 각각의 포트에 공통으로 인출되도록 구성되는 경우, 제어 정보는 이들 포트에 병렬로 인출된다. 따라서, 각 포트에서의 데이터 단자를 통한 데이터의 송/수신도 또한 병렬로 실행될 수 있다. 말할 필요도 없이, 병렬로 데이터를 인출하는 것은 필요하지 않다. 이 경우, 제어 정보가 인출되는 포트를 개별적으로 선택하는 것이 필요하다.
- [0012] 또한, 제 2 동작 모드는 테스트 동작에 제한되지는 않고, 또한 정상 동작 시에도 이용될 수 있다. 그 결과, 반도체 장치 및 그 시스템을 구동하는 외부 장치 (예를 들어, 메모리 제어기 또는 CPU) 에 대해 큰 확장성 및 편의성이 달성될 수 있다.

효과

[0013] 본 발명에 따르면, 테스터와 반도체 메모리 사이의 실제 전송 속도가 제어 정보의 전송 속도와 동일한 경우에도, 반도체 메모리 내의 데이터 관독/기록에 관하여 클럭 속도의 변경 없이 정상 클럭에 의해 데이터 관독/기록이 실행될 수 있는 한편, 커맨드/어드레스 신호의 입력 주파수만이 1/4 로 감속되고, 이 상태에서 테스트가 수행될 수 있다.

[0014] 또한, 제 2 동작 모드가 정상 동작의 하나의 모드로서 이용됨으로써, 시스템 구성의 확장성 및 편의성을 달성할 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 본 발명의 기술한 특징 및 이점은, 첨부 도면과 함께 취해진 다음의 특정 바람직한 실시형태의 설명으로부터 보다 명백해질 것이다.

[0016] 이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시형태가 상세하게 설명될 것이다.

[0017] 이들 실시형태에서의 구성요소는 적절하게 기존의 구성요소 등으로 대체될 수 있다. 또한, 다른 기존의 구성요소와의 조합을 포함한 각종 변형이 이루어질 수 있다. 따라서, 이들 실시형태의 설명은 첨부된 특허청 구범위에 따른 본 발명의 범위를 제한하지는 않는다.

<제 1 실시형태>

[0018] 본 발명의 제 1 실시형태에 따른 반도체 장치가 도 1 에 반도체 메모리 (100) 로서 도시되어 있다. 반도체 메모리 (100) 는, 데이터의 관독/기록을 독립적으로 각각 실행할 수 있는 4 개의 포트 (150-1 내지 150-4) 를 포함한다. 반도체 메모리 (100) 는, 클럭 단자 (CK) 로부터 클럭 신호를 수신하며 원하는 타이밍 신호를 각 포트 (150) 로 공급하는 클럭 발생기 (1), 및 모드 신호 단자 (MD) 로부터 모드 신호를 수신하며 동작-모드 스위칭 신호 (200) (이하, "모드 스위칭 신호 (200)" 로 지칭됨) 를 발생시키는 모드 제어 회로 (110) 를 더 포함한다. 4 개의 포트 (150-1 내지 150-4) 는 서로 동일한 구성을 갖는다. 따라서, 포트 (150-1) 가 주로 후술된다.

[0020] 포트 (150-1) 는, Add/Cmd-A 단자로부터 제어 정보를 직렬로 수신하는 직/병렬 (S/P) 변환기 (2a), 패킷 레지스터 (3), 커맨드 디코더 (4), 제어 로직 (5), 열 어드레스 버퍼 (6), 행 어드레스 버퍼 (7), 행 디코더 (8), 열 디코더 (9), 메모리 셀 어레이 (10), 데이터 단자 (DQ-A) 에 접속된 I/O 버퍼 (11), 및 데이터 제어기 (12) 를 포함한다. S/P 변환기 (2a), 패킷 레지스터 (3), 커맨드 디코더 (4) 및 제어 로직 (5) 은 클럭 발생기 (1) 로부터의 내부 클럭 신호와 동기하여 동작한다.

[0021] S/P 변환기 (2a) (동일한 것이 다른 포트 (150-2 내지 150-4) 에서의 S/P 변환기 (2b, 2c 및 2d) 에 적용됨. 이하, 일반적으로 S/P 변환기를 기재하는 경우, 이는 단순히 S/P 변환기 (2) 로서 표시될 것임) 는 대응하는 커맨드/어드레스 신호 입력 단자 (Add/Cmd-A) 로부터 입력된 직렬로-포맷팅된 커맨드/어드레스 신호에 관한 데이터 그룹을 병렬 포맷으로 변환한다. 후술하는 바와 같이, 변환 동작은 모드 스위칭 신호 (200) 에 의해 제어된다.

[0022] 즉, 모드 스위칭 신호 (200) 에 의한 동작 모드가 제 1 동작 모드로서 지정된 정상 동작 모드인 경우, 각 S/P 변환기 (2) 는 입력되는 직렬-포맷팅된 커맨드/어드레스 신호에 관한 데이터 그룹 모두를 내부 클럭에 따라 인출한다. 한편, 모드 스위칭 신호 (200) 에 의한 동작 모드가 테스트 모드와 같은 제 2 동작 모드로서 지정된 경우, 입력되는 직렬로-포맷팅된 커맨드/어드레스 신호에 관한 데이터 그룹으로부터 하나의 유효 비트가 취해져, 그 비트가 출력된다.

[0023] 패킷 레지스터 (3) 는 S/P 변환기 (2) 로부터 출력된 비트 정보를 임시 저장하고, 이 저장된 비트 정보로부터 커맨드/어드레스 정보로서 커맨드/어드레스 패킷 (즉, 제어 정보) 을 생성한다. 생성된 커맨드/어드레스 패킷으로부터 획득된 어드레스 데이터가 열 어드레스 버퍼 (6) 및 행 어드레스 버퍼 (7) 로 출력되고, 또한 커맨드 데이터도 커맨드 디코더 (4) 로 출력된다.

[0024] 커맨드 디코더 (4) 는 패킷 레지스터 (3) 로부터 입력된 커맨드 데이터를 디코딩하여, 디코딩된 정보를 제어 로직 (5) 으로 출력한다.

[0025] 입력된 커맨드 데이터의 콘텐츠에 따라, 제어 로직 (5) 은 명령을 열 어드레스 버퍼 (6) 및 행 어드레스 버퍼

(7) 로 출력한다.

- [0026] 열 어드레스 버퍼 (6) 는 패킷 레지스터 (3) 로부터 입력된 어드레스 데이터 및 제어 로직 (5) 으로부터 입력된 명령을 임시 저장하고, 그 이후에 이들을 열 디코더 (9) 로 출력한다.
- [0027] 행 어드레스 버퍼 (7) 는 패킷 레지스터 (3) 로부터 입력된 어드레스 데이터 및 제어 로직 (5) 으로부터 입력된 명령을 임시 저장하고, 그 이후에 이들을 행 디코더 (8) 로 출력한다.
- [0028] 행 디코더 (8) 는, 행 어드레스 버퍼 (7) 로부터 입력된 어드레스 데이터에 기초하여, 메모리 셀 어레이 (10) 내의 관련 셀 상에서 명령을 실행한다.
- [0029] 열 디코더 (9) 는, 열 어드레스 버퍼 (6) 로부터 입력된 어드레스 데이터에 기초하여, 메모리 셀 어레이 (10) 내의 관련 셀 상에서 명령을 실행한다.
- [0030] 메모리 셀 어레이 (10) 는, 예를 들어 워드 라인과 비트 라인 사이의 교점에 배열된 콘덴서 및 트랜지스터로 구성된 복수의 메모리 셀이 어레이로 결합되는 메모리 장치이다. 메모리 셀 어레이 (10) 에 있어서, 워드 라인에 의해 특정 메모리 셀이 선택되고, 비트 라인으로부터의/으로의 데이터의 판독 또는 기록이 실행된다. 제 1 실시형태의 메모리 셀 어레이 (10) 에 있어서, 감지 증폭기와 같은 주변 회로가 포함된다.
- [0031] I/O 버퍼 (11) 는, 입력되거나 출력된 데이터가 임시 저장되는 메모리 장치이다. 데이터 제어기 (12) 는 데이터를 기록하거나 판독하도록 열 디코더 (9) 를 제어한다. 판독 데이터 및 기록 데이터의 송/수신은 데이터 단자 (DQ) 를 통해 수행된다. 제 1 실시형태에 있어서, 데이터는 1-비트 단위로 ($\times 1$) 판독되거나 기록된다. 그러나, 데이터는 $\times 4$ 또는 $\times 8$ 과 같이 다른-비트 단위로 판독되거나 기록될 수 있다. 각 데이터 단자 (DQ) 를 통한 데이터 통신은 직렬로 수행된다.
- [0032] 도 2 를 참조하면, 제 1 실시형태에 따른 S/P 변환기 (2a) 는 레지스터 (21a 내지 21h) 및 선택기 (31a) 를 포함하고, S/P 변환기 (2b) 는 레지스터 (22a 내지 22h) 및 선택기 (31b) 를 포함하고, S/P 변환기 (2c) 는 레지스터 (23a 내지 23h) 및 선택기 (31c) 를 포함하고, S/P 변환기 (2d) 는 레지스터 (24a 내지 24h) 및 선택기 (31d) 를 포함한다.
- [0033] 일례로서 S/P 변환기 (2a) 를 취하면, 어드레스/커맨드 단자 (Add/Cmd-A) 의 정보는 순차적으로 레지스터 (21a, 21c, 21e 및 21g) 로 인출되고, 시프트된다. 이 정보는, 내부 부하 신호 (Load) 가 발생될 때마다 레지스터 (21b, 21d, 21f 및 21h) 로 병렬로 인출된다.
- [0034] 4-비트 정보로부터, 레지스터 (21b) 의 정보는 선택기 (31a) 의 하나의 입력 단자로 A<0> 으로서 공급되고, 레지스터 (21b) 를 포함한 모든-비트 정보가 선택기 (31a) 의 다른 입력 단자로 A<3:0> 으로서 공급된다. 선택기 (31a) 의 하나의 입력 단자로, S/P 변환기 (2b, 2c 및 2d) 내의 레지스터 (22b, 23b 및 24b) 로부터의 정보 B<0>, C<0> 및 D<0> 이 또한 공급된다.
- [0035] 선택기 (31a) 로 모드 스위칭 신호 (200) 가 공급되고, 이 모드 스위칭 신호가 예를 들어 하이 레벨인 경우, 제 1 동작 모드로서, 선택기 (31a) 는 다른 입력 단자의 정보 A<3:0> 을 선택한다. 한편, 이 모드 스위칭 신호가 예를 들어 로우 레벨인 경우, 제 2 동작 모드로서, 선택기 (31a) 는 하나의 입력 단자의 정보 A, B, C, D<0> 을 선택하여 출력한다. 또한, 다른 선택기도 동일한 관계에 따라 입력 정보를 선택한다.
- [0036] 전술한 바와 같이, 제 1 동작 모드에 있어서, 선택기 (31a 내지 31d) 의 각 출력은 각 Add/Cmd 단자로부터 직렬로 입력된 4-비트 정보에 대응한다. 한편, 제 2 동작 모드에 있어서, 선택기 (31a 내지 31d) 의 각 출력은 4 개의 포트 (150) 에서 4 개의 Add/Cmd 단자로 병렬로 공급된 4-비트 정보에 대응한다.
- [0037] 즉, 제 1 동작 모드에 있어서, 도 3a 에 도시된 바와 같이, 포트 (150-1) 에 집중하면, 제어 정보는 소정의 타이밍에서 비트 00 으로부터의 순서로 1 비트씩 Add/Cmd-A 단자로 공급된다. 클록 발생기 (1) 로부터의 내부 클록은 이 타이밍과 동기화하고, 그에 따라 비트 정보 03 내지 00 이 제 4 내부 클록의 상승 에지 (rising edge) 에 기초하여 각각 레지스터 (21a, 21c, 21e 및 21g) 로 인출된다.
- [0038] 이들 정보의 부분은 제 5 내부 클록의 상승 에지와 함께 발생된 부하 신호 (Load) 와 동기하여 각각 레지스터 (21b, 21d, 21f 및 21h) 로 인출된다. 그 결과, 모드 스위칭 신호 (200) 에 의해, 선택기 (31a) 는 제 1 동작 모드로서 A<3:0> 쪽을 선택한다. 따라서, 출력 Cmd-A<3:0> 은 비트 정보 00, 01, 02 및 03 이다. 유사하게, 제 2 부하 신호 (Load) 가 인가되는 경우, 선택기 (31a) 의 출력 Cmd-A<3:0> 은 비트 04, 05, 06 및 07 이다.

- [0039] 한편, 제 2 동작 모드가 모드 스위칭 신호 (200) 에 의해 지정되는 경우, 선택기 (31a 내지 31d) 각각은 서로 동일한 제어 정보가 확립되도록 레지스터 (21b, 22b, 23b 및 24b) 를 선택한다. 그러나, 클록 발생기 (1) 로부터의 내부 클록은 변경되지 않는다.
- [0040] 따라서, 포트 (150-1 내지 150-4) 에서 Add/Cmd 단자로 병렬로 공급된 정보는 각 포트에 대한 공통 제어 정보로서 이용될 수 있다. 그 결과, 이는 내부 클록의 4 개의 사이클에 등가인 사이클로 각 포트 (150) 의 Add/Cmd 단자에 대한 제어 정보를 변경하기에 충분하다.
- [0041] 이와 같이, 제 2 동작 모드에서의 제어 정보의 인출에 관한 타이밍 차트는 도 3b 에 도시된 바와 같다. 즉, 이는 제 2 동작 모드에서의 제어 정보를 내부 클록의 4 개의 사이클에 등가인 사이클로 변경하기에 충분하다.
- [0042] 따라서, 각 포트 (150) 에서의 패킷 레지스터 및 S/P 변환 회로는, 직렬 포트로서 Add/Cmd 단자로 공급된 정보로부터 동작 제어 정보 (커맨드/어드레스 정보) 를 발생시키며, 제 1 사이클에서 직렬 포트에 나타나는 정보가 유효 정보로서 취급되어 동작 제어 정보를 발생시키는 제 1 동작 모드, 및 제 1 사이클과 상이한 제 2 사이클에서 직렬 포트에 나타나는 정보가 유효 정보로서 취급되어 동작 제어 정보를 발생시키는 제 2 동작 모드를 포함하는 입력 회로이다.
- [0043] 입력 회로는 직렬 포트에 입력된 비트 수에 대응하는 (S/P 변환기 (2a) 에서의 레지스터 (21a 내지 21h) 인) 임시 메모리 장치와 접속된다. 제 1 사이클은, 내부 클록과 동기하여 정보가 임시 메모리 장치에 순차적으로 저장되며, 정보가 임시 메모리 장치 모두에 저장되는 후속 내부 클록에 있어서, 임시 메모리 장치에 저장된 정보 모두가 유효 정보로서 인출되는 사이클이다 (즉, 제 1 사이클은 내부 클록과 동일한 사이클이다). 제 2 사이클은, 정보가 임시 메모리 장치 모두에 저장되는 후속 내부 클록에 있어서, 임시 메모리 장치에 저장된 정보로부터, 그 정보의 적어도 일 부분이 유효 정보로서 인출되는 사이클이다 (즉, 제 2 사이클은 내부 클록의 1/4 사이클이다).
- [0044] 제 1 실시형태에 있어서, 어드레스/커맨드로 구성된 제어 정보에서, 16 비트는 하나의 패킷에 대응한다. 그러나, 본 발명은 이에 제한되지는 않는다. 따라서, 도 4 에 도시된 바와 같이, 제 1 동작 모드에 있어서, 포트 (150-1 내지 150-4) 로부터의 Add/Cmd 단자에는 서로 독립적으로 제어 정보가 직렬로 공급된다 (각 16 비트는 하나의 패킷임). 전송 속도는 외부로부터 클록 단자 (CK) 로 공급된 클록의 각 사이클당 8 비트이고 (즉, 전송 속도는 외부 클록의 속도보다 8 배 빠르고), 내부에서, 잘 알려진 DLL 회로 등을 사용함으로써 클록 발생기 (1) 에 의해 8 배 내부 클록이 발생되어, S/P 변환기 (2a 내지 2d) 로 공급된다.
- [0045] 이러한 제어 정보에 응답하여, 각 포트 (150) 에서 데이터 단자 (DQ) 로부터, 16-비트 데이터가 (하나의 단위로서) 직렬로 전송 (판독/기록) 된다. 또한, 이 전송 속도는 외부 클록 (CK) 의 속도보다 8 배 빠르다. 이 경우, 제어 정보는 각 포트에서 서로 독립적으로 설정될 수 있고, 그에 따라 각 포트에 대해 데이터 판독 또는 기록이 지정될 수 있다.
- [0046] 한편, 제 2 동작 모드에 있어서, 도 5 에 도시된 바와 같이, 이는 외부 클록 (CK) 의 속도보다 2 배 빠른 속도로 각 포트 (150) 의 Add/Cmd 단자에서 제어 정보를 변경하기에 충분하다. 따라서, 하나의 패킷으로서 필요한 16-비트 제어 정보를 수신하는 것은 도 4 와 동일한 방식으로 외부 클록 (CK) 의 2 개의 사이클로 완료되고, 제 1 동작 모드와의 차이점은 없다. 그러나, 각 포트 (150) 에서, 하나의 어드레스/커맨드 패킷 (비트 0 내지 비트 15) 에 의해 동일한 제어 정보가 공급되고, 각 포트 (150) 의 동일한 어드레스에 대해 데이터 판독 및 데이터 기록 중 하나가 지정되고, 외부 클록 (CK) 의 속도보다 8 배 빠른 속도로 16-비트-단위 데이터가 전송된다.
- [0047] 따라서, 반도체 장치는, 제어 (Add/Cmd) 단자 및 데이터 (DQ) 단자를 각각 갖는 포트 (150-1 내지 150-4) 를 포함한다. 제 1 동작 모드에 있어서, 포트 각각은, 그 고유 제어 단자를 통하여, 데이터 단자를 통한 데이터 송/수신을 실행하는데 필요한 제어 정보를 수신하는 한편, 제 2 동작 모드에 있어서, 이들 포트 각각은, 그 고유 제어 단자 및 또한 다른 포트 중 적어도 하나의 포트의 제어 단자를 사용함으로써, 제어 정보를 수신한다.
- [0048] 또한, 제 2 동작 모드에 있어서, 그 고유 제어 단자 및 또한 다른 포트 중 적어도 하나의 포트의 제어 단자를 사용함으로써 수신된 제어 정보에 관한 데이터 그룹으로부터, 유효 정보만이 인출된다. 이들 유효 정보의 부분을 결합함으로써, 제어 정보가 발생된다.
- [0049] 제 1 실시형태에 있어서, 직렬 포트 모두가 사용된다. 그러나, 직렬 포트의 수가 2 이상인 경우, 제어 정보의 전송 속도는 직렬 포트의 수에 대응하여 감소된다는 것은 명백하다. 또한, 이러한 구성은 제 2 동작 모

드에서 선택기 (31a 내지 31d) 에 의해 선택되는 비트 정보를 제어함으로써 용이하게 실현될 수 있다.

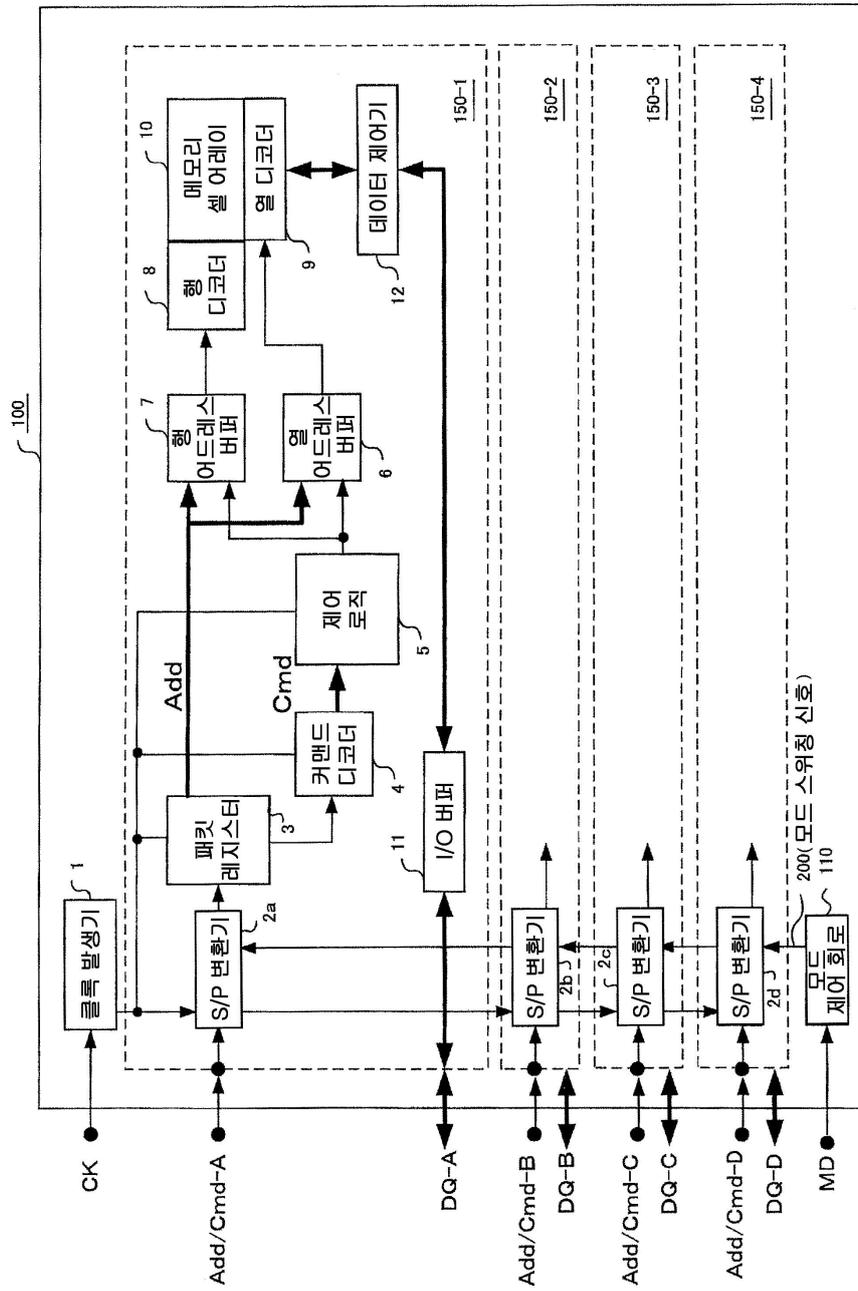
- [0050] 따라서, 제 2 동작 모드가 테스트 동작에 이용되는 경우, 그 속도가 반도체 메모리의 동작 속도보다 낮은 테스트 터가 테스트를 수행하는데 사용될 수 있다.
- [0051] 즉, 도 1 에 도시된 반도체 메모리 (100) 를 테스트하는 경우, 반도체 메모리 (100) 는 도 6 에 도시된 바와 같이 테스트 (250) 에 접속된다. 테스트 시에, 테스트 (250) 는 먼저 제 2 동작 모드를 지정하도록 반도체 메모리 (100) 로 모드 스위칭 신호를 공급한다. 이 상태에 있어서, 도 5 에서의 타이밍 차트에 따라, 테스트 (250) 는 반도체 메모리 (100) 로 제어 정보를 공급한다. 그 속도는 외부 클록의 속도보다 2 배 빠르고, 그 속도는 반도체 메모리 (100) 의 내부 클록의 1/4 이다.
- [0052] 테스트 (250) 와 반도체 메모리 (100) 사이의 실제 전송 속도가 제어 정보의 전송 속도와 동일한 경우에도, 반도체 메모리 (100) 내의 데이터 판독/기록에 관하여 이와 같은 클록 속도의 변경 없이, 특허문헌 1 에서의 기술에 의해 데이터 판독/기록이 실행될 수 있다.
- [0053] 전술한 바와 같이, 테스트 모드로서 제 1 실시형태의 반도체 메모리의 제 2 동작 모드를 이용하여 4 개의 커맨드/어드레스 신호 입력 단자로 오리지널 커맨드/어드레스 정보 (커맨드/어드레스 패킷) 를 입력함으로써, 반도체 메모리 내부에서, 정상 클록에 의해 그 동작이 수행된다. 또한, 커맨드/어드레스 신호의 입력 주파수만이 1/4 로 감속되고, 이 상태에서 테스트가 수행될 수 있다.
- [0054] <제 2 실시형태>
- [0055] 본 발명의 제 2 실시형태에 따른 반도체 메모리에서의 각 포트의 S/P 변환기가 도 7 에 상세하게 도시되어 있다. 도 1 에 도시된 바와 동일한 구성요소는 동일한 참조부호로 표시되고, 그 설명은 생략될 것이다.
- [0056] 제 2 실시형태에 있어서, 제 2 동작 모드에서, 유효 비트로서 인출할 수 있는 레지스터가 선택될 수 있다. 이를 위해, 제 2 실시형태의 S/P 변환기의 내부 회로에, 선택기 (32a 내지 32d) 가 배열된다. 선택기 (32a 내지 32d) 는 상부 스테이지에서 4 개의 레지스터의 출력 단자와 접속된 커맨드 버스 라인에 접속된다. 선택기 (32a 내지 32d) 가 동작되는 경우, 임의의 레지스터에 저장된 비트 정보가 유효 비트로서 취해져 출력될 수 있다.
- [0057] 따라서, 제 2 실시형태에 따르면, 오리지널 커맨드/어드레스 신호가 4 개의 커맨드/어드레스 신호 입력 단자로 입력되는 경우, 반도체 메모리 장치의 내부는 정상 클록에 의해 동작될 수 있고, 커맨드/어드레스 신호의 입력 주파수만이 1/4 로 감속된다. 또한, S/P 변환기 내의 임의의 레지스터에 저장된 비트 정보가 선택기 (32a 내지 32d) 의 동작에 의해 유효 비트로서 이용될 수 있다.
- [0058] 따라서, 테스트 모드로서 시작되는 제 2 동작 모드에 있어서, 예를 들어 S/P 변환기 (2a) 에서의 레지스터 (21b, 21d, 21f 및 21h) 가 순차적으로 선택되는 경우, 테스트 동작이 실행된다. 이와 같이, 이들 레지스터에 대한 동작이 또한 체크될 수 있다. 선택기 (32a 내지 32d) 에 대한 선택 신호가 모드 제어 회로 (110 ; 도 1 참조) 내에 배열될 수 있고, 모드 신호 단자 (MD) 를 통해 공급된 모드 스위칭 신호의 수를 증가시킴으로써 테스트로부터 정보가 설정될 수 있다.
- [0059] <응용 실시예>
- [0060] 전술한 설명에 있어서, 제 2 동작 모드는 반도체 메모리의 테스트에 이용된다. 그러나, 제 2 동작 모드 또는 제 1 동작 모드 중 어느 하나의 동작 모드는 각종 타입의 시스템을 확립하기 위해서 정상 동작 모드로서 이용된다.
- [0061] 도 8 은 도 1 에 도시된 반도체 메모리 (100) 가 제 1 동작 모드로서 이용되는 시스템도이다.
- [0062] 즉, 메모리 제어기 또는 MCU/MPU 에 대한 마스터 장치로서의 제어기 (300) 는 서로 반도체 메모리 (100) 의 각 단자에 접속된다. 반도체 메모리 (100) 는 제 1 동작 모드로서 사용되고, 또한 반도체 메모리 (100) 의 초기 상태는 제 1 동작 모드로서 설정된다. 따라서, 제어기 (300) 로부터 반도체 메모리 (100) 로 모드 스위칭 신호를 공급하는 것은 필요하지 않다.
- [0063] 이 경우, 반도체 메모리 (100) 의 동작은 도 3a 및 도 4 에서의 동작과 등가이다. 따라서, 제어기 (300) 는

독립적인 포트로서 포트 (150-1 내지 150-4) 각각을 취급할 수 있고, 각 포트 (150) 의 임의의 어드레스 상에서 데이터 판독 또는 기록을 독립적으로 실행할 수 있다.

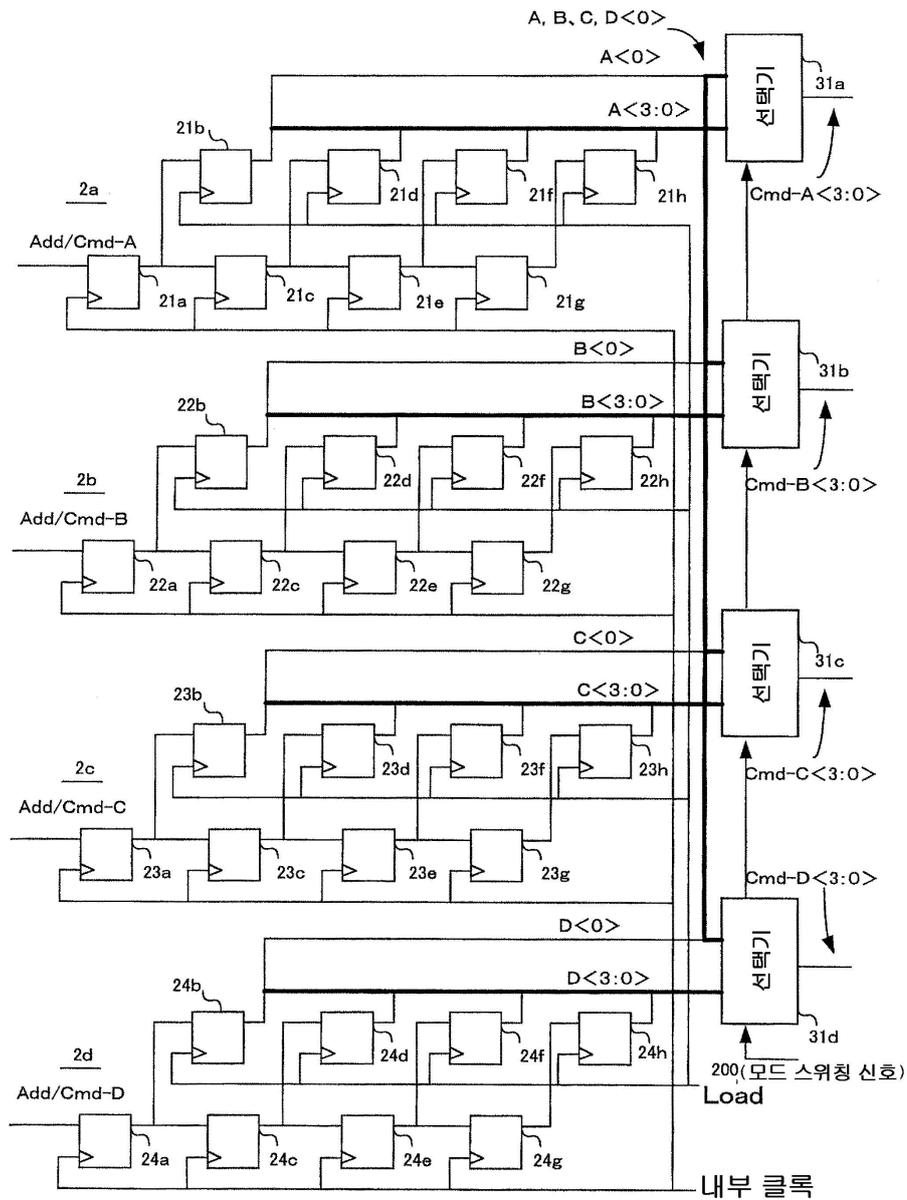
- [0064] 멀티포트로서의 반도체 메모리의 오리지널 사용 형태는 도 8 에 도시된 구성을 포함한다. 그러나, 확립될 시스템에 종속하여, 각 어드레스 커맨드 패킷당 데이터 비트 수가 64 비트 (16 비트 × 4) 인 것이 바람직한 시스템이 또한 존재할 수 있다. 이 경우, 도 9 에 도시된 바와 같이, 제어기 (400) 는 반도체 메모리 (100) 에 접속되고, 모드 신호 단자 (MD) 를 통해 공급된 모드 스위칭 신호를 반도체 메모리 (100) 로 공급함으로써, 제 2 동작 모드를 설정한다.
- [0065] 따라서, 제어기 (400) 는 도 3b 및 도 5 에서와 등가로 동작하고, 반도체 메모리 (100) 의 내부 클럭 속도보다 낮은 속도로 반도체 메모리 (100) 로 어드레스/커맨드의 제어 정보를 공급함으로써, 데이터 단자 (DQ-A) 내지 데이터 단자 (DQ-D) 를 통해 각 패킷당 총 64 비트의 데이터를 반도체 메모리 (100) 와 통신한다. 이 때, 도 6 과 관련하여 기재된 테스트 동작 시에 시동되는 데이터 통신 제어 회로는 정상 동작 모드로서 활성화되지 않는다.
- [0066] 따라서, 이 시스템은 마스터 장치인 제어기 (400), 및 슬레이브 장치이며 마스터 장치 (400) 로부터 n 비트 (제 2 실시형태에서는, 16 비트) 의 제어 정보를 수신하여 마스터 장치 (400) 와의 데이터 통신을 수행하는 반도체 메모리 (100) 를 포함한다. 슬레이브 장치는 m 개 (제 2 실시형태에서는, 4 개) 의 직렬 포트 (Add/Cmd-A 내지 Add-Cmd-D) 를 포함하는데, 그 각각은 정보를 직렬로 수신한다. 마스터 장치 (400) 는 n-비트 제어 정보를 각각 m-비트로 분할 (즉, 각각 4 비트로 분할) 하고, 또한 슬레이브 장치의 m 개의 직렬 포트 각각을 사용하여, n-비트 제어 정보를 슬레이브 장치로 n/m 개의 부분으로 공급한다.
- [0067] 슬레이브 장치 (100) 의 m 개의 직렬 포트 각각은, 공유를 위해 m-비트-단위 데이터 그룹이 입력될 때마다, 이 m-비트-단위 데이터 그룹으로부터 유효 정보의 적어도 일 부분을 인출하고, 내부적으로 n-비트 제어 정보를 발생시킨다.
- [0068] 또한, 제어기 (400) 는 제 1 동작 모드 및 제 2 동작 모드를 함께 이용할 수 있다. 즉, 도 9 에 도시된 시스템 구성도에 있어서, 제어기 (400) 는, 4 개의 포트 (150-1 내지 150-4) 각각을 통해 독립적인 어드레스에 의한 데이터 판독/기록 전송을 수행하도록 특정 어드레스 범위에서 제 1 동작 모드로 반도체 메모리 (100) 를 동작시킨다. 또다른 어드레스 범위에 있어서, 제어기 (400) 는 각 어드레스당 데이터 비트 수를 크게 증가시킴으로써 데이터 처리를 실행하도록 반도체 메모리 (100) 를 제 2 동작 모드로 스위칭할 수 있다.
- [0069] 따라서, 이 시스템은, 마스터 장치 (400), 및 마스터 장치 (400) 에 접속된 반도체 장치 (100) 를 포함하는 데이터 처리 시스템이다. 반도체 장치 (100) 는 복수의 회로 유닛 (150-1 내지 150-4) 을 포함하는데, 그 각각은 직렬 포트를 갖고, 외부로부터 입력된 n-비트 정보에 기초하여 소정의 동작을 실행한다. 회로 유닛 중 적어도 하나의 회로 유닛은, n-비트 정보가 그 고유 직렬 포트를 통해 입력되는 제 1 동작 모드, 및 n-비트 정보가 그 고유 직렬 포트 및 또한 또다른 회로 유닛의 직렬 포트를 통해 입력되는 제 2 동작 모드를 포함한다. 제 1 동작 모드 및 제 2 동작 모드는 마스터 장치 (400) 에 의해 발행되는 모드 지정 정보에 따라 스위칭된다.
- [0070] 따라서, 전술한 바와 같이, 반도체 장치가 반도체 메모리 (100) 인 경우, 마스터 장치 (400) 는 모드 지정 정보를 발행하고, 반도체 메모리 (100) 의 각 어드레스 영역에 대해 제 1 동작 모드 또는 제 2 동작 모드를 지정함으로써, 그 시스템의 확장성 및 편의성을 달성한다.
- [0071] 도면을 참조하여 본 발명의 실시형태가 전술되었지만, 특정 구성은 이 실시형태에 의해 제한되지는 않고, 본 발명의 범위 내의 디자인 등도 또한 본 발명에 포함된다. 제 1 실시형태 및 제 2 실시형태에 있어서, 커맨드/어드레스 신호를 4 개의 커맨드/어드레스 신호 입력 단자로 입력함으로써, 반도체 메모리 장치의 내부가 정상 클럭에 의해 동작되는 한편, 커맨드/어드레스 신호의 입력 주파수만이 1/4 로 감속되는 실시예가 전술되었다. 그러나, 예를 들어, 커맨드/어드레스 신호의 입력 주파수만이 1/2 로 감속될 수 있다. 이 경우, 1/4 주파수와 비교하여, 고속 테스트가 필요할 가능성이 있다. 그러나, 테스트 환경이 준비되는 한, 테스트 수가 4 로부터 2 로 감소될 수 있다.
- [0072] 제 2 동작 모드가 정상 동작의 하나의 모드로서 이용되는 경우, 시스템 구성의 개발이 크게 확장된다.
- [0073] 또한, 동작 모드의 스위칭이 전용 단자에 의해 수행되지만, 이는 커맨드/어드레스 단자 및 데이터 단자와 같은 다른 단자의 일 부분을 공통으로 사용함으로써 수행될 수도 있다. 어드레스, 커맨드 및 데이터의 각 단자의

도면

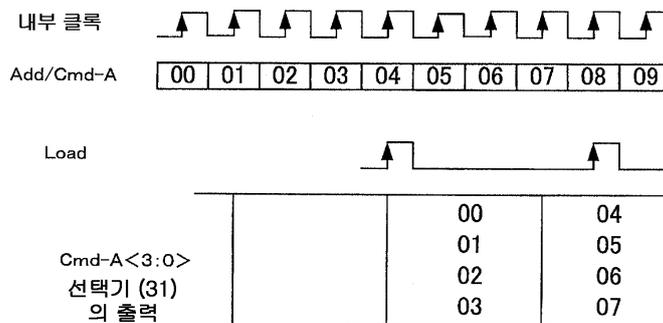
도면1



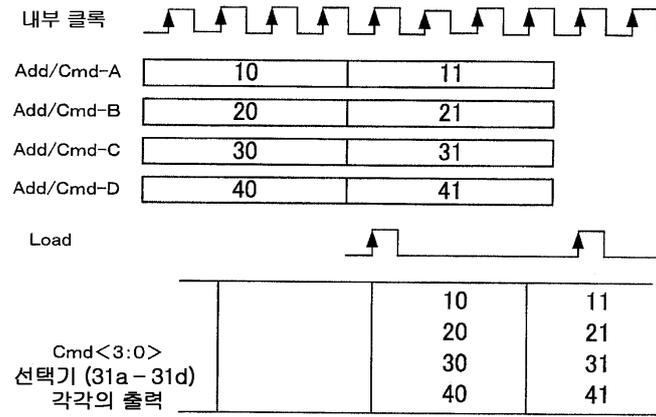
도면2



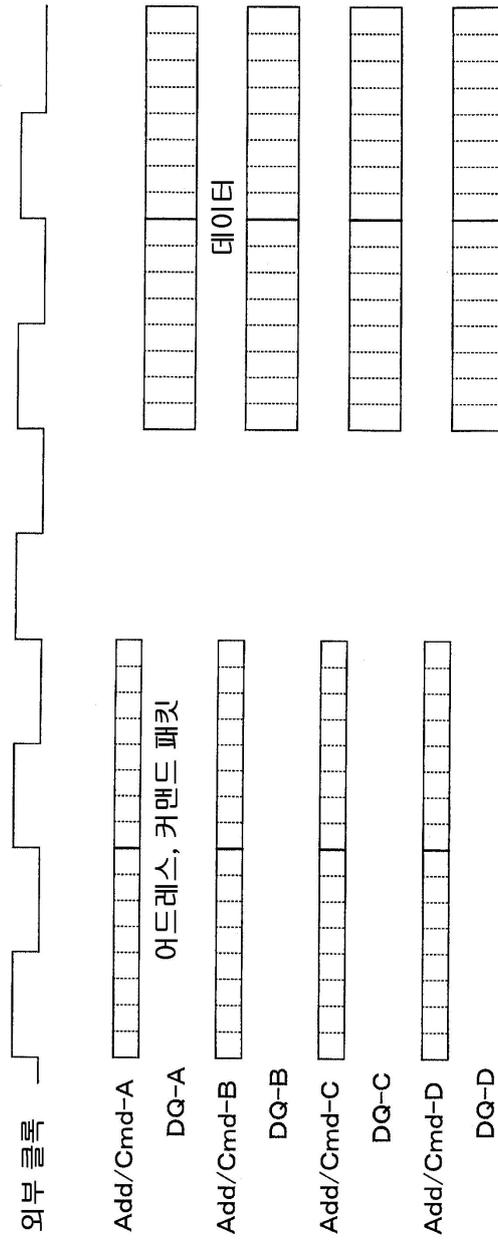
도면3a



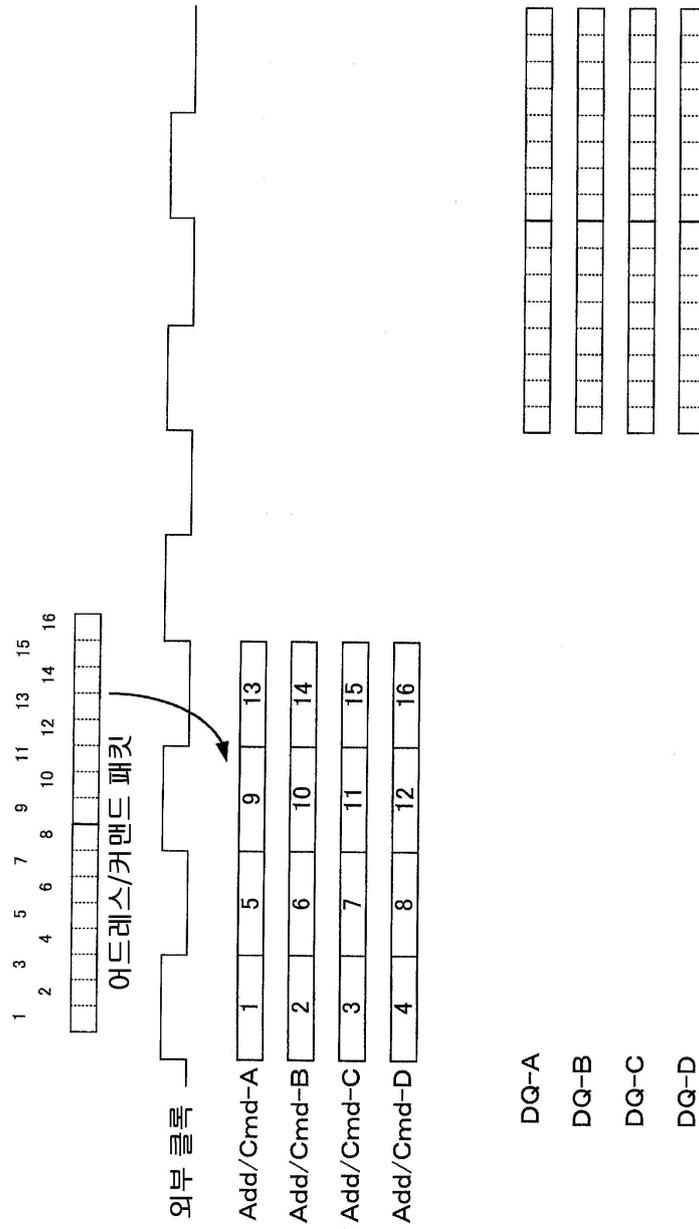
도면3b



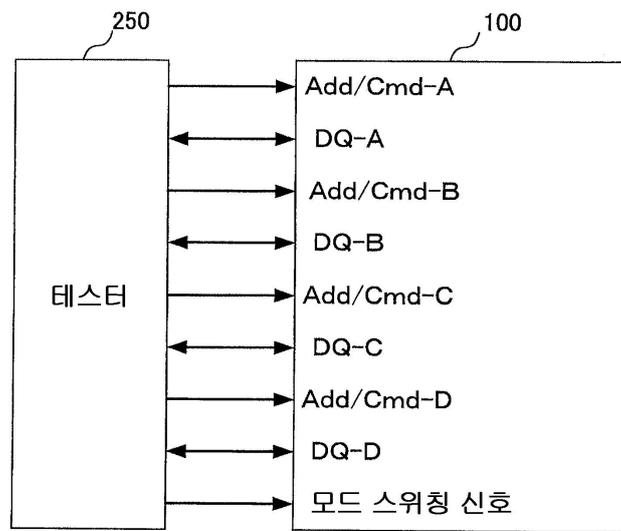
도면4



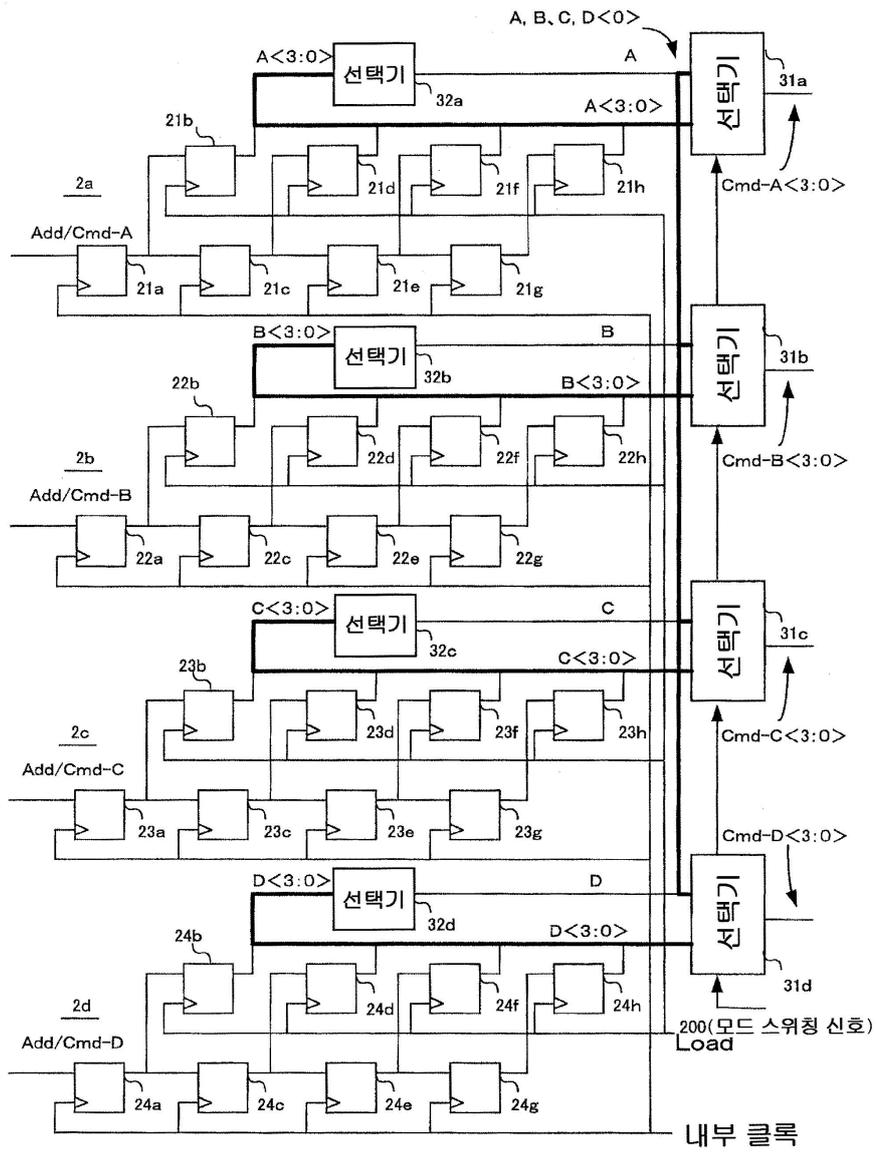
도면5



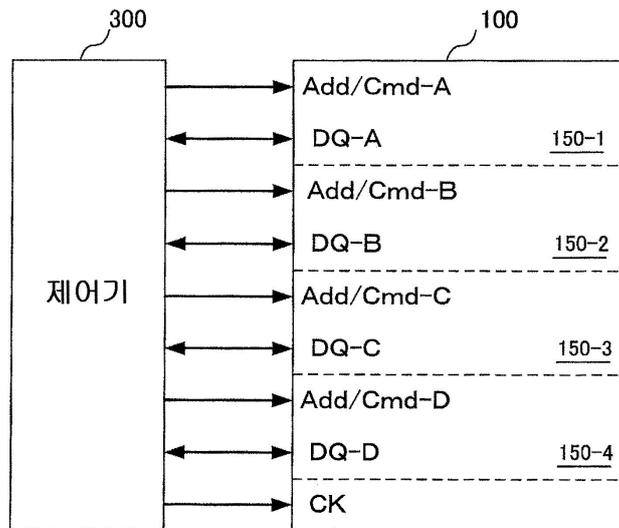
도면6



도면7



도면8



도면9

