

發明專利說明書

F1170836Tucc

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93/044/K

※申請日期： 93.2.23

※IPC 分類： H01L 23/12

壹、發明名稱：(中文/英文)

半導體裝置之製造方法

METHOD FOR MAKING A SEMICONDUCTOR DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, 2-chome, Keihan-Hondori, Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國/JAPAN

參、發明人：(共 7 人)

姓名：(中文/英文)

1. 鈴木彰 / SUZUKI, AKIRA

2. 野間崇 / NOMA, TAKASHI

3. 篠木裕之 / SHINOBI, HIROYUKI

4. 高尾幸弘 / TAKAO, YUKIHIRO

5. 石部真三 / ISHIBE, SHINZO

6. 大塚茂樹 / OTSUKA, SHIGEKI

7. 山口惠一 / YAMAGUCHI, KEIICHI

住居所地址：(中文/英文)

1. 日本國群馬縣太田市岩瀬川町 21-11
21-11, Iwasegawa-machi, Ota-shi, Gunma, Japan
 2. 日本國群馬縣太田市東別所町 227-2 桑來芝本郷 103 號室
Sunlize Hongou 103, 227-2, Higashibesho-cho, Ota-shi, Gunma, Japan
 3. 日本國群馬縣邑樂郡大泉町吉田 961-40
961-40, Yoshida, Oizumi-machi, Ora-gun, Gunma, Japan
 4. 日本國群馬縣新田郡新田町瑞木 36-10
36-10, Mizuki, Nitta-machi, Nitta-gun, Gunma, Japan
 5. 日本國群馬縣邑樂郡大泉町古冰 203-303
203-303, Furukori, Oizumi-machi, Ora-gun, Gunma, Japan
 6. 日本國埼玉縣熊谷市大字石原 876-27-201
876-27-201, Oaza Ishihara, Kumagaya-shi, Saitama, Japan
 7. 日本國岐阜縣安八郡安八町大森 180 番地
180, Omori, Anpachi-cho, Anpachi-gun, Gifu, Japan
- 國 籍：(中文/英文) 1. 至 7. 日本國/JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本國；2003 年 2 月 25 日；特願 2003-046755(主張優先權)
2. 日本國；2004 年 2 月 3 日；特願 2004-026534(主張優先權)
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關具有球狀導電端子的球狀柵極矩陣(ball grid array, BGA)型之半導體裝置者。

【先前技術】

近幾年來，有所謂三次元組裝技術之晶片尺寸封裝(Chip Size Package, CSP)的新封裝技術備受注目。其所謂的CSP，乃指具有略同於半導體晶片外形尺寸之小型封裝體。

習用晶片尺寸封裝體，有所謂的球狀柵極矩陣(ball grid array, BGA)型半導體裝置。該BGA型之半導體裝置，係在封裝體之一主面上，將由錫鉛等金屬材料所成之球狀導電端子，以多數個作成格子狀之排列，與搭載在封裝體另一面上之半導體晶片成電氣連接者。

要將該BGA型半導體裝置組裝於電子機器時，即僅將各導電端子壓接於印刷基板上之配線圖案(circuit pattern)，即可將半導體晶片與搭載在印刷基板上的外部電路予以電氣連接。

上述BGA型半導體裝置，較於側部具有突出導腳(lead pin)小框式封裝體(Small Outline Package, SOP)及四平封裝體(Quad Flat Package, QFP)等其他CSP型半導體裝置，有能設置更多數導電端子，且可作成小型之優點。此種BGA型半導體裝置能作為搭載於如攜帶式電話機(手機)等數位攝影機的影像感測器(image sensor)晶片用。

第 9 圖係表示習用 BGA 型半導體裝置之概略構成圖。
第 9 圖(A)即為該 BGA 型半導體裝置表面側之斜視圖。而
第 9 圖(B)即為該 BGA 型半導體裝置背面側之斜視圖。

該 BGA 型半導體裝置 100，係將半導體晶片 101 藉由環氧樹脂 105a、105b 封裝於第 1 及第 2 的玻璃基板 104a、104b 之間。且在第 2 基板 104b 的一主面上，即於 BGA 型半導體裝置 100 之背面上，將多數個球狀端子(以下稱為導電端子 111)配置成格子狀。該導電端子 111 係經由第 2 配線 109 與半導體晶片 101 連接。由於該多數個第 2 配線 109 係分別連接在由半導體晶片 101 內部導出的第 1 配線 103，由此將各導電端子 111 與半導體晶片 101 間予以電氣連接。

茲參照第 10 圖詳述該 BGA 型半導體裝置 100 之剖視構造如下：

第 10 圖係表示沿切割線(dicing line)分割為各晶片之 BGA 型半導體裝置 100 之剖視圖。

在形成於半導體晶片 101 之表面之絕緣膜 102 上設有第 1 配線 103。該半導體晶片 101 係以樹脂 105a 黏貼於第 1 玻璃基板 104a。該半導體晶片 101 之背面，則以樹脂 105b 黏貼在第 2 玻璃基板 104b。該第 1 配線 103 之一端連接於第 2 配線 109。該第 2 配線 109 係自第一配線 103 之一端延伸至第 2 玻璃基板 104b 表面。而在延伸於第 2 玻璃基板 104b 上的第 2 配線 109 上形成球狀導電端子 111。

上述技術係記載於專利文獻 1 者。如：

<專利文獻 1>日本・特許公告 2002-512436 號公報。

(發明所欲解決的問題)

在上述 BGA 型半導體裝置 100，係將玻璃基板黏貼於半導體晶片 101 兩面。但不一定需將未形成半導體元件面，即未配置導電端子面，黏貼於第 2 玻璃基板 104b。也就是說；若半導體晶片 101 與第 2 配線 109 間能予以絕緣，即無需黏貼第 2 玻璃基板 104b。又因兩基板玻璃的厚度佔據半導體裝置 100 全體厚度的大部分，因而，有一種方案考量僅在形成半導體晶片 101 之半導體元件面黏貼玻璃基板，以謀求成本之節減及半導體裝置 100 的小型化。茲以本發明半導體裝置 100 剖面圖之第 8 圖予以說明。

於半導體晶片 1 形成絕緣膜 7，再於其上方形成緩衝構件 8、第 2 配線 9、保護膜 10 及導電端子 11，即可獲得與半導體裝置 100 同等的半導體裝置。唯於製造該半導體裝置時有以下所述之諸問題。

首先，說明第 1 個問題：在上述 BGA 型半導體裝置的製造過程，係於絕緣膜 7 成膜前，有以背部研磨方式，將與黏貼玻璃基板 4 面相反之面(即半導體裝置背面)進行研磨的製程。而該背部研磨，係以磨石研磨含有多數個半導體晶片之半導體晶圓，使晶圓予以薄形化。因此，在研磨後的面上發生對應於磨石凹凸面之深度及寬度為數 μm 的刮痕(scratch)。唯如第 10 圖所示之上述半導體裝置 100，因在該兩面黏貼玻璃基板，而將刮痕凹凸以樹脂 105b 覆蓋，故不致於成為問題。

唯如本發明，為僅在形成半導體元件面黏貼玻璃基板的 BGA 型半導體裝置，為保持晶片與第 2 配線間的絕緣性，有需於施加背部研磨的半導體晶圓面形成絕緣膜 7。且因該絕緣膜 7 係以電漿化學蒸汽沈積(plasma CVD)裝置形成，故於該絕緣膜 7 反映晶圓面內之凹凸，CVD 成膜後的面不會平坦，其結果將導致絕緣膜 7、第 2 配線 9 及使用於圖案化(patterning)的抗蝕(resist)膜之覆蓋性劣化。絕緣膜 7 的覆蓋性劣化將導致針孔或龜裂(cracking)之發生，而成為半導體裝置的良品率及可靠性(信賴性)降低之原因。

其次，就第 2 問題予以說明。背部研磨後，為將半導體晶圓分割為各個半導體晶片，沿半導體晶圓之境界線進行蝕刻作業以形成溝部。唯因於該蝕刻的半導體晶圓面上附有殘渣或異物，在該半導體晶圓面形成凹凸。且在蝕刻後成為稜角部分的前端形成尖銳形狀。因此，使形成溝部以後成膜的圖案化用抗蝕膜、第 2 配線 9、保護膜 10 等的覆蓋性惡化，而成為導致半導體裝置的可靠性(信賴性)及良品率降低之原因。

【發明內容】

(解決問題的手段)

本發明係有鑑於上述問題點而作，係為解決 BGA 型半導體裝置製程上發生之上述背部研磨後半導體晶圓面之凹凸、上述蝕刻後半導體晶圓面之凹凸、或於上述蝕刻形成溝部後，發生稜角前端尖銳化之問題者。

本發明係於背部研磨、或蝕刻後，對半導體晶圓再進行濕式蝕刻，以使晶圓面內的凹凸平滑化、或將尖銳部分前端予以圓弧化者。由此，能使在後續製程之背部研磨、或蝕刻後半導體晶圓面上形成的抗蝕膜、第2配線、絕緣膜及保護膜之覆蓋性提升，亦提升該半導體裝置之良品率及該可靠性(信賴性)。

【實施方式】

茲將有關本發明半導體裝置的製造方法之實施形態，參照第1至8圖的剖面圖(1)至(8)，依序說明於後：

如第1圖所示，首先準備作為後續製程之半導體晶片1的半導體晶圓1a。該半導體晶片1係例如由半導體之晶圓處理形成，且用於電荷耦合裝置(Charge Coupled Device, CCD)之影像感測器(image sensor)用晶片。該晶片於該表面上形成絕緣膜2，而在該絕緣膜2上之用以分割各半導體晶片1的境界S(稱為切割線dicing line、劃線scribe line)附近，形成具有一定間隙的一對第1配線3。此時，該第1配線3係由半導體晶片1的鐸墊(bonding pad)擴張至境界S附近之墊盤(pad)。也就是說；第1配線3為一外部連接墊盤，係與半導體晶片1之未圖示電路為電氣連接者。

接著，在形成第1配線3的半導體晶圓1a表面，以黏著劑將支持板予以黏貼。此時，黏著劑係使用透明的環氧樹脂5而該支持板係使用透明玻璃基板4。若以不是CCD的記憶體，或微電腦等之大型積體(Large Scale Intergrated)作成本發明之BGA型半導體裝置時，則可使用各種適當黏

著劑，將不透明之塑膠製支持板予以黏合。

如第 2 圖所示，上述半導體晶圓 1a 係將與黏合玻璃基板 4 面相反之面予以背部研磨，使半導體晶圓 1a 薄型化。此時，該背部研磨後之半導體晶圓 1a 厚度為約 $230\ \mu\text{m}$ 。

在背部研磨後之半導體晶圓 1a 面，係如第 2 圖中以圓形所圍部分的「a：蝕刻前之面」所示，發生刮痕形成寬度及深度為數 μm 的凹凸。為使該凹凸縮小，可使用具有較半導體晶圓 1a 之材料的矽 (Si)，絕緣膜 2 及玻璃基板之材料的氧化矽膜 (SiO_2) 為高蝕刻選擇比的藥液，對該半導體晶圓 1a 面進行濕式蝕刻。由該蝕刻作業，可將半導體晶圓 1a 面除去 5 至 $30\ \mu\text{m}$ ，獲得如第 2 圖中以圓形所圍部分的「b：蝕刻後之面」所示的較少凹凸面。

該濕式蝕刻作業使用之藥液，如前述若具有較矽 (Si)，氧化矽 (SiO_2) 為高蝕刻選擇比者則可，不需予以特別限定。如於本實施形態中，該濕式蝕刻溶液，係使用 2.5% 的氟化氫酸、50% 的硝酸、10% 的醋酸及 37.5% 的水之混合液。

該濕式蝕刻之方法，可用下述方法中之任何一種。

第 1 種方法：如塗抹抗蝕劑，在經過背部研磨後之半導體晶圓 1a 向上面滴下藥液，以黏貼玻璃基板的半導體晶圓 1a 為軸中心予以旋轉，使藥液在該半導體晶圓 1a 之晶圓面內擴張至整個晶圓面之方式進行濕式蝕刻，以減少該表面粗糙度者。

此時，可將半導體晶圓 1a 的旋轉方向予以適當變換，

即可使藥液遍佈於全晶圓面，使藥液均勻塗抹，導致表面粗糙度減低。

第 2 種方法：係以半導體晶圓 1a 浸於藥液的浸漬處理進行濕式蝕刻，以減少表面粗糙度的方法。由此，可使藥液更為均勻地遍佈於該半導體晶圓 1a 的整個晶圓面，因此，得以均勻減低表面粗糙度者。

第 3 種方法：係將經由背部研磨後之半導體晶圓 1a 面予以化學機械式研磨 (Chemical Mechanical Polishing, CMP) 減低表面粗糙度之方法。

第 4 種方法：不用濕式蝕刻法，而將經由背部研磨後之半導體晶圓 1a 面予以向上設置對該半導體晶圓 1a 面進行乾式蝕刻以減低表面粗糙度之方法。

進行濕式蝕刻後，係如第 3 圖所示，對與玻璃基板 4 黏貼面相反之一面的半導體晶圓 1a 面，形成沿境界 S 設有開口部之未圖示之抗蝕圖案 (resist pattern)。且以該抗蝕型樣為遮罩，將半導體晶圓 1a 予以等向性蝕刻，在境界 S 部分形成具有傾斜度的溝部而露出絕緣膜 2。由此，可將半導體晶圓 1a 分割為各別的半導體晶片 1，唯因該半導體晶片 1 係以玻璃板 4 支持，故其整體形狀仍具有半導體晶圓 1a 之形態。

上述蝕刻作業可採用乾式、或濕式之任何一種進行。

形成溝部後的半導體晶圓 1a，已發生表面凹凸，及因蝕刻而附著殘渣、異物等。並且如第 3 圖中之圓圈 c、d 所示，在溝部成為稜角等尖銳形狀。

再如第 4 圖，為了將上述殘渣、異物去除，乃進行濕式蝕刻而將尖銳部分予以圓弧化。由該濕式蝕刻可將第 3 圖中之 c、d 部分弧化為第 4 圖中之 c、d 部分所示狀況。

使用於上述濕式蝕刻的藥液，得使用與背部研磨後使用的同樣藥液。其濕式蝕刻作業即可採用下述方法。

第 1 種方法：如塗抹抗蝕劑，將形成溝部之面向上置放，而將藥物滴下在半導體晶圓 1a 面上並使該半導體晶圓 1a 旋轉，以使藥液在半導體晶圓 1a 之晶圓面內遍佈整個晶圓面，進行形成溝部後的濕式蝕刻作業法。

此時，可將半導體晶圓 1a 的旋轉方向予以適當變換，即可使藥液遍佈於整個晶圓面，由藥液的均勻塗抹，可提升晶圓面內的蝕刻均勻性。

第 2 種方法：係進行將半導體晶圓 1a 浸入藥液的浸漬處理行使溝部形成面的濕式蝕刻者。由此，可使藥液較第 1 種方法更為均勻地遍佈於該半導體晶圓 1a 的整個晶圓面，因此，得提升晶圓面的蝕刻均勻性。

第 3 種方法：係對半導體晶圓 1a 的形成溝部晶圓面，進行乾式蝕刻以替代濕式蝕刻去除半導體晶圓 1a 之上述尖銳部分。

完成蝕刻後，如第 5 圖所示，可在黏貼上述半導體晶片 1 之玻璃基板 4 面的反面進行絕緣膜 7 的成膜。於本實施例中，係形成 3 μ m 的矽烷(silane)類之氧化膜。

再如第 6 圖所示，在上述半導體晶片 1 中之絕緣膜 7 上塗抹未圖示之抗蝕劑，將絕緣膜 7 予以圖案化以使上述

第 1 配線 3 之下面一部分露出狀。以上述抗蝕劑為遮罩，將絕緣膜 7、絕緣膜 2 予以蝕刻，以使第 1 配線 3 下面一部分露出。復於在後製程要形成導電端子 11 位置之重疊位置上，形成具有柔軟性的緩衝構件 8。該緩衝構件 8 係用以吸收可能施加於導電端子 11 的力量以便於接合導電端子 11 時緩和應力而設者。唯於本發明，並不限制不使用該緩衝構件 8。

其次，在黏貼上述玻璃基板 4 面的背面，形成第 2 配線 9。由此，得以將第 1 配線 3 與第 2 配線 9 予以電氣連接。

接著如第 7 圖所示，在與黏貼上述玻璃基板 4 面相反的面，塗抹未圖示之抗蝕劑，以進行使沿境界 S 開口的圖案化形成作業。且以該抗蝕劑為遮罩進行蝕刻，去除境界 S 附近之第 2 配線 9。且在第 2 配線 9 形成後(未圖示)，對與黏貼玻璃基板 4 面相反的面，施行無電式電鍍(electroless plating)，而對第 2 配線 9 實施 Ni-Au 電鍍。

續之，在與黏貼玻璃基板 4 面相反的面形成保護膜 10。為形成保護膜 10，可將與黏貼玻璃基板 4 面相反的面向上置放，將熱硬化性有機系樹脂予以滴下，而使半導體晶圓 1a 本身旋轉，由該旋轉，利用遠心力作用使該有機系樹脂擴散於晶圓面上由此得以在第 2 配線 9 表面形成保護膜 10。

又如第 8 圖，利用未圖示之抗蝕膜將要形成導電端子 11 的部分(對應於緩衝構件 8 的位置上)予以蝕刻而去除。

然後，在上述以蝕刻露出之第 2 配線 9 上(對應於緩衝構件 8 的位置)形成導電端子 11。再將保護膜 10、樹脂 5 及玻璃基板 4，沿境界 S 裁斷，即可完成球狀柵極矩陣(ball grid array, BGA)型半導體裝置。

雖然，本實施形態係以適用形成為球狀端子(即，導電端子 11)之半導體裝置予以說明者。但得不限定於該形狀，亦得適用於不形成球狀端子的半導體裝置，如：著地柵極矩陣(land grid array, LGA)型半導體裝置者。

(發明的效果)

本發明的效果係在於解決薄型球狀柵極矩陣(BGA)型半導體裝置在製造上的問題，以提升球狀柵極矩陣型半導體裝置之可靠性(信賴性)及良品率者。其內容如下：

(1)在與對黏貼支持板之半導體晶圓面相反之面進行背部研磨後，以濕式蝕刻，對上述半導體晶圓之背面發生之寬度、深度相差為數 μm 的晶圓面凹凸刮痕進行蝕刻作業，減低晶圓面之表面粗糙度，提高膜層的覆蓋性。

(2)對背部研磨後，或於晶片境界部分之傾斜面溝加工之蝕刻作業後，發生異物或殘渣之晶圓面內凹凸、或稜角前端尖銳部分進行濕式蝕刻，能使晶圓面凹凸減少，亦能使稜角部分前端圓弧化，以提高膜層的覆蓋性。

【圖式簡單說明】

第 1 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 2 圖為有關本發明實施形態之半導體裝置製造方法

之剖面圖。

第 3 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 4 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 5 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 6 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 7 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 8 圖為有關本發明實施形態之半導體裝置製造方法之剖面圖。

第 9 圖 (A) 為以習用半導體裝置製造方法形成之半導體裝置斜視圖。

第 9 圖 (B) 為以習用半導體裝置製造方法形成之半導體裝置斜視圖。

第 10 圖為以習用半導體裝置製造方法形成之半導體裝置剖視圖。

(元件符號說明)

1	半導體晶片(chip)	1a	半導體晶圓(wafer)
2	絕緣膜	3	第 1 配線
4	玻璃基板	5	環氧樹脂
7	絕緣膜	8	緩衝構件

9	第 2 配線	10	保護膜
11	導電端子	100	半導體裝置
101	半導體晶片	102	絕緣膜
103	第 1 配線	104a	第 1 玻璃基板
104b	第 2 玻璃基板	105a	環氧樹脂
105b	環氧樹脂	109	第 2 配線
110	保護膜	111	導電端子
a	蝕刻前之面(擴大圖)	b	蝕刻後之面(擴大圖)
S	境界		

伍、中文發明摘要：

一種為提升球狀柵極矩陣(ball grid array, BGA)型半導體裝置之良品率及可靠性(信賴性)的半導體裝置製造方法，係於形成第1配線(3)之半導體晶圓(1a)表面，藉由樹脂(5)與作為支持板的玻璃基板(4)黏貼。且於該黏貼玻璃基板(4)面之反面上，施加背部研磨(back-grinding)，以使半導體晶圓(1a)的厚度薄形化。此時，為去除因研磨處理而產生之半導體晶圓(1a)面內的凹凸刮痕(scratch)進行濕式蝕刻處理。再對玻璃基板(4)黏貼面之反面，沿著境界S之區域，進行蝕刻作業而形成具有傾斜面之溝。此時，為使由蝕刻形成的溝部表面凹凸及稜角部分之前端圓弧化，而進行濕式蝕刻。由該上述濕式蝕刻處理，能使背部蝕刻後形成之絕緣膜、配線、保護膜之覆蓋性提升，而使半導體裝置之良品率提升，同時亦使可靠性(信賴性)提高者。

陸、英文發明摘要：

A glass substrate (4) is bonded as a supporting member through a resin (5) on a surface of a semiconductor wafer (1a) having a first circuit wiring (3). A surface opposite to the surface where the glass substrate (4) is bonded is back-ground to reduce the thickness of the semiconductor wafer (1a). A wet-etching is then performed to remove the unduration of the surface of the semiconductor wafer (1a) caused by the scratch produced in the back-grinding process. Then an etching is performed on the surface opposite to the surface where the glass substrate (4) is bonded to form a groove along a boundary S, the groove having a tapered surface. A wet-etching is then performed to round off the sharp edges of the corners and the undurating surface of the groove formed by the above etching. As a result of the above wet-etching, the coverage of an insulation film, a circuit wiring, and a protective film formed subsequent to the back-grinding and the etching is improved, and the yield and the reliability of the semiconductor device are enhanced.

柒、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件代表符號簡單說明：

1	半導體晶片(chip)	2	絕緣膜
3	第1配線	4	玻璃基板
5	環氧樹脂	7	絕緣膜
8	緩衝構件	9	第2配線
10	保護膜	11	導電端子
S	境界		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

拾、申請專利範圍：

1. 一種半導體裝置之製造方法，係於形成半導體元件的半導體晶圓面黏貼支持板，在與黏貼有上述支持板面之上上述半導體晶圓面相反之面施以背部研磨(back-grinding)後，再於上述背部研磨後之上上述半導體晶圓之面上進行濕式蝕刻，以減少表面粗糙度者。
2. 一種半導體裝置之製造方法，係於形成半導體元件的半導體晶圓面黏貼支持板，在與黏貼有上述支持板面之上上述半導體晶圓面相反之面施以蝕刻處理形成溝部後，再於上述蝕刻處理後之上上述半導體晶圓之面上進行濕式蝕刻，以將上述溝部之稜角部加工成為圓弧化者。
3. 如申請專利範圍第 1 項記載之半導體裝置製造方法，其中，

上述濕式蝕刻係將上述背部研磨後之上上述半導體晶圓面向上置放，將藥液由上方向該半導體晶圓滴下，同時，將該半導體晶圓予以旋轉，使藥液擴張在該半導體晶圓之整個表面，而進行濕式蝕刻加工者。

4. 如申請專利範圍第 2 項記載之半導體裝置製造方法，其中，

上述濕式蝕刻係將經過蝕刻後之上上述半導體晶圓面向上，將藥液由上方向該半導體晶圓滴下，同時，將該半導體晶圓予以旋轉，使藥液擴張在該半導體晶圓之整個表面，而進行濕式蝕刻加工者。

5. 如申請專利範圍第 3 或第 4 項記載之半導體裝置製造方

法，其中，

上述濕式蝕刻係一面將上述半導體晶圓的旋轉方向予以變換一面進行者。

6. 如申請專利範圍第 1 項記載之半導體裝置製造方法，其中，

上述濕式蝕刻係將經過背部研磨後之半導體晶圓之面予以化學機械式研磨(CMP)而減低表面粗糙度者。

7. 如申請專利範圍第 1、3 或第 6 項中任何一項記載之半導體裝置製造方法，其中，

係以上述濕式蝕刻將附著於上述經過背部研磨後之半導體晶圓之面的異物予以去除者。

8. 如申請專利範圍第 2 或第 4 項記載之半導體裝置製造方法，其中，

係以上述濕式蝕刻將附著於上述經過蝕刻後之半導體晶圓之面的異物予以去除者。

9. 一種半導體裝置之製造方法，係具有：

於形成有多數個半導體元件之半導體晶圓上，形成絕緣膜，再於該絕緣膜上形成以鄰接半導體元件的境界為中心而成為一對之第 1 配線的配線形成製程；

藉由黏貼劑將支持板予以黏貼以覆蓋第 1 配線的黏貼製程；

將與黏貼上述支持板的面相反之上述半導體晶圓面予以背部研磨的研磨製程，及

在上述經過背部研磨後之半導體晶圓面，進行濕式蝕刻以減低表面粗糙度的蝕刻製程者。

10.如申請專利範圍第 9 項記載之半導體裝置製造方法，係具有：

對上述背部研磨後之半導體晶圓面，或經過上述濕式蝕刻之上述半導體晶圓面，以抗蝕層進行圖案化後，以該抗蝕層為遮罩進行蝕刻，沿上述半導體元件之境界線形成溝部的製程，及

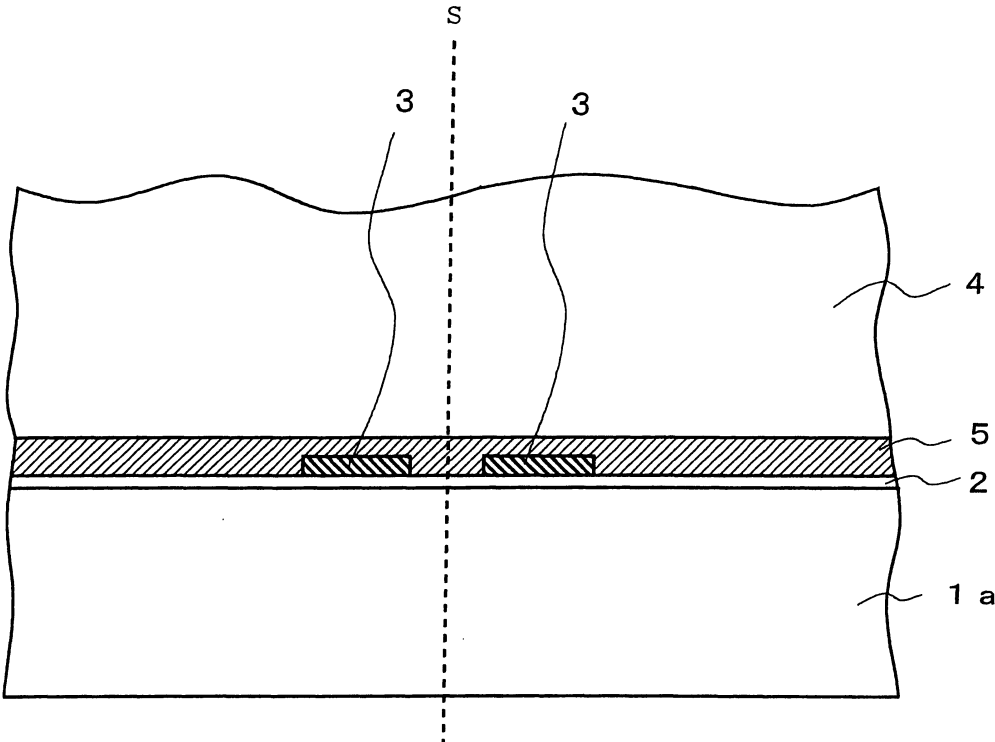
對上述含有溝部的經過上述蝕刻之半導體晶圓面，進行濕式蝕刻，以使該溝部之稜角部分予以圓弧化的製程者。

11.如申請專利範圍第 1、2、9 或第 10 項中任何一項記載之半導體裝置製造方法，其中，

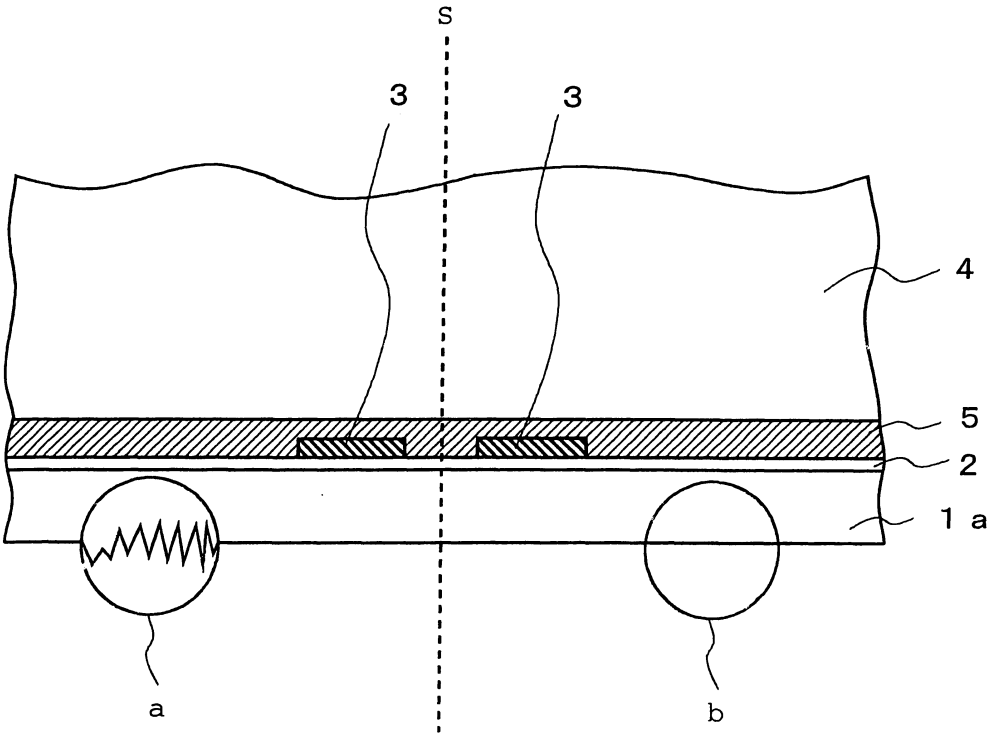
上述濕式蝕刻，係將上述半導體晶圓浸於藥液方式的浸漬處理而進行者。

12.如申請專利範圍第 1、2、9 或第 10 項中任何一項記載之半導體裝置製造方法，其中，

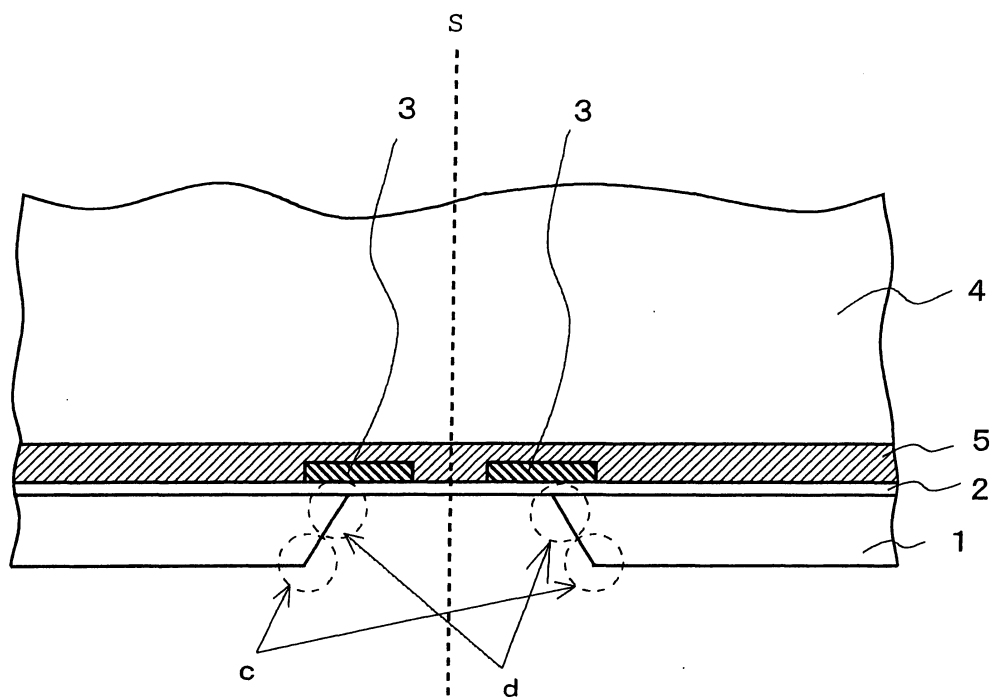
以進行乾式蝕刻替代上述濕式蝕刻者。



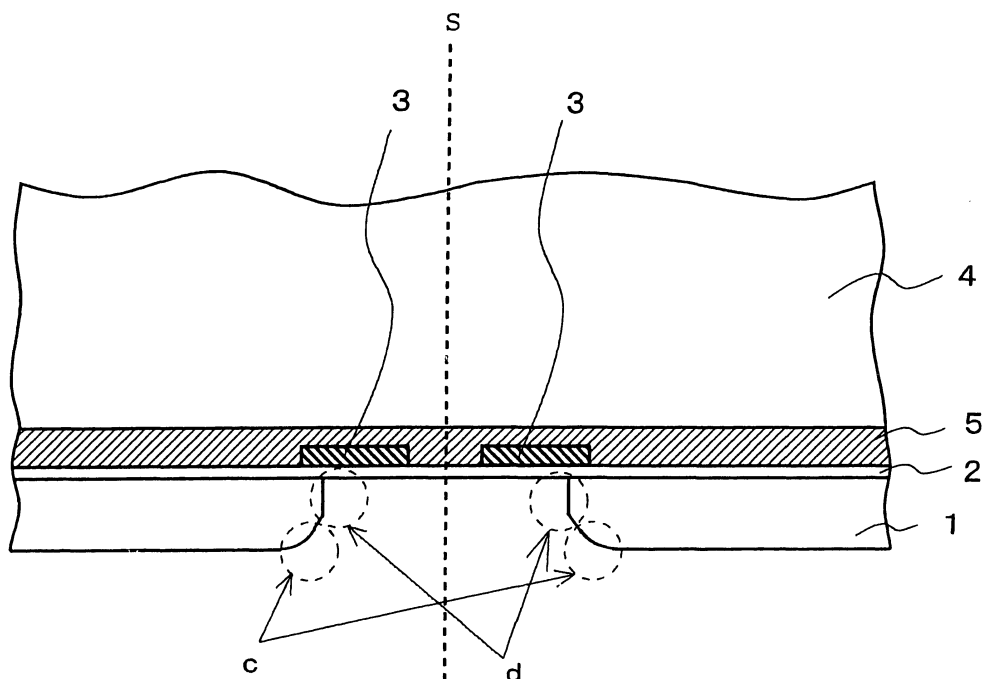
第 1 圖



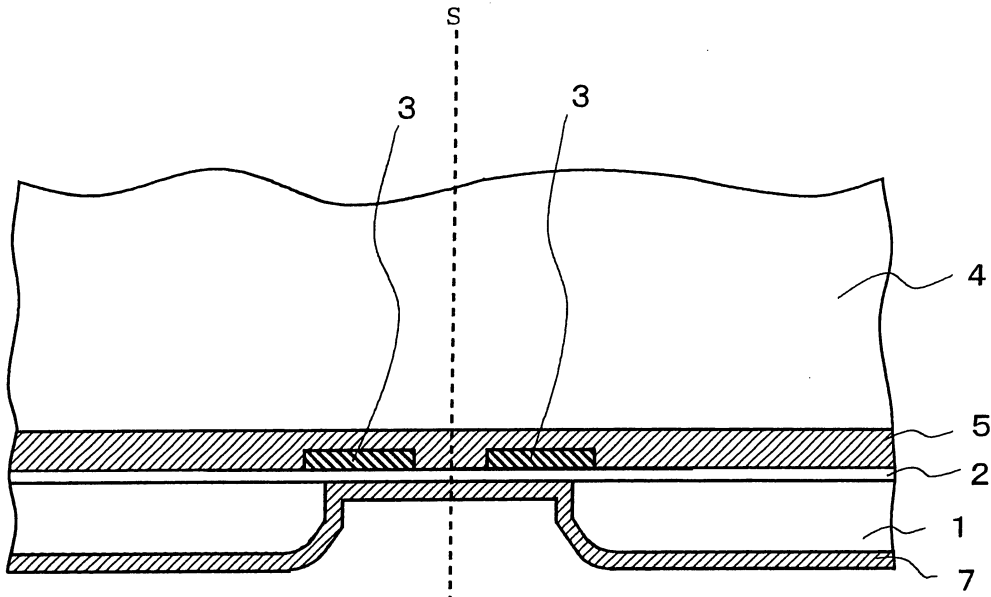
第 2 圖



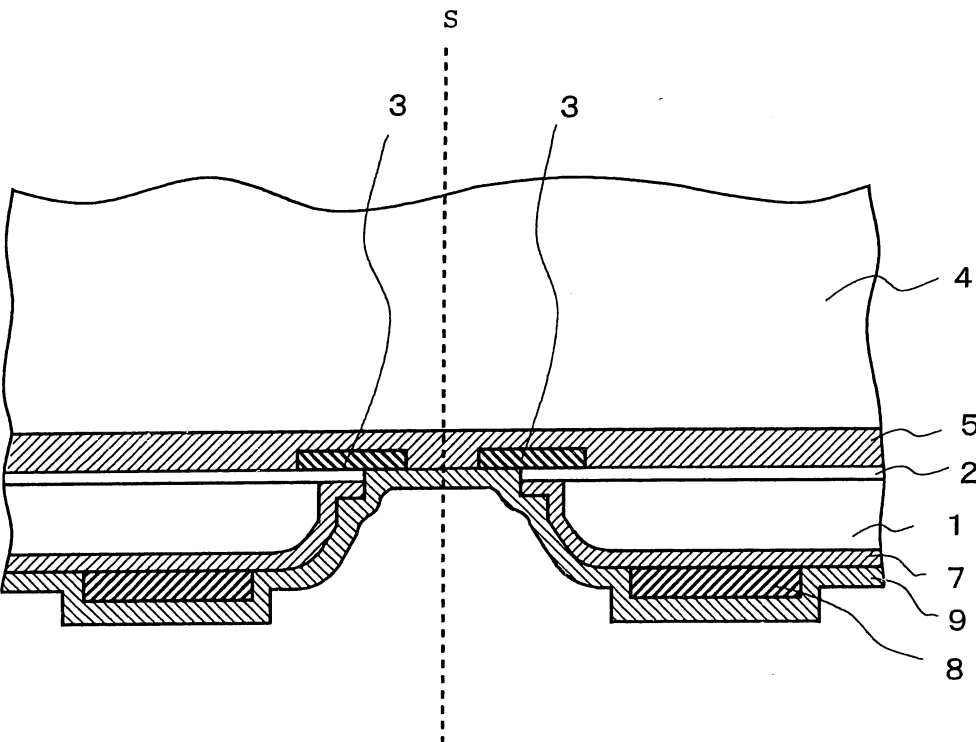
第 3 圖



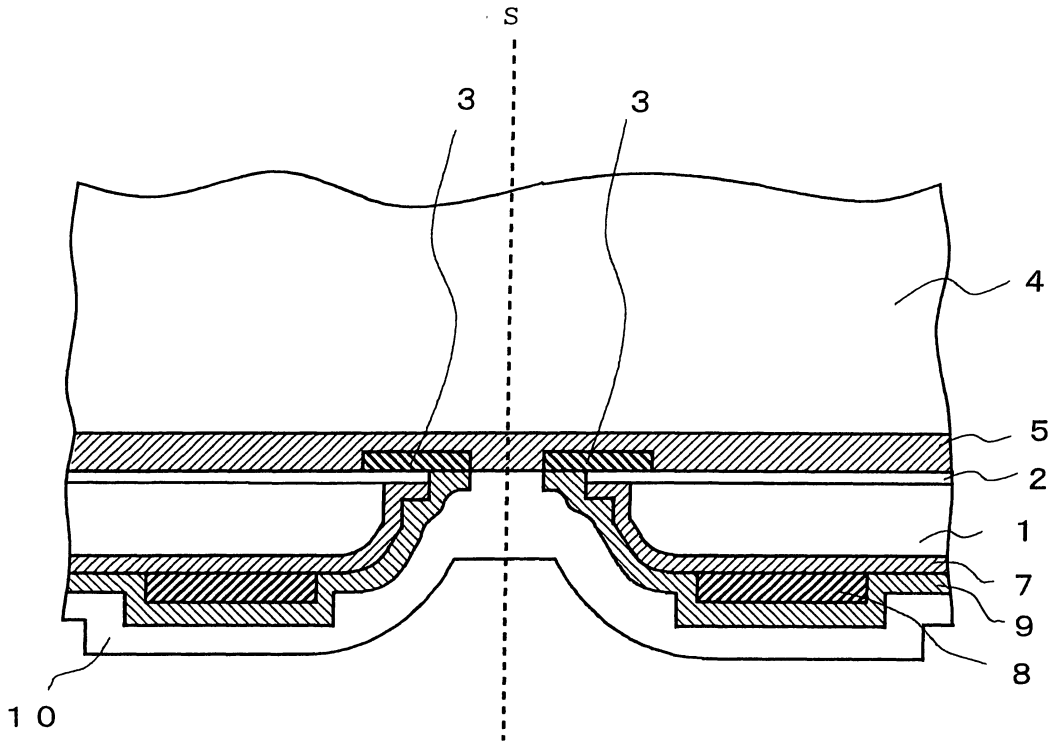
第 4 圖



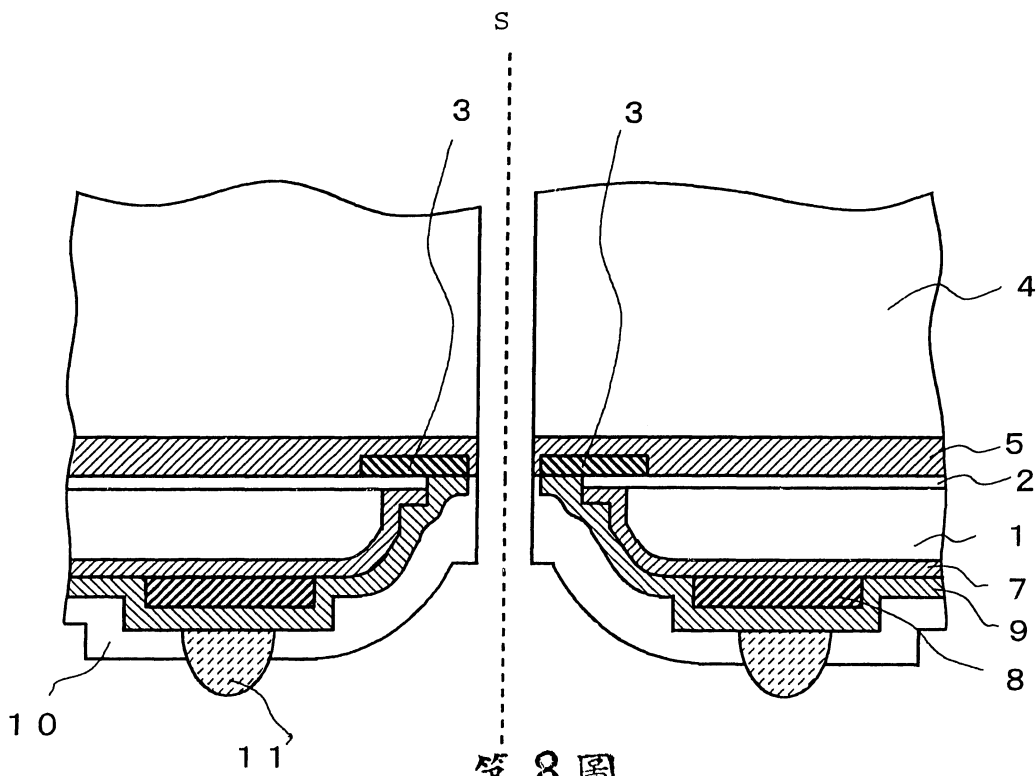
第 5 圖



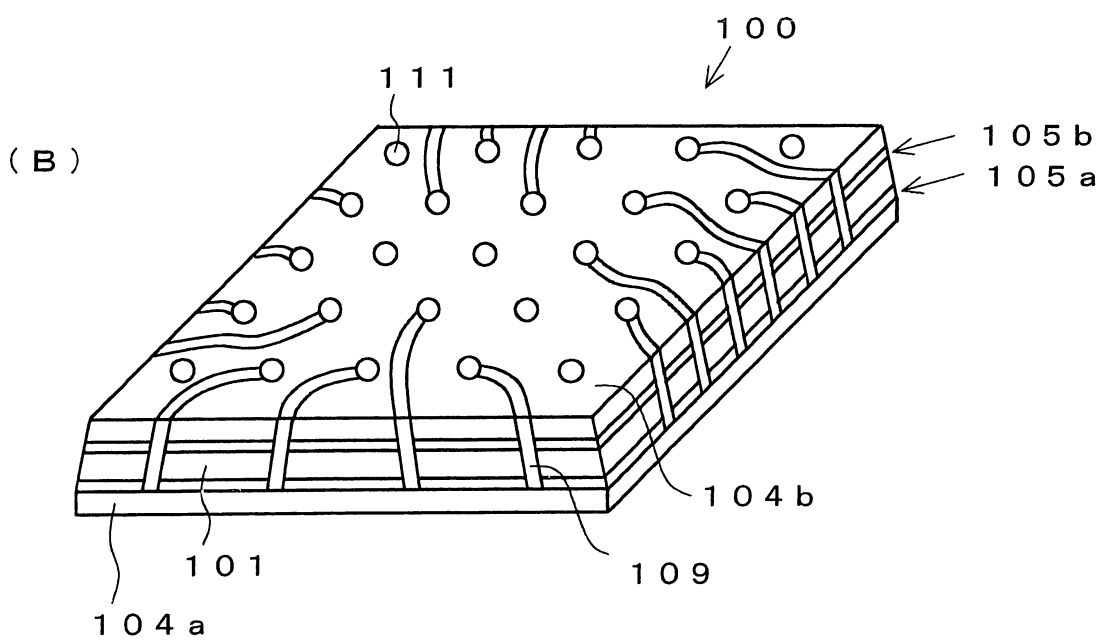
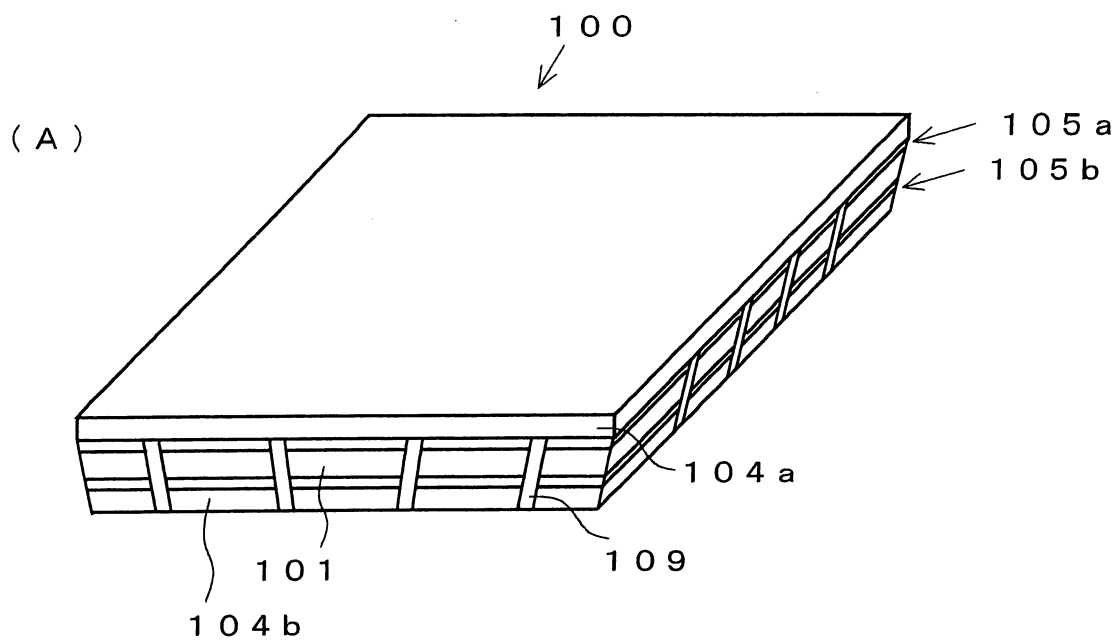
第 6 圖



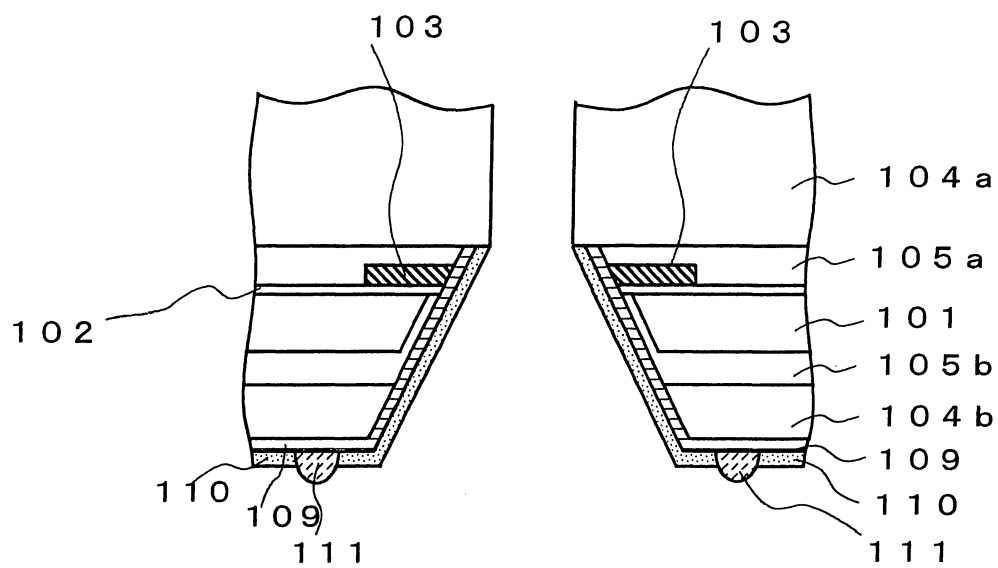
第 7 圖



第 8 圖



第 9 圖



第10圖