

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 11 月 14 日(14.11.2013)

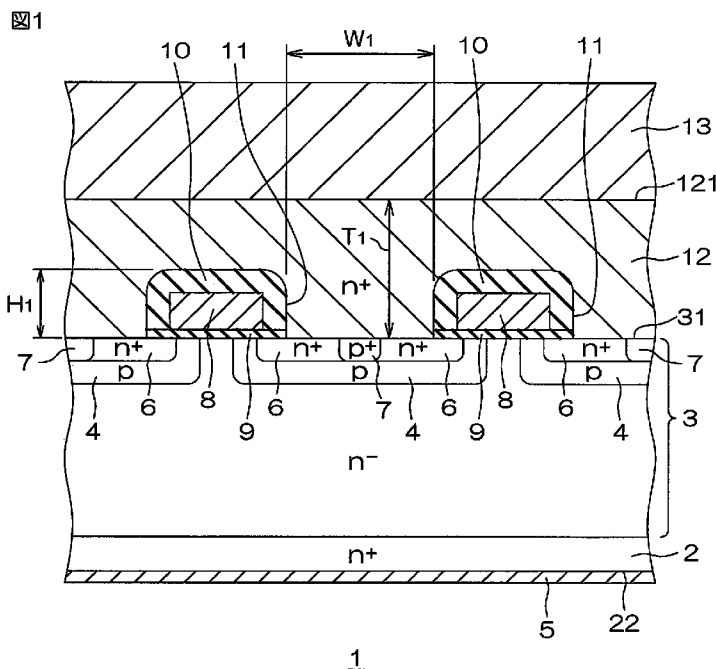


(10) 国際公開番号
WO 2013/168796 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/063160
- (22) 国際出願日: 2013 年 5 月 10 日(10.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-109950 2012 年 5 月 11 日(11.05.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 中野 佑紀(NAKANO, Yuki); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 中村 亮太(NAKAMURA, Ryota); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: [Problem] To provide: a semiconductor device in which the surface of a metal electrode arranged on the outermost surface can be made flat or smooth; and a method for producing said semiconductor device. [Solution] This semiconductor device (1) comprises: a SiC epitaxial layer (3) that has an uneven shape formed, on the basis of a height difference (H_1), on the outermost surface where a semiconductor element (MOSFET) is arranged; and a source electrode (13) made of a metal material and formed on the SiC epitaxial layer (3). A polysilicon layer (12) having a surface (121) that is smoother than said uneven shape is provided between the surface (31) of the SiC epitaxial layer (3) and the source electrode (13).

(57) 要約: 【課題】最表面に配置される金属電極の表面を平坦もしくは滑らかにすることができる半導体装置およびその製造方法を提供すること。
【解決手段】半導体素子(MOSFET)が配置された最表面に高低差 H_1 に基づいて形成された凹凸形状を有するSiCエピタキシャル層3と、SiCエピタキシャル層3上に形成された金属材料からなるソース電極13とを

含む半導体装置1において、SiCエピタキシャル層3の表面31とソース電極13との間に、前記凹凸形状に比べて滑らかな表面121を有するポリシリコン層12を設ける。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置およびその製法に関する。

背景技術

[0002] たとえば、特許文献 1 は、半導体基板と、半導体基板に形成されたドリフト領域と、ドリフト領域に交互に形成された n カラム領域および p カラム領域と、ドリフト領域の上端部に形成された p ウェル領域と、p ウェル領域に形成された一対の n 型ソース領域と、一対の n 型ソース領域を連結するように形成された p⁺ボディコンタクト領域と、半導体基板のデバイス面にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極を被覆する層間膜と、層間膜上にバリアメタル層を介して形成されたソースメタル電極層とを含む、半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開 2011-146429 号公報

発明の概要

課題を解決するための手段

[0004] 本発明の第 1 の局面に係る半導体装置は、半導体素子が配置された最表面に凹凸形状を有する半導体層と、前記凹凸形状上に形成され、前記凹凸形状に比べて滑らかな表面を有する凹凸緩和層と、前記凹凸緩和層上に形成された金属材料からなる表面電極とを含む（請求項 1）。

この構成によれば、凹凸緩和層が形成されているため、半導体層の最表面（凹凸形状）に金属材料を直接堆積させて表面電極を形成する場合に比べて、表面電極の表面を滑らかもしくは平坦にすることができる。これにより、表面電極にワイヤを接続するときに、表面電極の表面に対するワイヤの引っ掛かりをなくして、ワイヤ接合部を表面電極の表面全体に広げることができ

る。その結果、表面電極に対するワイヤの接触面積を増やすことができるので、ワイヤの密着性を向上させることができる。その結果、ワイヤの剥がれ頻度を減らすことができるので、半導体装置を組み立てる際の歩留まりを向上させ、コストを低減することができる。また、ワイヤの密着性の向上により、ワイヤ接合部の信頼性を向上させることができる。

[0005] 前記凹凸形状は、前記半導体層の表面上に形成され、当該表面を選択的に露出させるコンタクトホールを有する絶縁膜の表面と、当該コンタクトホールに露出する前記半導体層の前記表面との高低差に基づいて形成されていてもよい（請求項2）。また、前記凹凸形状は、前記半導体層の表面から裏面に向かって形成されたトレンチの底面と、前記半導体層の前記表面との高低差に基づいて形成されていてもよい（請求項3）。

前記凹凸緩和層は、ポリシリコン層を含むことが好ましい（請求項4）。

[0006] ポリシリコンは埋め込み性に優れる材料なので、凹凸形状の窪みを簡単に埋め戻すことができる。そのため、ポリシリコンの堆積という簡単な方法で、表面電極の表面を滑らかもしくは平坦にすることができる。

前記ポリシリコン層の厚さ T は、前記凹凸形状の窪みの最大幅 W の $2/3$ 以上であることが好ましい（請求項5）。

[0007] この条件を満たす厚さ T までポリシリコンを堆積させることによって、凹凸形状の窪みを確実に埋め戻すことができる。

前記半導体層が、第1導電型不純物領域が選択的に形成された SiC 層である場合、前記ポリシリコン層は、前記第1導電型不純物領域に接する第1導電型部分を選択的に含むことが好ましい（請求項6）。

[0008] 第1導電型のポリシリコンは、第1導電型の SiC に対して低いコンタクト抵抗で接触できる物質である。そのため、 RTA （Rapid Thermal Anneal）等の処理を行って SiC 層の表面にシリサイドを形成しなくても、 SiC 層（第1導電型不純物領域）とポリシリコン層（第1導電型部分）との間に簡単にオーミック接合を形成することができる。

前記 SiC 層が、選択的に形成された第2導電型不純物領域をさらに含む

場合、前記ポリシリコン層は、前記第2導電型不純物領域に接する第2導電型部分を選択的にさらに含むことが好ましい（請求項7）。

[0009] 第2導電型のポリシリコンは、第2導電型のS i Cに対して低いコンタクト抵抗で接触できる物質である。そのため、R T A（Rapid Thermal Anneal）等の処理を行ってS i C層の表面にシリサイドを形成しなくても、S i C層（第2導電型不純物領域）とポリシリコン層（第2導電型部分）との間に簡単にオーミック接合を形成することができる。

本発明の第2の局面に係る半導体装置は、第1導電型のS i Cからなる半導体層と、前記半導体層の表面に露出するように形成された第1導電型のソース層と、前記ソース層に対して前記半導体層の裏面側に前記ソース層に接するように形成された第2導電型のチャネル層と、前記チャネル層に対して前記半導体層の前記裏面側に前記チャネル層に接するように形成された第1導電型のドリフト層とを含み、前記半導体層の前記表面に形成され、前記ソース層を選択的に露出させるコンタクトホールを有する層間膜と、前記層間膜上に形成され、前記コンタクトホールを介して前記ソース層に選択的に接するポリシリコン層であって、前記層間膜の表面と、前記コンタクトホールに露出する前記半導体層の前記表面との高低差に基づいて形成された凹凸形状に比べて滑らかな表面を有するポリシリコン層と、前記ポリシリコン層上に形成された金属材料からなるソース電極とを含む（請求項8）。

[0010] この構成によれば、金属材料からなるソース電極と半導体層との間にポリシリコン層が形成されているため、半導体層の最表面（凹凸形状）に金属材料を直接堆積させてソース電極を形成する場合に比べて、ソース電極の表面を滑らかもしくは平坦にすることができる。これにより、ソース電極にワイヤを接続するときに、ソース電極の表面に対するワイヤの引っ掛かりをなくして、ワイヤ接合部をソース電極の表面全体に広げることができる。その結果、ソース電極に対するワイヤの接触面積を増やすことができるので、ワイヤの密着性を向上させることができる。その結果、ワイヤの剥がれ頻度を減らすことができるので、半導体装置を組み立てる際の歩留まりを向上させ、

コストを低減することができる。また、ワイヤの密着性の向上により、ワイヤ接合部の信頼性を向上させることができる。

[0011] また、ポリシリコンは埋め込み性に優れる材料なので、層間膜のコンタクトホールを簡単に埋め戻すことができる。そのため、ポリシリコンの堆積という簡単な方法で、ソース電極の表面を滑らかもしくは平坦にすることができる。

前記ポリシリコン層は、前記ソース層に接する第1導電型部分を選択的に含むことが好ましい（請求項9）。

[0012] 第1導電型のポリシリコンは、第1導電型のS i Cに対して低いコンタクト抵抗で接触できる物質である。そのため、RTA（Rapid Thermal Anneal）等の処理を行ってS i C層の表面にシリサイドを形成しなくても、ソース層とポリシリコン層（第1導電型部分）との間に簡単にオーミック接合を形成することができる。

前記チャネル層は、前記半導体層の前記表面に露出し、当該チャネル層の他の部分よりも高濃度な第2導電型のチャネルコンタクト層を含み、前記ポリシリコン層は、前記チャネルコンタクト層に接する第2導電型部分をさらに含むことが好ましい（請求項10）。

[0013] 第2導電型のポリシリコンは、第2導電型のS i Cに対して低いコンタクト抵抗で接触できる物質である。そのため、RTA（Rapid Thermal Anneal）等の処理を行ってS i C層の表面にシリサイドを形成しなくても、チャネルコンタクト層とポリシリコン層（第2導電型部分）との間に簡単にオーミック接合を形成することができる。

前記半導体装置は、前記半導体層の前記表面から前記ソース層および前記チャネル層を貫通して前記ドリフト層に達するゲートトレンチと、前記ゲートトレンチの側面および底面に形成されたゲート絶縁膜と、前記ゲートトレンチに埋め込まれたゲート電極とを含むトレンチゲート型構造を有していてもよい（請求項11）。また、前記半導体装置は、前記半導体層の前記表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極

とを含むプレーナゲート型構造を有していてもよい（請求項１２）。

[0014] 前記半導体装置は、前記半導体層の前記表面から前記ソース層および前記チャンネル層を貫通して前記ドリフト層に達するソーストレンチをさらに含み、前記凹凸形状は、前記ソーストレンチの底面と、前記半導体層の前記表面との高低差に基づいて形成された凹凸を含んでいてもよい（請求項１３）。この場合でも、ポリシリコンによってソーストレンチを簡単に埋め戻すことができる。

[0015] 本発明の第１の局面に係る半導体装置の製造方法は、半導体層の表面に所定の不純物層を選択的に形成することによって、半導体素子を形成する工程と、前記半導体層の前記表面に絶縁膜を形成する工程と、前記絶縁膜を選択的に除去することによって、前記不純物層を露出させるコンタクトホールを形成する工程と、前記コンタクトホールを埋め戻し、その堆積面が、前記絶縁膜の表面と、前記コンタクトホールに露出する前記半導体層の前記表面との高低差に基づいて形成された凹凸形状に比べて滑らかになるまでポリシリコンを堆積させることによって、ポリシリコン層を形成する工程と、前記ポリシリコン層上に金属材料を堆積させることによって、表面電極を形成する工程とを含む（請求項１４）。

[0016] この方法によれば、埋め込み性に優れるポリシリコンを半導体層上に堆積させるので、コンタクトホールを簡単に埋め戻すことができる。これにより、表面電極の表面を簡単に滑らかもしくは平坦にすることができる。

前記表面電極を形成する工程は、前記ポリシリコン層の前記堆積面の平坦化処理を行わずに、堆積後のままの状態の前記ポリシリコン層に前記金属材料を堆積させる工程を含むことが好ましい（請求項１５）。

[0017] この方法では、平坦化処理を省略することができるので、製造工程を簡略化することができる。しかも、ポリシリコンに対してエッチバック等の平坦化処理を行うと、結晶性によってエッチバック面に凹凸が発生するおそれがあるが、そのような凹凸の発生を防止することもできる。

前記ポリシリコン層を形成する工程は、ＬＰＣＶＤ法でポリシリコンを堆

積させる工程を含むことが好ましい（請求項１６）。

[0018] L P C V D法でポリシリコンを堆積させることによって、コンタクトホール
の底面および側面の全ての面に対して均一に膜を付けることができる。

図面の簡単な説明

[0019] [図1]図１は、本発明の第１実施形態に係る半導体装置の模式的な断面図である。

[図2]図２は、前記半導体装置を含む半導体パッケージの構成を説明するための図であって、図２（a）はパッケージ内部の透視図、図２（b）は図２（a）の切断面線II b - II b から見た断面図である。

[図3]図３は、前記半導体装置の製造方法を説明するためのフロー図である。

[図4]図４は、本発明の第２実施形態に係る半導体装置の模式的な断面図である。

[図5]図５は、本発明の第３実施形態に係る半導体装置の模式的な断面図である。

[図6]図６は、本発明の第４実施形態に係る半導体装置の模式的な断面図である。

[図7]図７は、本発明の第５実施形態に係る半導体装置の模式的な断面図である。

[図8]図８は、本発明の第６実施形態に係る半導体装置の模式的な断面図である。

[図9]図９は、本発明の第７実施形態に係る半導体装置の模式的な断面図である。

発明を実施するための形態

[0020] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図１は、本発明の第１実施形態に係る半導体装置の模式的な断面図である。

半導体装置１は、S i C（炭化シリコン）を用いたパワーM O S F E T (Metal-Oxide-Semiconductor

Field Effect Transistor)素子(半導体素子)を含み、半導体層の一例としての、S i C基板2、およびS i C基板2上に形成されたS i Cエピタキシャル層3を含む。S i C基板2およびS i Cエピタキシャル層3の導電型は、いずれも第1導電型としてのn型である。具体的には、S i C基板2は、n⁺型(たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$)であり、S i Cエピタキシャル層3は、S i C基板2よりも低濃度のn⁻型(たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$)である。S i Cエピタキシャル層3は、電界効果トランジスタのドレイン領域(ドリフト層)として機能する。

[0021] S i Cエピタキシャル層3の表面31側には、チャネル層の一例としての複数のp型ウェル4が格子配列されて多数形成されている。また、S i C基板2の裏面22には、たとえば、ニッケル金属膜からなるドレイン電極5が形成されている。

個々のp型ウェル4内には、第1導電型不純物領域およびソース層の一例としてのn⁺型ソース領域6と、このn⁺型ソース領域6に取り囲まれた、第2導電型不純物領域およびチャネルコンタクト層の一例としてのp⁺型ウェルコンタクト領域7とが形成されている。n⁺型ソース領域6およびp⁺型ウェルコンタクト領域7は共にS i Cエピタキシャル層3の表面31に露出している。そして、隣接するp型ウェル4に跨るようにゲート電極8が形成されており、このゲート電極8とS i Cエピタキシャル層3との間にゲート絶縁膜9が介在されている。ゲート電極8は、n⁺型ソース領域6とドレイン領域としてのS i Cエピタキシャル層3(p型ウェル4の間の領域)との間に跨っていて、p型ウェル4の表面における反転層(チャネル)の形成を制御する。すなわち、この半導体装置1は、いわゆるプレーナゲート型構造のM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)を有している。

[0022] さらに、ゲート電極8を覆うように、たとえば酸化シリコンからなる絶縁膜の一例としての層間膜10が形成されている。層間膜10には、p型ウェル4の中央領域にコンタクトホール11が選択的に形成されている。このコ

ンタクトホール 11 は、 p^+ 型ウェルコンタクト領域 7 およびその周囲の n^+ 型ソース領域 6 の一部を選択的に露出させることができる領域に形成されている。このように、SiC エピタキシャル層 3 の表面 31（平坦面）がコンタクトホール 11 を有する層間膜 10 で覆われることによって、半導体装置 1 の最表面には、層間膜 10 の表面と、コンタクトホール 11 に露出する SiC エピタキシャル層 3 の表面 31 との高低差 H_1 に基づく凹凸形状が形成されている。なお、「最表面」とは、平坦な SiC エピタキシャル層 3 の表面 31（半導体部分の表面）とは異なる概念であり、当該表面 31 にゲート電極 8、層間膜 10 等が選択的に形成されることによって突出もしくは盛り上がった部分も含むものである。

[0023] そして、コンタクトホール 11 に入り込むように、凹凸緩和層の一例としてのポリシリコン層 12 が形成されている。ポリシリコン層 12 は、コンタクトホール 11 を埋め戻し、さらに層間膜 10 が隠れる厚さ T_1 で形成されている。具体的な厚さ T_1 は、コンタクトホール 11 の最大幅 W_1 の $2/3$ 以上であることが好ましい。なお、この実施形態では、コンタクトホール 11 は深さ方向に一定の径で形成されているので、最大幅 W_1 を測定する場合、深さ方向どの位置で測定してもよい。この実施形態では、ポリシリコン層 12 は一様に n^+ 型であり、コンタクトホール 11 内において、 n^+ 型ソース領域 6 および p^+ 型ウェルコンタクト領域 7 に対して一括して接続されている。また、ポリシリコン層 12 は、平坦な表面 121 を有している。この表面 121 は、高低差 H_1 に基づく凹凸形状に比べて滑らかであればよい。たとえば、表面 121 に高低差 H_1 よりも浅い凹部が選択的に形成されていて、当該凹部によって微細な凹凸形状が形成されていてもよい。

[0024] ポリシリコン層 12 の表面 121 には、表面電極の一例としてのソース電極 13（たとえばアルミニウム等の金属材料からなるもの）が形成されている。ソース電極 13 は、ポリシリコン層 12 を介して n^+ 型ソース領域 6 および p^+ 型ウェルコンタクト領域 7 に対して電氣的に接続される。したがって、 n^+ 型ソース領域 6 は、ソース電極 13 と同電位となる。また、 p 型ウェル 4

は、 p^+ 型ウェルコンタクト領域 7 を介してソース電極 13 に接続されるので、このソース電極 13 と同電位となる。

[0025] 図 2 は、前記半導体装置を含む半導体パッケージの構成を説明するための図であって、図 2 (a) はパッケージ内部の透視図、図 2 (b) は図 2 (a) の切断面線 II b - II b から見た断面図である。なお、図 2 (b) では、明確化のため、ソース電極 13 よりも直下の部分を選択的に拡大して示している。

半導体パッケージ 14 は、端子フレーム 15 と、半導体装置 1 と、ショットキーバリアダイオード 16 と、樹脂パッケージ 17 とを含む。

[0026] 端子フレーム 15 は、金属製の板状に形成されている。端子フレーム 15 は、ベース部 18 と、当該ベース部 18 と一体的に形成されたド레인端子 19 と、当該ベース部 18 に対して離間して形成されたソース端子 20 およびゲート端子 21 とを含む。

ベース部 18 には、半導体装置 1 およびショットキーバリアダイオード 16 が互いに間隔を空けて配置されている。半導体装置 1 は、前記最表面が上方に向く姿勢でベース部 18 に設置されている。設置状態において、半導体装置 1 の最表面には、ソース電極 13 と、ゲート電極 8 に電氣的に接続されたゲートパッド 23 とが露出している。一方、ショットキーバリアダイオード 16 の最表面には、アノード電極 24 が露出している。

[0027] ド레인端子 19、ソース端子 20 およびゲート端子 21 は、それぞれ一端および他端を有する平面視直線状に形成され、ゲート端子 21、ド레인端子 19 およびソース端子 20 の順に互いに平行に並べて配置されている。ド레인端子 19 は、ゲート端子 21 とソース端子 20 との間に配置されている。

そして、半導体装置 1 のド레인電極 5 およびショットキーバリアダイオード 16 のカソード電極（図示せず）は、ベース部 18 に接してド레인端子 19 に電氣的に接続されている。半導体装置 1 のソース電極 13 およびショットキーバリアダイオード 16 のアノード電極 24 は、共通のワイヤ 25

を用いて、ソース端子20に電氣的に接続されている。また、半導体装置1のゲートパッド23は、ワイヤ26を用いて、ゲート端子21に電氣的に接続されている。

[0028] 樹脂パッケージ17は、たとえば、エポキシ樹脂など公知のモールド樹脂からなり、半導体装置1およびショットキーバリアダイオード16とともに、ベース部18およびワイヤ25、26を封止している。3本の端子（ドレイン端子19、ソース端子20およびゲート端子21）は、樹脂パッケージ17から選択的に露出している。

図3は、前記半導体装置の製造方法を説明するためのフロー図である。

[0029] たとえば、CVD (Chemical Vapor Deposition : 化学気相成長) 法、LPE (Liquid Phase Epitaxy : 液相エピタキシ) 法、MBE (Molecular Beam Epitaxy : 分子線エピタキシ) 法などのエピタキシャル成長法により、SiC基板2上に、不純物をドーピングしながらSiC結晶を成長させる（ステップS1）。これにより、SiC基板2上に、SiCエピタキシャル層3が形成される。次に、SiCエピタキシャル層3の表面31に選択的に不純物を注入し、アニール処理する（ステップS2）。これにより、p型ウェル4、n⁺型ソース領域6およびp⁺型ウェルコンタクト領域7が形成される。次に、SiCエピタキシャル層3の表面31を熱酸化させることによって、ゲート絶縁膜9を形成し、当該ゲート絶縁膜9上に、所定パターンのゲート電極8を形成する（ステップS3）。次に、CVD法により、SiCエピタキシャル層3上に、層間膜10を形成する（ステップS4）。

[0030] 次の工程は、コンタクトホール11の形成である（ステップS5）。具体的には、公知のパターニング技術によって、層間膜10およびゲート絶縁膜9を連続して選択的に除去する。これにより、層間膜10およびゲート絶縁膜9を貫通するコンタクトホール11が形成され、同時に、SiCエピタキシャル層3の最表面には、層間膜10の表面と、コンタクトホール11に露出するSiCエピタキシャル層3の表面31との高低差H₁に基づく凹凸形状が形成される。

[0031] 次に、LPCVD (Low Pressure Chemical Vapor Deposition) 法によって、コンタクトホール11を埋め戻し、その堆積面（表面121）が高低差 H_1 に基づく凹凸形状に比べて滑らかになるまで、不純物を導入しないでポリシリコンを堆積させる（ステップS6）。LPCVD法でポリシリコンを堆積させることによって、コンタクトホール11の底面および側面の全ての面に対して均一に膜を付けることができる。

[0032] 具体的には、コンタクトホール11の最大幅 W_1 の $2/3$ 以上の高さまでポリシリコンを堆積させる。この条件を満たす高さ（厚さ T_1 ）までポリシリコンを堆積させることによって、コンタクトホール11を確実に埋め戻すことができる。

その後、堆積したポリシリコンの全体に、マスクを介さずにn型不純物を注入する。これにより、n⁺型のポリシリコン層12が形成される。

[0033] 次に、ポリシリコン層12の堆積面（表面121）に対してエッチバック等の平坦化処理を行わずに、スパッタ法、蒸着法によって、堆積後のままの状態のポリシリコン層12の表面121に、アルミニウム等の金属材料を堆積させる（ステップS7）。これにより、ソース電極13が形成される。この後、ドレイン電極5等を形成することによって、図1に示す半導体装置1が得られる。

[0034] 以上の方法によれば、SiCエピタキシャル層3の最表面に、高低差 H_1 に基づく凹凸形状が形成されていても、ソース電極13の形成前に埋め込み性に優れるポリシリコンを堆積させることによって（ステップS6）、コンタクトホール11を簡単に埋め戻すことができる。これにより、SiCエピタキシャル層3の最表面（凹凸形状）を平坦もしくは滑らかにすることができる。そのため、SiCエピタキシャル層3の最表面に金属材料を直接堆積させてソース電極13を形成する場合に比べて、ソース電極13の表面を簡単に滑らかもしくは平坦にすることができる。

[0035] これにより、図2（a）（b）に示すように、ソース電極13にワイヤ25を接続するときに、ソース電極13の表面に対するワイヤ25の引っ掛か

りをなくして、ワイヤ接合部27をソース電極13の表面全体に広げることができる。その結果、ソース電極13に対するワイヤ25の接触面積を増やすことができるので、ワイヤ25の密着性を向上させることができる。そのため、ワイヤ25の剥がれ頻度を減らすことができるので、半導体装置1を組み立てる際の歩留まりを向上させ、コストを低減することができる。また、ワイヤ25の密着性の向上により、ワイヤ接合部27の信頼性を向上させることができる。

[0036] また、n型のポリシリコンは、n型のSiCに対して低いコンタクト抵抗で接触できる物質である。そのため、RTA (Rapid Thermal Anneal) 等の処理を行ってSiCエピタキシャル層3 (n⁺型ソース領域6) の表面にシリサイドを形成しなくても、n⁺型ソース領域6とポリシリコン層12との間に簡単にオーミック接合を形成することができる。

また、この実施形態の方法では、ポリシリコンの堆積後、平坦化処理を省略することができるので、製造工程を簡略化することができる。しかも、ポリシリコンに対してエッチバック等の平坦化処理を行うと、結晶性によってエッチバック面に凹凸が発生するおそれがあるが、そのような凹凸の発生を防止することもできる。なお、CMPによる平坦化処理は、ポリシリコン層12に凹凸が発生させるおそれが低いので、適切な程度で行ってもよい。

[0037] 図4は、本発明の第2実施形態に係る半導体装置の模式的な断面図である。

半導体装置51は、SiCを用いたパワーMOSFET素子（半導体素子）を含み、半導体層の一例としての、SiC基板52、およびSiC基板52上に形成されたSiCエピタキシャル層53を含む。SiC基板52およびSiCエピタキシャル層53の導電型は、いずれも第1導電型としてのn型である。具体的には、SiC基板52は、n⁺型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）であり、SiCエピタキシャル層53は、SiC基板52よりも低濃度のn⁻型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）である。SiCエピタキシャル層53は、電界効果トランジスタのド

レイン領域（ドリフト層）として機能する。

[0038] SiCエピタキシャル層53の表面531側には、p型チャネル層54が形成されている。また、SiC基板52の裏面522には、たとえば、ニッケル金属膜からなるドレイン電極55が形成されている。

p型チャネル層54内には、第1導電型領域の一例としてのn⁺型ソース層56と、このn⁺型ソース層56に取り囲まれた、第2導電型不純物領域の一例としてのp⁺型チャネルコンタクト層57とが形成されている。n⁺型ソース層56およびp⁺型チャネルコンタクト層57は共にSiCエピタキシャル層53の表面531に露出している。

[0039] また、SiCエピタキシャル層53の表面531側には、n⁺型ソース層56およびp型チャネル層54を貫通してドレイン領域としてのSiCエピタキシャル層3に達するゲートトレンチ64が形成されている。ゲートトレンチ64の形状は、格子状、ストライプ状、ハニカム状等であってよい。このゲートトレンチ64によって、p型チャネル層54は、たとえば格子配列する多数のセルに区画されている。

[0040] そして、ゲートトレンチ64にゲート電極58が埋め込まれており、このゲート電極58とSiCエピタキシャル層53との間にゲート絶縁膜59が介在されている。ゲート電極58は、n⁺型ソース層56とドレイン領域としてのSiCエピタキシャル層3との間に跨っていて、p型チャネル層54の表面（ゲートトレンチ64の側面）における反転層（チャネル）の形成を制御する。すなわち、この半導体装置51は、いわゆるトレンチゲート型構造のMISFETを有している。

[0041] さらに、SiCエピタキシャル層53の表面531には、たとえば酸化シリコンからなる絶縁膜の一例としての層間膜60が形成されている。層間膜60には、p型チャネル層54の中央領域にコンタクトホール61が選択的に形成されている。このコンタクトホール61は、p⁺型チャネルコンタクト層57およびその周囲のn⁺型ソース層56の一部を選択的に露出させることができる領域に形成されている。このように、SiCエピタキシャル層53

の表面 531（平坦面）がコンタクトホール 61 を有する層間膜 60 で覆われることによって、半導体装置 51 の最表面には、層間膜 60 の表面と、コンタクトホール 61 に露出する SiC エピタキシャル層 53 の表面 531 との高低差 H_2 に基づく凹凸形状が形成されている。なお、「最表面」とは、平坦な SiC エピタキシャル層 53 の表面 531（半導体部分の表面）とは異なる概念であり、当該表面 531 に層間膜 60 等が選択的に形成されることによって突出もしくは盛り上がった部分も含むものである。

[0042] そして、コンタクトホール 61 に入り込むように、凹凸緩和層の一例としてのポリシリコン層 62 が形成されている。ポリシリコン層 62 は、コンタクトホール 61 を埋め戻し、さらに層間膜 60 が隠れる厚さ T_2 で形成されている。具体的な厚さ T_2 は、コンタクトホール 61 の最大幅 W_2 の $2/3$ 以上であることが好ましい。なお、この実施形態では、コンタクトホール 61 は深さ方向に一定の径で形成されているので、最大幅 W_2 を測定する場合、深さ方向どの位置で測定してもよい。この実施形態では、ポリシリコン層 62 は一様に n^+ 型であり、コンタクトホール 61 内において、 n^+ 型ソース層 56 および p^+ 型チャネルコンタクト層 57 に対して一括して接続されている。また、ポリシリコン層 62 は、平坦な表面 621 を有している。この表面 621 は、高低差 H_2 に基づく凹凸形状に比べて滑らかであればよい。たとえば、表面 621 に高低差 H_2 よりも浅い凹部が選択的に形成されていて、当該凹部によって微細な凹凸形状が形成されていてもよい。

[0043] ポリシリコン層 62 の表面 621 には、表面電極の一例としてのソース電極 63（たとえばアルミニウム等の金属材料からなるもの）が形成されている。ソース電極 63 は、ポリシリコン層 62 を介して n^+ 型ソース層 56 および p^+ 型チャネルコンタクト層 57 に対して電氣的に接続される。したがって、 n^+ 型ソース層 56 は、ソース電極 63 と同電位となる。また、 p 型チャネル層 54 は、 p^+ 型チャネルコンタクト層 57 を介してソース電極 63 に接続されるので、このソース電極 63 と同電位となる。

[0044] 以上、この半導体装置 51 によっても、前述の半導体装置 1 と同様の作用

効果を達成することができる。

図5は、本発明の第3実施形態に係る半導体装置の模式的な断面図である。図5において、前述の図4に示された各部と対応する部分には同一の参照符号を付して示す。

この半導体装置71では、ゲートトレンチ64で区画された各p型チャネル層54の中央部に、n⁺型ソース層56およびp型チャネル層54を貫通してドリフト層に達するソーストレンチ72が形成されている。これにより、半導体装置71の最表面には、高低差H₂に基づく凹凸形状に加えて、SiCエピタキシャル層53の表面531と、ソーストレンチ72の底面との高低差H₃に基づく凹凸形状がさらに形成されている。また、n⁺型ソース層56およびp型チャネル層54は、ソーストレンチ72の側面に露出している。

[0045] さらに半導体装置71では、p型チャネル層54の下方でソーストレンチ72に露出するドレイン領域としてのSiCエピタキシャル層53が隠れるように、ソーストレンチ72の底面および側面に底部p型層73が形成されている。底部p型層73は、ソーストレンチ72の側面においてp型チャネル層54に連続している。そして、この底部p型層73内に、ソーストレンチ72の底面に露出するp⁺型チャネルコンタクト層57が形成されている。この実施形態では、p⁺型チャネルコンタクト層57は、ソーストレンチ72の底面の中央部に形成されており、このp⁺型チャネルコンタクト層57を取り囲むように底部p型層73が形成されている。

[0046] そして、ソーストレンチ72およびコンタクトホール61に入り込むように、ポリシリコン層62が形成されている。ポリシリコン層62は、ソーストレンチ72およびコンタクトホール61を埋め戻し、さらに層間膜60が隠れる厚さT₃で形成されている。具体的な厚さT₃は、凹凸形状の最大幅の2/3以上であることが好ましい。この実施形態では、コンタクトホール61の幅W₂>ソーストレンチ72の幅W₃なので、幅W₂の2/3以上であることが好ましい。また、ポリシリコン層62は、SiCエピタキシャル層53の表面531およびソーストレンチ72の側面でn⁺型ソース層56に接続さ

れ、ソーストレンチ 7 2 の底面で p⁺型チャンネルコンタクト層 5 7 に接続されている。

[0047] 以上、この半導体装置 7 1 によっても、前述の半導体装置 1 と同様の作用効果を達成することができる。

図 6～図 9 は、本発明の第 4～第 7 実施形態に係る半導体装置の模式的な断面図である。図 6 および図 7 において、前述の図 1 に示された各部と対応する部分には同一の参照符号を付して示す。また、図 8 および図 9 において、前述の図 5 に示された各部と対応する部分には同一の参照符号を付して示す。

[0048] 前述の実施形態では、ポリシリコン層 1 2、6 2 は、一様に n⁺型であったが、図 6～図 9 に示すように、第 1 導電型部分の一例としての n⁺型部分と、第 2 導電型部分の一例としての p⁺型部分とを選択的に有していてもよい。

たとえば、プレーナゲート型構造の M I S F E T を有する図 6 および図 7 の半導体装置 8 1、9 1 では、ポリシリコン層 1 2 は、p⁺型ウェルコンタクト領域 7 の内方領域に p⁺型部分 8 3、9 3 を有し、残りの主体部が n⁺型部分 8 2、9 2 であってもよい。n 型のポリシリコンは n 型の S i C に対して低いコンタクト抵抗で接触でき、p 型のポリシリコンは p 型の S i C に対して低いコンタクト抵抗で接触できる物質である。そのため、R T A (Rapid Thermal Anneal) 等の処理を行って S i C エピタキシャル層 3 (n⁺型ソース領域 6 および p⁺型ウェルコンタクト領域 7) の表面にシリサイドを形成しなくても、n⁺型ソース領域 6 および p⁺型ウェルコンタクト領域 7 の両方に対して、ポリシリコン層 1 2 を簡単にオーミック接触させることができる。

[0049] 図 6 および図 7 の例では、n⁺型ソース領域 6 が p⁺型ウェルコンタクト領域 7 を取り囲むように接している。p⁺型部分 8 3、9 3 を、p⁺型ウェルコンタクト領域 7 からはみ出さないようにその内方領域に形成することによって、p⁺型部分 8 3、9 3 と n⁺型ソース領域 6 との接触を防止して、これらの間の p n 接合の形成を防止することができる。

[0050] また、p⁺型部分は、図 6 の p⁺型部分 8 3 のように、p⁺型ウェルコンタク

ト領域 7 との接触面からポリシリコン層 1 2 の表面 1 2 1 まで、ポリシリコン層 1 2 を厚さ方向に貫通するように形成されていてもよいし、図 7 の p⁺型部分 9 3 のように、p⁺型ウェルコンタクト領域 7 との接触面からポリシリコン層 1 2 の厚さ方向途中まで形成されていてもよい。これら n⁺型部分 8 2, 9 2 と p⁺型部分 8 3, 9 3 との区画は、たとえば、ポリシリコンの堆積後（ステップ S 6）、選択的に不純物を注入することによって行うことができる。

[0051] 一方、トレンチゲート型構造（ソーストレンチあり）の M I S F E T を有する図 8 および図 9 の半導体装置 1 0 1, 2 0 1 では、ポリシリコン層 6 2 は、ソーストレンチ 7 2 の側面に対して間隔が空くように p⁺型チャネルコンタクト層 5 7 に接する p⁺型部分 1 0 3, 2 0 3 を有し、残りの主体部が n⁺型部分 1 0 2, 2 0 2 であってもよい。この p⁺型部分 1 0 3, 2 0 3 は、図 8 および図 9 に示すように、p⁺型チャネルコンタクト層 5 7 全体を覆い、p⁺型チャネルコンタクト層 5 7 を取り囲む底部 p 型層 7 3 に接していてもよいし、p⁺型チャネルコンタクト層 5 7 の内方領域のみに形成されていてもよい。この p⁺型部分 1 0 3, 2 0 3 および n⁺型部分 1 0 2, 2 0 2 による作用効果は、図 6 および図 7 の例と同様である。

[0052] 図 8 および図 9 の例では、p⁺型チャネルコンタクト層 5 7 がソーストレンチ 7 2 の底面に形成されていて、n⁺型ソース層 5 6 との間に間隔が設けられている。さらにソーストレンチ 7 2 の底面全体に底部 p 型層 7 3 が形成されている。したがって、p⁺型部分 1 0 3, 2 0 3 が p⁺型チャネルコンタクト層 5 7 からはみ出ても、ソーストレンチ 7 2 の側面（n⁺型ソース層 5 6）と接しない限りは、同じ p 型の底部 p 型層 7 3 に接するだけなので特に問題がない。そのため、p⁺型部分 1 0 3, 2 0 3 が S i C エピタキシャル層 5 3 の表面 5 3 1 に沿って横方向に多少ずれてもよいので、p⁺型部分 1 0 3, 2 0 3 を形成する際の位置合わせマージンを広く確保することができる。

[0053] また、p⁺型部分は、図 8 の p⁺型部分 1 0 3 のように、p⁺型チャネルコンタクト層 5 7 との接触面からポリシリコン層 6 2 の表面 6 2 1 まで、ポリシ

リコン層 62 を厚さ方向に貫通するように形成されていてもよいし、図 9 の p⁺型部分 203 のように、p⁺型チャネルコンタクト層 57 との接触面からポリシリコン層 62 の厚さ方向途中まで形成されていてもよい。これら n⁺型部分 102, 202 と p⁺型部分 103, 203 との区画は、たとえば、ポリシリコンの堆積後（ステップ S6）、選択的に不純物を注入することによって行うことができる。

[0054] 以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施することも可能である。

たとえば、前述の半導体装置 1, 51, 71, 81, 91, 101, 201 の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置 1 において、p 型の部分が n 型であり、n 型の部分が p 型であってもよい。

[0055] また、SiC エピタキシャル層 3, 53 の最表面の凹凸形状を緩和する凹凸緩和層は、ポリシリコンからなる層に限らず、たとえば、タングステン（W）等であってもよい。

また、層間膜 10, 60 のコンタクトホール 11, 61 は、SiC エピタキシャル層 3, 53 の表面 31, 531 に対して垂直に開口する必要はなく、たとえば、層間膜 10, 60 の表面に向かって広がるテーパ状、もしくは狭まるテーパ状に開口してもよい。

[0056] また、半導体装置 1, 51, 71, 81, 91, 101, 201 に採用される半導体は、SiC に限らず、たとえば、Si、GaN、ダイヤモンド等であってもよい。

また、前述の実施形態では、本発明をパワー MOSFET に適用した例について説明したが、本発明は、IGBT（Insulated Gate Bipolar Transistor）、JFET（Junction Field Effect Transistor）、その他の構造の半導体デバイスにも同様に適用することができる。

[0057] その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施す

ことが可能である。

符号の説明

- [0058]
- 1 半導体装置
 - 2 SiC基板
 - 3 SiCエピタキシャル層
 - 31 表面
 - 4 p型ウェル
 - 6 n⁺型ソース領域
 - 7 p⁺型ウェルコンタクト領域
 - 8 ゲート電極
 - 9 ゲート絶縁膜
 - 10 層間膜
 - 11 コンタクトホール
 - 12 ポリシリコン層
 - 121 表面
 - 13 ソース電極
 - 51 半導体装置
 - 52 SiC基板
 - 53 SiCエピタキシャル層
 - 531 表面
 - 54 p型チャネル層
 - 56 n⁺型ソース層
 - 57 p⁺型チャネルコンタクト層
 - 58 ゲート電極
 - 59 ゲート絶縁膜
 - 60 層間膜
 - 61 コンタクトホール
 - 62 ポリシリコン層

- 6 2 1 表面
- 6 3 ソース電極
- 7 1 半導体装置
- 7 2 ソーストレンチ
- 8 1 半導体装置
- 8 2 n⁺型部分
- 8 3 p⁺型部分
- 9 1 半導体装置
- 9 2 n⁺型部分
- 9 3 p⁺型部分
- 1 0 1 半導体装置
- 1 0 2 n⁺型部分
- 1 0 3 p⁺型部分
- 2 0 1 半導体装置
- 2 0 2 n⁺型部分
- 2 0 3 p⁺型部分

請求の範囲

- [請求項1] 半導体素子が配置された最表面に凹凸形状を有する半導体層と、
 前記凹凸形状上に形成され、前記凹凸形状に比べて滑らかな表面を
 有する凹凸緩和層と、
 前記凹凸緩和層上に形成された金属材料からなる表面電極とを含む
 、半導体装置。
- [請求項2] 前記凹凸形状は、前記半導体層の表面上に形成され、当該表面を選
 択的に露出させるコンタクトホールを有する絶縁膜の表面と、当該コ
 ンタクトホールに露出する前記半導体層の前記表面との高低差に基づ
 いて形成されている、請求項1に記載の半導体装置。
- [請求項3] 前記凹凸形状は、前記半導体層の表面から裏面に向かって形成され
 たトレンチの底面と、前記半導体層の前記表面との高低差に基づいて
 形成されている、請求項1に記載の半導体装置。
- [請求項4] 前記凹凸緩和層は、ポリシリコン層を含む、請求項1～3のいずれ
 か一項に記載の半導体装置。
- [請求項5] 前記ポリシリコン層の厚さTは、前記凹凸形状の窪みの最大幅Wの
 $2/3$ 以上である、請求項4に記載の半導体装置。
- [請求項6] 前記半導体層は、第1導電型不純物領域が選択的に形成されたS i
 C層であり、
 前記ポリシリコン層は、前記第1導電型不純物領域に接する第1導
 電型部分を選択的に含む、請求項4または5に記載の半導体装置。
- [請求項7] 前記S i C層は、選択的に形成された第2導電型不純物領域をさら
 に含み、
 前記ポリシリコン層は、前記第2導電型不純物領域に接する第2導
 電型部分を選択的にさらに含む、請求項4～6のいずれか一項に記載
 の半導体装置。
- [請求項8] 第1導電型のS i Cからなる半導体層と、
 前記半導体層の表面に露出するように形成された第1導電型のソー

ス層と、

前記ソース層に対して前記半導体層の裏面側に前記ソース層に接するように形成された第2導電型のチャネル層と、

前記チャネル層に対して前記半導体層の前記裏面側に前記チャネル層に接するように形成された第1導電型のドリフト層とを含み、

前記半導体層の前記表面に形成され、前記ソース層を選択的に露出させるコンタクトホールを有する層間膜と、

前記層間膜上に形成され、前記コンタクトホールを介して前記ソース層に選択的に接するポリシリコン層であって、前記層間膜の表面と、前記コンタクトホールに露出する前記半導体層の前記表面との高低差に基づいて形成された凹凸形状に比べて滑らかな表面を有するポリシリコン層と、

前記ポリシリコン層上に形成された金属材料からなるソース電極とを含む、半導体装置。

[請求項9] 前記ポリシリコン層は、前記ソース層に接する第1導電型部分を選択的に含む、請求項8に記載の半導体装置。

[請求項10] 前記チャネル層は、前記半導体層の前記表面に露出し、当該チャネル層の他の部分よりも高濃度な第2導電型のチャネルコンタクト層を含み、

前記ポリシリコン層は、前記チャネルコンタクト層に接する第2導電型部分をさらに含む、請求項9に記載の半導体装置。

[請求項11] 前記半導体装置は、

前記半導体層の前記表面から前記ソース層および前記チャネル層を貫通して前記ドリフト層に達するゲートトレンチと、前記ゲートトレンチの側面および底面に形成されたゲート絶縁膜と、前記ゲートトレンチに埋め込まれたゲート電極とを含むトレンチゲート型構造を有する、請求項8～10のいずれか一項に記載の半導体装置。

[請求項12] 前記半導体装置は、

前記半導体層の前記表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを含むプレーナゲート型構造を有する、請求項 8 ～ 11 のいずれか一項に記載の半導体装置。

[請求項13] 前記半導体装置は、前記半導体層の前記表面から前記ソース層および前記チャネル層を貫通して前記ドリフト層に達するソーストレンチをさらに含み、

前記凹凸形状は、前記ソーストレンチの底面と、前記半導体層の前記表面との高低差に基づいて形成された凹凸を含む、請求項 8 ～ 12 のいずれか一項に記載の半導体装置。

[請求項14] 半導体層の表面に所定の不純物層を選択的に形成することによって、半導体素子を形成する工程と、

前記半導体層の前記表面に絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去することによって、前記不純物層を露出させるコンタクトホールを形成する工程と、

前記コンタクトホールを埋め戻し、その堆積面が、前記絶縁膜の表面と、前記コンタクトホールに露出する前記半導体層の前記表面との高低差に基づいて形成された凹凸形状に比べて滑らかになるまでポリシリコンを堆積させることによって、ポリシリコン層を形成する工程と、

前記ポリシリコン層上に金属材料を堆積させることによって、表面電極を形成する工程とを含む、半導体装置の製造方法。

[請求項15] 前記表面電極を形成する工程は、前記ポリシリコン層の前記堆積面の平坦化処理を行わずに、堆積後のままの状態の前記ポリシリコン層に前記金属材料を堆積させる工程を含む、請求項 14 に記載の半導体装置の製造方法。

[請求項16] 前記ポリシリコン層を形成する工程は、LPCVD法でポリシリコンを堆積させる工程を含む、請求項 14 または 15 に記載の半導体装置の製造方法。

[図1]

図1

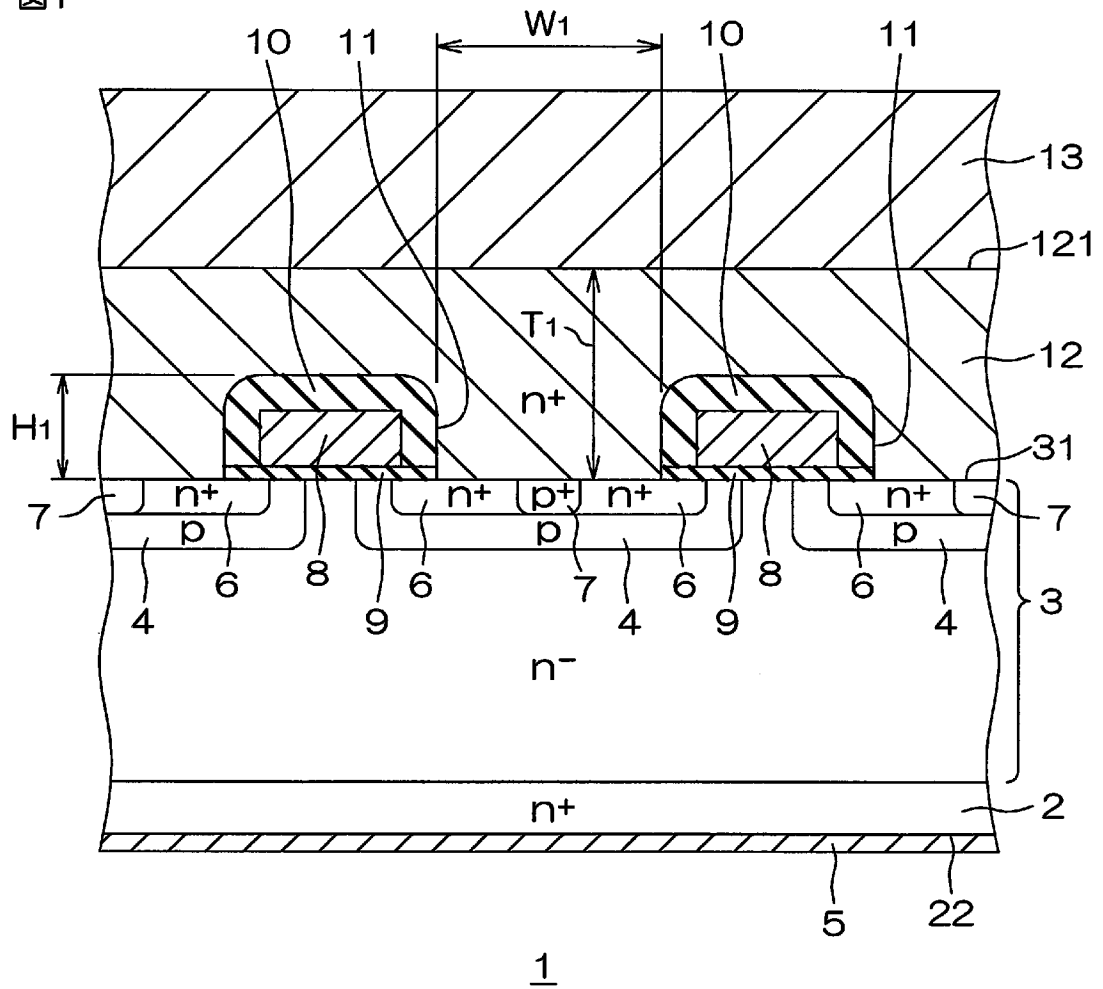


图2

[illegible]

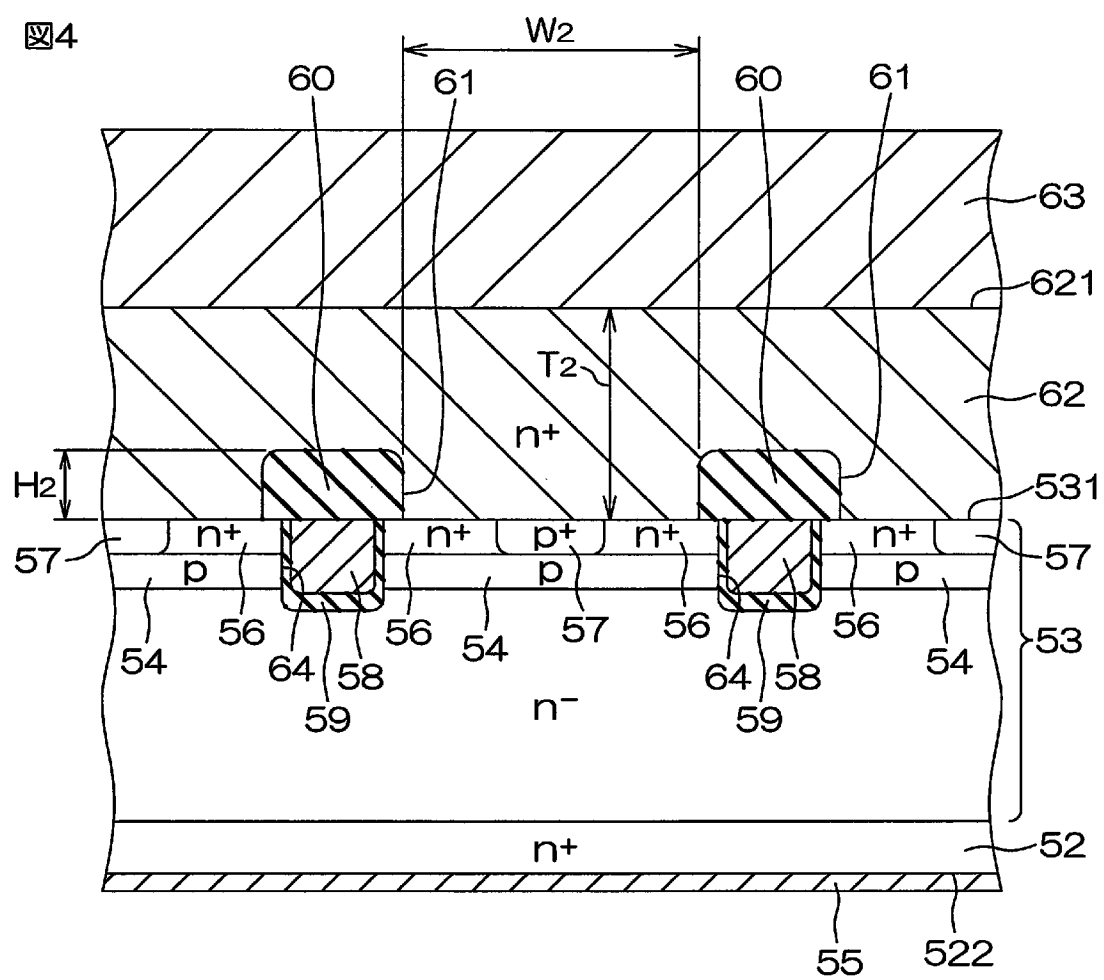
[図3]

図3



[図4]

図4

51

[図5]

図5

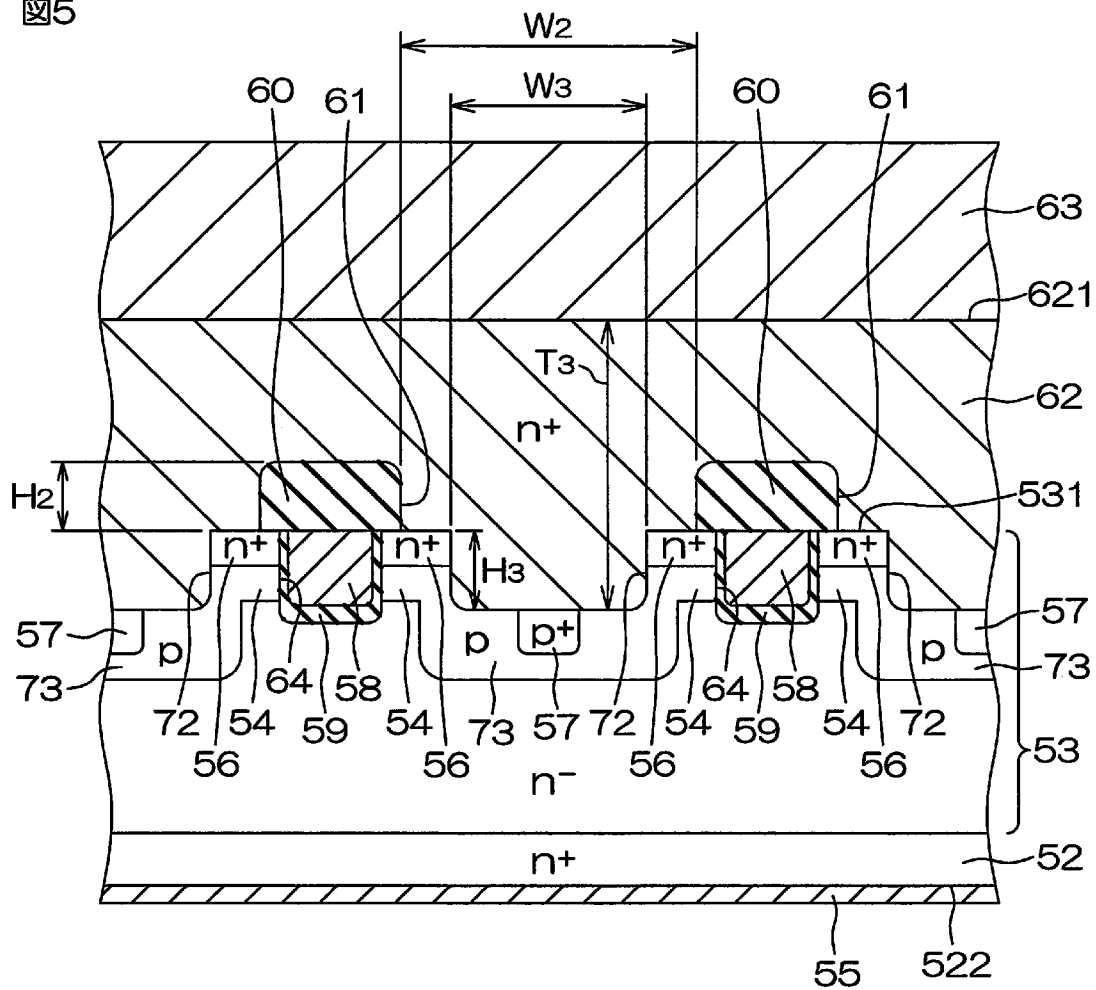
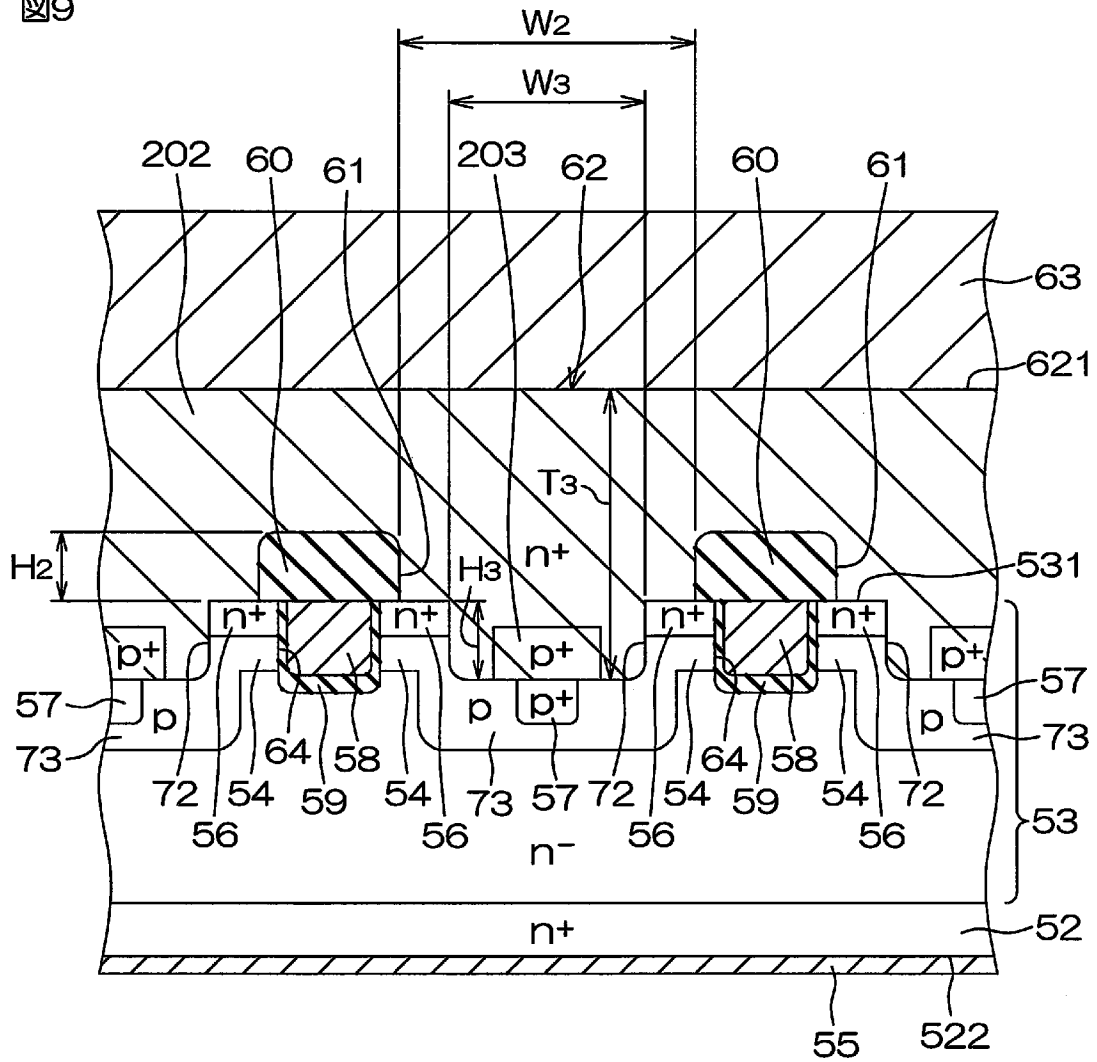
71

图8



[図9]

図9

201

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/063160

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L21/336(2006.01) i, H01L29/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-98593 A (Ricoh Co., Ltd.), 24 April 2008 (24.04.2008), paragraphs [0026] to [0034], [0058], [0059]; fig. 13 & US 2009/0114982 A1	1-16
A	JP 2011-146429 A (Renesas Electronics Corp.), 28 July 2011 (28.07.2011), entire text; all drawings (Family: none)	1-16
A	JP 4-307942 A (Fujitsu Ltd.), 30 October 1992 (30.10.1992), entire text; all drawings (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 August, 2013 (01.08.13)

Date of mailing of the international search report
13 August, 2013 (13.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2 0 0 8 - 9 8 5 9 3 A (株式会社リコー) 2 0 0 8 . 0 4 . 2 4、段落【0 0 2 6】 - 【0 0 3 4】、【0 0 5 8】、【0 0 5 9】、図 1 3 & U S 2 0 0 9 / 0 1 1 4 9 8 2 A 1	1 - 1 6
A	J P 2 0 1 1 - 1 4 6 4 2 9 A (ルネサスエレクトロニク ス株式会社) 2 0 1 1 . 0 7 . 2 8、全文全図 (ファミリーなし)	1 - 1 6
A	J P 4 - 3 0 7 9 4 2 A (富士通株式会社) 1 9 9 2 . 1	1 - 1 6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 3 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

工藤 一光

5 F

9 2 7 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	0. 3 0、全文全図（ファミリーなし）	