

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6900802号
(P6900802)

(45) 発行日 令和3年7月7日 (2021.7.7)

(24) 登録日 令和3年6月21日 (2021.6.21)

(51) Int. Cl.

F I

G 0 6 F 1/26 (2006.01)
 G 1 1 C 5/14 (2006.01)
 H 0 4 N 1/00 (2006.01)
 B 4 1 J 29/38 (2006.01)
 G 0 6 F 1/28 (2006.01)

G 0 6 F 1/26 3 0 3
 G 1 1 C 5/14 1 0 0
 H 0 4 N 1/00 0 0 2 B
 B 4 1 J 29/38 1 0 4
 G 0 6 F 1/28

請求項の数 8 (全 16 頁)

(21) 出願番号 特願2017-126631 (P2017-126631)
 (22) 出願日 平成29年6月28日 (2017.6.28)
 (65) 公開番号 特開2019-8731 (P2019-8731A)
 (43) 公開日 平成31年1月17日 (2019.1.17)
 審査請求日 令和2年2月26日 (2020.2.26)

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込 1 丁目 3 番 6 号
 (74) 代理人 100186853
 弁理士 宗像 孝志
 (72) 発明者 渡邊 謙一
 東京都大田区中馬込 1 丁目 3 番 6 号 株式
 会社リコー内

審査官 征矢 崇

最終頁に続く

(54) 【発明の名称】 制御基板、制御基板用バックアップ給電方法、制御基板用バックアップ給電プログラム

(57) 【特許請求の範囲】

【請求項 1】

制御基板であって、

前記制御基板の全体の制御を担う制御部と、バックアップ給電のバックアップ時間と前記制御基板への電源供給の停止期間とをカウントするカウント機能を持つマイクロコンピュータと、前記制御基板が搭載される装置の保証期間に及んで保存が必要なデータが保存された第 1 のメモリと、通信用として送信又は受信されるデータが保存された第 2 のメモリと、前記第 1 のメモリと前記第 2 のメモリとに保存した前記データを前記制御基板への電源供給が停止している間にバックアップ給電する蓄電池と、前記マイクロコンピュータに内蔵され前記蓄電池の電圧を監視する電圧監視回路と、前記蓄電池から前記第 2 のメモリへのバックアップ給電のオン・オフを切り替えるスイッチと、を有し、

前記マイクロコンピュータは、前記電圧監視回路において、前記電源供給の停止中のバックアップ給電に際して、前記蓄電池の電池電圧が前記第 1 のメモリ及び前記第 2 のメモリの推奨動作電圧の下限值を超えていれば前記スイッチをオンに維持して当該第 1 のメモリと共に当該第 2 のメモリへのバックアップ給電を継続し、当該下限値以下であれば当該スイッチをオフに維持して当該第 2 のメモリへのバックアップ給電を停止するときに、前記カウント機能によって前記電源供給の停止期間のカウント値が前記第 2 のメモリにおける前記データの保存に必要な時間に相当する前記バックアップ時間のカウント値に到達するタイミングを検出した時点で当該第 2 のメモリへのバックアップ給電を停止することを特徴とする制御基板。

10

20

【請求項 2】

請求項 1 記載の制御基板において、

前記装置の保証期間を記憶する記憶部を有し、

前記マイクロコンピュータは、前記カウント機能により前記装置が初めて通電開始してから現在に至る時間を示す稼動時間をカウントすると共に、前記保証期間に該当する総時間から当該稼動時間を差し引いた差時間に基づいて前記第 1 のメモリに保存する前記データの必要時間を計算する計算機能を持ち、

更に、前記マイクロコンピュータは、前記計算機能によって前記必要時間に基づいて前記第 2 のメモリへのバックアップ給電を停止する時間を計算した結果の停止期間に前記カウント機能によるカウント値が到達するタイミングを検出した時点で当該第 2 のメモリへのバックアップ給電を停止することを特徴とする制御基板。

10

【請求項 3】

請求項 2 記載の制御基板において、

前記蓄電池によるバックアップ給電を昇圧し、当該蓄電池の残電荷が零になるまで前記第 1 のメモリ及び前記第 2 のメモリを推奨動作電圧に維持する昇圧回路を有することを特徴とする制御基板。

【請求項 4】

請求項 1 記載の制御基板において、

前記電圧監視回路は、前記マイクロコンピュータに内蔵されるアナログ／デジタル変換機能の A／D コンバータであることを特徴とする制御基板。

20

【請求項 5】

請求項 4 記載の制御基板において、

前記マイクロコンピュータは、前記 A／D コンバータによって前記蓄電池の電池電圧が前記第 1 のメモリ及び前記第 2 のメモリの推奨動作電圧の下限值以下と検出されるか、或いは前記カウント機能によって前記電源供給の停止期間のカウント値が当該第 2 のメモリにおける前記データの保存に必要な時間に相当する前記バックアップ時間のカウント値に到達するタイミングを検出した時点で当該第 2 のメモリへのバックアップ給電を停止することを特徴とする制御基板。

【請求項 6】

請求項 5 記載の制御基板において、

前記装置の保証期間を記憶する記憶部を有し、

前記マイクロコンピュータは、前記カウント機能により前記装置が初めて通電開始してから現在に至る時間を示す稼動時間をカウントすると共に、前記保証期間に該当する総時間から当該稼動時間を差し引いた時間に基づいて前記第 1 のメモリに保存する前記データの必要時間を計算する計算機能を持ち、

30

更に、前記マイクロコンピュータは、前記 A／D コンバータによって前記蓄電池の電圧が前記第 1 のメモリ及び前記第 2 のメモリの推奨動作電圧の下限值以下と検出されるか、或いは当該計算機能によって当該必要時間に基づいて当該第 2 のメモリへのバックアップ給電を停止する時間を計算した結果の停止期間に当該カウント機能によるカウント値が到達するタイミングを検出した時点で当該第 2 のメモリへのバックアップ給電を停止することを特徴とする制御基板。

40

【請求項 7】

制御基板用バックアップ給電方法であって、

制御基板の全体の制御を担う制御部と、バックアップ給電のバックアップ時間と前記制御基板への電源供給の停止期間とをカウントするカウント機能を持つマイクロコンピュータと、前記制御基板が搭載される装置の保証期間に及んで保存が必要なデータが保存された第 1 のメモリと、通信用として送信又は受信されるデータが保存された第 2 のメモリと、前記第 1 のメモリと前記第 2 のメモリとに保存された前記データを前記制御基板への電源供給が停止している間にバックアップ給電する蓄電池と、前記マイクロコンピュータに内蔵され前記蓄電池の電圧を監視する電圧監視回路と、前記蓄電池から前記第 2 のメモリ

50

へのバックアップ給電のオン・オフを切り替えるスイッチと、
が前記制御基板に実装された条件下において、

前記マイクロコンピュータによって、前記電圧監視回路が前記電源供給の停止中のバックアップ給電に際して、前記蓄電池の電池電圧が前記第1のメモリ及び前記第2のメモリの推奨動作電圧の下限値を超えていれば前記スイッチをオンに維持して当該第1のメモリと共に当該第2のメモリへのバックアップ給電を継続し、当該下限値以下であれば当該スイッチをオフに維持して当該第2のメモリへのバックアップ給電を停止するときに、前記カウント機能によって前記電源供給の停止期間のカウント値が前記第2のメモリにおける前記データの保存に必要な時間に相当する前記バックアップ時間のカウント値に到達するタイミングを検出した時点で当該第2のメモリへのバックアップ給電を停止するバックアップ給電ステップを有することを特徴とする制御基板用バックアップ給電方法。

10

【請求項8】

制御基板用バックアップ給電プログラムであって、

制御基板の全体の制御を担う制御部と、バックアップ給電のバックアップ時間と前記制御基板への電源供給の停止期間とをカウントするカウント機能を持つマイクロコンピュータと、前記制御基板が搭載される装置の保証期間に及んで保存が必要なデータが保存された第1のメモリと、通信用として送信又は受信されるデータが保存された第2のメモリと、前記第1のメモリと前記第2のメモリとに保存された前記データを前記制御基板への電源供給が停止している間にバックアップ給電する蓄電池と、前記マイクロコンピュータに内蔵され前記蓄電池の電圧を監視する電圧監視回路と、前記蓄電池から前記第2のメモリへのバックアップ給電のオン・オフを切り替えるスイッチと、が前記制御基板に実装された条件下において、

20

前記電源供給の停止中のバックアップ給電に際して、前記蓄電池の電池電圧が前記第1のメモリ及び前記第2のメモリの推奨動作電圧の下限値を超えていれば前記スイッチをオンに維持して当該第1のメモリと共に当該第2のメモリへのバックアップ給電を継続し、当該下限値以下であれば当該スイッチをオフに維持して当該第2のメモリへのバックアップ給電を停止するときに、前記カウント機能によって前記電源供給の停止期間のカウント値が前記第2のメモリにおける前記データの保存に必要な時間に相当する前記バックアップ時間のカウント値に到達するタイミングを検出した時点で当該第2のメモリへのバックアップ給電を停止するバックアップ給電ステップをコンピュータに実行させるための制御
基板用バックアップ給電プログラム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御基板、制御基板用バックアップ給電方法、制御基板用バックアップ給電プログラムに関する。

【背景技術】

【0002】

従来、デバイスが実装されて所定の電圧で電源供給される制御基板の一例として、画像形成装置に搭載されるFAX通信用等の通信制御基板が挙げられる。この通信制御基板には、公衆回線との接続を行う回線制御デバイスや通信処理に係る全体の制御を担う制御部としての通信制御用CPU(Central Processing Unit)が実装される。また、通信制御基板には、回線制御デバイス及び通信制御用CPUの間に配設されて送信データの変調、受信データの復調を行うモデムが実装される。

40

【0003】

更に、通信制御基板には、通信制御用CPUに供給される電源電圧を監視し、その電圧値によってハードリセットを掛けるか否かを判断するリセットICが実装される。加えて、通信制御基板には、各種メモリが実装される。各種メモリは通信制御用CPUの制御に係るプログラム(ソフトウェア)が保存された不揮発性メモリや、各種データの保存用の揮発性メモリを含んでいる。ここでの通信制御基板は、電圧3.3Vで電源供給される場

50

合を例示できる。

【0004】

不揮発性メモリにはROM (Read Only Memory) を例示できる。揮発性メモリは、製品保証期間 (以下、保証期間とする) 中、保存が必要なデータとして画像形成装置のユーザ設定データや管理データを保存するSRAM (Static Random Access Memory) を例示できる。ここに保存されるデータは、画像形成装置が電源供給されていない電源オフ中 (シャットダウン時) でも保持できるようにSRAMに対して一次電池を使ってバックアップ給電している。また、その他の揮発性メモリとして、通信用として送信又は受信されるデータを保持するDRAM (Dynamic Random Access Memory) を例示できる。ここに保存されるデータについても、瞬間的に停電が起きた場合でも保持できるようにするため、DRAMに対しても二次電池 (蓄電池) を使ってバックアップ給電している。

10

【0005】

SRAMは一般的にそのデータの保持時の消費電流は1uA程度である。このため、600mAh程度のボタン電池でも5年以上もデータを保持させることができ、保証期間に及んでデータを保護することが可能である。これに対し、DRAMのデータの保持時の消費電流は数mAとSRAMの場合と比べると大きく、同様な600mAh程度のボタン電池では、100時間程度しか持たない。それ故、例えば1つのボタン電池でSRAMとDRAMとの両方のバックアップ給電を行った場合、100時間程度で電池の残量が零になってしまう。この状態では、保証期間に及んでデータの保持が必要なSRAM内のデータが消えてしまうことを意味する。

20

【0006】

こうした問題を対策するためには、電池容量を増大させれば良いが、そのためには30万mAh程の電池が必要になり、画像形成装置の大きさやコスト面に大きな影響を与えてしまう。そこで、SRAM用の電池とDRAM用の電池とを別々に設ければ、画像形成装置の大きさやコスト面に大きな影響を与えずに済む。特にDRAMのバックアップ給電は元来短時間停電からの保護を目的としているため、概ね1時間程度保護できれば良い。

【0007】

ところが、DRAMのバックアップ給電用に一次電池を使用した場合、一旦その電荷が空になってしまった場合には二度とバックアップ給電を行うことができない。そこで、DRAMのバックアップ給電用には二次電池を使用し、何回でもバックアップ給電できるようにすることが好ましい。但し、二次電池を充電するためにはその電圧よりも高い電圧を印加して充電する必要があるため、FAX制御基板に昇圧回路を設けて二次電池を充電することになる。

30

【0008】

要するに、DRAMの保存用のデータは、瞬間的な停電が起きた場合にデータの保持が可能であれば良いため、100時間程度の保持期間で問題ない。また、画像形成装置等の機器は保証期間中に何度か停電を受けることが想定されるため、DRAMのバックアップ給電として充電を繰り返し可能な二次電池を使用することが好適である。

【0009】

このような揮発性メモリのバックアップ給電に係る周知技術として、画像情報を記憶する揮発性の記憶手段を有する画像処理装置において、商用電源に障害が発生した場合でも適切に記憶手段に記憶されている画像情報の消失を防ぐ技術が知られている。一例として、「画像処理装置および画像処理方法」(特許文献1参照)が挙げられる。

40

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述した特許文献1に係る技術では、停電時に画像情報を記憶しているRAMをバックアップ給電することを目的としている。そこで、画像処理装置をUSB (Universal Serial Bus) インタフェース経由でPC (パーソナルコンピュータ) と

50

接続し、P CのバッテリーからU S Bのパワーを画像処理装置に供給することでR A Mに電源供給している。これにより、R A Mをバックアップ給電するものである。

【0011】

ところが、こうした構成であれば、停電時にR A Mをバックアップ給電できるようにするため、画像処理装置をP Cと接続し、しかもP Cがノート型P Cのように2次電池を搭載していることを前提としている。このため、構成上では一次電池、二次電池が必要になっており、搭載先装置用の制御基板に適用する場合を想定すれば、コスト面、サイズ面、及び環境面での負荷が多く掛かってしまうという問題が解消されない。

【0012】

因みに、コスト面の負荷とは、一次電池及び二次電池を必要とする構成でコスト高になることを示す。また、サイズ面の負荷とは、制御基板における面積や高さに制限・制約があることを示す。更に、環境面の負荷は、電池破棄時の化学含有物質の破棄処理にコストが掛かることを示す。

【0013】

本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、従来通りのデータの保持期間を満足しつつ、電池を極力減らしてコスト面、サイズ面、環境面での負荷を低減させることにある。

【課題を解決するための手段】

【0014】

上記技術的課題を解決するため、本発明の一形態は、制御基板であって、前記制御基板の全体の制御を担う制御部と、バックアップ給電のバックアップ時間と前記制御基板への電源供給の停止期間とをカウントするカウント機能を持つマイクロコンピュータと、前記制御基板が搭載される装置の保証期間に及んで保存が必要なデータが保存された第1のメモリと、通信用として送信又は受信されるデータが保存された第2のメモリと、前記第1のメモリと前記第2のメモリとに保存した前記データを前記制御基板への電源供給が停止している間にバックアップ給電する蓄電池と、前記マイクロコンピュータに内蔵され前記蓄電池の電圧を監視する電圧監視回路と、前記蓄電池から前記第2のメモリへのバックアップ給電のオン・オフを切り替えるスイッチと、を有し、前記マイクロコンピュータは、前記電圧監視回路において、前記電源供給の停止中のバックアップ給電に際して、前記蓄電池の電池電圧が前記第1のメモリ及び前記第2のメモリの推奨動作電圧の下限值を超えていれば前記スイッチをオンに維持して当該第1のメモリと共に当該第2のメモリへのバックアップ給電を継続し、当該下限値以下であれば当該スイッチをオフに維持して当該第2のメモリへのバックアップ給電を停止するときに、前記カウント機能によって前記電源供給の停止期間のカウント値が前記第2のメモリにおける前記データの保存に必要な時間に相当する前記バックアップ時間のカウント値に到達するタイミングを検出した時点で当該第2のメモリへのバックアップ給電を停止することを特徴とする。

【発明の効果】

【0015】

本発明によれば、上記構成により、従来通りのデータの保持期間を満足しつつ、電池を極力減らしてコスト面、サイズ面、環境面での負荷を低減させることができる。上記した以外の課題、構成及び効果は、以下の実施の形態の説明により明らかにされる。

【図面の簡単な説明】

【0016】

【図1】本発明の制御基板の実施例に係る通信制御基板の基本構成を示した概略ブロック図である。

【図2】図1に示す通信制御基板におけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【図3】図1に示す通信制御基板の一部構成を変形した一例に係る通信制御基板の基本構成を示した概略ブロック図である。

【図4】図3に示す通信制御基板におけるシステム状態が動作時からバックアップ給電時

10

20

30

40

50

へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【図5】図3に示す通信制御基板の一部構成を変形した他例に係る通信制御基板の基本構成を示した概略ブロック図である。

【図6】図5に示す通信制御基板におけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【図7】図3に示す通信制御基板の一部構成を変形した別例に係る通信制御基板の基本構成を示した概略ブロック図である。

【図8】図7に示す通信制御基板におけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【発明を実施するための形態】

10

【0017】

以下に、本発明の制御基板、制御基板用バックアップ給電方法、制御基板用バックアップ給電プログラムについて、実施例を挙げ、図面を参照して詳細に説明する。

【実施例】

【0018】

図1は、本発明の制御基板の実施例に係る通信制御基板10Aの基本構成を示した概略ブロック図である。

【0019】

図1を参照すれば、この通信制御基板10Aについても、搭載先として画像形成装置のFAX通信等に適用させる場合が挙げられ、デバイスが実装されて所定の電圧で電源供給される。通信制御基板10Aには、公衆回線11との接続を行う回線制御デバイス12や通信処理に係る全体の制御を担う制御部としての通信制御用CPU14が実装される。回線制御デバイス12はアナログ／デジタル（A／D）変換やデジタル／アナログ（D／A）変換を行う。また、通信制御基板10Aには、回線制御デバイス12及び通信制御用CPU14の間に配設されて送信データの変調、受信データの復調を行うモデム（MODEM）13が実装される。

20

【0020】

更に、通信制御基板10Aには、通信制御用CPU14に供給される電源電圧を監視し、その電圧値によってハードリセットを掛けるか否かを判断するリセット（Reset）IC15が実装される。リセットIC15は、ハードリセットを掛ける場合にはリセット信号を通信制御用CPU14へ伝送する。加えて、通信制御基板10Aには、各種メモリが実装される。メモリは通信制御用CPU14の制御に係るプログラム（ソフトウェア）が保存された不揮発性メモリであるROM16や、各種データの保存用に揮発性メモリを含んでいる。因みに、ここでの通信制御基板10Aについても、電圧3.3Vで電源供給される場合を例示できる。

30

【0021】

揮発性メモリは、画像形成装置の保証期間に及んで保存が必要なデータが保存された第1の揮発性メモリとしてのSRAM17と、情報処理の通信用として送信又は受信されるデータが保存された第2の揮発性メモリとしてのDRAM18と、を含んでいる。SRAM17には画像形成装置のユーザ設定データや管理データも保存される。DRAM18には通信制御用CPU14の制御処理の結果のワークデータや画像処理の一次ファイル管理用のページデータも保存される。

40

【0022】

その他、通信制御基板10Aには、SRAM17とDRAM18とに保存されたデータを電源供給が停止されている間に放電によりバックアップ給電する蓄電池（二次電池）19と、蓄電池19の電圧を監視する電圧監視回路20と、が実装される。また、通信制御基板10Aには、蓄電池19を充電させるための昇圧回路22と、蓄電池19からDRAM18へのバックアップ給電のオン・オフを切り替えるスイッチ（SW）21と、が実装される。即ち、実施例に係る通信制御基板10Aでは、蓄電池19のみでSRAM17とDRAM18とに対してバックアップ給電を行うことを構成上の特徴とする。

50

【0023】

蓄電池19の放電により電源供給の停止中のバックアップ給電を行う際、電圧監視回路20は、蓄電池19の電池電圧を監視してスイッチ21をオン・オフするスイッチ制御信号（以下、SW制御信号とする）を出力する。そして、その電池電圧がSRAM17及びDRAM18の推奨動作電圧の下限值である3.0Vを超えていればスイッチ21をオンに維持するSW制御信号を出力する。これにより、SRAM17及びDRAM18へのバックアップ給電を継続して行わせる。また、電圧監視回路20は、下限値3.0V以下になればスイッチ21をオフに維持するSW制御信号を出力してDRAM18へのバックアップ給電を停止する。

【0024】

図2は、上述した通信制御基板10Aにおけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【0025】

図2を参照すれば、画像形成装置のシステム状態が動作時であれば、通信制御基板10Aに供給される電源電圧は3.3Vであり、昇圧回路22の出力電圧は蓄電池19を充電可能な3.4Vとなっている。また、そのときの蓄電池19の電池電圧は3.3Vであり、電圧監視回路20からのSW制御信号はスイッチ21をオンに維持するHigh状態にある。更に、DRAM18及びSRAM17の電源電圧は何れも3.3Vとなっている。

【0026】

システム状態が動作時からバックアップ給電時に推移すると、DRAM18及びSRAM17は動作電源の供給が断たれ、3.3Vの電源電圧から蓄電池19の放電によるバックアップ給電へと切り替わる。この状態では電圧監視回路20からのSW制御信号はスイッチ21をオンに維持するHigh状態に維持されている。その後、蓄電池19が消費されて電池電圧が降下し出して3.0Vを下回った場合、電圧監視回路20からのSW制御信号はスイッチ21をオフに維持するLow状態になる。これにより、DRAM18へのバックアップ給電が断たれ、SRAM17のみへのバックアップ給電が行われることになる。

【0027】

因みに、DRAM18のデータの保持に必要な電源電圧は3.0Vであるが、SRAM17のデータの保持に必要な電源電圧は2.0Vである。これらのSRAM17及びDRAM18のバックアップ給電に使われる蓄電池19は、電池の種類にもよるが、100mAhのタイプであっても一般的に200uAの放電で200時間以上、電池電圧を3.0Vに維持できる。即ち、40mAh以上放電するまでは電池電圧を3.0Vに維持できるので、DRAM18に保持されるデータを6時間以上継続して保持できる。尚、ここでの計算の根拠は、600mAh程度のボタン電池の場合にはデータの保持のための消費電流が100時間程度しか持たないとした上記説明に基づいて、6mAhで1時間、40mAhでは40/6=約6.7時間とした計算結果による。DRAM18に保持されるデータは、概ね1時間程度保護できれば良いために十分な保護が図られる。

【0028】

更に、蓄電池19はSRAM17のみへのバックアップ給電を保証期間に至るまで継続して行う。ここでDRAM18へのバックアップ給電を停止した後の蓄電池19の電池残量は60mAhであるが、SRAM17の消費電力は1uAである。このため、SRAM17に対しては5年以上のバックアップ給電が可能であり、保証期間を十分に満足することができる。

【0029】

以上に説明した通り、通信制御基板10Aによれば、従来通りのデータの保持期間を満足しつつ、一次電池を必要とせずに電池を極力減らして上述したコスト面、サイズ面、環境面での負荷を低減させることができる。要するに、この通信制御基板10Aでは、DRAM18へのバックアップ給電の時間をできるだけ長くし、情報処理用の送信又は受信されるデータが消えるまでの時間を長くする機能を持たせたことを特徴としている。

10

20

30

40

50

【0030】

図3は、上述した通信制御基板10Aの一部構成を変形した一例に係る通信制御基板10Bの基本構成を示した概略ブロック図である。

【0031】

図3を参照すれば、通信制御基板10Bは、通信制御基板10Aと比べ、デバイスとして、リセットIC15からのリセット信号を入力するマイクロコンピュータ（マイコン）23と、論理積回路（AND回路）24と、を別途実装している。マイクロコンピュータ23は、蓄電池19によるバックアップ給電のバックアップ時間と3.3Vの電源供給の停止期間とをカウントするカウント機能を持つ。また、マイクロコンピュータ23は、カウント機能によって電源供給の停止期間のカウント値がDRAM18におけるデータの保存に必要な時間に相当するバックアップ時間のカウント値に到達するタイミングを検出する。そして、その検出時点でDRAM18へのバックアップ給電を停止する旨のSW制御信号3を出力する。

10

【0032】

論理積回路24は、マイクロコンピュータ23から出力されるSW制御信号3と電圧監視回路20から出力されるSW制御信号2とを入力し、その何れかが入力された場合にスイッチ21をオン・オフするSW制御信号1を出力する。スイッチ21は、カウント値の到達検出時点か、或いは電圧監視回路20によって蓄電池19の電池電圧がSRAM17及びDRAM18の推奨動作電圧の下限值3.0V以下になった時点でオフになる。

【0033】

20

この通信制御基板10Bにおいて、マイクロコンピュータ23は、3.3Vの電源電圧がオフされた状態をリセットIC15からのリセット信号により検出すると、そのオフ時間のカウントを開始する。カウントの閾値は、DRAM18のデータの保護期間をここでは1時間として定義する。この場合、マイクロコンピュータ23はオフ時間のカウントが1時間に到達すると、DRAM18へのバックアップ給電を停止するためにSW制御信号3を論理積回路24へ出力する。これにより、論理積回路24がスイッチ21をオフに維持するSW制御信号1を出力してDRAM18へのバックアップ給電を停止する。ここでは、例えば単に電圧監視回路20によりSW制御信号2を論理積回路24へ出力してDRAM18へのバックアップ給電を停止してSRAM17へのバックアップ給電を継続する場合よりも長くSRAM17へ通電を行うことができる。この結果、保証期間を超えてSRAM17のデータを保存維持することが可能となる。

30

【0034】

図4は、通信制御基板10Bにおけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【0035】

図4を参照すれば、ここでも画像形成装置のシステム状態が動作時であれば、通信制御基板10Bに供給される電源電圧は3.3Vであり、昇圧回路22の出力電圧は蓄電池19を充電可能な3.4Vとなっている。また、そのときの蓄電池19の電池電圧は3.3Vであり、電圧監視回路20からのSW制御信号2とマイクロコンピュータ23からのSW制御信号3とはスイッチ21をオンに維持するHigh状態にある。これにより、論理積回路24から出力されるSW制御信号1はSW制御信号3と同じタイミングのHigh状態となる。更に、DRAM18及びSRAM17の電源電圧は何れも3.3Vとなっている。

40

【0036】

システム状態が動作時からバックアップ給電時に推移すると、DRAM18及びSRAM17は動作電源の供給が断たれ、3.3Vの電源電圧から蓄電池19の放電によるバックアップ給電へと切り替わる。このとき、マイクロコンピュータ23はカウント機能により蓄電池19によるバックアップ給電のバックアップ時間と3.3Vの電源電圧の断状態の時間とのカウントを開始する。この状態では電圧監視回路20からのSW制御信号2はスイッチ21をオンに維持するHigh状態に維持されている。

50

【0037】

その後、蓄電池19が消費されて電池電圧が降下し出して3.0Vを下回った場合、電圧監視回路20からのSW制御信号2はスイッチ21をオフに維持するLow状態になる。但し、ここではそれに先立ち、マイクロコンピュータ23により電源供給の停止期間のカウント値がDRAM18におけるデータの保存に必要な時間に相当するバックアップ時間のカウント値に到達するタイミングを検出した場合を想定している。こうした場合、マイクロコンピュータ23は、カウントの閾値に到達したことにより、スイッチ21をオフに維持するLow状態のSW制御信号3を出力する。これを受け、論理積回路24はスイッチ21をオフに維持するLow状態のSW制御信号1を出力する。このため、スイッチ21がオフとなってDRAM18へのバックアップ給電が断たれ、SRAM17のみへのバックアップ給電が行われることになる。

10

【0038】

この結果、通信制御基板10Bでは、通信制御基板10Aの場合と比べ、DRAM18へのバックアップ給電が断たれるタイミングが早くなり、その分、蓄電池19からより長くSRAM17へバックアップ給電を行わせることができる。更に、蓄電池19はSRAM17のみへのバックアップ給電を保証期間に至るまで継続して行う。

【0039】

ところで、通信制御基板10Bによれば、SRAM17へのバックアップ給電を保証期間超えるまで持続できる。これはマイクロコンピュータ23をSRAM17と同じ電源電圧で動作させている場合に限られる。ところが、マイクロコンピュータ23は、一般的に機能搭載されている命令の実行を停止するHaltモード時の電力が1uA程度となっている。そこで、通信制御基板10Bに供給される電源電圧がオフ時に蓄電池19から放電によりマイクロコンピュータ23にバックアップ給電して動作させても良い。こうした場合、SRAM17やDRAM18のデータの保存時間には殆ど影響を与えないため、係る構成を採用することも可能である。

20

【0040】

何れにせよ、通信制御基板10Bにおいても、従来通りのデータの保持期間を満足しつつ、一次電池を必要とせず電池を極力減らして上述したコスト面、サイズ面、環境面での負荷を低減させることができる。要するに、通信制御基板10Bでは、DRAM18へのバックアップ給電の時間を極力短くし、その分、SRAM17へのバックアップ給電の時間を長くする機能を持たせたことを特徴としている。

30

【0041】

図5は、上述した通信制御基板10Bの一部構成を変形した他例に係る通信制御基板10Cの基本構成を示した概略ブロック図である。

【0042】

図5を参照すれば、通信制御基板10Cは、通信制御基板10Bと比べ、デバイスとして、保証期間を記憶したROM25と、昇圧回路22と同様な第1の昇圧回路22aとスイッチ21との間に介在される第2の昇圧回路22bと、を別途実装している。但し、ここでのROM25はマイクロコンピュータ23に内蔵されているとみなしても良い。また、第2の昇圧回路22bは、蓄電池19によるバックアップ給電を昇圧し、蓄電池19の残電荷が零になるまでSRAM17及びDRAM18を推奨動作電圧に維持する役割を担う。

40

【0043】

更に、ここでのマイクロコンピュータ23は、カウント機能により画像形成装置が初めて通電開始してから現在に至る時間を示す稼動時間をカウントする。この他、マイクロコンピュータ23は、保証期間に該当する総時間から稼動時間を差し引いた差時間に基づいてSRAM17に保存するデータの必要時間を計算する計算機能を持つ。そこで、マイクロコンピュータ23は、計算機能によって必要時間に基づいてDRAM18へのバックアップ給電を停止する時間を計算した結果の停止期間にカウント機能によるカウント値が到達するタイミングを検出する。そして、マイクロコンピュータ23は、係る検出時点でD

50

R A M 1 8 へのバックアップ給電を停止する。

【 0 0 4 4 】

即ち、マイクロコンピュータ 2 3 は、保証期間に該当する総時間から稼動時間を差し引いた差時間に基づいて、残りの保証しなければいけない必要時間を算出する。更に、この必要時間と S R A M 1 7 の消費電流とから D R A M 1 8 へのバックアップ給電を停止する時間であるスイッチ 2 1 をオフに維持する停止期間を決定する。スイッチ 2 1 は、その決定した停止期間か、或いは電圧監視回路 2 0 によって蓄電池 1 9 の電池電圧が S R A M 1 7 及び D R A M 1 8 の推奨動作電圧の下限值 3 . 0 V 以下になった時点でオフになる。

【 0 0 4 5 】

図 6 は、通信制御基板 1 0 C におけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

10

【 0 0 4 6 】

図 6 を参照すれば、ここでも画像形成装置のシステム状態が動作時であれば、通信制御基板 1 0 C に供給される電源電圧は 3 . 3 V であり、第 1 の昇圧回路 2 2 a の出力電圧は蓄電池 1 9 を充電可能な 3 . 4 V となっている。第 2 の昇圧回路 2 2 b の出力電圧も蓄電池 1 9 の放電による電池電圧の降下を昇圧維持できる 3 . 4 V となっている。また、そのときの蓄電池 1 9 の電池電圧は 3 . 3 V であり、電圧監視回路 2 0 からの S W 制御信号 2 とマイクロコンピュータ 2 3 からの S W 制御信号 3 とはスイッチ 2 1 をオンに維持する H i g h 状態にある。これにより、論理積回路 2 4 から出力される S W 制御信号 1 は S W 制御信号 3 と同じタイミングの H i g h 状態となる。更に、D R A M 1 8 及び S R A M 1 7

20

【 0 0 4 7 】

システム状態が動作時からバックアップ給電時に推移すると、D R A M 1 8 及び S R A M 1 7 は動作電源の供給が断たれ、3 . 3 V の電源電圧から蓄電池 1 9 によるバックアップ給電へと切り替わる。このとき、マイクロコンピュータ 2 3 はカウント機能により稼動時間と蓄電池 1 9 によるバックアップ給電のバックアップ時間と 3 . 3 V の電源電圧の断状態の時間とのカウントを開始する。この状態では電圧監視回路 2 0 からの S W 制御信号 2 はスイッチ 2 1 をオンに維持する H i g h 状態に維持されている。

【 0 0 4 8 】

これに対し、第 2 の昇圧回路 2 2 b の出力電圧は蓄電池 1 9 からの放電によるバックアップ給電を受けて 3 . 3 V に維持されている。このため、D R A M 1 8 及び S R A M 1 7 の電源電圧は図 4 に示した通信制御基板 1 0 B の場合の波形と異なり、降圧分が昇圧され続けることで 3 . 3 V を維持することになる。即ち、第 2 の昇圧回路 2 2 b は、蓄電池 1 9 の電池電圧の出力に対して S R A M 1 7 及び D R A M 1 8 が推奨動作電圧の範囲内になるように昇圧する。これにより、蓄電池 1 9 の残電荷が零になるまで電池電圧を推奨動作電圧の範囲内に維持することが可能となっている。

30

【 0 0 4 9 】

その後、蓄電池 1 9 が消費されて電池電圧が降下し出して 3 . 0 V を下回った場合、電圧監視回路 2 0 からの S W 制御信号 2 はスイッチ 2 1 をオフに維持する L o w 状態になる。但し、ここではそれに先立ち、マイクロコンピュータ 2 3 は計算機能により保証期間に該当する総時間から稼動時間を差し引いた差時間に基づいて S R A M 1 7 に保存するデータの必要時間を計算する。そして、マイクロコンピュータ 2 3 において、必要時間に基づいて D R A M 1 8 へのバックアップ給電を停止する時間を計算した結果の停止期間にカウント機能によるカウント値が到達するタイミングを検出した場合を想定している。こうした場合、マイクロコンピュータ 2 3 は、スイッチ 2 1 をオフに維持する L o w 状態の S W 制御信号 3 を出力する。これを受け、論理積回路 2 4 はスイッチ 2 1 をオフに維持する L o w 状態の S W 制御信号 1 を出力する。このため、スイッチ 2 1 がオフとなって D R A M 1 8 へのバックアップ給電が断たれ、S R A M 1 7 のみへのバックアップ給電が行われることになる。ここでは、通信制御基板 1 0 B の場合と比べ、D R A M 1 8 の電源電圧は降下されずに 3 . 3 V に維持された状態で給電停止される状態となる。

40

50

【0050】

更に、蓄電池19はSRAM17のみへのバックアップ給電を保証期間に至るまで継続して行う。ここでも第2の昇圧回路22bによって蓄電池19からのバックアップ給電が昇圧される。このため、SRAM17の電源電圧は降下されずに3.3Vに維持され、保証期間に至った時点で第2の昇圧回路22bの出力電圧と共に低下し出してやがては0Vになる。

【0051】

この結果、通信制御基板10Cにおいても、通信制御基板10Aの場合と比べ、DRAM18へのバックアップ給電が断たれるタイミングが早くなる。但し、このタイミングは通信制御基板10Bの場合と同程度として例示したが、それよりも遅らせることが可能である。また、通信制御基板10Bの場合よりも蓄電池19からより安定した電源電圧でSRAM17へ保証期間に至るまでバックアップ給電を行わせることができる。結果として、通信制御基板10Cにおいても、従来通りのデータの保持期間を満足しつつ、一次電池を必要とせずに電池を極力減らして上述したコスト面、サイズ面、環境面での負荷を低減させることができる。

10

【0052】

図7は、上述した通信制御基板10Bの一部構成を変形した別例に係る通信制御基板10Dの基本構成を示した概略ブロック図である。

【0053】

図7を参照すれば、通信制御基板10Dは、通信制御基板10Bと比べ、デバイスとして、電圧監視回路20及び論理積回路24を実装しない代わりに、A/D（アナログ／デジタル）コンバータをマイクロコンピュータ23に内蔵させたものである。このA/Dコンバータは、電圧監視回路20と同等な機能を持ち、蓄電池19の電池電圧を監視し、電池電圧がSRAM17及びDRAM18の推奨動作電圧の下限值以下と検出された時点でスイッチ21をオフに維持するSW制御信号3を出力する。

20

【0054】

図8は、上述した通信制御基板10Dにおけるシステム状態が動作時からバックアップ給電時へ推移した場合のデバイスに係るハードウェアシーケンスを示す図である。

【0055】

図8を参照すれば、画像形成装置のシステム状態が動作時であれば、通信制御基板10Dに供給される電源電圧は3.3Vであり、昇圧回路22の出力電圧は蓄電池19を充電可能な3.4Vとなっている。また、そのときの蓄電池19の電池電圧は3.3Vであり、電圧監視回路20からのSW制御信号3はスイッチ21をオンに維持するHigh状態にある。更に、DRAM18及びSRAM17の電源電圧は何れも3.3Vとなっている。

30

【0056】

システム状態が動作時からバックアップ給電時に推移すると、DRAM18及びSRAM17は動作電源の供給が断たれ、3.3Vの電源電圧から蓄電池19の放電によるバックアップ給電へと切り替わる。この状態では電圧監視回路20からのSW制御信号3はスイッチ21をオンに維持するHigh状態に維持されているが、昇圧回路22の出力電圧は3.3Vの電源電圧と共に低下してやがては0Vになる。その後、蓄電池19が消費されて電池電圧が降下し出して3.0Vを下回った場合、電圧監視回路20からのSW制御信号3はスイッチ21をオフに維持するLow状態になる。これにより、DRAM18へのバックアップ給電が断たれ、SRAM17のみへのバックアップ給電が行われることになる。更に、蓄電池19はSRAM17のみへのバックアップ給電を保証期間に至るまで継続して行う。即ち、図8に示す通信制御基板10Dのハードウェアシーケンスは、図2に示す通信制御基板10Aのハードウェアシーケンスと同様な形態となる。

40

【0057】

この通信制御基板10Dにおいても、従来通りのデータの保持期間を満足しつつ、一次電池を必要とせずに電池を極力減らして上述したコスト面、サイズ面、環境面での負荷を

50

低減させることができる。

【0058】

ところで、通信制御基板10Dにおいても、マイクロコンピュータ23について、通信制御基板10Bや通信制御基板10Cと同等の機能を持たせることが可能である。前者では、カウント機能によって電源供給の停止期間のカウント値がDRAM18におけるデータの保存に必要な時間に相当するバックアップ時間のカウント値に到達するタイミングを検出すれば良い。この検出時点でDRAM18へのバックアップ給電を停止するSW制御信号3を出力する。これにより、DRAM18へのバックアップ給電を停止する。

【0059】

後者では、更に画像形成装置の保証期間を記憶する記憶部をマイクロコンピュータ23に内蔵させることを前提とする。この上で、カウント機能により稼動時間をカウントすると共に、保証期間に該当する総時間から稼動時間を差し引いた差時間に基づいてSRAM17に保存するデータの必要時間を計算する計算機能を持たせれば良い。そこで、マイクロコンピュータ23は、A/Dコンバータによって蓄電池19の電池電圧がSRAM17及びDRAM18の推奨動作電圧の下限值以下と検出された時点でDRAM18へのバックアップ給電を停止するSW制御信号3を出力する。或いは、マイクロコンピュータ23は、計算機能によって必要時間に基づいてDRAM18へのバックアップ給電を停止する時間を計算した結果の停止期間にカウント機能によるカウント値が到達したタイミングを検出する。この検出時点でDRAM18へのバックアップ給電を停止するSW制御信号3を出力する。これにより、DRAM18へのバックアップ給電を停止する。

【0060】

ところで、上述した通信制御基板10Aに係る技術は、制御基板用バックアップ給電方法として換言することができる。この制御基板用バックアップ給電方法では、通信制御用CPU14、SRAM17、DRAM18、蓄電池19、電圧監視回路20、スイッチ21と、が通信制御基板10Aに実装された条件下を想定する。そこで、電圧監視回路20によって実行されるバックアップ給電ステップを有するものとなる。バックアップ給電ステップでは、電圧監視回路20によって、電源供給の停止中のバックアップ給電に際して、蓄電池19の電池電圧がSRAM17及びDRAM18の推奨動作電圧の下限值を超えていればスイッチ21をオンに維持する。これにより、SRAM17と共にDRAM18へのバックアップ給電を継続して行わせる。また、バックアップ給電ステップでは、電圧監視回路20によって、上記推奨動作電圧の下限值以下であればスイッチ21をオフに維持してDRAM18へのバックアップ給電を停止する。因みに、このバックアップ給電ステップは、コンピュータに実行させるための制御基板用バックアップ給電プログラムとして構築することができる。

【0061】

尚、本発明は上述した実施の形態における実施例で説明した主旨に限定されず、その技術的要旨を逸脱しない範囲で種々の変形が可能であり、特許請求の範囲に記載された技術思想に含まれる技術的事項の全てが本発明の対象となる。上記実施例は、好適な例を示したものであるが、当業者であれば、開示した内容から様々な変形例を実現することが可能であるが、これらは添付した特許請求の範囲に記載された技術的範囲に含まれる。

【符号の説明】

【0062】

- 10A、10B、10C、10D 通信制御基板
- 11 公衆回線
- 12 回線制御デバイス
- 13 モデム (MODEM)
- 14 通信制御用CPU
- 15 リセット (Reset) IC
- 16 ROM
- 17 SRAM

- 18 DRAM
- 19 蓄電池（二次電池）
- 20 電圧監視回路
- 21 スイッチ（SW）
- 22、22a、22b 昇圧回路
- 23 マイクロコンピュータ（マイコン）
- 24 論理積回路（AND回路）

【先行技術文献】

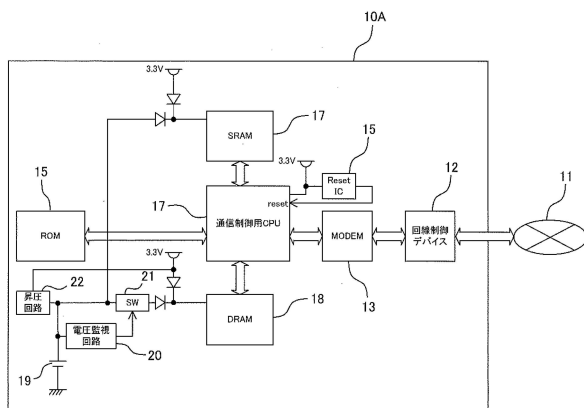
【特許文献】

【0063】

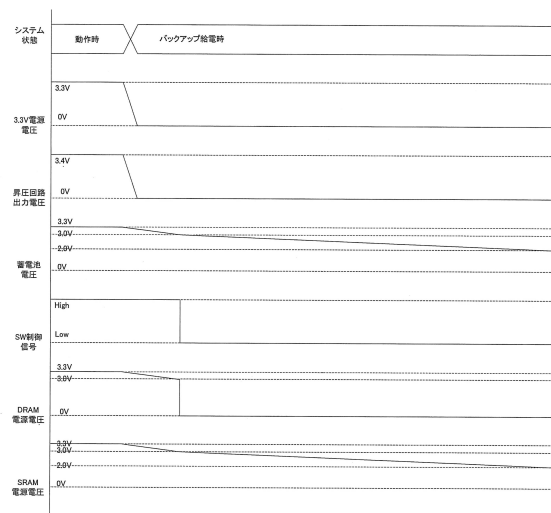
【特許文献1】特開2006-166044号公報

10

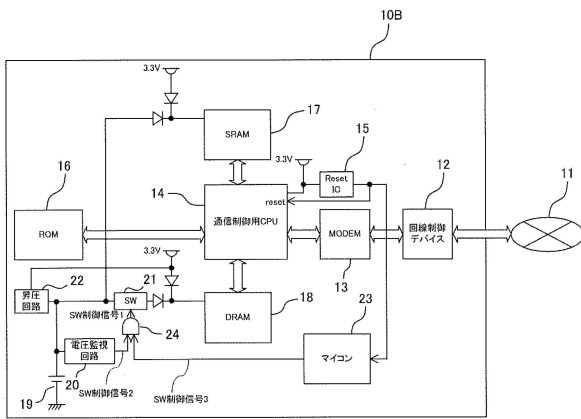
【図1】



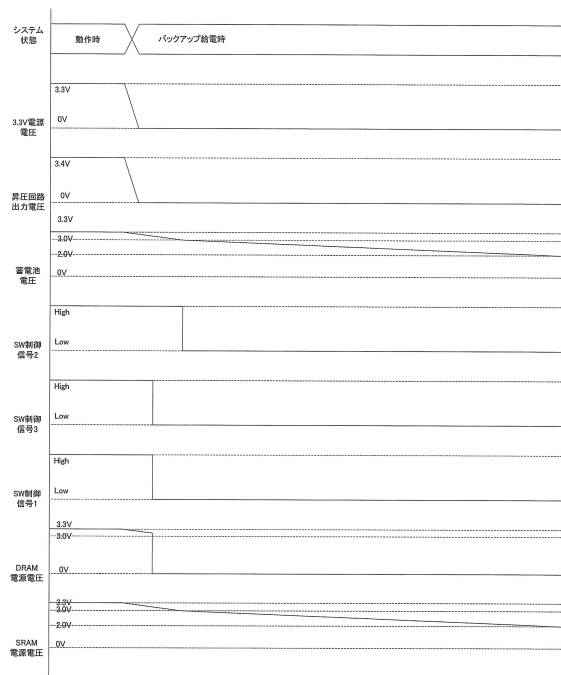
【図2】



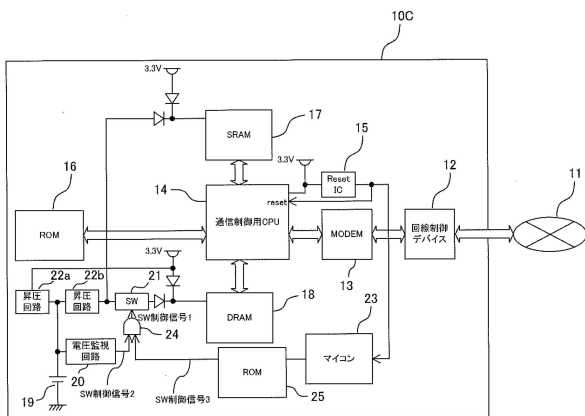
【図 3】



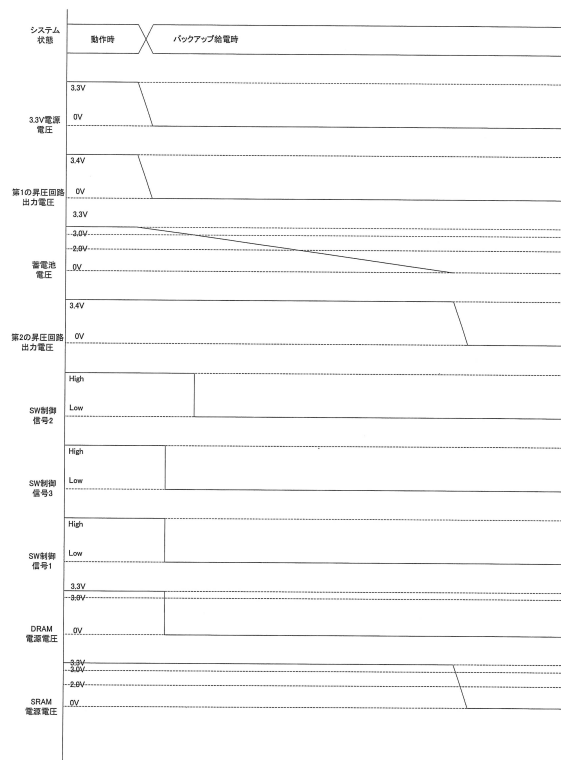
【図 4】



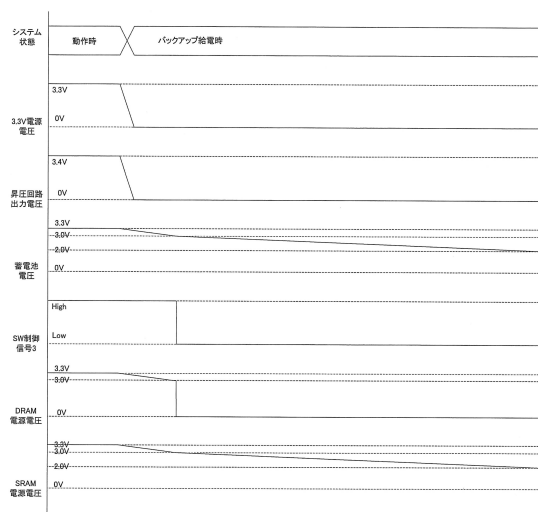
【図 5】



【図 6】



【图 8】



フロントページの続き

(56)参考文献 特開2009-070209 (JP, A)
特開平01-174989 (JP, A)
特開2001-238004 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G06F1/26-1/3296
B41J29/00-29/38
H04N1/00
G11C5/14