



(12) 发明专利

(10) 授权公告号 CN 101393873 B

(45) 授权公告日 2011.06.29

(21) 申请号 200810211547.0

(22) 申请日 2008.09.19

(30) 优先权数据

11/859,346 2007.09.21 US

(73) 专利权人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市

(72) 发明人 克劳斯·普雷塞尔

戈特弗里德·比尔

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 章社杲 李慧

(51) Int. Cl.

H01L 21/50 (2006.01)

H01L 21/56 (2006.01)

H01L 25/00 (2006.01)

H01L 23/31 (2006.01)

审查员 罗崇举

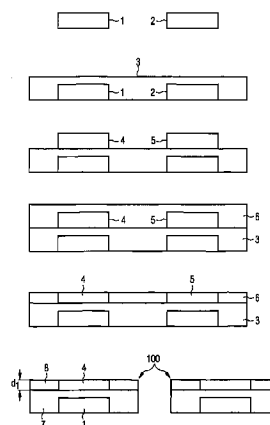
权利要求书 2 页 说明书 7 页 附图 10 页

(54) 发明名称

包括堆叠半导体芯片的器件及其制造方法

(57) 摘要

本发明公开了一种堆叠半导体芯片。一个实施例提供了第一半导体芯片的阵列,利用模制材料覆盖第一半导体芯片的阵列,以及在第一半导体芯片的阵列上设置第二半导体芯片的阵列。减小第二半导体芯片的厚度。通过分离模制材料使第一半导体芯片的阵列独立。



1. 一种包括堆叠半导体芯片的器件的制造方法,包括:
提供第一半导体芯片的阵列;
利用模制材料覆盖所述第一半导体芯片的阵列;
在所述第一半导体芯片的阵列上方设置第二半导体芯片的阵列;
利用模制材料覆盖所述第二半导体芯片的阵列;
部分地去除覆盖所述第二半导体芯片的阵列的模制材料,直至减小所述第二半导体芯片的厚度;以及
通过分离所述模制材料使所述第一半导体芯片的阵列独立。
2. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,在所述减小所述第二半导体芯片的厚度之后,包括:在所述第二半导体芯片的阵列上方设置第三半导体芯片的阵列以及覆盖所述第三半导体芯片的阵列的模制材料。
3. 根据权利要求2所述的包括堆叠半导体芯片的器件的制造方法,包括:减小所述第三半导体芯片的厚度。
4. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,包括:在利用模制材料覆盖所述第一半导体芯片的阵列之前,在载体上方设置所述第一半导体芯片的阵列。
5. 根据权利要求4所述的包括堆叠半导体芯片的器件的制造方法,包括:在利用模制材料覆盖所述第一半导体芯片的阵列之后,在设置第二半导体芯片的阵列之前,去除所述载体。
6. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,在利用模制材料覆盖所述第一半导体芯片的阵列的步骤之后,在设置第二半导体芯片的阵列之前,包括:在覆盖所述第一半导体芯片的阵列的模制材料中形成直通连接。
7. 根据权利要求6所述的包括堆叠半导体芯片的器件的制造方法,包括其中,所述模制材料的一个表面和所述第一半导体芯片的一个表面形成第一平坦表面,以及第一导电层被施加至所述第一平坦表面。
8. 根据权利要求7所述的包括堆叠半导体芯片的器件的制造方法,包括:将第二导电层施加至所述模制材料的、与所述模制材料的所述一个表面相对的相对表面。
9. 根据权利要求8所述的包括堆叠半导体芯片的器件的制造方法,包括其中:所述直通连接将所述第一导电层与所述第二导电层电连接。
10. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,包括其中,当所述第二半导体芯片的阵列设置在所述第一半导体芯片的阵列上方时,所述第二半导体芯片的有源主表面面向所述第一半导体芯片的有源主表面。
11. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,在利用模制材料覆盖所述第一半导体芯片的阵列的步骤之后,在通过分离所述模制材料使所述第一半导体芯片的阵列独立之前,包括:减小所述第一半导体芯片的厚度。
12. 根据权利要求1所述的包括堆叠半导体芯片的器件的制造方法,包括:在将半导体芯片的其它阵列设置到测试过的半导体芯片上方之前,测试阵列的半导体芯片。
13. 根据权利要求12所述的包括堆叠半导体芯片的器件的制造方法,包括其中,如果所述测试过的半导体芯片之一有缺陷,则设置在所述测试的半导体芯片上方的所述半导体芯片之一与缺陷的半导体芯片相同。

14. 根据权利要求 12 所述的包括堆叠半导体芯片的器件的制造方法,包括其中,如果所述测试过的半导体芯片之一有缺陷,则不在有缺陷的半导体芯片上方设置其它半导体芯片。

15. 一种包括堆叠半导体芯片的器件,包括:

第一半导体芯片;

模制材料的第一层,保持所述第一半导体芯片;

第二半导体芯片,被施加在所述模制材料的第一层上方;

以及

模制材料的第二层,保持所述第二半导体芯片,其中,背向所述第一半导体芯片的所述第二半导体芯片的主表面与所述模制材料的第二层的表面齐平。

16. 根据权利要求 15 所述的包括堆叠半导体芯片的器件,包括其中,所述第一半导体芯片的主表面与所述模制材料的第一层的表面齐平。

17. 根据权利要求 16 所述的包括堆叠半导体芯片的器件,包括其中,第一导电层被施加至所述第一半导体芯片的主表面以及所述模制材料的第一层的表面。

18. 根据权利要求 17 所述的包括堆叠半导体芯片的器件,包括其中,所述第一导电层被布置在所述模制材料的第一层与所述模制材料的第二层之间。

19. 根据权利要求 17 所述的包括堆叠半导体芯片的器件,包括其中,第二导电层被施加至所述模制材料的第一层的另一个表面。

20. 根据权利要求 19 所述的包括堆叠半导体芯片的器件,包括其中,直通连接被布置在所述模制材料的第一层中,用于将所述第一导电层连接到第二导电层。

21. 根据权利要求 15 所述的包括堆叠半导体芯片的器件,其中,所述第一半导体芯片和/或所述第二半导体芯片具有小于 $200\ \mu\text{m}$ 的厚度。

22. 根据权利要求 15 所述的包括堆叠半导体芯片的器件,其中,还包括施加在所述第二半导体芯片上方的第三半导体芯片,所述第三半导体芯片的设置方式与所述第二半导体芯片的设置方式相同。

23. 一种包括堆叠半导体芯片的器件的制造方法,包括:

提供第一半导体芯片的阵列;

利用模制材料覆盖所述第一半导体芯片的阵列;

在所述第一半导体芯片的阵列上设置第二半导体芯片的阵列;

利用模制材料覆盖所述第二半导体芯片的阵列;

部分地去除所述模制材料,直至所述第二半导体芯片的厚度被减小;以及

通过分离所述模制材料使所述第一半导体芯片独立。

24. 根据权利要求 23 所述的包括堆叠半导体芯片的器件的制造方法,其中,在利用所述模制材料覆盖所述第一半导体芯片和所述第二半导体芯片之前,将所述第一半导体芯片和所述第二半导体芯片设置在载体上方,并且在利用所述模制材料覆盖所述第一半导体芯片和所述第二半导体芯片之后,在部分地去除所述模制材料之前,去除所述载体。

包括堆叠半导体芯片的器件及其制造方法

技术领域

[0001] 本发明涉及包括堆叠半导体芯片的器件,以及用于制造包括堆叠半导体芯片的器件的方法。

[0002] 背景技术

[0003] 为了实现高的系统集成,将集成电路、传感器、微机械设备和其他模块堆叠到彼此之上是有用的。堆叠到彼此之上的模块越多,则堆叠厚度增加的越多。在一些应用中,将限制堆叠的最大厚度。

[0004] 为了这些和其他原因,需要本发明。

[0005] 发明内容

[0006] 为了解决堆叠的最大厚度受到限制的问题,本发明提出这样一种方法,其包括:提供第一半导体芯片的阵列;利用模制材料覆盖所述第一半导体芯片的所述阵列;在所述第一半导体芯片的所述阵列上方设置第二半导体芯片的阵列;减小所述第二半导体芯片的厚度;以及通过分离所述模制材料使所述第一半导体芯片的所述阵列独立。

[0007] 另外,本发明还提供这样一种器件,其包括:第一半导体芯片;模制材料的第一层,保持所述第一半导体芯片;第二半导体芯片,被施加在所述模制材料的第一层上方;以及模制材料的第二层,保持所述第二半导体芯片,其中,背向所述第一半导体芯片的所述第二半导体芯片的第一主表面与所述模制材料的第二层的第一表面齐平。

附图说明

[0008] 所包括的附图提供了对实施例的进一步理解,并被结合构成本说明书的一部分。附图示出了实施例,并与描述一起用于解释实施例的原则。其他实施例和实施例的多个期望优点将被认为通过参考下列详细描述变得更好理解。附图的元素不必彼此成比例。相同的参考标号表示对应的相似元件。

[0009] 图 1A 至图 1F 示例性示出了作为示例性实施例的制造器件 100 的方法。

[0010] 图 2A 至图 2N 示例性示出了作为另一示例性实施例的制造器件 200 的方法。

[0011] 图 3A 至图 3N 示例性示出了作为另一示例性实施例的制造器件 300 的方法。

具体实施方式

[0012] 在以下的详细描述中,参考构成本文一部分的附图,其中,通过可以实现本发明的示例性具体实施例示出了附图。对此,参考所描述图的方向使用方向术语(例如,“顶部”、“底部”、“正面”、“背面”、“前端”、“尾部”等)。由于本发明实施例中的元件可以定位于许多不同的方向,因此,方向术语是用来说明而不是用来限制的。可以理解,可利用其它实施例,并且在不背离本发明范围的情况下,可对结构或逻辑进行改变。因此,以下详细的描述不是用来限制本发明的,本发明的范围由所附权利要求限定。

[0013] 应当理解,文中描述的各种示例性实施例的特征可以彼此结合,除非另外特别注明。

[0014] 下面将描述具有嵌入到模制材料中的半导体芯片的器件。半导体芯片可以是完全不同的类型,可以由不同技术制造,并且可以包括例如集成电路或光电路、或者无源元件。例如,集成电路可被设计为逻辑集成电路、模拟集成电路、混合信号集成电路、电源集成电路、存储电路、或集成无源元件。此外,半导体芯片可被配置为 MEMS(微机电系统),并且可以包括诸如桥、膜或樰结构的微机械结构。半导体芯片可以被配置为传感器或执行机构,例如,压力传感器、加速度传感器、旋转传感器、麦克风等。半导体芯片可以被配置为天线和 / 或间隔的无源元件和 / 或芯片堆叠。半导体芯片还可以包括天线和 / 或间隔的无源元件。嵌入这种功能元件的半导体芯片通常包括用于驱动功能元件或者进一步处理由该功能元件生成的信号的电路。半导体芯片不需要由特殊半导体材料制造,此外其可以包括不是半导体的无机和 / 或有机材料,例如,分立的无源元件、天线、绝缘体、塑胶或金属。此外,半导体芯片可以被封装或不被封装。

[0015] 半导体芯片具有能与半导体芯片进行电接触的接触垫。接触垫可由任何期望的导电材料构成,例如,诸如铝、镍、钯、金、或铜的金属,金属合金,或者导电有机材料。接触垫可以位于半导体芯片的有源主表面或者半导体芯片的其他表面上。

[0016] 一个或多个导电层将被涂覆至半导体芯片。导电层可用作布线层,以与器件外部的半导体芯片进行电接触,或者与包括在器件内的其他半导体芯片和 / 或组件电接触。可以将导电层制造成具有任何期望的几何形状和任何期望的材料成分。例如,导电层可以由导线 (conductor track) 构成,但也可以呈覆盖区域的层的形式。任何期望的导电材料(例如,诸如铝、镍、钯、银、锡、金或铜的金属,金属合金,或者有机导体)可以被用作该材料。导电层不必是同质的或者不必仅由一种材料制造,也就是说导电层中包含的材料的各种成分和浓度都是允许的。此外,导电层可以被布置在介电层之上或之下,或者两个介电层之间。

[0017] 以下描述的器件包括覆盖半导体芯片的至少一部分的模制材料。模制材料可以是适当的硬质塑料、热塑塑料、层压材料(预浸料坯)或热固塑料,并且可以包括绝缘填充材料和 / 或在特定情况下可以包括导电填料。各种技术可用于利用模制材料覆盖半导体芯片,例如,压缩成型、层压和注射成型。

[0018] 图 1A 至图 1F 示例性地示出了用于制造器件 100 的方法。首先,提供第一半导体芯片的阵列。在图 1A 中示出了第一半导体芯片的阵列的第一半导体芯片 1 和 2。该阵列可以包括其他第一半导体芯片。利用模制材料 3 来覆盖半导体芯片 1 和 2(参见图 1B)。然后,在半导体芯片 1 和 2 上设置第二半导体芯片的阵列。图 1C 示出了第二半导体芯片的阵列的两个第二半导体芯片 4 和 5。该第二半导体芯片布置可以包括其他第二半导体芯片。也可以利用模制材料 6 来覆盖半导体芯片 4 和 5(参见图 1D)。然后,例如通过打磨来部分地去除模制材料 6,直至半导体芯片 4 和 5 的厚度被减小(参见图 1E)。然后,通过分离模制材料 3 和 6 来使半导体芯片 1 和 2 独立(参见图 1F)。

[0019] 图 1F 示出了通过上述方法获得的器件 100 的横截面。器件 100 包括保持半导体芯片 1 的模制材料的第一层 7,以及保持半导体芯片 4 的模制材料的第二层 8。模制材料的第二层 8 的上表面与半导体芯片 4 的上表面齐平。因此,这些表面形成了公共平面。这些平面将与数学平面不同,以及可以具有一直到 $10\ \mu\text{m}$ 范围内的一些微处理,并且可以弯曲。例如,半导体芯片 4 的厚度(在图 1F 中由 d_1 表示)将小于 $200\ \mu\text{m}$,具体地为小于 $150\ \mu\text{m}$ 。

[0020] 图 2A 至图 2N 示例性地示出了制造器件 200 的方法,图 2N 示出了该器件 200 的横截面。图 2A 至图 2N 示出的方法是图 1A 至图 1F 示出方法的改进。因此,下面描述的制造方法的细节可以应用于图 1A 至图 1F 的方法。

[0021] 如图 2A 所示,半导体芯片 1 和 2 以及可能的其他半导体芯片被设置在载体 10 之上。载体 10 可以是由刚性材料(例如,诸如镍、钢或不锈钢的金属),层压材料、膜、或材料堆叠构成的板。载体 10 具有平坦表面,半导体芯片 1 和 2 设置于其上。载体 10 的形状未限制到任何几何形状,例如,载体 10 可以是圆形或方形。此外,载体 10 可以具有任何尺寸,并且第一半导体芯片的任何适当阵列都可以设置在载体 10 之上(图 2A 中仅示出了两个第一半导体芯片)。

[0022] 文中描述的半导体芯片 1 和 2 以及所有其他半导体芯片都可以由半导体材料制成的晶片来制造。在将晶片切割成方块,然后将各个半导体芯片 1 和 2 分割开之后,半导体芯片 1 和 2 以它们被进行晶片粘接的较大间隔重新设置到载体 10 上。半导体芯片 1 和 2 将由相同晶片来制造,但它们也可以由不同晶片制造。此外,半导体芯片 1 和 2 物理上可以是相同的,但它们也可以包含不同的集成电路和/或表示不同组件。半导体芯片 1 和 2 分别具有有源主表面 11 和 12,并且可以利用其有源主表面 11 和 12 面向载体 10 布置到载体 10 之上。

[0023] 在将半导体芯片 1 和 2 设置到载体 10 上之前,诸如双面胶带的粘胶带 13 将被层压在载体 10 上。半导体芯片 1 和 2 可以被固定在粘胶带 13 上。为了将半导体芯片 1 和 2 附着到载体 10,可以使用其他类型的附着材料。

[0024] 在将半导体芯片 1 和 2 安装到载体 10 上之后,例如通过使用硬质塑料或热固材料 3 制模从而形成模制材料的第一层 7 来封装它们(参见图 2B)。还利用模制材料 3 来填充半导体芯片 1 和 2 之间的间隙。模制材料 3 可以基于环氧材料,并且其可以包括由小颗粒的玻璃(SiO_2)或诸如 Al_2O_3 的其他电绝缘矿物填充材料组成的填充材料,或者有机填充材料。在特定情况下,填充材料可由下面进一步描述的导电颗粒组成。模制材料的第一层 7 的厚度 d_2 可以在 $300\ \mu\text{m}$ 到 $1500\ \mu\text{m}$ 的范围内,并且在一个实施例中,在 400 到 $600\ \mu\text{m}$ 的范围内。厚度 d_2 还可以取决于半导体芯片 1 和 2 的厚度。覆盖半导体芯片 1 和 2 的上表面的模制材料 3 具有大于 $100\ \mu\text{m}$ 的厚度 d_3 。

[0025] 如图 2C 所示,在模制材料的第一层 7 中形成通孔 14。通孔 14 可以从模制材料的第一层 7 的上表面向下延伸至载体 10 的表面。因此,通孔 14 可以穿过粘胶带 13 延伸。可以使用激光束、蚀刻法、或者任何其他适当的方法来钻出通孔 14。下面将进一步给出通孔 14 的其他实施例。通孔 14 的纵横比(为其宽度和其长度的比例)可以在从 1:1 到 1:10 的范围内,并且在一个实施例中为在从 1:2 到 1:3 的范围内。通孔 14 的宽度可以在从 50 到 $200\ \mu\text{m}$ 的范围内。通孔 14 将在 100 到 $600\ \mu\text{m}$ 的范围内彼此分离,但也可以具有其他间隔。

[0026] 使由模制材料的第一层 7 覆盖的半导体芯片 1 和 2 从载体 10 上脱离,并且粘胶带 13 从半导体芯片 1 和 2 以及模制材料的第一层 7 上剥离(参见图 2D)。粘胶带 13 具有热释放特性,该特性在热处理期间去除粘胶带 13。在适当的温度处执行从载体 10 上去除粘胶带 13,该适当的温度取决于粘胶带 13 的热释放特性,并且通常高于 150°C 。

[0027] 在从载体 10 和粘胶带 13 上释放模制材料的第一层 7 之前或之后,可以利用导电

材料（可以为诸如铜、铝、或金的金属，诸如 SnAg、SnAu 或焊接材料的金属合金，或者任何导电膏）来填充通孔 14。导电材料在模制材料的第一层 7 中形成了直通连接 15（参见图 2E）。用于制造直通连接 15 的方法提供了没有用导电材料完全填充的通孔 14，而是仅通过导电材料涂覆通孔 14 的侧壁。例如，首先将诸如钯层或者金属络合物的种子层沉积到在通孔 14 的表面上。然后，将铜层无电镀地沉积到种子层上。该铜层可以具有小于 $1\ \mu\text{m}$ 的厚度。然后，电镀沉积另一铜层，其具有大于 $5\ \mu\text{m}$ 的厚度。也可以省略无电镀铜沉积。在另一实施例中，导电材料可以阴极真空喷镀到通孔 14 的表面上。例如，阴极真空喷镀具有例如大约 $50\ \mu\text{m}$ 厚度的钛层，然后，阴极真空喷镀具有例如大约 200nm 厚度的铜层。然后，将铜层用作种子层，以电镀沉积具有例如大约 $5\ \mu\text{m}$ 厚度的其他铜层。

[0028] 将提供在由导电层涂覆的通孔 14 中填充诸如环氧树脂的电绝缘材料。电绝缘材料可以防止导电层被腐蚀。

[0029] 在释放载体 10 和粘胶带 13 之后，半导体芯片 1 和 2 的有源主表面 11 和 12 以及模制材料的第一层 7 的底面形成公共平坦表面。如图 2E 所示，将再分配层 16 涂覆至该表面。

[0030] 为了示出再分配层 16 的结构和功能，在图 2E 中放大了再分配层 16 的一部分。在该实施例中，再分配层 16 包括三个介电层 17、18 和 19 以及两个呈布线层 20 和 21 形式的导电层。介电层 17 沉积在由半导体芯片 1 和 2 的主表面 11 和 12 以及模制材料的第一层 7 形成的平坦表面上。将布线层 20 涂覆至介电层 17，以使其具有在嵌入到有源主表面 11 的接触垫 22 与布线层 20 的一个点处之间产生的电接触以及直通连接 15 与布线层 20 的另一一点之间的另一电接触。介电层 17 具有开口，以产生这些接触。

[0031] 介电层 18、布线层 21、和介电层 19 顺序涂覆至介电层 17 和布线层 20。介电层 17 和 18 具有开口，以在嵌入到有源主表面 11 的接触垫 23 与布线层 21 之间形成电接触。介电层 21 在布置有接触垫 24 的区域内形成开口。接触垫 24 可以用于将半导体芯片 1 和 2 电连接到在器件 200 内部或外部的其他组件。代替两个布线层，还可以仅使用一个布线层，或者如果需要可以使用至少两个布线层。文中描述的其他再分配层的结构将于再分配层 16 的结构类似。

[0032] 以各种方式制造介电层 17 至 19。例如，可以从气相或溶液中沉积介电层 17 至 19，或者可以在半导体芯片 1 和 2 上层压介电层 17 至 19。此外，薄膜技术方法可用于涂覆介电层 17 至 19。介电层 17 至 19 中每一个均可以具有大到 $10\ \mu\text{m}$ 的厚度。为了实现与布线层 20 和 21 的电接触，例如可以通过使用光刻法和 / 或蚀刻法为介电层 17 至 19 形成开口。例如，可以通过使用为构建金属化层而进行的金属化来形成布线层的导线，来制造布线层 20 和 21。

[0033] 还可以电镀生成布线层 20 和 21。为此，通常首次沉积诸如钯层的种子层，其可以非电镀地实现或者通过使用喷墨印刷技术来实现。然后，可以将种子层用作另一导电层的电镀沉积的电极。此外，同时可以生成布线层 20 和覆盖通孔 14 表面的导电层。

[0034] 可用于生成布线层 20 和 21 的另一种技术为激光直接成型。在激光直接成型 (laser direct structuring) 的情况下，电绝缘聚合物薄片被设置在模制材料的第一层 7 以及有源主表面 11 和 12 上。通过使用激光束来进行电路限定，其激活了在聚合物薄片中的特定添加剂，以允许后来的选择电镀。另一种可能性为如被用于“扇入晶圆级封装”的再

分配层处理。

[0035] 模制材料的第一层 7 使再分配层 16 延伸到半导体芯片 1 和 2 之外。因此,接触垫 24 不必布置在半导体芯片 1 和 2 的区域内,而可以布置在更大的区域上。由于模制材料的第一层 7 上接触垫 24 不仅可以彼此相隔较大的间距来布置而且可以布置最大数量的可以布置的接触垫,因此与将所有接触垫 24 布置到半导体芯片 1 和 2 的有源主表面 11,12 的区域内的情況相比,用于布置接触垫 24 的增大区域被增大了。

[0036] 直通连接 15 使再分配层 16 与模制材料的第一层 7 的相对侧电接触。也被称作过孔的直通连接还可以通过在载体 10 上设置导电结构并在半导体芯片 1 和 2 通过模制材料 3 覆盖的同时用模制材料 3 覆盖这些结构来制造。如果这些结构具有电绝缘侧壁,则可以使用具有导电填充物的模制化合物。在模制材料的第一层 7 中可以结合由材料制成的结构(其可通过水或者其他溶剂溶解)。之后,该结构可以被溶解,从而创建通孔 14,然后可以在其中形成直通连接 15。此外,在从载体 10 上释放模制材料的第一层 7 之后,在涂覆再分配层 16 之前或之后,可以形成通孔 14 和直通连接 15。

[0037] 在形成再分配层 16 之后,可以在再分配层 16 上设置半导体芯片 4 和 5,其具有面向再分配层 16 的有源主表面 25 和 26(参见图 2F)。半导体芯片 4 和 5 可以通过焊料堆叠 27(例如,具有在 30 到 80 μm 范围内的直径的微球)电连接到再分配层 16 的接触垫 24。焊接堆叠 27 构建在上部半导体芯片 4 和 5 与下部半导体芯片 1 和 2 之间的电连接。例如,焊接材料可由包含下列材料的金属合金形成:SnPb、SnAg、SnAgCu、SnAgCuNi、SnAu、SnCu 和 SnBi。代替焊接堆叠 27,可使用其他连接技术,例如,扩散焊接或通过使用导电粘合剂实现的粘合剂结合。

[0038] 然后,利用模制材料 6 覆盖半导体芯片 4 和 5(参见图 2G),从而创建模制材料的第二层 8。模制材料 6 可与用于形成模制材料的第一层 7 的模制材料 3 相同。模制材料的第二层 8 的厚度 d_4 可以在从 200 到 1000 μm 的范围内,并且在一个实施例中,在从 400 到 600 μm 的范围内。覆盖半导体芯片 4 和 5 的顶部的模制材料 6 可以具有大于 100 μm 的厚度 d_5 。

[0039] 然后,使模制材料的第二层 8 变薄(参见图 2H)。可以使用与打磨半导体晶片所使用的机械相同的打磨机械。在一个实施例中,蚀刻被用于减小模制材料的第二层 8 的厚度。在这种情况下,应当使用蚀刻材料,以相同的蚀刻速度来蚀刻模制材料 6 以及半导体芯片 4 和 5。

[0040] 执行变薄,直至半导体芯片 4 和 5 的厚度也减小了。在打磨之后,执行损伤蚀刻工艺,来去除由打磨导致的过渡和裂缝区域。最后,模制材料的第二层 8 可具有小于 200 μm 或者小于 100 μm 的厚度 d_6 。在变薄之后,具有半导体芯片 4 和 5 的模制材料第二层 8 的厚度通常不小于 50 μm ,但也可以小于 50 μm 。作为变薄的结果,远离再分配层 16 的模制材料第二层 8 的表面与半导体芯片 4 和 5 的上表面齐平。这里,术语“齐平”不是数学上的意义,其可以包括在 10 μm 范围内的微处理。因此,如上所述,模制材料第二层 8 与半导体芯片 4 和 5 的上表面形成的公共平坦表面。

[0041] 如图 2I 所示,可以在模制材料第二层 8 中形成直通连接 28,并且可以在模制材料第二层 8 的顶部上形成再分配层 29。直通连接 28 和再分配层 29 可以具有相同和相似的特性,并且可以分别以与在模制材料第一层 7 中形成的直通连接 15 以及再分配层 16 相同或

相似的方式来制造。

[0042] 随后,可以在再分配层 29 上堆叠包括半导体芯片、模制材料、直通连接、和再分配层的其他层。在图 2J 中,示出了这种附加层 30。在层 30 的情况下,以如图 2H 所示的方式来使模制材料和半导体芯片变薄。应当注意,层 30 中的半导体芯片可以具有与半导体芯片 1 和 2 完全不同的功能,并且层 30 中的直通连接不必直接位于布置在模制材料的第二层 8 中的直通连接之上。层 30 的直通连接还可以移动到远离下部层的直通连接。这也可以应用于文中描述的所有其他层的直通连接。此外,层 30 的再分配层可以具有与再分配层 16 和 29 完全不同的路线。

[0043] 图 2K 示出了堆叠在层 30 上的另一层 31。在层 31 的情况下,模制材料未变薄。层 31 是器件 200 的顶层。在图 2K 中,层 31 包括再分配层 32,其被用于在器件 200 顶部之上堆叠其他器件和 / 或可以为元件堆叠装配做准备。在不期望这种堆叠的情况下,也可以省略再分配层 32。此外,也可以使层 31 的模制材料和半导体芯片变薄。

[0044] 如图 2L 所示,还可以通过打磨使模制材料的第一层 7 以及半导体芯片 1 和 2 变薄。在打磨和损伤蚀刻之后,模制材料的第一层 7 具有在 50 到 200 μm 范围内的厚度 d_7 ,且还可以比这更小。

[0045] 此后,另一再分配层 33 可以被附着到通过变薄形成的模制材料第一层 7 以及半导体芯片 1 和 2 的公共平坦表面。在该布置中,在变薄之后且涂覆再分配层 33 之前,可以生成直通连接。此外,焊料堆叠 34 可以位于再分配层 33 的接触垫上。可以通过“焊球放置”将焊料堆叠 34 涂覆至再分配层 33,其中,由焊料组成的预先成型的球 34 被涂覆至外部接触垫。代替“焊球放置”,例如将通过使用利用焊锡膏的丝网印刷术然后通过热处理工艺来涂覆焊料堆叠 34。焊料堆叠 34 可用于使器件 200 与诸如 PCB(印刷电路板)的其他组件进行电接触。

[0046] 如图 2N 所示,通过分开模制材料层和再分配层(例如,通过锯开或通过激光束)来使器件 200 彼此分开。

[0047] 本领域技术人员应当了解,图 2N 所示的堆叠器件 200 仅作为示例性实施例,并且可以具有多种改变。例如,在相同的器件 200 中可以包括不同类型的半导体芯片或无源元件。半导体芯片和无源元件可以在功能、尺寸、制造技术等方面不同。此外,每个层可以存在完全不同地功能,一个层的直通连接不必与相邻层的直通连接呈直线。此外,器件 200 中层的数量在 2 至无限个范围内。

[0048] 在制造期间,在将半导体芯片的下一层堆叠到层顶部上之前,可以提供对具有半导体芯片的层进行的测试。如果发现层的一个或更对(很对)个组件失效,则将磨掉整个层(例如,层 30)并由一个新的层来重新涂覆(replay)。此外,如果发现半导体芯片有缺陷,则可以在缺陷半导体芯片上涂覆具有相同功能的另一半导体芯片,以代替缺陷半导体芯片。

[0049] 在一个实施例中,没有在缺陷半导体芯片上放置另一半导体芯片,并且可以放弃包括缺陷半导体芯片的器件。

[0050] 图 2A 至图 2N 所示的制造方法一方面可以确保在制造期间模制材料是耐用的,足以避免模制材料的弯曲和破损。在模制材料的第一层 7 的情况下,可以制造具有足够厚度的该层。当稍后将模制材料的另一层堆叠到模制材料的第一层 7 顶部之上时,这些层确保堆叠层的耐用性,使得能够减小模制材料第一层 7 的厚度。另一方面,模制材料和半导体芯

片的变薄导致器件 200 整个厚度的减小。这使得将器件 200 用于减小尺寸所需的应用成为可能。

[0051] 图 3A 至图 3N 示例性地示出了制造器件 300 的方法,图 3N 示出了其截面图。图 3A 至图 3N 示出的方法是图 2A 至图 2N 示出方法的改进。图 3A 至图 3E 所示的制造过程与图 2A 至图 2E 所示的制造过程原则上相同或相似。因此,在图 2A 至图 2E 以及图 3A 至图 3E 中,相同的参考标号用于表示相同的元件。

[0052] 在图 3F 所示的制造过程中,图 3 的制造方法与图 2 的制造方法不同。根据图 3F,再分配层 35 位于模制材料的第一层 7 相对于布置有再分配层 16 的表面的表面上。

[0053] 在制造再分配层 35 之后,可以在再分配层 35 上设置半导体芯片 4 和 5,其具有面向再分配层 35 的有源主表面 25 和 26(参见图 3G)。

[0054] 制造模制材料的第二层 8(参见图 3H),使模制材料的第二层 8 和半导体芯片 4 和 5 变薄(参见图 3I),形成直通连接 28 和再分配层 29(参见图 3J),堆叠层 30 和 31(参见图 3K 和图 3L),设置焊料堆叠(参见图 3M)以及分割模制材料和再分配层(参见图 3N)对应于图 2G 至图 2K、图 2M 和图 2N 所示的器件 200 的制造。

[0055] 在器件 300 的情况下,可以不使模制材料的第一层 7 变薄。然而如果使模制材料的第一层 7 变薄,则在将再分配层 35 附着到模制材料的第一层 7 之前来实现(参见图 3F)。当将再分配层 35 附着到模制材料的第一层 7 时,模制材料的第一层 7 可具有在 300 到 1000 μm 范围内的厚度。

[0056] 另外,尽管仅相对于多种实施方式中的一种公开了本发明的实施例的特定特征或方面,但是如任何给定或特定应用所要求的,这些特征或方面可以与其他实施方式的一个或多个其他特征或方面进行结合。另外,就具体实施方式或权利要求中所使用的术语“包括(include)”、“具有(have)”、“带有(with)”、及它们的其他变体,这些术语旨在以类似于术语“包含(comprise)”的方式被包含。可能使用了术语“耦合(couple)”、“连接(connected)”、及它们的衍生词。应该理解,这些术语可以被用于表示两个元件彼此合作或互相作用,而不论它们是直接的物理或电接触,还是彼此非直接接触。另外,应该理解,本发明的实施例可以由分离电路、部分集成电路、完全集成电路、或编程器件实现。而且,术语“示例性的”仅意味着作为实例,而不是最优或最佳的。还应该明了的是,为了简单和容易理解,此处描述的特征和 / 或元件都是以相对于彼此的特定尺寸示出的,并且它们的实际尺寸可能很大程度地不同于此处所示出的。

[0057] 尽管在此示出并描述了具体实施例,但是本领域普通技术人员应该理解的是,在不背离本发明的范围的条件下,各种可选和 / 或等同的实现方式可以代替所描述和示出的具体实施例。本申请旨在覆盖本文中所讨论的具体实施例的任何修改或变形。所以,本发明旨在仅由权利要求及其等同物限定。



图 1A

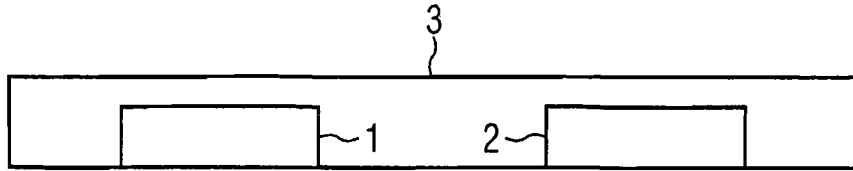


图 1B

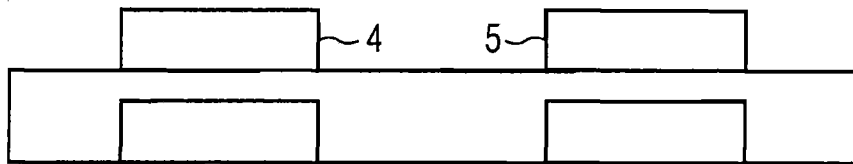


图 1C

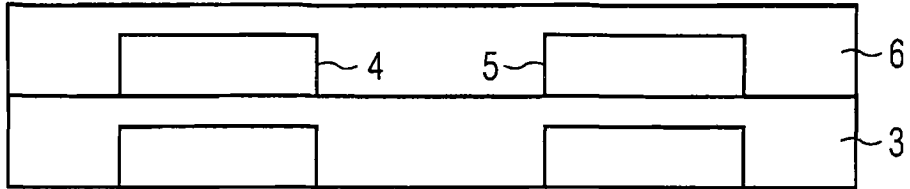


图 1D

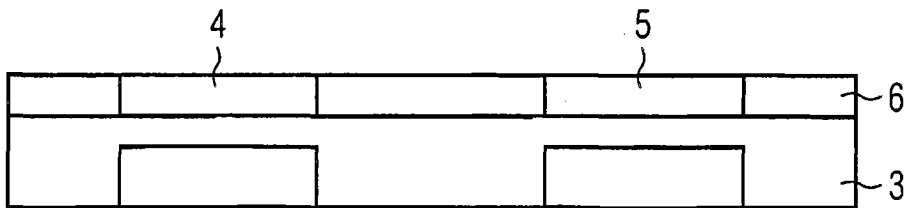


图 1E

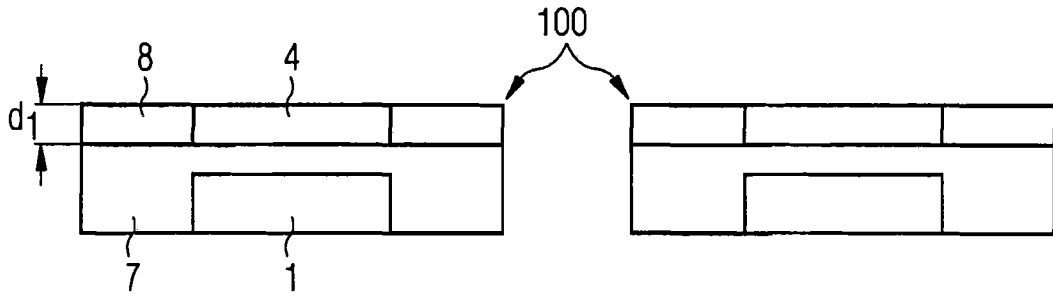


图 1F

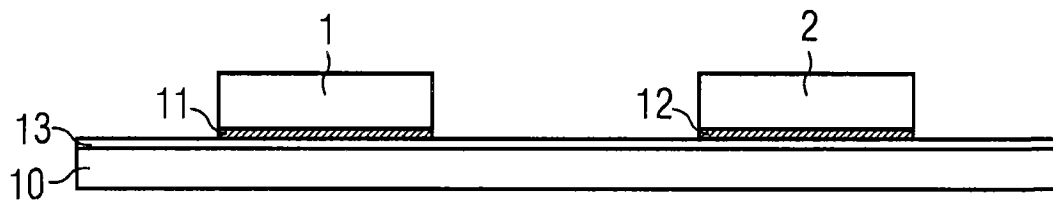


图 2A

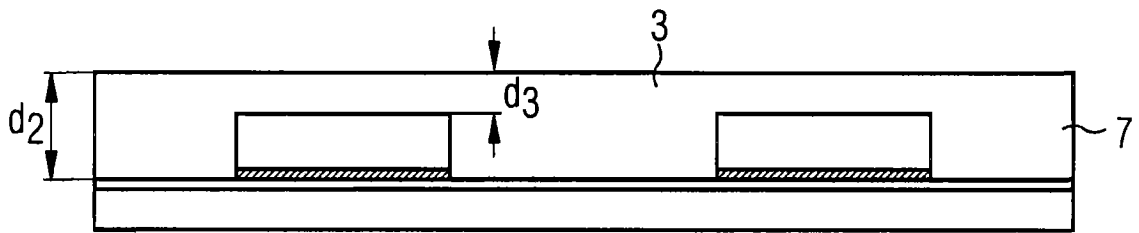


图 2B

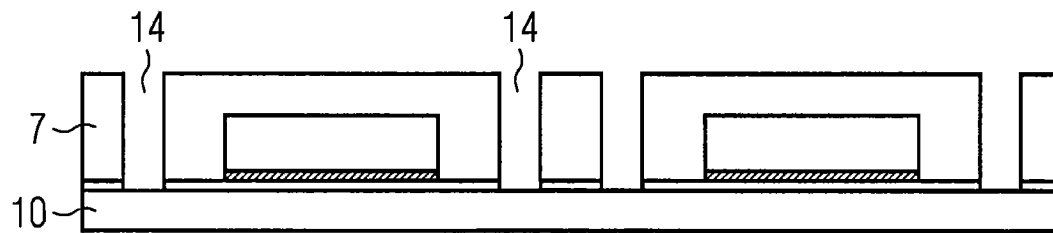


图 2C



图 2D

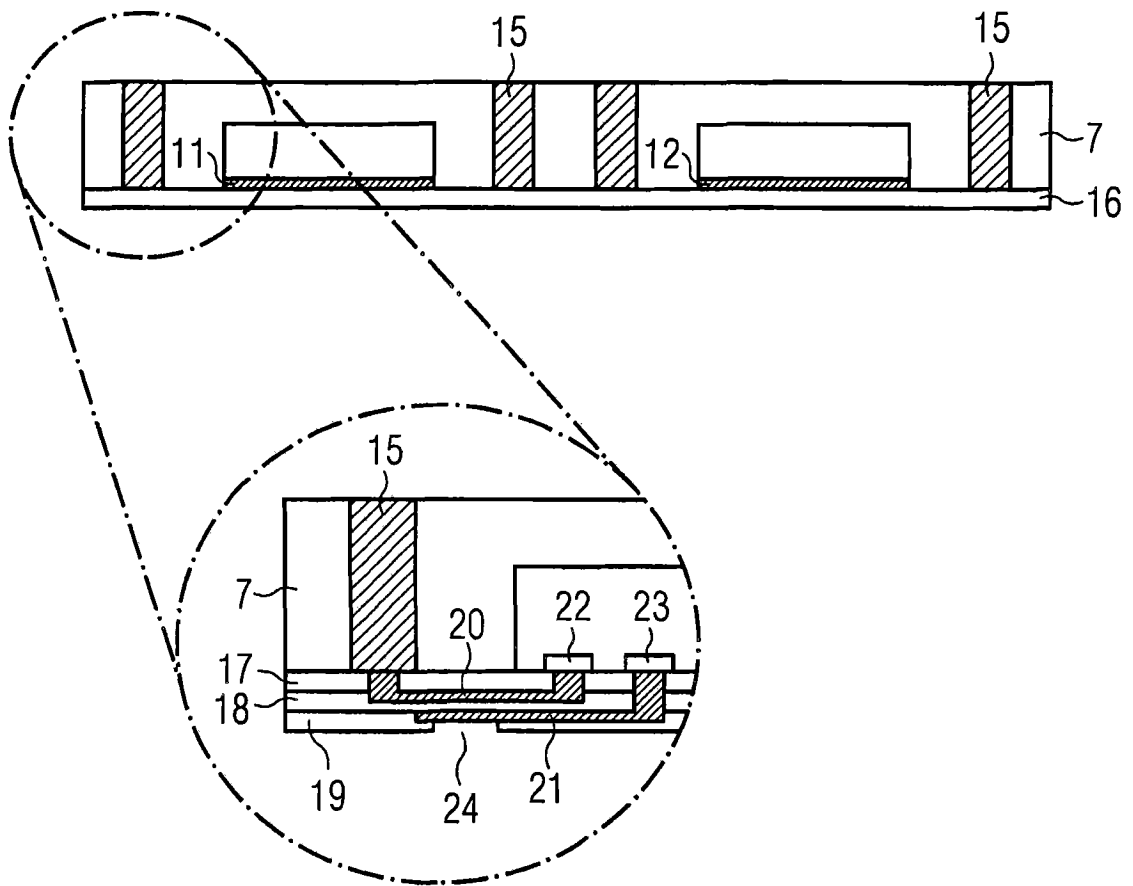


图 2E

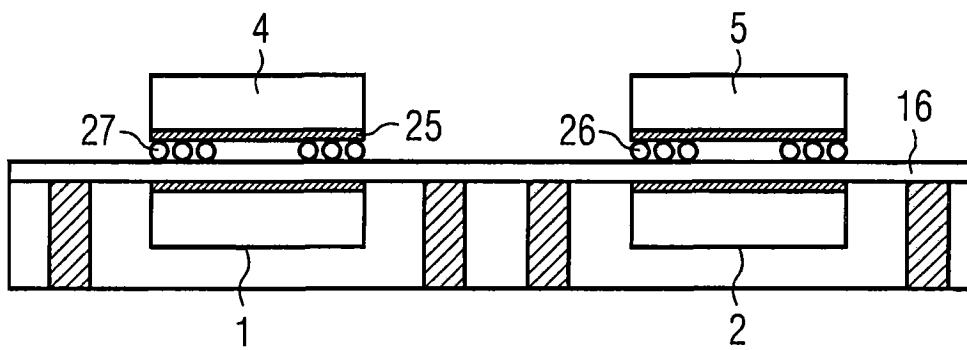


图 2F

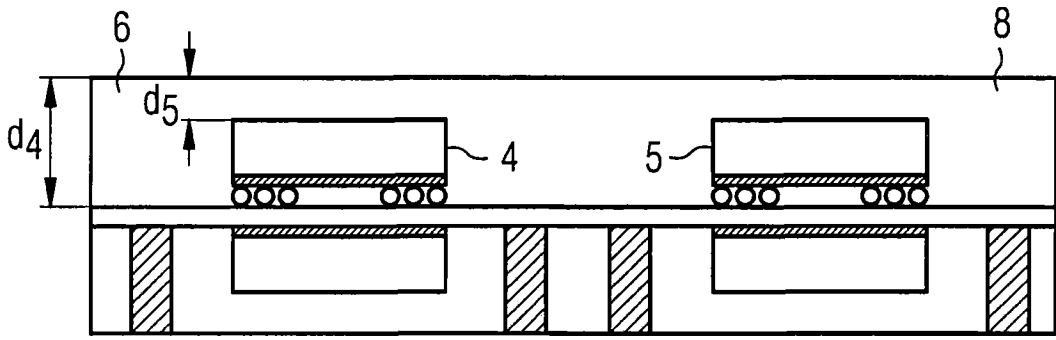


图 2G

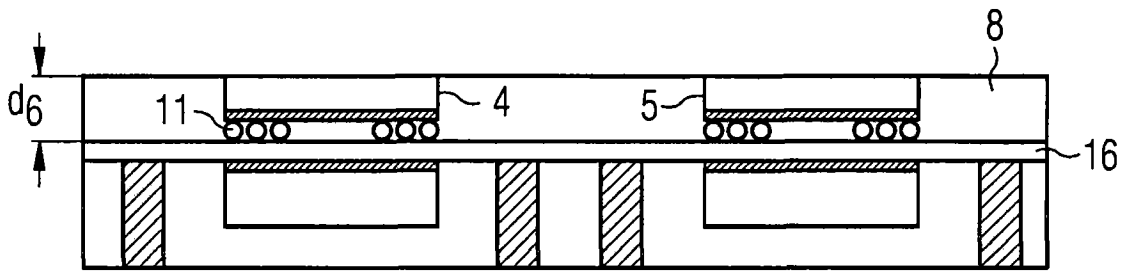


图 2H

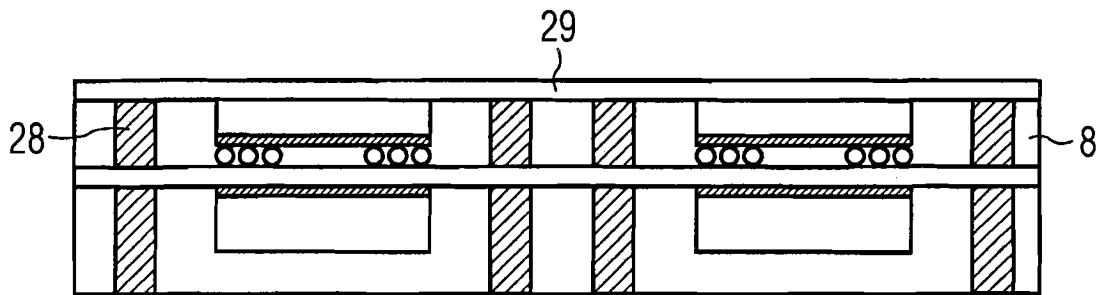


图 2I

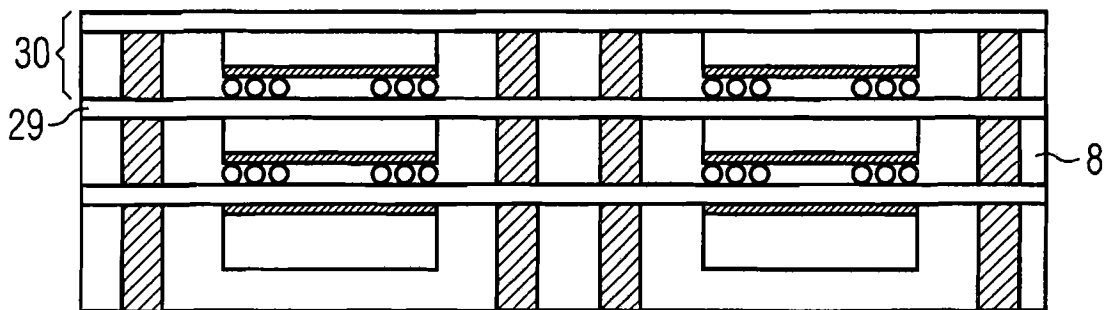


图 2J

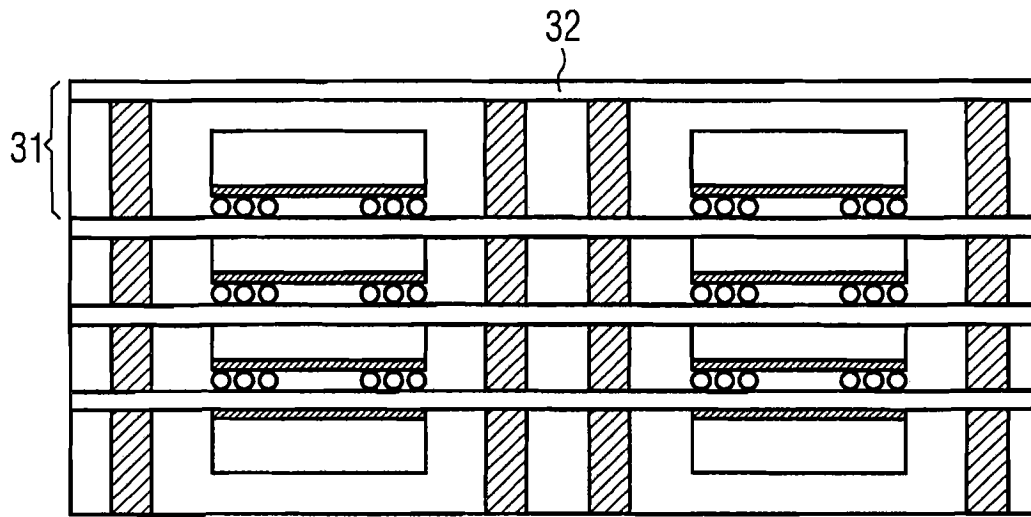


图 2K

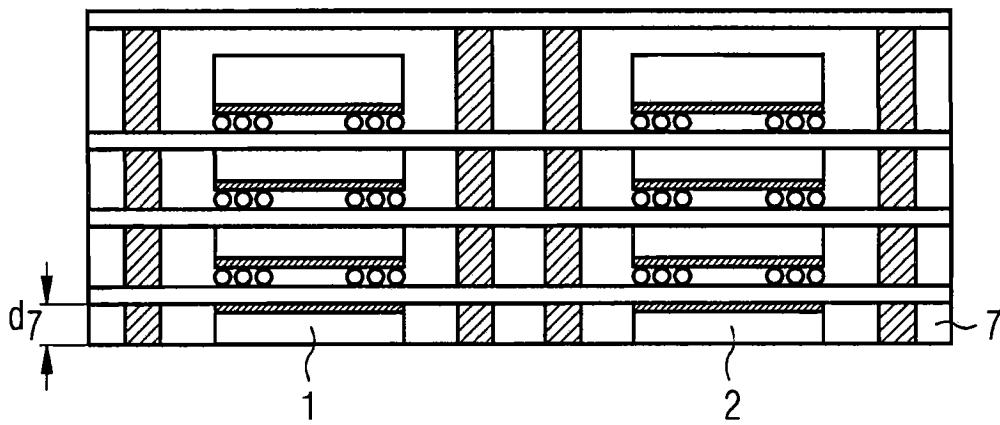


图 2L

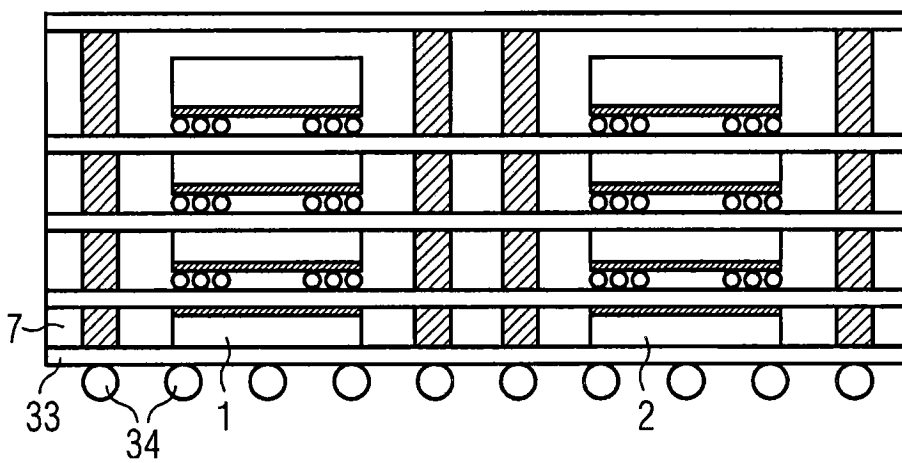


图 2M

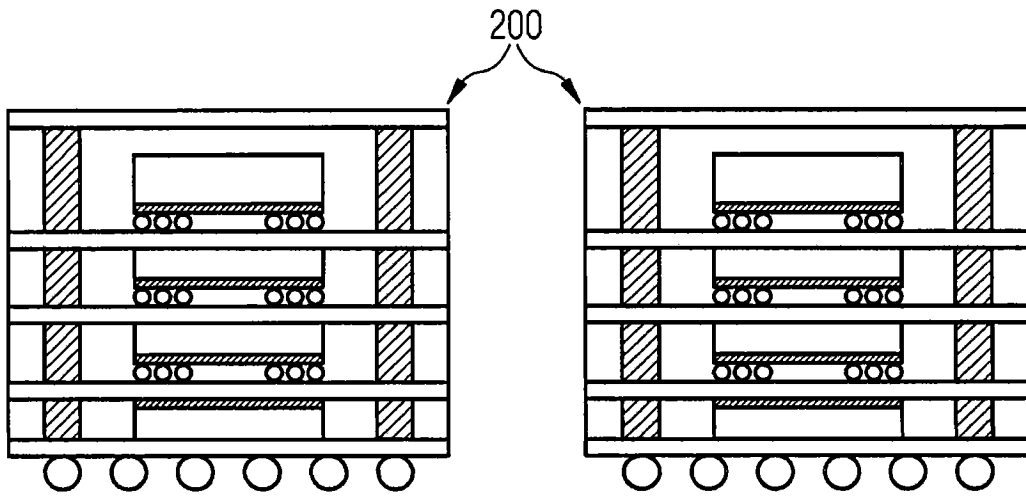


图 2N

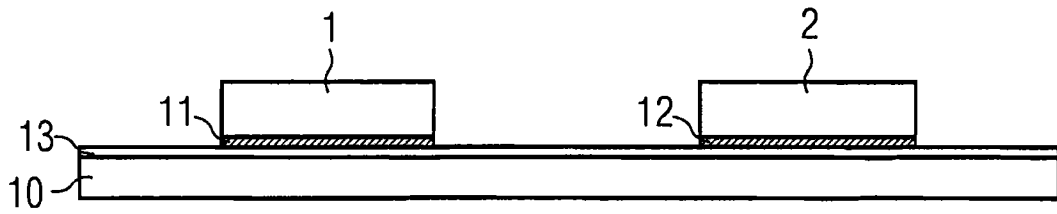


图 3A

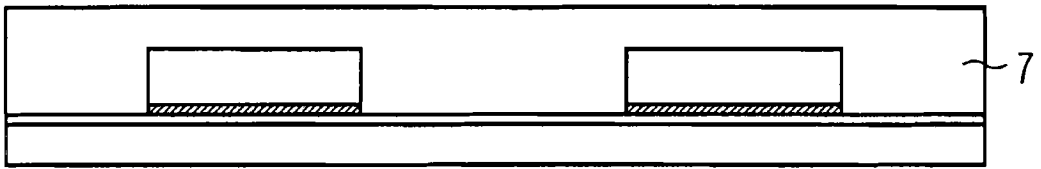


图 3B

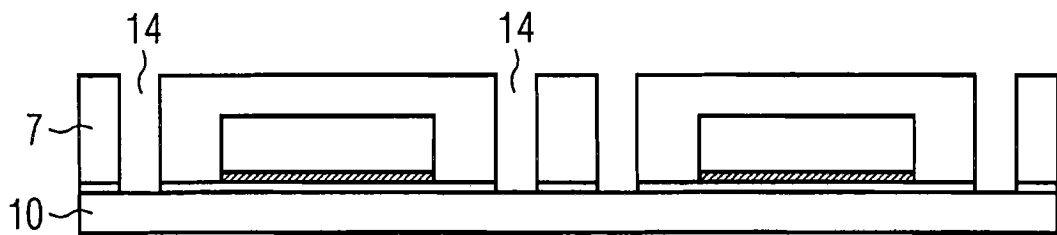


图 3C

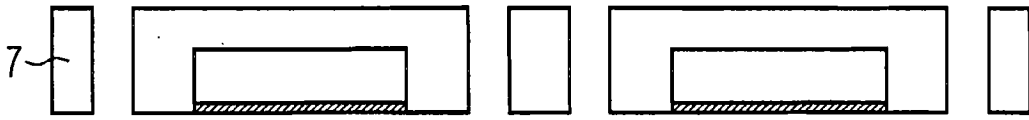


图 3D

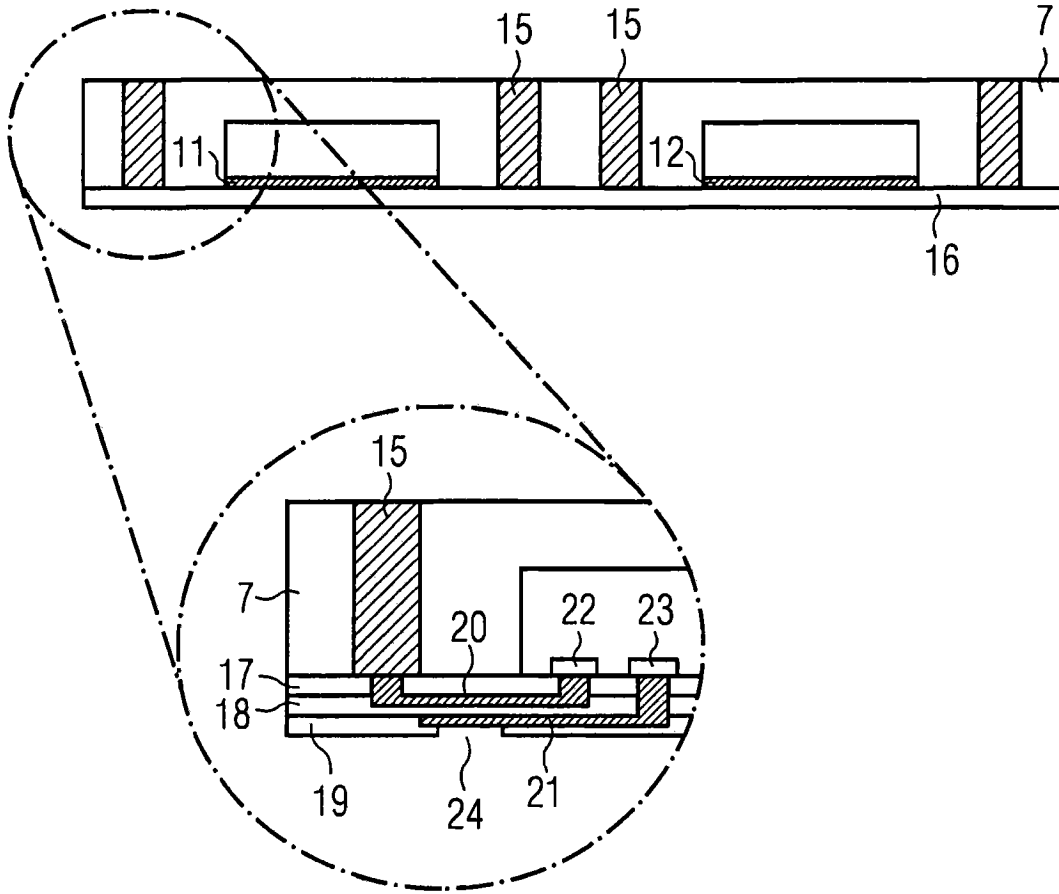


图 3E

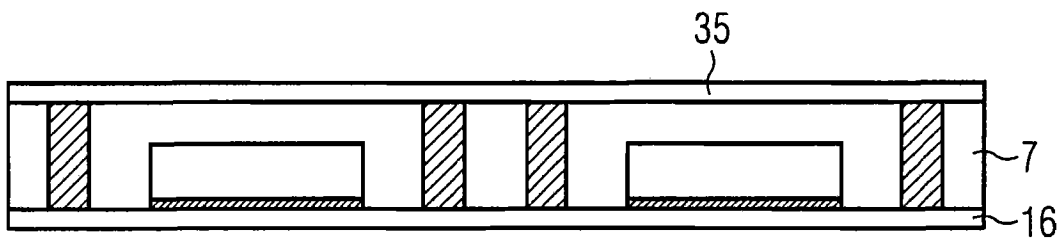


图 3F

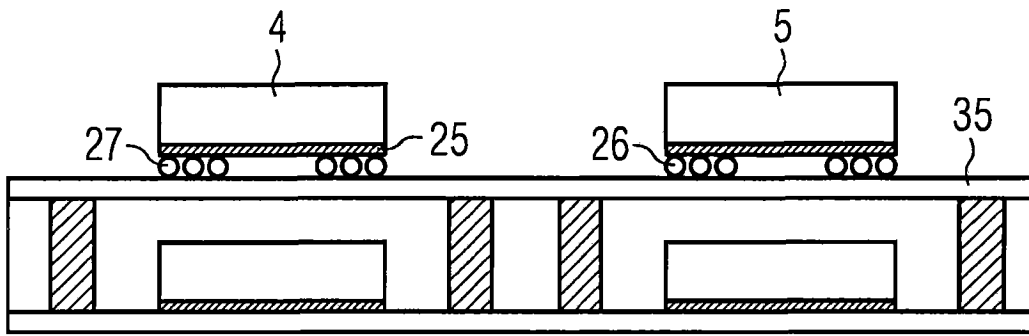


图 3G

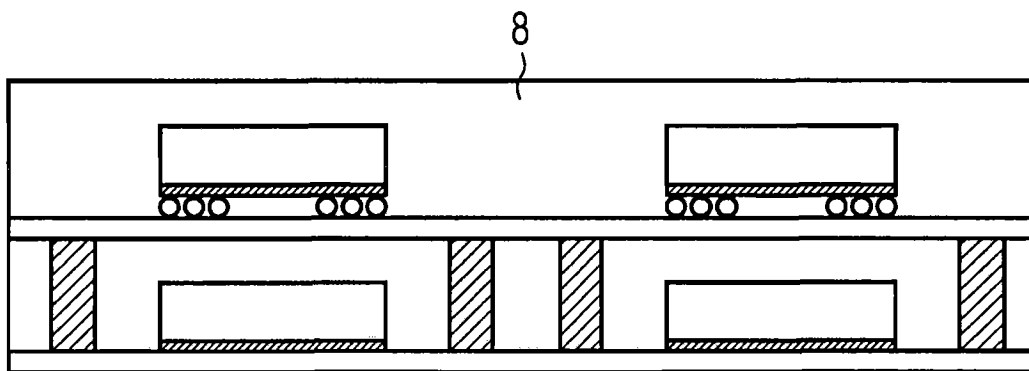


图 3H

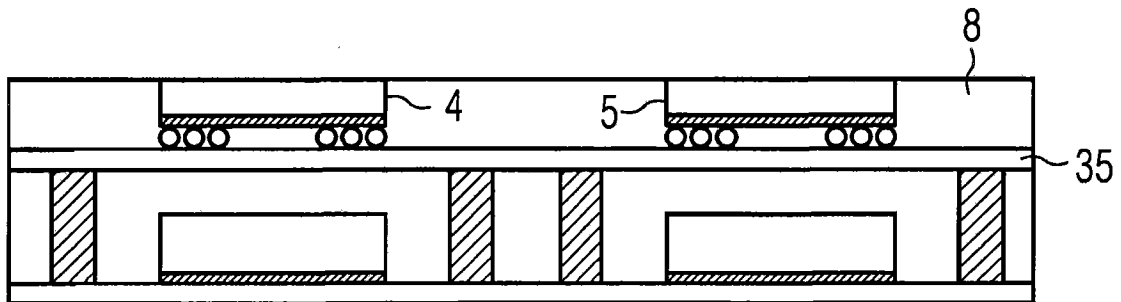


图 3I

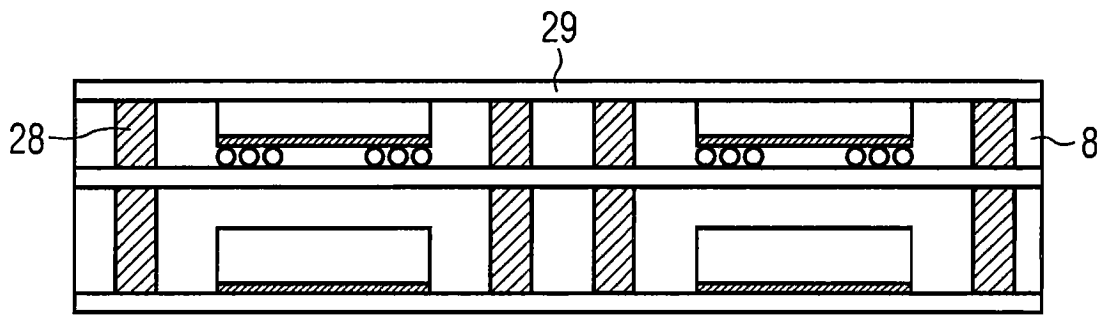


图 3J

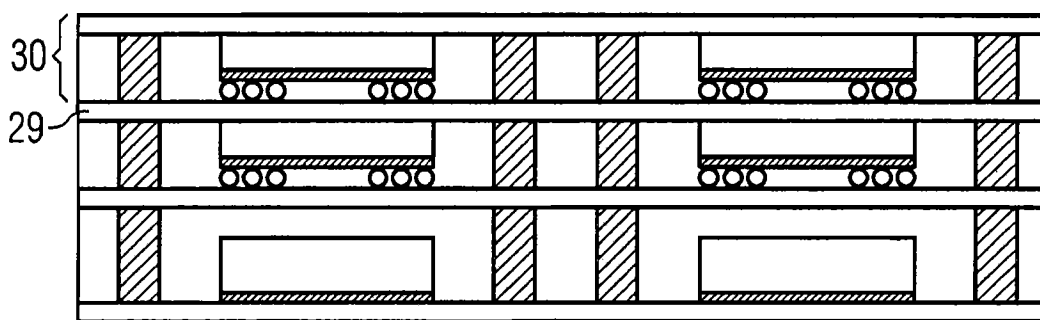


图 3K

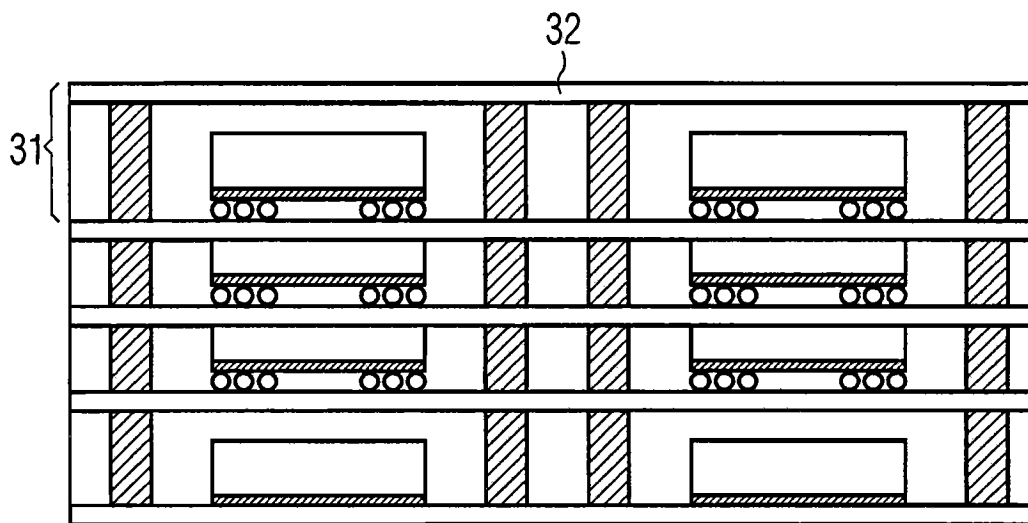


图 3L

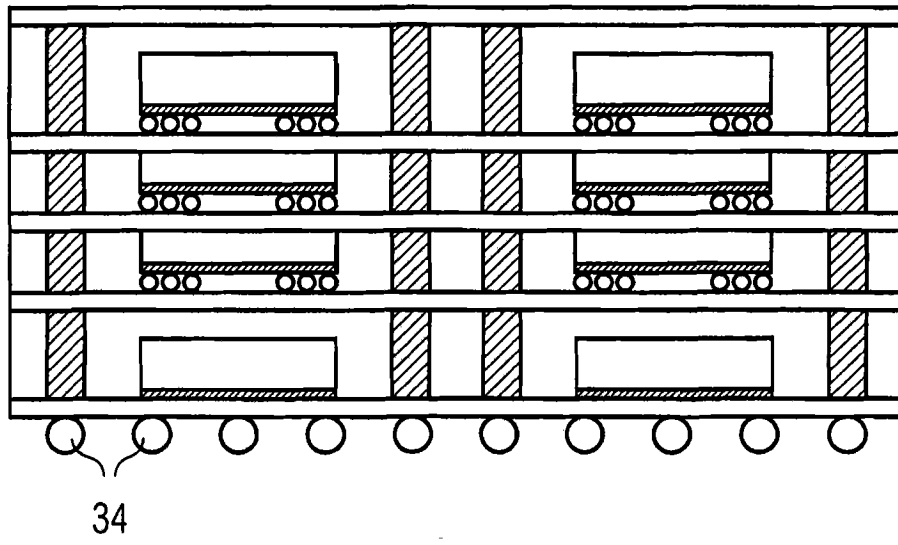


图 3M

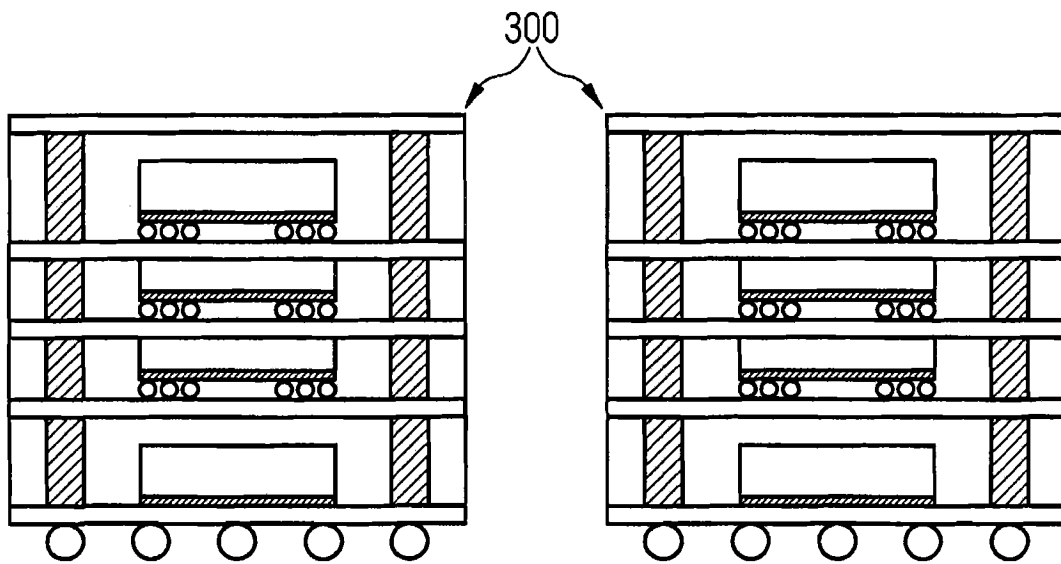


图 3N