



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

222 799

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 04 82
(21) PV 2314 - 82

(51) Int. Cl.³ G 05 B 23/02

(40) Zveřejněno 30 11 82
(45) Vydáno 01 02 84

(75)

Autor vynálezu BREJŠA JIŘÍ ing.,
HABADA OLDŘICH,
BUGÁR JÁN ing.,

HRŮZA JAN ing.,
SCHLEMMER ARNOŠT, PŘÍBRAM

(54) Zapojení pro vyhodnocení elektrického propojení konečné logické struktury řídicích automatik

Vynález řeší zapojení pro vyhodnocení elektrického propojení konečné logické struktury řídicích automatik. Toto zapojení umožňuje jednoduchý způsob testování míst elektrického propojení řídicích automatik. Skýtá možnost modulární stavebnicové výstavby celého zařízení s výhodným způsobem připojení na návazný řídicí systém. Zapojení podle vynálezu sestává ze dvou výběrových bloků, řídicího bloku, dvou dekódovacích bloků, logického bloku a výstupních bloků. Zapojení je určeno zejména pro využití ve spojení s mikropočítačovými systémy, resp. s programově řízenými testovacími automaty.

Vynález^{se týká} je zapojení pro vyhodnocení elektrického propojení konečné logické struktury řídicích automatik, sestávající ze dvou výběrových bloků, řídicího bloku, dvou dekódovacích bloků, logického bloku a výstupních bloků.

V současné době jsou podobná zařízení vesměs řešena pomocí počítačových řídicích systémů nebo pomocí jednoúčelově řešených speciálních automatik. Jejich nedostatkem je celková složitost a v případě počítačových systémů velký rozsah celého zařízení při vyhodnocování většího množství testovaných míst.

Uvedené nedostatky do značné míry odstraňuje zapojení podle vynálezu. Jeho podstata spočívá v tom, že první výběrový blok, který je opatřen prvním až k-tým vnějším výstupem, je svým prvním až k-tým výstupním adresovacím výstupem propojen s prvním až k-tým vstupem prvního dekódovacího bloku. První dekódovací blok je prvním až x-tým výstupem propojen s prvními vstupy prvního až x-tého výstupního bloku. První až k-tý vstupní adresovací výstup prvního výběrového bloku je propojen s prvním až k-tým vstupem druhého dekódovacího bloku, jehož první až x-tý výstup je propojen s druhými vstupy prvního až s-tého výstupního bloku. Druhý výběrový blok, který je opatřen prvním až k-tým vnějším vstupem, je svým prvním až k-tým výstupním adresovacím výstupem propojen s prvním až k-tým výstupním adresovacím vstupem logického bloku. První až k-tý vstupní adresovací výstup druhého výběrového bloku je propojen s prvním až k-tým vstupním adresovacím vstupem logického bloku. První až k-tý výstupní adresovací výstup je propojen s prvním až k-tým výstupním adresovacím vstupem prvního výstupního bloku až prvním až k-tým výstupním adresovacím vstupem x-tého výstupního bloku. Výstupy prvního až x-tého výstupního bloku jsou propojeny s prvním až x-tým stavovým vstupem logického bloku. První až x-tý vstupní adresovací výstup

logického bloku je propojen s prvním až k-tým vstupním adresovacím vstupem prvního výstupního bloku až prvním až k-tým vstupním adresovacím vstupem x-tého výstupního bloku. První až x-tý výstupní blok je opatřen prvním až n-tým vnějším výstupem první skupiny výstupů a prvním až n-tým vnějším výstupem druhé skupiny výstupů. Řídicí blok je opatřen vnějším výstupem, dále prvním až šestým vnějším vstupem a prvním až m-tým vnějším adresovacím vstupem a dále prvním až m-tým negačním adresovacím vstupem. Svým prvním výstupem je řídicí blok propojen s uvolňovacím vstupem prvního dekódovacího bloku. Druhým výstupem je řídicí blok propojen s uvolňovacím vstupem druhého dekódovacího bloku. Svým třetím výstupem je řídicí blok propojen s prvním vstupem logického bloku a čtvrtým výstupem je propojen s druhým vstupem logického bloku. Stavový výstup logického bloku je propojen se vstupem řídicího bloku. Pátý výstup řídicího bloku je propojen jednak se vstupem druhého výběrového bloku, jednak se vstupem prvního výběrového bloku.

Zapojení podle vynálezu umožňuje jednoduchý způsob testování míst elektrického propojení řídicí automatiky. Skýtá možnost modulární stavebnicové výstavby celého zařízení s výhodným způsobem připojení na návazný řídicí systém.

Na připojeném výkrese je znázorněno příkladné schéma zapojení podle vynálezu.

Zapojení pro vyhodnocení elektrického propojení konečné logické struktury řídicích automatik obsahuje první a druhý výběrový blok S1, S2, řídicí blok S3, první a druhý dekódovací blok J1, J2, logický blok J3 a první až n-tý výstupní blok N1 až Nx. První výběrový blok S1, který je opatřen prvním až k-tým vnějším vstupem S1.1 až S1.k, je svým prvním až k-tým výstupním adresovacím výstupem S1.A1 až S1.Ak propojen s prvním až k-tým vstupem J1.A1 až J1.Ak prvního dekódovacího bloku J1. První dekódovací blok J1 je prvním až x-tým výstupem J1.C1 až J1.Cx propojen s prvními vstupy N1.G až Nx.G prvního až x-tého výstupního bloku N1 až Nx. První až k-tý vstupní adresovací výstup S1.B1 až S1.Bk prvního výběrového bloku S1 je propojen s prvním až k-tým vstupem J2.B1 až J2.Bk druhého dekódovacího bloku J2. První až x-tý výstup J2.D1 až J2.Dx druhého dekódovacího bloku J2 je propojen s druhými výstupy N1.S až Nx.S prvního až x-tého výstupního bloku N1 až Nx. Druhý výběrový blok S2, který je opat-

řek prvním až k-tým vnějším vstupem S2.1 až S2.k, je svým prvním až k-tým výstupním adresovacím výstupem S2.C1 až S2.Ck propojen s prvním až k-tým výstupním adresovacím vstupem J3.C1 až J3.Ck logického bloku J3. První až k-tý vstupní adresovací výstup S2.D1 až S2.Dk druhého výběrového bloku S2 je propojen s prvním až k-tým vstupním adresovacím vstupem J3.D1 až J3.Dk logického bloku J3. První až k-tý výstupní adresovací výstup J3.A1 až J3.Ak logického bloku J3 je propojen s prvním až k-tým výstupním adresovacím vstupem N1.A1 až N1.Ak prvního výstupního bloku N1 až s prvním až k-tým výstupním adresovacím vstupem Nx.A1 až Nx.Ak x-tého výstupního bloku Nx. Výstupy N1.W až Nx.W prvního až k-tého výstupního bloku N1 až Nx jsou propojeny s prvním až x-tým stavovým vstupem J3.W1 až J3.Wx logického bloku J3. První až k-tý vstupní adresovací výstup J3.B1 až J3.Bk logického bloku J3 je propojen s prvním až k-tým vstupním adresovacím vstupem N1.B1 až N1.Bk prvního výstupního bloku N1 až s prvním až k-tým vstupním adresovacím vstupem Nx.B1 až Nx.Bk x-tého výstupního bloku Nx. První až x-tý výstupní blok N1 až Nx je opatřen prvním až n-tým vnějším vstupem N1.a1 až N1.an až Nx.a1 až Nx.an první skupiny výstupů a prvním až n-tým vnějším vstupem N1.b1 až N1.bn až Nx.b1 až Nx.bn druhé skupiny výstupů. Řídící blok S3 je opatřen vnějším výstupem S3.V, prvním až šestým vnějším vstupem S3.1 až S3.6, prvním až m-tým vnějším adresovacím vstupem S3.A1 až S3.Am a prvním až m-tým negačním adresovacím vstupem S3.B1 až S3.Bm. Svým prvním výstupem S3.V1 je řídící blok S3 propojen s uvolňovacím vstupem J1.1 prvního dekódovacího bloku J1. Řídící blok S3 je dále svým druhým výstupem S3.V2 propojen s uvolňovacím vstupem J2.1 druhého dekódovacího bloku J2 a svým třetím výstupem S3.V3 je propojen s prvním vstupem J3.1 logického bloku J3. Čtvrtým výstupem S3.V4 je řídící blok S3 propojen s druhým vstupem J3.2 logického bloku J3. Stavový výstup J3.S logického bloku J3 je propojen se vstupem S3.S řídícího bloku S3, jehož pátý výstup S3.V5 je propojen jednak se vstupem S2.V druhého výběrového bloku S2, jednak se vstupem S1.V prvního výběrového bloku S1.

První výběrový blok S1 je opatřen prvním až k-tým vnějším vstupem S1.1 až S1.k. Těmito vstupy jsou přiváděny adresovací signály z nadřazeného řídícího systému. První výběrový blok S1 dále obsahuje logiku pro dekódování těchto signálů a paměťové

obvody pro vysílací režim bloku. Druhý výběrový blok S2 obsahuje rovněž dekódovací logiku s možností pametování vstupních signálů po dobu dílčího kroku testování. Blok S2 je opatřen prvním až k-tým vnějším vstupem S2.1 až S2.k, kterými je propojen s návaznou automatikou. Řídicí blok S3 zahrnuje vyhodnocovací logiku pro aktivaci prvního výběrového bloku S1 a druhého výběrového bloku S2, dále obsahuje dekódér adresy bloku, kterým je řídicí blok S3 identifikován z nadřazeného systému. Řídicí blok S3 je opatřen prvním až m-tým vnějším adresovacím vstupem S3.A1 až S3.Am, prvním až m-tým vnějším negačním adresovacím vstupem S3.B1 až S3.Bm, prvním až šestým vnějším vstupem S3.1 až S3.6 a vnějším výstupem S3.V, kterým je vyveden vyhodnocený logický stav testovaného místa k návaznému programovému zpracování. Pomocí vnějších vstupů S3.1 a S3.2 jsou přiváděny uvolňovací signály p-ro návaznou adresaci v logickém bloku J3. Vnější vstupy S3.3, S3.4 a S3.5 podmiňují řízení aktivace prvního a druhého výběrového bloku S1, S2 a návaznost na další logický blok J3. První dekódovací blok J1 obsahuje dekódér pro výstupní adresaci prvního až x-tého výstupního bloku N1 až Nx. Druhý dekódovací blok J2 obsahuje dekódér pro vstupní adresaci prvního až x-tého výstupního bloku N1 až Nx. Logický blok J3 obsahuje vyhodnocovací obvody pro zpracování jednotlivých stavových vstupů J3.W1 až J3.Wx a současně umožňuje sběrníkové propojení prvního až x-tého výstupního bloku N1 až Nx. Výstupní bloky N1 až Nx obsahují vždy dvě skupiny vnějších výstupů N1.a1 až N1.an, N1.b1 až N1.bn; Nx.a1 až Nx.an, Nx.b1 až Nx.bn, které umožňují obousměrné připojení k testované soustavě. Každý blok obsahuje dekódovací logiku jak pro výstupní režim, tak pro vstupní režim.

Základní adresace celé soustavy je uskutečněna v řídicím bloku S3. V případě, že tento blok je správně naadresován, t.j. když vyslaná kombinace na adresovacích výstupech S1.A1 až S1.Ak, S1.B1 až S1.Bk projde příslušnými vyhodnocovacími obvody v řídicím bloku S3, dojde prostřednictvím pátého výstupu S3.V5 tohoto bloku k uvolnění prvního výběrového bloku S1 a druhého výběrového bloku S2. V těchto blocích dojde k vyhodnocení vnějších vstupních signálů tak, že v případě vysílacího režimu jsou vstupní signály pamětovány příslušnými klopnými obvody v bloku až do následného čtení, resp. vyhodnocení testovaných míst. První výběrový blok S1 je v režimu vysílání propojen svým prvním až k-tým výstupním adresovacím výstupem S1.A1 až S1.Ak s prvním

až k-tým vstupem J1.A1 až J1.Ak prvního dekódovacího bloku J1. V režimu vyhodnocovacím, t.j. v případě čtení logických stavů na testovaných místech, je signálově propojen první výběrový blok S1 svým prvním až k-tým vstupním adresovacím výstupem S1.B1 až S1.Bk s prvním až k-tým vstupem J2.G1 až J2.Gk druhého dekódovacího bloku J2. Obdobným způsobem je druhý výběrový blok S2 propojen s logickým blokem J3. V případě vysílacího režimu dochází k součinnosti prvního dekódovacího bloku J1 a prvního až k-tého výstupního adresovacího výstupu J3.A1 až J3.Ak. V prvním až x-tém výstupním bloku N1 až Nx dochází k demultiplexování těchto signálů a k aktivaci vybraného výstupu. Po uskutečnění této aktivace je prováděna vlastní kontrola a vyhodnocení vnějšího propojení všech vnějších výstupů výstupních bloků N1 až Nx, které je programově řízeno vnějším systémem. V režimu vyhodnocování dochází přes první až k-tý vstupní adresovací výstup S1.B1 až S1.Bk prvního výběrového bloku S1, druhý dekódovací blok J2 a první až k-tý vstupní adresovací výstup J3.B1 až J3.Bk k naadresování vybraného vnějšího vstupu/výstupu prvního až x-tého výstupního bloku N1 až Nx, kde je vyhodnocena logická úroveň příslušného vstupu a po zpracování v logickém bloku J3 je tento stav přes vnější výstup S3.V řídicího bloku S3 vyslán k programovému zpracování v návazném vnějším systému. Takto jsou postupně vyhodnoceny všechny vnější výstupy prvního až x-tého výstupního bloku N1 až Nx.

Zapojení dle vynálezu umožňuje výhodný způsob vyhodnocování a testování logických struktur z důvodu zmenšení rozsahu propojení takového systému s vnějším řídicím systémem. Jeho využití je předpokládáno zejména ve spojení s mikropočítačovými systémy, resp. s programově řízenými testovacími automaty.

P R E D M Ě T V Y N A L E Z U

222 799

Zapojení pro vyhodnocení elektrického propojení konečné logické struktury řídicích automatik, sestávající ze dvou výběrových bloků, řídicího bloku, dvou dekódovacích bloků, logického bloku a výstupních bloků, vyznačené tím, že první výběrový blok (S1), který je opatřen prvním až k-tým vnějším vstupem (S1.1 až S1.k), je svým prvním až k-tým výstupním adresovacím výstupem (S1.A1 až S1.Ak) propojen s prvním až k-tým vstupem (J1.A1 až J1.Ak) prvního dekódovacího bloku (J1), který je prvním až x-tým výstupem (J1.C1 až J1.Cx) propojen s prvními vstupy (N1.G až Nx.G) prvního až x-tého výstupního bloku (N1 až Nx), zatímco první až k-tý vstupní adresovací výstup (S1.B1 až S1.Bk) prvního výběrového bloku (S1) je propojen s prvním až k-tým vstupem (J2.B1 až J2.Bk) druhého dekódovacího bloku (J2), jehož první až x-tý výstup (J2.D1 až J2.Dx) je propojen s druhými vstupy (N1.S až Nx.S) prvního až x-tého výstupního bloku (N1 až Nx), přičemž druhý výběrový blok (S2), který je opatřen prvním až k-tým vnějším vstupem (S2.1 až S2.k), je svým prvním až k-tým výstupním adresovacím výstupem (S2.C1 až S2.Ck) propojen s prvním až k-tým výstupním adresovacím vstupem (J3.C1 až J3.Ck) logického bloku (J3), přičemž dále první až k-tý vstupní adresovací výstup (S2.D1 až S2.Dk) druhého výběrového bloku (S2) je propojen s prvním až k-tým vstupním adresovacím vstupem (J3.D1 až J3.Dk) logického bloku (J3), jehož první až k-tý výstupní adresovací výstup (J3.A1 až J3.Ak) je propojen s prvním až k-tým výstupním adresovacím vstupem (N1.A1 až N1.Ak) prvního výstupního bloku (N1) až prvním až k-tým výstupním adresovacím vstupem (Nx.A1 až Nx.Ak) x-tého výstupního bloku (Nx), přičemž výstupy (N1.W až Nx.W) prvního až x-tého výstupního bloku (N1 až Nx) jsou propojeny s prvním až x-tým stavovým vstupem (J3.W1 až J3.Wx) logického bloku (J3), jehož první až k-tý vstupní adresovací výstup (J3.B1 až J3.Bk) je propojen s prvním až k-tým vstupním adresovacím vstupem (N1.B1 až N1.Bk) prvního výstupního bloku (N1) až prvním až k-tým vstupním adresovacím vstupem (Nx.B1 až Nx.Bk) x-tého výstupního bloku (Nx), přičemž první až x-tý výstupní blok (N1 až Nx) je opatřen prvním až n-tým vnějším výstupem (N1.a1 až N1.an) až (Nx.a1 až Nx.an) první skupiny výstupů a prvním až n-tým vnějším výstupem (N1.b1 až N1.bn) dru-

hé skupiny výstupů, kdežto řídicí blok (S3), který je opatřen vnějším výstupem (S3.V), dále prvním až šestým vnějším vstupem (S3.1 až S3.6) a prvním až m-tým vnějším adresovacím vstupem (S3.A1 až S3.Am) a dále prvním až m-tým negačním adresovacím vstupem (S3.B1 až S3.Bm), je svým prvním výstupem (S3.V1) propojen s uvolňovacím vstupem (J1.1) prvního dekódovacího bloku (J1), dále je řídicí blok (S3) svým druhým výstupem (S3.V2) propojen s uvolňovacím vstupem (J2.1) druhého dekódovacího bloku (J2), dále svým třetím výstupem (S3.V3) je řídicí blok (S3) propojen s prvním vstupem (J3.1) logického bloku (J3) a svým čtvrtým výstupem (S3.V4) je propojen s druhým vstupem (J3.2) logického bloku (J3), jehož stavový výstup (J3.S) je propojen se vstupem (S3.S) řídicího bloku (S3), jehož pátý výstup (S3.V5) je propojen jednak se vstupem (S2.V) druhého výběrového bloku (S2), jednak se vstupem (S1.V) prvního výběrového bloku (S1).

