



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

243447

(11) (B1)

(51) Int. Cl.⁴

G 08 C 19/16

(22) Přihlášeno 10 01 85
(21) PV 207-85

(40) Zveřejněno 31 08 85

(45) Vydáno 14 08 87

(75)

Autor vynálezu

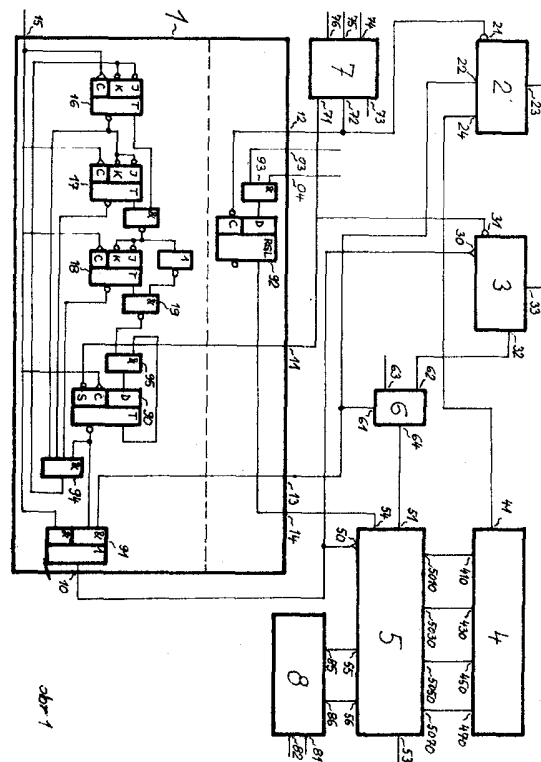
PĚCHOUČEK MIROSLAV ing. CSc.; ŠTASTNÝ VLADIMÍR ing., PRAHA;
POLÁŠEK PAVEL ing., BOŽNOV POD RADHOŠTĚM; MITRYCH JIRÍ ing.,
KORYČANSKÉ PASEKY

(54) Generátor cyklických kódů

Řešení se týká oboru číslicové techniky, blíže obvodů pro zabezpečení přenosu dat. Účelem řešení je obvod pro výpočet cyklického zabezpečovacího kódu s malým počtem ovládacích svorek, jednoduchými klopnými obvody a s vysokou funkční universalností.

Generátor cyklického kódu je sestaven z řadiče samočinně se nastavujícího do svého výchozího stavu, strojního dekodéru, registru dat, registru režimu výběrového obvodu a pracovního registru s vyhodnocovacím obvodem. Řadič je vybaven výstupní svorkou pro dávkování synchronizačních impulsů, blokovací svorkou a nejméně jednou řídicí svorkou pro přepojování pracovního registru na jeden nebo dva paralelní posuvné registry.

Generátor lze použít samostatně nebo ve spojení s mikroprocesorovým systémem pro zabezpečování přenosu číslicových dat po přenosových vedeních, energetických sítích apod.



243447

Vynález řeší generátor cyklických kódů s vysokou funkční univerzálností. Je určen zejména pro realizaci znakově orientovaných protokolů přenosu dat, které předepisují výpočet zabezpečovacího znaku CRC z přenášeného bloku dat s možným vynecháváním některých slov.

Dosud známá řešení používají například zpožďovací registry zapojené ve vstupním toku dat, ve kterých se paralelně indikuje hledané slovo. Jiným dosud známým způsobem je paralelní generátor cyklických kódů zapojený do počítačového systému, který vkládá jen znaky určené k výpočtu znaku CRC.

Nevýhodou těchto řešení je značná složitost, značný počet ovládacích svorek a navíc je nelze použít pro samostatný sériový provoz vně počítačového systému.

Nevýhody známých řešení odstraňuje generátor cyklického kódu podle vynálezu, jehož podstata spočívá v tom, že jeho řadič je svou spouštěcí svorkou připojen k první výstupní svorce vstupního dekodéru a k zapisovací svorce registru dat, jehož synchronizační svorka je spolu se synchronizační svorkou pracovního registru připojena k výstupní svorce řadiče, jehož vstupní svorka je připojena k druhé výstupní svorce vstupního dekodéru a k zapisovací svorce registru režimu, jehož první výstupní svorka je spojena s blokovací svorkou řadiče a s ovládací svorkou výběrového obvodu, jehož první vstupní svorka je spojena se sériovou výstupní svorkou registru dat a jehož druhá vstupní svorka tvoří sériovou vstupní svorku generátoru cyklického kódu a jehož výstupní svorka je spojena se vstupní svorkou pracovního registru, jehož programovací svorky jsou připojeny k odpovídajícím výstupním svorkám dekodéru polynomů, jehož vstup je připojen k druhému výstupu registru režimu, přičemž vyhodnocovací obvod je svými vstupy připojen k výstupům pracovního registru, jehož posouvací svorka je připojena k řídící svorce řadiče, kterou tvoří výstupní svorka řídícího klopného obvodu, jehož hodinová svorka je spojena se vstupní svorkou řadiče a jehož vstupní svorka je přes první součinnové hradlo připojena k nulovací svorce a k nastavovací svorce řadiče.

Výhodné jsou i jiné úpravy generátoru cyklických kódů podle vynálezu, z nichž jedna spočívá v tom, že řadič s řídícím klopným obvodem a prvním součinnovým hradlem obsahuje čítač s přenosovým hradlem, jehož výstupní svorka je spojena s první vstupní svorkou druhého součinnového hradla, jehož výstupní svorka je spojena se vstupní svorkou přídavného klopného obvodu, jehož výstupní svorka je připojena zpět na druhou vstupní svorku druhého součinnového hradla, přičemž výstupní svorky tří klopných obvodů čítače i přídavného klopného obvodu jsou spojeny s odpovídajícími vstupními svorkami detekčního hradla, jehož výstupní svorka je připojena na vstup prvního klopného obvodu čítače, hodinové svorky všech klopných obvodů čítače i přídavného klopného obvodu jsou spojeny s hodinovou svorkou řadiče, k níž je připojena i první vstupní svorka blokovacího hradla, jehož druhá vstupní svorka je spojena s výstupní svorkou přídavného klopného obvodu a jehož třetí vstupní svorka tvoří blokovací svorku řadiče, jehož spouštěcí svorku tvoří nastavovací svorka přídavného klopného obvodu.

Generátor cyklických kódů podle vynálezu má značné výhody, neboť je univerzální, počet ovládacích svorek je malý a je přitom zachována jednoduchost zapojení.

Příklady zapojení podle vynálezu jsou znázorněny na připojených vyobrazeních, kde na obr. 1 je blokové schéma generátoru cyklických kódů a jedno možné provedení jeho řadiče, na obr. 2 je jiná úprava řadiče a jeho připojení k pracovnímu registru a na obr. 3 je znázorněno vybavení generátoru cyklických kódů generátorem parity.

Řadič 1 v zapojení na obr. 1 obsahuje známým způsobem zapojený čítač modulo 8 se třemi klopnými obvody 16, 17, 18, jejichž hodinové svorky jsou připojeny k hodinové svorce 15 řadiče 1.

Výstupní svorka přenosového hradla 19 tohoto čítače je připojena k první vstupní svorce součinnového hradla 25, jehož výstupní svorka je spojena se vstupní svorkou přídavného klop-

ného obvodu 20. Výstupní svorka klopného obvodu 20 je vedena zpět na druhou vstupní svorku součinnového hradla 22. Hodinová svorka přídavného klopného obvodu 20 je připojena k hodinové svorce 15, k níž je připojena i vstupní svorka druhé součtové sekce blokovacího hradla 21, jehož výstupní svorka tvoří výstupní svorku 10 řadiče 1.

Negační výstupní svorky klopných obvodů 16, 17, 18 a 20 jsou připojeny ke vstupnímu svorkám detekčního hradla 24, jehož výstupní svorka je připojena ke vstupním svorkám klopného obvodu 16.

Nastavovací svorka přídavného klopného obvodu 20 je připojena ke spouštěcí svorce 11 řadiče 1, která je připojena k první výstupní svorce 71 vstupního dekodéru 7 a k zapisovací svorce 31 registru 3 dat.

Jeho synchronizační svorka 30 je spolu se synchronizační svorkou 50 pracovního registru 5 připojena k výstupní svorce 10 řadiče 1. Čtyři výstupní svorky 410 až 470 dekodéru polynomu 4 jsou připojeny k odpovídajícím čtyřem programovacím svorkám 501 až 5070 pracovního registru 5.

Jeho výstupní svorka 53 tvoří sériovou výstupní svorku generátoru cyklického kódu. Souhrnně označené dva výstupy 55, 56 pracovního registru 5 jsou připojeny k odpovídajícím dvěma souhrnně označeným vstupům 85, 86 vyhodnocovacího obvodu 8.

Vstupní svorka 51 pracovního registru 5 je spojena s výstupní svorkou 64 výběrového obvodu 6, jehož první vstupní svorka 62 je připojena k sériové výstupní svorce 32 registru 3 dat a jehož druhá vstupní svorka 63 tvoří sériovou vstupní svorku generátoru cyklického kódu.

Ke druhé výstupní svorce 72 vstupního dekodéru 7 je připojena zapisovací svorka 21 registru 2 režimu a vstupní svorka 12 řadiče 1. Ta je tvořena hodinovou svorkou řidičního klopného obvodu 22, jehož výstupní svorka tvoří řidičí svorku 14 řadiče 1, připojenou k přídavné svorce 54 pracovního registru 5. Vstupní svorka klopného obvodu 22 je přes součinnové hradlo 23 připojena k nulovací svorce 03 a k nastavovací svorce 04 řadiče 1.

První výstup 22 registru 2 režimu je připojena k ovládací svorce 61 výběrového obvodu 6 a k blokovací svorce 13 řadiče 1, tvořené první vstupní svorkou první součtové sekce blokovacího hradla 21. Druhá vstupní svorka této součtové sekce je spojena s negační výstupní svorkou přídavného klopného obvodu 20 řadiče 1.

Souhrnně označený výstup 24 registru 2 režimu je spojen se souhrnně označeným vstupem 41 dekodéru 4 polynomu. Souhrnně označený vstup 23 registru 2 režimu, souhrnně označený vstup 33 registru 3 dat, souhrnně označené výstupy 55, 56 nulovací svorka 03 a nastavovací svorka 04 řadiče 1 a výstupy 81, 82 vyhodnocovacího obvodu 8 jsou přes neznázorněný vstup /výstupní blok připojeny k odpovídajícím rovněž neznázorněným obousměrným vývodům generátoru cyklického kódu.

Registr 2 režimu má známe vnitřní zapojení s řadou například hladinových klopných obvodů a je určen pro uložení řidičí slabiky generátoru cyklického kódu přivedené na jeho souhrnně označený vstup 23. Registr 3 dat je rovněž známým způsobem zapojen z hranových klopných obvodů jako paralelně-sériový převodník dat vkládaných do něho z jeho souhrnně označeného vstupu 33 a posouváných na jeho sériovou výstupní svorku 32 hodinovými impulzy přiváděnými na jeho synchronizační svorku 30.

Vstupní dekodér 7 má vnitřní zapojení takové, aby podle kombinace sadané na jeho vstupní svorky 74, 75, 76 vznikl na jeho první výstupní svorce 71 aktivní signál k zápisu dat z neznázorněných obousměrných vývodů do registru 3 dat, aby na jeho druhé výstupní svorce 72 vznikl aktivní signál k zápisu řidičního slova z neznázorněných obousměrných vývodů do registru 2 režimu a aby na jeho třetím souhrnně označeném výstupu 73 vznikl aktivní signál k řízení neznázorněného vstupu/výstupního bloku.

Výběrový obvod 6 realizuje funkci dvou vstupového multiplexoru řízeného ovládací svorkou 61. Pracovní registr 2 je známým způsobem spojen jako zpětnovazební posuvný registr, mezi jehož klopné obvody jsou spojeny vazební členy, které lze přes jejich programovací svorky 5010, 5030, 5050, 5070 ovládat tak, že buď opakuji vstupní signál, nebo realizují logickou funkci nonekvivalence.

Pracovní registr se tím nastavuje na dělení zadaným polynomm. Programovací svorky 5010 až 5070 těchto vazebních členů jsou připojeny k odpovídajícím výstupním svorkám 410 až 470 dekodéru 4 polynomu.

Ten je realizován jako známý kombinační obvod, převádějící kód polynomu zadaný do registru 2 režimu na odpovídající kombinaci signálů programujících vazební členy pracovního registru 2. Vyhodnocovací obvod 3 je libovolným známým způsobem spojený kombinační obvod, který na svém výstupu 81 indikuje, že celý pracovní registr 2 se nachází v například nulovém stavu a na svém dalším výstupu 82 indikuje, že se pracovní registr nachází v jiném určitém stavu.

Čítač modulo 8 řadiče 1 je tvořený třemi klopnými obvody 16, 17, 18 a spolu s přiděvným klopným obvodem 20 a blokovacím hradlem 21 slouží k dávkování hodinových impulsů procházejících z hodinové svorky 15 na výstupní svorku 10 řadiče 1.

Nacházejí-li se klopné obvody 16, 17, 18 a 20 po zapnutí napájecího zdroje například ve stavu "0", je na vstupech všech tří klopných obvodů 16, 17, 18 neaktivní kladný signál a na vstupu klopného obvodu 20 nulový signál, takže všechny klopné obvody setrvávají ve svém stavu "0", bez ohledu na přicházející hodinové impulsy.

Nacházejí-li se například klopné obvody 16, 17, 18 ve stavu "0" a klopný obvod 20 ve stavu "1", je na vstupech klopného obvodu 16 aktivní nulový signál z detekčního hradla 24a a čítač pracuje tak dlouho, až se na výstupní svorce přenosového hradla 19 objeví nulový signál, jímž se pak klopný obvod 20 uvede do stavu "0" a čítač se zastaví opět se všemi klopnými obvody 16, 17, 18 ve stavu "0".

Podobně do tohoto stavu čítač dočítá i v případě, že například klopný obvod 20 je ve stavu "0" a klopné obvody 16, 17, 18 v libovolném jiném stavu. Hodinovými impulsy přiváděnými na hodinovou svorku 15 řadiče je tedy zaručeno, že se čítač i klopný obvod 20 automaticky nastaví vždy do svého výchozího stavu "0".

Spuštění čítače se provádí nulovým signálem přivedeným na spouštěcí svorku 11 řadiče 1. Jím se klopný obvod 20 nastaví do stavu "1" a po osmi hodinových impulsích opět přejde do výchozího stavu "0".

Při sériovém provozu generátoru cyklického kódu je na tři vstupní svorky 74, 75, 76 vstupního dekodéru 7 přivedena taková vstupní kombinace, při níž je na druhé výstupní svorce 72 aktivní nulový signál a při níž je pomocí výstupu 73 ovládán neznázorněný vstup/výstupní blok tak, že na první výstupní svorku 22 registru 2 režimu může projít nulový signál zadaný z odpovídajícího neznázorněného obousměrného vývodu generátoru cyklického kódu.

Tímto signálem je výběrový obvod 6 přepnut tak, že na jeho výstupní svorku 64 mohou procházet data z jeho vstupní svorky 61 tvořící sériovou vstupní svorku generátoru cyklických kódů. Současně je blokovací hradlo 21 otevřeno pro trvalý průchod hodinových impulsů z hodinové svorky 15 na výstupní svorku 10, neboť na blokovací svorce 13 řadiče 1 je nulové napětí.

Řídicí klopný obvod 22 je hladinový, takže při nulovém signálu na vstupní svorce 12 řadiče 1 je průchodí a na posuvací svorce 24 pracovního registru 2 je pak signál rovný logickému součinu signálů na nulovací svorce 03 a nastavovací svorce 04 řadiče 1.

Je-li tento logický součin nulový, pracuje pracovní registr 2 obvyklým způsobem, to jest data, přicházející na jeho vstupní svorku 51 dělí polynomelem zadaným na souhrnně označený vstup 41 dekodéru 4 polynomu a takto zpracovaná data přesouvá na sériovou výstupní svorku 53.

Zpracování vstupních dat při sériovém provozu je také možno přerušit nebo ukončit bez zastavení hodinového signálu přiváděného na hodinovou svorku 15 a to tak, že z neznázorněného obousměrného vývodu se na první výstup 22 registru 2 režimu zadá kladný signál indikující ukončení sériového provozu.

Jím se vytvoří kladný signál i na výstupní svorce 10 řadiče 1, neboť klopný obvod 90 se nachází ve svém výchozím stavu "0". Tím je zablokováno vytváření synchronizačních impulsů na výstupní svorce 10 a pracovní registr 2 se zastaví.

Vhodnou kombinací zadanou na vstupní svorky 74, 75, 76 vstupního dekodéru 7 lze přes neznázorněný vstup/výstupní blok výstup 73 nastavit tak, že na odpovídající obousměrné vývody procházející signály z výstupů 81, 82 vyhodnocovacího obvodu 8 a čte se tak výsledek zpracování vstupních dat.

Je-li na nastavovací i nulovací svorce 03, 04 kladný signál, pak přes průchozí klopný obvod 92 projde i na posouvací svorku 54 pracovního registru 2 kladný aktivní signál. Jím se všechny neznázorněné vazební členy uvnitř pracovního registru 2, bez ohledu na signály na jejich programovacích svorkách 5010 až 5070, přepnou tak, že pracují jako pouhé opakovací členy. Celý pracovní registr 2 je tak spojen jako posuvný registr se vstupní svorkou 51 a výstupní svorkou 53.

Blíže bude tento režim činnosti objasněn v souvislosti s obr. 2.

Při paralelním provozu generátoru cyklického kódu je na vstupní svorky 74, 75, 76 vstupního dekodéru 7 přivedena nejprve taková kombinace, při níž je na druhé výstupní svorce 72 aktivní nulový signál.

Současně je při ní pomocí výstupu 73 ovládnán neznázorněný vstup/výstupní blok tak, že do registru 2 režimu se z neznázorněných obousměrných vývodů uloží 8-bitová řídící slabika taková, že na první výstupní svorce 22 registru 2 režimu se objeví kladný signál.

Tímto signálem je výběrový obvod 6 přepnut tak, že na jeho výstupní svorku 64 mohou procházet data ze sériové výstupní svorky 32 registru 3 dat. Blokovací hradlo 91 pak na výstupní svorce 10 řadiče 1 realizuje logický součet signálů z negační výstupní svorky přídavného klopného obvodu 90 a hodinových impulsů z hodinové svorky 15 řadiče 1.

Po provedení zápisu řídícího slova do registru 2 režimu je na vstupní svorky 74, 75, 76 vstupního dekodéru 7 přivedena na dobu jednoho hodinového taktu další kombinace, při níž je aktivní nulový signál na první výstupní svorce 71 a při níž je pomocí výstupu 73 ovládnán neznázorněný vstup/výstupní blok tak, že do registru 2 dat se z neznázorněných obousměrných vývodů uloží 8-bitová datová slabika.

Současně s tím se přes spouštěcí svorku 11 řadiče 1 spustí již dříve popsaná činnost čítače v řadiči 1 a na výstupní svorce 10 vznikne osm synchronizačních impulsů. Registr 3 dat je spojen jako paralelně-sériový převodník, takže těmito synchronizačními impulsy se přesune jeho obsah přes sériovou výstupní svorku 32 a přes výběrový obvod 6 do pracovního registru 2.

Poté se zadá na obousměrné vývody další datová slabika, čímž se čítač v řadiči 1 znovu spustí a na jeho výstupní svorce 10 vznikne dalších osm synchronizačních impulsů.

Tato činnost se opakuje pro všechny další zadávané datové slabiky, které jsou tímto způsobem přesouvány do pracovního registru 2 a v něm postupně zpracovávány stejným způsobem jako při sériovém provozu.

Stejně tak jako při sériovém provozu lze vhodnou kombinací na vstupních svorkách 74, 75, 76 vstupního dekodéru 7 nastavit neznázorněný vstup/výstupní blok tak, že lze číst na odpovídající obousměrné vývody signály z výstupů 81, 82 vyhodnocovacího obvodu 8.

Navíc je možno jinými vstupními kombinacemi číst na tyto obousměrné vývody i signály ze souhrnně označeného výstupu 55 nebo 56, představujícího první nebo druhou polovinu 16-bitového pracovního registru 5.

Na obr. 2 je znázorněno další možné provedení řadiče 1 a jeho připojení k pracovnímu registru 5. Řadič 1 obsahuje čárkovane oddělenou část s čítačem, která je stejná jako na obr. 1 a je z ní znázorněn pouze přídavný klopný obvod 90 s blokovacím hradlem 91.

Druhá část řadiče s řídícím klopným obvodem 92 však obsahuje navíc paměťový obvod 100, jehož výstupní svorka tvoří druhou pomocnou řídící svorku 142 a paměťový obvod 101, jehož výstupní svorka je přes inverter připojena k první pomocné řídící svorce 141 řadiče 1.

Nastavovací svorka paměťového obvodu 100 je spolu s první nastavovací svorkou paměťového obvodu 101 připojena k výstupní svorce nastavovacího hradla 96 a k první vstupní svorce spouštěcího hradla 98.

Výstupní svorka spouštěcího hradla 98 je spojena s nastavovací svorkou přídavného klopnoho obvodu 90, jehož výstupní svorka je připojena k nulovací svorce druhého paměťového obvodu 101. Druhá vstupní svorka spouštěcího hradla 98 je spojena s první nulovací svorkou paměťového obvodu 100, s druhou nastavovací svorkou druhého paměťového obvodu 101 a s výstupní svorkou nulovacího hradla 97.

Třetí vstupní svorka spouštěcího hradla 98 je připojena k spouštěcí svorce 11 řadiče 1. První vstupní svorka nulovacího hradla 97 je připojena k nulovací svorce 03 řadiče 1, jeho druhá vstupní svorka je spojena s druhou vstupní svorkou nastavovacího hradla 96 a je přes inverter 99 připojena ke vstupní svorce 12 řadiče.

První vstupní svorka nastavovacího hradla 96 je spojena s nastavovací svorkou 04 řadiče 1. Negační výstupní svorka řídícího klopnoho obvodu 92 je spojena se třetími vstupními svorkami nastavovacího a nulového hradla 96 a 97 s druhou nulovací svorkou prvního paměťového obvodu 100 a se třetí nastavovací svorkou druhého paměťového obvodu 101.

Pracovní registr 5 sestává z první a druhé 8-bitové části, které jsou od sebe čárkovane odděleny. První část obsahuje vstupní vazební člen 501, jehož výstupní svorka 5013 je spojena se vstupní svorkou 5021 první kaskády klopných obvodů 502.

Její výstupní svorka 5022 je spojena s první vstupní svorkou 5031 vnitřního vazebního členu 503, jehož výstupní svorka 5033 je spojena se vstupní svorkou 5041 druhé kaskády klopných obvodů 504.

Synchronizační svorka 5020 první kaskády 502 a synchronizační svorka 5040 druhé kaskády 504 jsou připojeny k synchronizační svorce 50 pracovního registru 5. Stejným způsobem je zapojena i druhá část pracovního registru 5, a to se vstupním vazebním členem 505, první kaskádou klopných obvodů 506, vnitřním vazebním členem 507 a druhou kaskádou klopných obvodů 508.

Výstupní svorka 5013 vstupního vazebního členu 501 je navíc připojena i ke druhé vstupní svorce 5032, 5052 a 5072 vazebních členů 503, 505 a 507. Programovací svorky všech vazeb-

ních členů 501, 503, 505 a 507 jsou současně i programovacími svorkami 5010, 5030, 5050 a 5070 pracovního registru 2. První vstupní svorka 5011 vstupního vazebního členu 501 tvoří vstupní svorku 51 pracovního registru 2, první vstupní svorka 5051 vstupního vazebního členu 505 je připojena k výstupní svorce 5042 druhé kaskády klopných obvodů 504.

Výstupní svorka 5082 druhé kaskády klopných obvodů 508 tvoří výstupní svorku 53 pracovního registru 2 a je zapojena zpět ke druhé vstupní svorce 5012 vstupního vazebního členu 501. První posuvací svorky 5014, 5034, 5054, 5074 všech vazebních členů 501, 503, 505 a 507 jsou připojeny k první pomocné řídící svorce 141 řadiče 1, k jehož druhé pomocné řídící svorce 142 jsou připojeny přídatné vstupní svorky 5016, 5056 vstupních vazebních členů 501 a 505, jejichž druhé posuvací svorky 5015, 5055 tvoří posuvací svorku 54 pracovního registru 2 a jsou spojeny s řídící svorkou 14 řadiče 1.

Vnitřní vazební člen 503 je proveden jako kombinační obvod, který známým způsobem realizuje logickou funkci vyjádřenou následující pravdivostní tabulkou:

PR	ZM	Y
1	1	A + B
0	1	A
X	0	A

kde PR, ZM, A, B, Y jsou signály na svorkách 5030, 5034, 5031, 5032, 5033. Stejně je uvnitř spojen i vazební člen 507.

Vstupní vazební člen 501 je proveden jako kombinační obvod, který známým způsobem realizuje logickou funkci vyjádřenou následující pravdivostní tabulkou:

C	SH	PR	ZM	Y
X	0	1	1	A + B
X	0	0	1	A
0	1	X	0	A
X	0	X	0	C

kde C, SH, PR, ZM, A, B, Y jsou signály na svorkách 5016, 5015, 5010, 5014, 5011, 5012, 5013. Stejně je uvnitř spojen i vazební člen 505.

Řadič 1 pracovní registr 2 v sériovém i paralelním režimu tak, aby tento zpracovával data podle zvoleného polynomu, nebo pracoval jako posuvný registr nebo se postupně uvedl do stavu "0" nebo "1".

Provádí to při nulovém signálu na své vstupní svorce 12, kdy je řídící klopný obvod 92 průchozí pro signály nulovací a nastavovací svorky 03 a 04. Je-li na obě tyto svorky přiveden z odpovídajících obousměrných vývodů nulový signál, je nulový signál i na řídící svorce 14.

Protože přídatný klopný obvod 90 se nachází ve svém výchozím stavu "0", je na pomocné řídící svorce 141 kladný signál. Na pomocné řídící svorce 142 je libovolný signál odpovídající současnému stavu paměťového obvodu 100.

To znamená, že pro všechny vazební členy je SH = 0, ZM = 1, takže v souhlase se shora uvedenými tabulkami v závislosti na signálech PR na jejich programovacích svorkách 5010 až 5070 realizují buď funkci logické nerekvivalence vstupů A, B nebo pouze opakuji signál ze svého vstupu A.

Celý například 16-bitový pracovní registr 5 je tím tedy nastaven na obvyklou funkci určenou dekodérem 4 polynomu tak, že se provádí dělení vstupních dat přiváděných na vstupní svorku 51 zadáním polynomem.

Je-li na nulovací i nastavovací svorce 03, 04 kladný signál, je kladný signál i na řídící svorce 14. Nulovým signálem z negační výstupní svorky klopného obvodu 22 se nastaví paměťový obvod 101 tak, že na pomocné řídící svorce 141 je pak nulový signál.

To znamená, že pro všechny vazební členy je $SH = 1$, $ZM = 0$, takže v soulase s uvedenými tabulkami, bez ohledu na signály PR přiváděné z dekodéru 4 polynomů na jejich programovací svorku 5010 až 5070 pouze opakují signál ze svých vstupů A. Celý pracovní registr 5 je tím zapojen pouze jako posuvný 16-bitový registr se vstupní svorkou 51 a výstupní svorkou 53.

V sériovém provozu je na blokovací svorce 13 řadiče 1 nulový signál, takže blokovací hradlo 91 je trvale otevřeno pro průchod hodinových impulsů z hodinové svorky 15 řadiče 1 na jeho výstupní svorku 10. Pracovní registr 5 je tedy řízen trvale běžícími synchronizačními signály na své synchronizační svorce 50 a na jeho vstupní svorce 51 přicházejí data ze vstupní svorky 63 výběrového obvodu 6 tvořící sériovou vstupní svorku celého generátoru cyklických kódů.

V paralelním provozu je na blokovací svorce 13 řadiče 1 kladný signál, takže průchod hodinových impulsů na jeho výstupní svorku 10 je ovládán jeho přídavným klopným obvodem 90. To znamená, že teprve při zápisu datové slabiky do registru 3 dat se objeví na spouštěcí svorce 11 řadiče 1 aktivní nulový signál.

Protože na negační výstupní svorce řídícího klopného obvodu 22 je již uvedené nulové napětí, je přes hradla 96, 97 otevřeno hradlo 98 pro průchod uvedeného spouštěcího signálu. Jím se proto spustí čítač modulo 8 řadiče 1 a na výstupní svorce 10 řadiče 1 vznikne osm synchronizačních impulsů.

Jím je pracovní registr 5 řízen tak, že se do něho postupně přesune datová slabika z registru 3 dat, což se opakuje pro každou další datovou slabiku.

Je-li na nulovací svorce 03 kladný signál a na nastavovací svorce 04 nulový signál, je na řídící svorce 14 řadiče 1 nulový signál. Tím jsou obě hradla 96, 97 otevřena. Vzniklým nulovým signálem na výstupní svorce nulovacího hradla 97 se paměťový obvod 100 nastaví do stavu s nulovým signálem pomocné řídící svorce 142 a paměťový obvod 101 se nastaví do stavu s nulovým signálem na pomocné řídící svorce 141.

To znamená, že pro všechny vazební členy je $SH = 0$, $ZM = 0$, takže bez ohledu na signály PR na jejich programovacích svorkách 5010 až 5070 pouze opakují vstupní signál a to tak, že vnitřní vazební členy ze svého vstupu A a vstupní vazební členy ze svého vstupu C.

Celý pracovní registr 5 je tím zapojen jako dva 8-bitové posuvné registry se vstupními svorkami paralelně připojenými k pomocné řídící svorce 142, na níž je nastaven nulový signál. Nulový signál z výstupní svorky nulovacího hradla 97 způsobí přes spouštěcí hradlo 98 i nastavení přídavného klopného obvodu 90.

Tím se jednak spustí čítač modulo 8 řadiče 1 a jednak se tím umožní paměťovému obvodu 101, aby zůstal překlopen ve stavu s nulovým napětím na pomocné řídící svorce 141 i po skončení kladného signálu na nulovací svorce 03.

V sériovém režimu procházejí hodinové impulsy na synchronizační svorku 50 obou 8-bitových posuvných registrů trvale, takže po osmi taktech je do nich nahrán stav "0" díky nulovému signálu na pomocné řídící svorce 142. Po skončení těchto osmi taktů se přídavný klopný obvod 90 řadiče 1 uvede zpět do stavu "0", vynuluje paměťový obvod 101 a na pomocné řídící svorce 141 vznikne opět kladný signál. Po provedeném vynulování se tedy pracovní registr

2 opět automaticky zapojí v souhlase s dříve uvedenými tabulkami jako 16-bitový pracovní registr připravený pro dělení vstupních dat zadaných polynomem. V paralelním režimu se vynulování pracovního registru 2 provede zcela stejně, přestože je přitom kladný signál na blokovací svorce 13 řadiče 1.

Je-li na nastavovací svorce 04 kladný signál a na nulovací svorce 03 nulový signál, je obdobně na řídicí svorce 14 a pomocné řídicí svorce 141 nulový signál a na pomocné řídicí svorce 142 je kladný signál.

To znamená, že celý pracovní registr 2 je tím zapojen jako dva například 8-bitové posuvné registry se vstupními svorkami připojenými k pomocné řídicí svorce 142, na níž je kladný signál.

Osmi hodinovými impulsy se pak celý pracovní registr, stejně v sériovém i paralelním režimu, nastaví do stavu "1" a poté se přepne opět na dělení zadaným polynomem. V neznázorněném příkladu provedení řadiče 1 je také možné mezi výstupní svorku prvního paměťového obvodu 100 a pomocnou řídicí svorku 142 zařadit součinné hradlo, jehož druhá vstupní svorka je připojena k negační výstupní svorce řídicího klopného obvodu 92.

Tím lze bez zapojení druhé nulovací svorky paměťového obvodu 100 zajistit, že při kladném signálu na řídicí svorce 14 bude nulový signál na pomocné řídicí svorce 142.

V dalším neznázorněném příkladu provedení pracovního registru 2 je také možné některé jeho vazební členy uvnitř zapojit tak, že mají například dvě programovací svorky, čímž lze zjednodušit dekodér 4 polynomů.

Na obr. 3 je znázorněno připojení řadiče 1 k registru 3 dat a k výběrovému obvodu 6 generátoru cyklického kódu v případě, že je tento vybaven generátorem 2 parity. Z řadiče 1 je znázorněno pouze přenosové hradlo 19, přídatný klopný obvod 90 a blokovací hradlo 91, které jsou zapojeny stejně jako na obr. 1.

Registr 3 dat se svorkami 30, 32, 31, řadič 1 se svorkami 11, 13 a výběrový obvod 6 se svorkami 61, 62, 63, 64 jsou vzájemně i s ostatními bloky generátoru cyklického kódu spojeny stejně jako na obr. 1.

Výběrový obvod 6 je však vybaven časovací svorkou 65, která je připojena k výstupní svorce přenosového hradla 19 řadiče 1. Dále je vybaven třetí a čtvrtou vstupní svorkou 66, 67, které jsou spojeny s výstupními svorkami generátoru 2 parity, tvořeného dvojkovým čítačem. Jeho vstupní svorky jsou připojeny k sériové výstupní svorce 32 registru 3 dat a jeho hodinová svorka je spojena se synchronizační svorkou 30 registru 3 dat.

Výstupní svorka 64 výběrového obvodu 6 je spojena se sériovou vstupní svorkou 35 registru 3 dat a se vstupní svorkou 51 na obr. 3 neznázorněného pracovního registru 2. Pomocné ovládací svorky 69, 68 výběrového obvodu 6 jsou připojeny k odpovídajícím výstupním svorkám na obr. 3 neznázorněného registru 2 režimu.

Souhrnně označený paralelní vstup 33 a paralelní výstup 34 registru 3 dat je přes neznázorněný vstup/výstupní blok připojen k odpovídajícím neznázorněným obousměrným vývodům. Řadič 1 řídí činnost výběrového obvodu 6 v paralelním provozu tak, že po dobu prvních sedmi taktů synchronizačního signálu procházejí na výstupní svorku 64 výběrového obvodu 6 data ze sériové výstupní svorky 32 registru dat.

V osmém taktu je signálem na časovací svorce 65 přepnut výběrový obvod tak, že na jeho výstupní svorku 64 projde signál z přímé nebo negační výstupní svorky generátoru 2 parity. Sedm datových bitů je tímto způsobem doplněno o sériově vypočtený paritní bit a takto korigovaná datová slabika postupuje jednak do pracovního registru 2 a jednak zpět do datového registru 3.

V pracovním registru 5 je obvyklým způsobem zpracována, zatímco z registru 3 dat ji lze přes paralelní výstup 34 přečíst na neznázorněné obousměrné vývody. Podle obsahu řídící slabiky v neznázorněném registru 2 režimu, k němuž jsou připojeny pomocné ovládací svorky 68, 69 výběrového obvodu 6, lze náhradu osmého datového bitu vypočteným paritním bitem zablokovat, nebo lze zvolit sudou nebo lichou paritu tím, že se zablokuje odpovídající jedna ze vstupních svorek 66, 67 výběrového obvodu 6.

Generátor cyklických kódů tedy provádí automatické nastavení svého řadiče 1 do výchozího stavu bez přivedení vnějšího nastavovacího signálu, umožňuje činnost v sériovém i paralelním režimu a používá některé obousměrné vývody i v sériovém režimu pro čtení chybových signálů jak v době zpracování dat, tak i při jeho zastavení nebo přerušení.

Umožňuje nejen zpracování dat pomocí zadaného polynomu, ale v paralelním provozu i jejich doplňování vypočítávanou lichou nebo sudou paritou. Na obousměrné vývody lze přečíst nejen chybové signály, ale i data doplněná paritou, případně obsah celého pracovního registru.

Dva z obousměrných vývodů, které jsou určeny pro nulování nebo nastavování pracovního registru 5 jak v sériovém, tak i v paralelním provozu, umožňuje použít i k nastavení posouvacího režimu, k jehož nastavení by jinak byl potřebný další vývod. Materiálově úsporným sériovým způsobem se provádí nulování nebo nastavení celého pracovního registru 5.

Svou vysokou funkční univerzálností, sníženým počtem ovládacích vývodů i zjednodušenými klopnými obvody je generátor cyklických kódů zejména výhodný pro realizaci technologií i integrovaných obvodů.

PŘEDMĚT VYNÁLEZU

1. Generátor cyklického kódu, vyznačující se tím, že jeho řadič (1) je svou spouštěcí svorkou (11) připojen k první výstupní svorce (71) vstupního dekodéru (7) a k zapisovací svorce (31) registru (3) dat, jehož asynchronizační svorka (30) je spolu se synchronizační svorkou (50) pracovního registru (5) připojena k výstupní svorce (10) řadiče (1), jehož vstupní svorka (12) je připojena k druhé výstupní svorce (72) vstupního dekodéru (7) a k zapisovací svorce (21) registru (2) režimu, jehož první výstupní svorka (22) je spojena s blokovací svorkou (13) řadiče (1) a s ovládací svorkou (61) výběrového obvodu (6), jehož první vstupní svorka (62) je spojena se sériovou výstupní svorkou (32) registru (3) dat a jehož druhá vstupní svorka (63) tvoří sériovou vstupní svorku generátoru cyklického kódu a jehož výstupní svorka (64) je spojena se vstupní svorkou (51) pracovního registru (5), jehož programovací svorky (5010 až 5070) jsou připojeny k odpovídajícím výstupním svorkám (410 až 470) dekodéru (4) polynomů, jehož vstup (41) je připojen k druhému výstupu (24) registru (2) režimu, přičemž vyhodnocovací obvod (8) je svými vstupy (85, 86) připojen k výstupům (55, 56) pracovního registru (5), jehož posouvací svorka (54) je připojena k řídící svorce (14) řadiče (1), kterou tvoří výstupní svorka řídícího klopného obvodu (92), jehož hodinová svorka je spojena se vstupní svorkou (12) řadiče (1) a jehož vstupní svorka je přes první součinnové hradlo (93) připojena k nulovací svorce (03) a k nastavovací svorce (04) řadiče (1).

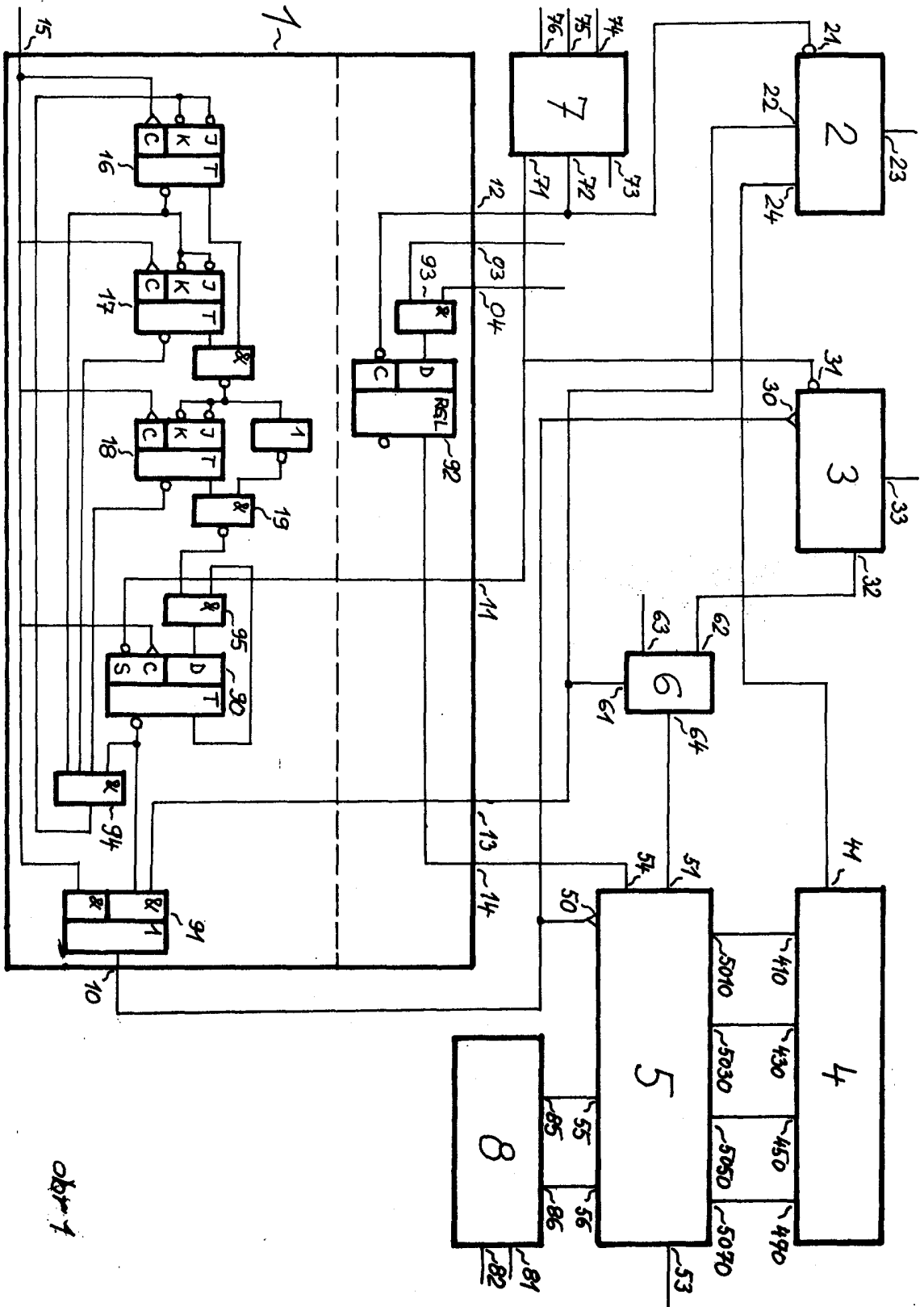
2. Generátor cyklického kódu podle bodu 1, vyznačující se tím, že k prvnímu součinnovému hradlu (93) je přifixováno přenosové hradlo (19), jehož výstupní svorka je spojena se vstupní svorkou druhého součinnového hradla (95), jehož výstupní svorka je spojena se vstupní svorkou přídavného klopného obvodu (90), jehož výstupní svorka je připojena zpět na druhou vstupní svorku druhého součinnového hradla (95), přičemž výstupní svorky tří klopných obvodů (16, 17, 18) čítače i přídavného klopného obvodu (90) jsou spojeny s odpovídajícími vstupními svorkami detekčního hradla (94), jehož výstupní svorka je připojena na vstup prvního klopného

ho obvodu (16) čítače, hodinové svorky všech klopných obvodů (16, 17, 18) čítače i přídavného klopného obvodu (90) jsou spojeny s hodinovou svorkou (15) řadiče (1), k níž je připojena i první vstupní svorka blokovacího hradla (91), jehož druhá vstupní svorka je spojena s výstupní svorkou přídavného klopného obvodu (90) a jehož třetí vstupní svorka tvoří blokovací svorku (13) řadiče (1), jehož spouštěcí svorku (11) tvoří nastavovací svorka přídavného klopného obvodu (90).

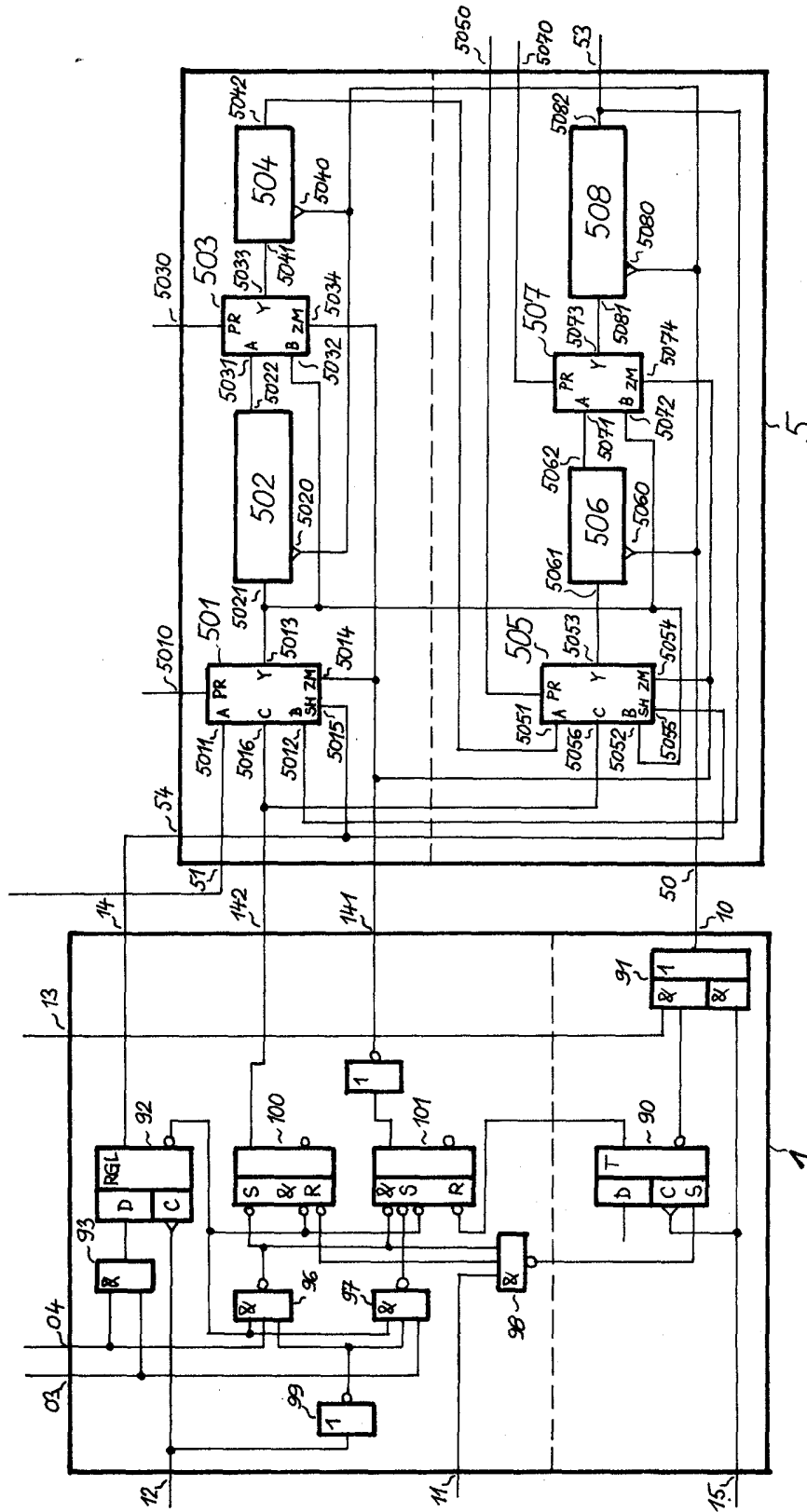
3. Generátor cyklického kódu podle bodů 1 a 2, vyznačující se tím, že řadič (1) obsahuje navíc první a druhý paměťový obvod (100 a 101) které jsou zapojeny tak, že první nastavovací svorky obou paměťových obvodů (100, 101) jsou spojeny s výstupní svorkou nastavovacího hradla (96) a s první vstupní svorkou spouštěcího hradla (98), jehož druhá vstupní svorka je spojena s výstupní svorkou nulovacího hradla (97), s druhou nulovací svorkou prvního paměťového obvodu (100) a s druhou nastavovací svorkou druhého paměťového obvodu (101), přičemž se spouštěcí svorkou (11) řadiče (1) je spojena třetí vstupní svorka spouštěcího hradla (98), jehož výstupní svorka je spojena s nastavovací svorkou přídavného klopného obvodu (90), jehož výstupní svorka je spojena s nulovací svorkou druhého paměťového obvodu (101), jehož výstupní svorka je případně přes invertor spojena s první pomocnou řídící svorkou (141) řadiče (1), jehož druhou pomocnou řídící svorku (142) tvoří výstupní svorka prvního paměťového obvodu (100), přičemž první vstupní svorka nastavovacího hradla (96) je spojena s nastavovací svorkou (04) řadiče (1), k níž je připojena i první výstupní svorka prvního součinnového hradla (93), jehož druhá vstupní svorka tvoří nulovací svorku (03) řadiče (1) je spojena s první vstupní svorkou nulovacího hradla (97), přičemž druhá vstupní svorka nastavovacího a nulovacího hradla (96, 97) je případně přes invertor (99) připojena ke vstupní svorce (12) řadiče (1) a třetí vstupní svorky jak nastavovacího hradla (96), tak i nulovacího hradla (97) jsou spolu s první nulovací svorkou prvního paměťového obvodu (100) a s třetí nastavovací svorkou druhého paměťového obvodu (101) připojeny k negační výstupní svorce řídícího klopného obvodu (92) a pracovní registr (5) sestává z první a druhé části, které jsou zapojeny tak, že každá obsahuje vstupní vazební člen (501, 505), jehož výstupní svorka (5013, 5053) je spojena se vstupní svorkou (5021, 5061) první kaskády (502, 506) klopných obvodů, jejíž výstupní svorka (5022, 5062) je spojena s první vstupní svorkou (5031, 5071) vnitřního vazebního členu (503, 507), jehož výstupní svorka (5033, 5073) je spojena se vstupní svorkou (5041, 5081) druhé kaskády (504, 508) klopných obvodů, přičemž první posouvací svorky (5014, 5034, 5054, 5074) všech vazebních členů (501, 503, 505, 507) jsou připojeny k první pomocné řídící svorce (141) řadiče (1), druhé posouvací svorky (5015, 5055) obou vstupních vazebních členů (501, 505) tvořící přídavnou svorku (54) pracovního registru (5) jsou připojeny k řídící svorce (14) řadiče (1) a přídavné vstupní svorky (5016, 5056) obou vstupních vazebních členů (501, 505) jsou připojeny ke druhé pomocné řídící svorce (142) řadiče (1) a výstupní svorka (5013) vstupního vazebního členu (509) první části pracovního registru (5) je spojena s druhými vstupními svorkami (5032, 5052, 5072) zbývajících vazebních členů (503, 505, 507).

4. Generátor cyklického kódu podle bodů 1, 2 a 3, vyznačující se tím, že výstupní svorka (64) výběrového obvodu (6) je připojena k sériové vstupní svorce (35) registru (3) det., k jehož sériové výstupní svorce (32) je připojen vstup generátoru (9) parity tvořeného dvojkovým čítačem, jehož přímá a negační výstupní svorka je připojena ke třetí a čtvrté vstupní svorce (66, 67) výběrového obvodu (6), jehož časovací svorka (65) je spojena s výstupní svorkou přenosového hradla (19) řadiče (1), přičemž hodinová svorka dvojkového čítače je spojena se synchronizační svorkou (30) registru (3) det.

2.43 #47

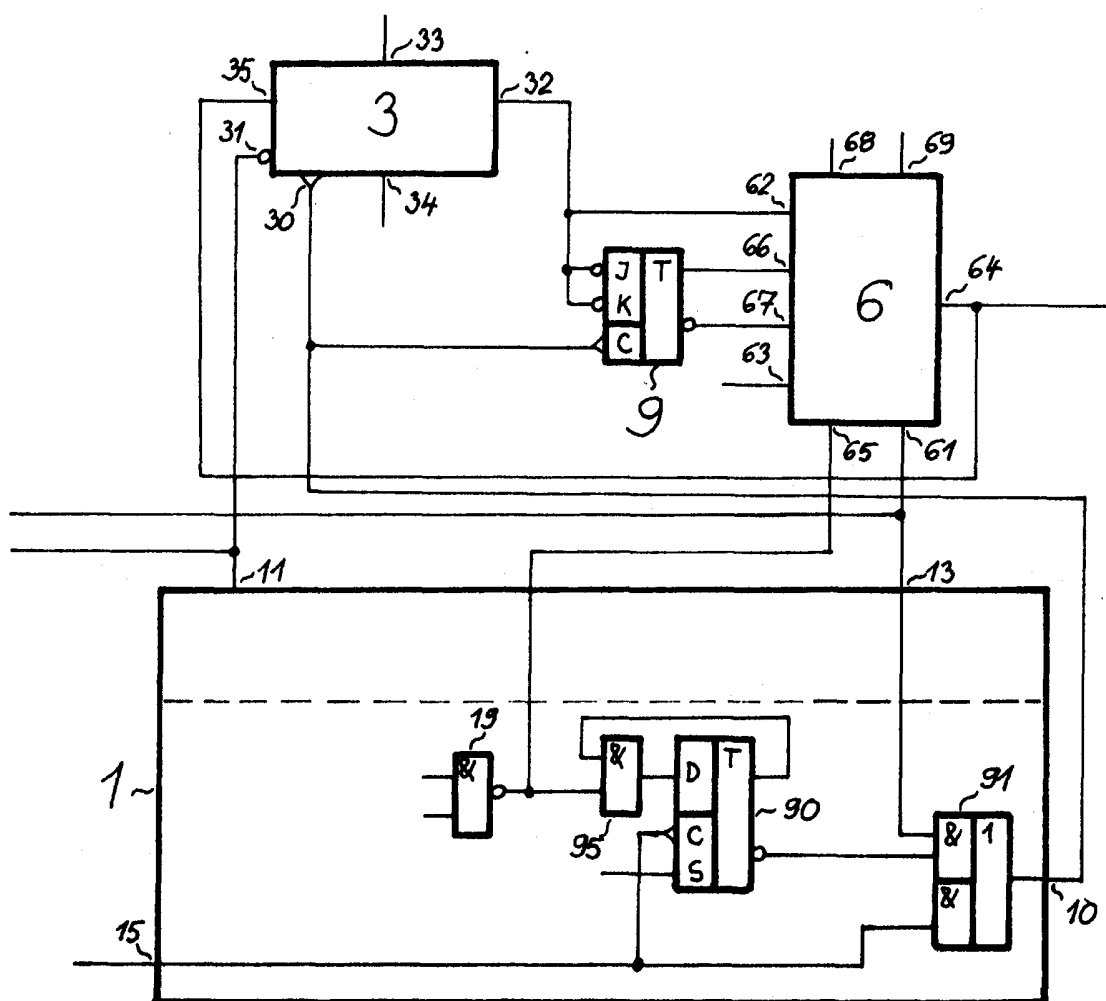


243. 447



obr. 2

243 447



obr. 3