



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 023 810 B3** 2005.08.25

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 023 810.3**

(22) Anmeldetag: **13.05.2004**

(43) Offenlegungstag: –

(45) Veröffentlichungstag
der Patenterteilung: **25.08.2005**

(51) Int Cl.⁷: **G11B 20/10**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
2004/038459 16.02.2004 JP

(71) Patentinhaber:
Hitachi, Ltd., Tokio/Tokyo, JP

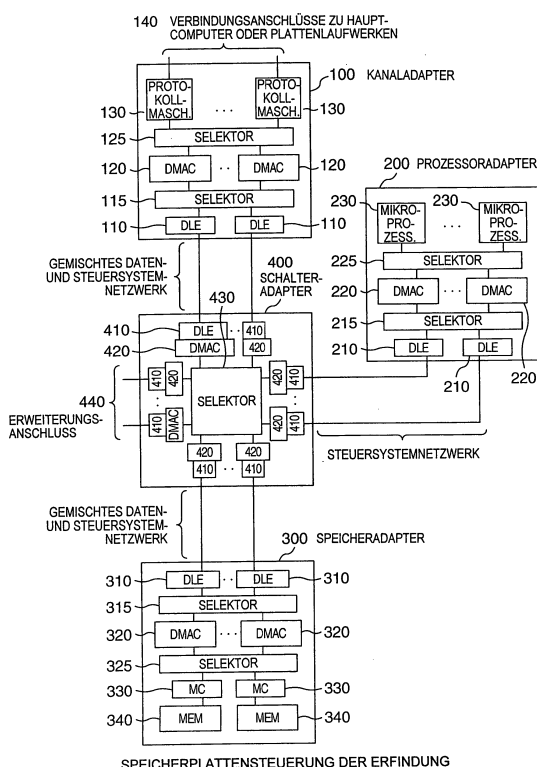
(74) Vertreter:
Strehl, Schübel-Hopf & Partner, 80538 München

(72) Erfinder:
Hosoya, Mutsumi, Tokio/Tokyo, JP; Watanabe, Naoki, Tokio/Tokyo, JP; Nakamura, Shuji, Tokio/Tokyo, JP; Inoue, Yasuo, Tokio/Tokyo, JP; Fujimoto, Kazuhisa, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 199 82 913 T1
US 2 003 46 460 A1
US 66 01 134 B1

(54) Bezeichnung: **Speicherplattensteuerung**

(57) Zusammenfassung: Die Speicherplattensteuerung umfaßt einen Kanaladapter mit einem Verbindungsinterface zu einem Hauptcomputer oder einem Plattenlaufwerk; einen Speicheradapter zum vorübergehenden Speichern von Daten, die zwischen dem Hauptcomputer und dem Plattenlaufwerk zu übertragen sind; einen Prozessoradapter zum Steuern der Operationen des Kanaladapters und des Speicheradapters und einen Schalteradapter zum Ausbilden eines inneren Netzwerks durch Verbinden des Kanaladapters, des Speicheradapters und des Prozessoradapters. Der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter weisen jeweils einen DMA-Controller zum Ausführen einer Kommunikationsprotokollsteuerung für das innere Netzwerk auf, wobei zwischen den DMA-Controllern in den Adaptern eine Paket-Multiplexkommunikation ausgeführt wird. Die Speicherplattensteuerung weist bei geringen Kosten und hoher Zuverlässigkeit einen hohen Übertragungswirkungsgrad auf.



Beschreibung**HINTERGRUND DER ERFINDUNG****GEBIET DER ERFINDUNG**

[0001] Die vorliegende Erfindung betrifft eine Speicherplattensteuerung zum Steuern einer Anzahl von Plattenlaufwerken und insbesondere eine sehr zuverlässige Speicherplattensteuerung mit einer Multiplexkommunikation vom verbindungslosen Typ.

Stand der Technik

[0002] Die US-Patente Nr. 6 601 134 und 2003046460 beschreiben ein Speichersystem.

[0003] Ein Speicherplatten-Subsystem (im folgenden einfach "Subsystem" genannt) mit Magnetplatten-Laufwerken als Speichermedium weist eine Eingangs/Ausgangs-Leistungsfähigkeit auf, die um drei bis vier Größenordnungen kleiner ist als die des Hauptspeichers eines Computers mit Halbleiterspeichern als Speichermedium. Es wurde viel Aufwand getrieben, um diesen Unterschied zu verringern, z.B. durch Verbessern der Eingangs/Ausgangs-Leistungsfähigkeit des Subsystems. Ein Verfahren zum Verbessern der Eingangs/Ausgangs-Leistungsfähigkeit des Subsystems ist die Verwendung einer Speicherplattensteuerung, die eine Anzahl von Magnetplatten-Laufwerken steuert, in denen die Daten verteilt gespeichert sind.

[0004] Zum Beispiel weist die in der **Fig. 16** gezeigte herkömmliche Speicherplattensteuerung eine Anzahl von Kanaladaptern **2100**, die den Datentransfer zwischen einem Hauptcomputer und einem Plattenlaufwerk ausführen; eine Anzahl von Cachespeicheradaptern **2300** zum vorübergehenden Speichern der zwischen dem Hauptcomputer und dem Plattenlaufwerk zu übertragenden Daten; eine Anzahl von Steuerspeicheradaptern **2301** zum Speichern von Steuerinformationen über den Betrieb der Speicherplattensteuerung und eine Anzahl von Schalteradaptern **2400** zum Ausbilden von Verbindungen zwischen den Cachespeicheradaptern und den Kanaladaptern auf. Die Kanaladapter **2100** und die Cachespeicheradapter **2300** sind mittels der Schalteradapter **2400** über ein inneres Datensystemnetzwerk verbunden. Die Kanaladapter **2100** und die Steuerspeicheradapter **2301** sind über ein inneres Steuersystemnetzwerk verbunden. Mit diesen Netzwerkverbindungen können alle Kanaladapter **2100** auf die Cachespeicheradapter **2300** und die Steuerspeicheradapter **2301** zugreifen.

[0005] Jeder Kanaladapter **2100** umfaßt Daten-Link-Maschinen (DLEs) **2110** zum Ausführen einer Paketübertragung in dem internen Datensystemnetzwerk; DMA-Controller (DMACs) **2120** zum Aus-

führen von DMA-Übertragungen im inneren Datensystemnetzwerk; einen Selektor **2115** zum Verbinden der DLEs **2110** mit den DMACs **2120**; Protokollmaschinen (PEs) **2130** zum Steuern der Kommunikation zwischen dem Hauptcomputer und dem Plattenlaufwerk; Anschlüsse **2140** zum Anschließen des Hauptcomputers oder des Plattenlaufwerks; DLEs **2210** zum Ausführen einer Paketübertragung im inneren Steuersystemnetzwerk; DMACs **2220** für DMA-Übertragungen im inneren Steuersystemnetzwerk; Mikroprozessoren (MPs) **2230** zum Steuern des Betriebs der Speicherplattensteuerung; und einen Selektor **2125** zum Verbinden der DMACs **2120** mit den PEs **2130** oder den MPs **2230**.

[0006] Die Cachespeicheradapter **2300** und die Steuerspeicheradapter **2301** umfassen jeweils DLEs **2310** zum Ausführen von DMA-Übertragungen im internen Datensystemnetzwerk oder im internen Steuersystemnetzwerk; DMACs **2320** zum Ausführen von DMA-Übertragungen in jedem inneren Netzwerk; Speichersteuerungen (MCs) **2330**; Speichermodule (MMs) **2340**; einen Selektor **2315** zum Verbinden der DLEs **2310** mit den DMACs **2320** und einen Selektor **2325** zum Verbinden der DMACs **2320** mit den MCs **2330**.

[0007] Die Schalteradapter **2400** umfassen DLEs **2410** zum Ausführen von Paketübertragungen im inneren Datensystemnetzwerk; DMACs **2420** zum Ausführen von DMA-Übertragungen im inneren Datensystemnetzwerk; und einen Selektor **2430** zum Verbinden der DMACs **2420** untereinander.

[0008] Die Datenübertragung zwischen den Adaptern wird mittels kooperativer Operationen der DMACs in den einzelnen Adaptern ausgeführt. Als Beispiel dafür erfolgt anhand der **Fig. 18** und **19** eine Beschreibung der Basisoperation für die DMA-Übertragung von Daten vom Hauptcomputer zum Cachespeicheradapter **2300** in der Speicherplattensteuerung.

[0009] Wenn vom Hauptcomputer über den Verbindungsanschluß **2140** eine Schreib Anforderung ausgegeben wird, berechnet der MP **2230** den Speicherbereich im Cachespeicheradapter zum vorübergehenden Speichern der Schreibdaten und teilt das berechnete Ergebnis dem DMAC **2120** im Kanaladapter als DMA-Liste **2600** mit. Der DMAC **2120** gibt Anforderungen **2605** zum Festlegen der für die DMA-Übertragung erforderlichen Pfade an die Cachespeicheradapter aus. Da die Schreibdaten in einer Anzahl von Cachespeicheradaptern gespeichert sind (den beiden Cachespeicheradaptern mit dem DMAC **2321** und dem DMAC **2322**), um die Zuverlässigkeit zu erhöhen, wird eine Anzahl von Pfadfestlegungsanforderungen ausgegeben. Nach dem Ausbilden der erforderlichen Pfade überträgt der DMAC **2120** die Schreibdaten gemäß dem Inhalt der DMA-Liste **2600**

an den DMAC **2420** am Relaispunktschalter. Die Schreibdaten werden dabei vom Hauptcomputer dadurch übertragen, daß sie in Datenmengen mit einer vorgegebenen Größe aufgeteilt werden.

[0010] Die DMA **2420** des Schalteradapters **2400** erzeugt entsprechend den Übertragungsanforderungen vom DMAC **2120** des Kanaladapters **2100** DMA-Subanforderungen **2611** und **2612** für die DMACs **2321** und **2322** der Cachespeicheradapter. In Reaktion auf die Anforderungen **2611** und **2612** geben die DMACs **2321** und **2322** Substatusmeldungen **2621** und **2622** zurück, die Meldungen über den Abschluß der Anforderungen darstellen. Nachdem der DMAC **2120** des Kanaladapters die Substatusmeldungen **2621** und **2622** bestätigt hat, gibt er die nächste DMA-Subanforderung aus. Wenn die Substatusmeldungen für alle DMA-Subanforderungen zurückgegeben wurden, gibt der DMAC **2120** eine Freigabeanforderung **2625** für die ausgebildeten Pfade zu den Cachespeicheradaptern aus und gibt eine Abschlußstatusmeldung **2630** an den MP **2230** zurück, um damit den Prozeß für die DMA-Liste **2600** abzuschließen. Während der DMA-Übertragung greift der MP **2230** auf den Steuerspeicheradapter **2301** zu, wenn dies erforderlich ist. In diesem Fall wird zwischen dem DMAC **2220** des Kanaladapters **2100** und dem DMAC **2320** des Steuerspeicheradapters **2301** eine ähnliche DMA-Übertragung ausgeführt.

[0011] Die Fig. 17 zeigt den Aufbau des bei der DMA-Übertragung benutzten Pakets. Ein Befehlspaket **2520** weist ein Adressenfeld **2521** für die Angabe des Ziel-DMACs; ein Adressenfeld **2522** für die Angabe des Ausgangs-DMACs; Speicheradressenfelder **2523** und **2524** für die Angabe der Speicheradressen, unter denen die Übertragungsdaten gespeichert werden; und einen Fehlerprüfcode **2525** auf.

[0012] Die Anforderung **2605** zur Ausbildung eines Pfades wird unter Verwendung des Befehlspakets **2520** ausgegeben. Ein Datenpaket **2530** weist ein Adressenfeld **2531** für die Angabe des Ziel-DMACs; ein Adressenfeld **2532** für die Angabe des Ausgangs-DMACs; Übertragungsdaten **2533** und einen Fehlerprüfcode **2535** auf. Die DMA-Subanforderung wird unter Verwendung des Datenpakets **2530** ausgegeben.

[0013] Die Fig. 20 zeigt das Übertragungsprotokoll für den Pfadanforderungsbefehl **2605** und die DMA-Subanforderung **2610**. Um den Fehlerbehebungsprozeß zu erleichtern, werden alle Prozesse durch eine Nicht-Multiplex-Kommunikation ausgeführt. Das heißt, daß die nächste DMA-Subanforderung **2610** ausgegeben wird, nachdem bestätigt wurde, daß die Substatusmeldung **2620** für die DMA-Subanforderung **2610** zurückgegeben wurde.

ZUSAMMENFASSUNG DER ERFINDUNG

[0014] Wie beschrieben wird bei den herkömmlichen Speicherplattensteuerungen der oben genannten Patentdokumente die DMA-Übertragung wegen der leichteren Ausführung durch eine Nicht-Multiplex-Kommunikation vom Verbindungstyp ausgeführt. Das heißt, daß der DMAC die Pfade ausbildet, die zur Ausführung der DMA-Übertragung erforderlich sind, und daß während der DMA-Übertragung die Pfade belegt sind (Kommunikation vom Verbindungstyp). Darüberhinaus kann die nächste DMA-Subanforderung nicht ausgeführt werden, bis die Substatusmeldung für die unmittelbar vorhergehende DMA-Subübertragung bestätigt wurde (Nicht-Multiplex-Kommunikation).

[0015] Die herkömmliche Speicherplattensteuerung weist daher für die inneren Netzwerkpfade einen geringen Nutzungswirkungsgrad auf, was einer Verbesserung der Leistungsfähigkeit im Weg stehen kann. Um sicherzustellen, daß die erforderliche Pfad-Bandbreite bei dem begrenzten Pfadverwendungswirkungsgrad auch zur Verfügung steht, wird eine komplizierte Konfiguration für das innere Netzwerk benötigt, wie das Vorsehen von sowohl einem inneren Netzwerk für das Datensystem als auch einem inneren Netzwerk für das Steuersystem, mit der Folge von hohen Kosten.

Aufgabenstellung

[0016] Aufgabe der vorliegenden Erfindung ist es, eine Speicherplattensteuerung mit einer Multiplexkommunikation vom verbindungslosen Typ zu schaffen, die in der Lage ist, die Probleme des Standes der Technik zu beseitigen, einen hohen Übertragungswirkungsgrad (eine hohe Leistungsfähigkeit) bei beibehaltener hoher Zuverlässigkeit entsprechend der einer herkömmlichen Speicherplattensteuerung zu ermöglichen und die dabei wenig kostet.

[0017] Um diese Anforderungen zu erfüllen, weist die vorliegende Erfindung die in Patentanspruch 1 beschriebene Ausgestaltung auf.

[0018] Erfindungsgemäß wird durch die Übernahme einer Multiplexkommunikation vom verbindungslosen Typ eine Multiplexübertragung nicht nur während einer DMA-Subübertragung möglich (die später noch beschrieben wird, der Übertragungstatus der Sub-DMA und der Substatus sind in der Fig. 11 gezeigt), sondern auch während einer Anzahl von Sub-DMA-Übertragungen (der alternative Übertragungstatus der Sub-DMA **615** und der Sub-DMA **616** sind in der Fig. 11 gezeigt). Dadurch kann der Pfadverwendungswirkungsgrad erheblich gesteigert werden, und es ist nicht erforderlich, wie im Falle der herkömmlichen Speicherplattensteuerung separat ein inneres Netzwerk für das Steuersystem und ein

inneres Netzwerk für das Datensystem bereitzustellen.

[0019] Entsprechend sind der Cachespeicheradapter und der Steuerspeicheradapter in einem Speicheradapter zusammengefaßt. Da der Pfadverwendungswirkungsgrad verbessert ist, entspannt sich die Situation hinsichtlich der Pfadverwendungseinschränkungen, so daß der Prozessor im Kanaladapter im Prozessoradapter verwendet werden kann, der vom Kanaladapter unabhängig ist. Es läßt sich somit eine Speicherplattensteuerung schaffen, die bei niedrigen Kosten eine hohe Leistungsfähigkeit aufweist und die ausgezeichnet skalierbar ist.

Ausführungsbeispiel

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0020] [Fig. 1](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer Ausführungsform der Erfindung.

[0021] [Fig. 2](#) zeigt ein Beispiel für den speziellen Aufbau der Daten-Link-Maschine, die in den Adaptern der Ausführungsform der Speicherplattensteuerung verwendet wird.

[0022] [Fig. 3](#) zeigt ein Beispiel für den speziellen Aufbau des DMA-Controllers, der in den Adaptern der Ausführungsform der Speicherplattensteuerung verwendet wird.

[0023] [Fig. 4](#) ist eine Darstellung des Aufbaus eines Kanaladapters für die Ausführungsform der Speicherplattensteuerung.

[0024] [Fig. 5](#) ist eine Darstellung des Aufbaus eines Prozessoradapters für die Ausführungsform der Speicherplattensteuerung.

[0025] [Fig. 6](#) ist eine Darstellung des Aufbaus eines Speicheradapters für die Ausführungsform der Speicherplattensteuerung.

[0026] [Fig. 7](#) ist eine Darstellung des Aufbaus eines Schalteradapters für die Ausführungsform der Speicherplattensteuerung.

[0027] [Fig. 8](#) ist eine Darstellung der Struktur der bei der Ausführungsform der Speicherplattensteuerung verwendeten Pakete.

[0028] [Fig. 9](#) ist eine Darstellung des Paketflusses bei der Ausführungsform der Speicherplattensteuerung.

[0029] [Fig. 10](#) ist eine Darstellung des bei der Ausführungsform der Speicherplattensteuerung verwendeten Protokolls.

[0030] [Fig. 11](#) ist eine Darstellung des bei der Ausführungsform der Speicherplattensteuerung verwendeten Multiplex-Kommunikations-Übertragungsprotokolls.

[0031] [Fig. 12](#) ist eine Darstellung des DMA-Sequenz-Feldaktualisierungsflusses während einer DMA-Subübertragung bei der Ausführungsform der Speicherplattensteuerung.

[0032] [Fig. 13](#) ist eine Darstellung des DMA-Sequenz-Feldbestätigungsflusses während des Erhalts der Substatusmeldung bei der Ausführungsform der Speicherplattensteuerung.

[0033] [Fig. 14](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer anderen Ausführungsform der Erfindung.

[0034] [Fig. 15](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer weiteren Ausführungsform der Erfindung.

[0035] [Fig. 16](#) ist eine Darstellung des Gesamtaufbaus einer herkömmlichen Speicherplattensteuerung.

[0036] [Fig. 17](#) ist eine Darstellung der Struktur der bei der herkömmlichen Speicherplattensteuerung verwendeten Pakete.

[0037] [Fig. 18](#) ist eine Darstellung des Paketflusses bei der herkömmlichen Speicherplattensteuerung.

[0038] [Fig. 19](#) ist eine Darstellung des bei der herkömmlichen Speicherplattensteuerung verwendeten Protokolls.

[0039] [Fig. 20](#) ist eine Darstellung des bei der herkömmlichen Speicherplattensteuerung verwendeten Nicht-Multiplex-Kommunikationsprotokolls.

BESCHREIBUNG DER AUSFÜHRUNGSFORMEN

[0040] Ausführungsformen der erfindungsgemäßen Speicherplattensteuerung werden nun anhand der [Fig. 1](#) bis [Fig. 15](#) genauer beschrieben.

[0041] Die [Fig. 1](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer Ausführungsform der Erfindung. Diese Ausführungsform der Speicherplattensteuerung umfaßt einen Kanaladapter **100** mit einem Interface **140** für die Verbindung mit einem Hauptcomputer oder einem Plattenlaufwerk; einen Speicheradapter **300** zum vorübergehenden Speichern von Daten, die zwischen dem Hauptcomputer und dem Plattenlaufwerk zu übertragen sind; einen Prozessoradapter **200** zum Steuern der Operationen des Kanaladapters **100** und des Speicheradapters **300**; und einen Schalteradap-

ter **400**, der durch Verbinden des Kanaladapters **100**, des Speicheradapters **300** und des Prozessoradapters **200** ein inneres Netzwerk ausbildet.

[0042] Der Kanaladapter **100**, der Prozessoradapter **200**, der Speicheradapter **300** und der Schalteradapter **400** enthalten jeweils DMA-Controller (DMACs) **120**, **220**, **320** bzw. **420**, wobei die DMA-Controller eine Kommunikationsprotokollsteuerung des inneren Netzwerks ausführen. Durch Erweiterungsanschlüsse **440** können mehrere Schalteradapter miteinander verbunden werden. Die DMACs führen mittels Daten-Link-Maschinen (DLEs) **110**, **210**, **310** bzw. **410** DMA-Übertragungen aus. Die in der [Fig. 11](#) gezeigte Paket-Multiplexkommunikation vom verbindungslosen Typ wird zwischen diesen DMA-Controllern ausgeführt.

[0043] Die [Fig. 11](#) ist eine Darstellung des bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendeten Multiplex-Kommunikations-Übertragungsprotokolls. Wie in der [Fig. 11](#) gezeigt wird ohne Bestätigung des Substatusses für eine DMA-Subanforderung bereits die nächste DMA-Subanforderung ausgegeben (Multiplexkommunikation, d.h. Multiplexkommunikation während einer DMA-Subübertragung). Außerdem erfolgen die DMA-Übertragung zwischen DMA1 und DMA2 und die DMA-Übertragung zwischen DMA3 und DMA4 auf dem gleichen Pfad zwischen DLE1 und DLE2 (Kommunikation vom verbindungslosen Typ). Bei dem in der [Fig. 11](#) gezeigten Beispiel werden abwechselnd auf dem gleichen Pfad zwischen DLE1 und DLE2 die Sub-DMA **615** und die Sub-DMA **616** übertragen, um eine Multiplexkommunikation auszuführen. Wie sich aus der später folgenden Beschreibung der [Fig. 8](#) ergibt, wird die Multiplexkommunikation vom verbindungslosen Typ durch eine Paketstruktur ermöglicht, die Informationen (TASK-ID) für die Sequenzsteuerung für einen Zielort, Daten und eine DMA-Subanforderung enthält.

[0044] Bei dem in den [Fig. 1](#) und [Fig. 11](#) gezeigten Beispiel wird durch die Ausführung der Multiplexkommunikation vom verbindungslosen Typ nicht nur ein Multiplex während einer DMA-Subübertragung, sondern auch während einer Vielzahl von DMA-Subübertragungen möglich. Der Pfadverwendungswirkungsgrad kann daher erheblich gesteigert werden (da die Datenübertragung ohne ein Zeitintervall zwischen den Pfaden erfolgen kann). Es ist dabei nicht erforderlich, separat ein inneres Netzwerk für das Steuersystem und ein inneres Netzwerk für das Datensystem auszubilden, wie es herkömmlich der Fall ist. Es ist daher möglich, einen Speicheradapter mit integriertem Cachespeicheradapter und Steuerspeicheradapter zu verwenden und darüber hinaus den Prozessoradapter unabhängig vom Kanaladapter zu verwenden, da die Einschränkungen für die Pfadverwendung nicht mehr so streng sind. Es läßt sich da-

mit eine Speicherplattensteuerung erhalten, die wenig kostet und die in der Skalierbarkeit und der Flexibilität ausgezeichnet ist.

[0045] Die [Fig. 5](#) zeigt ein Beispiel für einen bestimmten Aufbau des Prozessoradapters bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung, und die [Fig. 2](#) ist eine Darstellung eines bestimmten Aufbaus für die Daten-Link-Maschine des Prozessoradapters. Der in der [Fig. 2](#) gezeigte Aufbau der Daten-Link-Maschine (DLE) kann nicht nur bei dem Prozessoradapter, sondern auch bei den anderen Adaptern verwendet werden.

[0046] Der in der [Fig. 5](#) gezeigte Prozessoradapter **200** umfaßt Mikroprozessoren (MPs) **230**, eine Anzahl von DMA-Controllern **220** und eine oder mehrere Daten-Link-Maschinen (DLEs) **210**. Ein Selektor **225** verbindet die MPs **230** und DMACs **220** miteinander, und eine Anzahl von DMA-Controllern **220** ist über einen Selektor **215** mit den DLEs **210** verbunden. Die Anzahl der DMACs ist in der Regel viel größer als die Anzahl der DLEs.

[0047] Da ein DMA-Verteiler **2150** im Selektor **215** die Anforderungen von einer Anzahl vom DMA-Controllern **220** verteilt, können gleichzeitig DMA-Übertragungen von einer Anzahl von DMACs über die gleiche DLE **210** ausgeführt werden (verbindungslose Kommunikation). Die von der DLE **210** aufgenommenen Daten werden durch einen DLE-Verteiler **2155** auf den Ziel-DMAC **220** gegeben.

[0048] Wie in der [Fig. 2](#) gezeigt, weist eine DLE einen Übertragungsanschluß **1101**, einen Übertragungspuffer **1102**, einen Empfangsanschluß **1105**, einen Empfangspuffer **1106**, eine Wiederhollogik **1110** und einen Wiederholpuffer **1120** auf. Der Wiederholpuffer und die Wiederhollogik führen einen Prozeß zur Sicherstellung einer fehlerfreien Übertragung auf der Datenverbindung aus. Das heißt, daß ein vom Übertragungspuffer zum Übertragungsanschluß gesendetes Paket von der Wiederhollogik **1110** im Wiederholpuffer **1120** gespeichert wird. An den Empfangsanschluß wird eine Statusmeldung zurückgegeben, die anzeigt, ob das Paket richtig erhalten wurde, und wenn ein Fehler berichtet wird, wird das Paket von der Wiederhollogik erneut aus dem Wiederholpuffer abgeschickt. Der in der [Fig. 2](#) gezeigte DLE-Aufbau ermöglicht eine Fehlerkontrolle für die Datenverbindung in der Paketeinheit und realisiert eine Multiplexkommunikation.

[0049] Mit dem in den [Fig. 5](#) und [Fig. 2](#) gezeigten beispielhaften Aufbau wird eine Multiplexkommunikation vom verbindungslosen Typ möglich, und es läßt sich eine Speicherplattensteuerung erhalten, die eine hohe Leistungsfähigkeit aufweist und flexibel und einfach ist und wenig kostet.

[0050] Die [Fig. 4](#) zeigt ein Beispiel für einen bestimmten Aufbau des Kanaladapters bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung, und die [Fig. 3](#) ist eine Darstellung eines bestimmten Aufbaus für den DMA-Controller des Kanaladapters. Der in der [Fig. 3](#) gezeigte Aufbau des DMA-Controllers (DMAC) kann nicht nur bei dem Kanaladapter, sondern auch bei den anderen Adaptern verwendet werden.

[0051] Der in der [Fig. 4](#) gezeigte Kanaladapter umfaßt Protokollmaschinen **130**, DMACs **120** und DLEs **110**. Die PEs **130** und DMACs **120** werden durch einen Selektor **125** verbunden und die DMACs **120** und DLEs **110** durch einen Selektor **115**. Jeder DMA-Controller **120** weist eine Anzahl von Empfangs-FIFO-Puffern VC0 und VC1 und eine Anzahl von Übertragungs-FIFO-Puffern VC0 und VC1 auf.

[0052] Der in der [Fig. 3](#) gezeigte DMA-Controller **120** wird von einem Multiplexer **1201**, Übertragungs-FIFO-Puffern **1202**, einem Demultiplexer **1205**, Empfangs-FIFO-Puffern **1206**, einer Transaktionslogik **1210**, einer Sequenzverwaltungstabelle **1220**, einer Paketzusammensetzungslogik **1230** und einer Paketzerlegungslogik **1240** gebildet. Ein Verteiler **1212** verteilt die Zuteilung von Übertragungsdaten auf eine Anzahl von Übertragungs-FIFO-Puffer **1202**, und der Multiplexer **1201** wählt die Übertragungsdaten aus.

[0053] Gleichermaßen wählt der Demultiplexer **1205** die Empfangsdaten unter der Steuerung durch den Verteiler **1212** aus und speichert sie unter der Anzahl von Empfangs-FIFO-Puffern **1206** im richtigen FIFO-Puffer. Die Paketzusammensetzungslogik **1230** und die Paketzerlegungslogik **1240** sind Logikschaltungen zum Zusammensetzen und Zerlegen der Pakete. Die Sequenzsteuerlogik **1213** und die Sequenzverwaltungstabelle **1220** verwalten die DMA-Sequenz der DMA-Subtransfers; die Beschreibung dieser Operation erfolgt später.

[0054] Bei dem in den [Fig. 4](#) und [Fig. 3](#) gezeigten Beispiel kann für jede DLE eine Anzahl von Puffern VC0 und VC1 verwendet werden. Zum Beispiel kann eine DLE eine Mischung aus dem inneren Steuersystemnetzwerk und dem inneren Datensystemnetzwerk verwenden (zum Beispiel wird VC0 für das innere Steuersystemnetzwerk verwendet und VC1 für das Datensystemnetzwerk). Der Verteiler **1212** kann für eine Anzahl von Puffern eine Prioritäts-Reihenfolge festlegen. Zum Beispiel kann die durch eine Mischung der beiden Netzwerke verursachte längere Zugriffsverzögerungszeit für das innere Steuersystemnetzwerk dadurch vermieden werden, daß das innere Steuersystemnetzwerk eine höhere Priorität erhält als das innere Datensystemnetzwerk. Mit dieser Anordnung ist es möglich, eine Speicherplattensteuerung mit einer einfacheren inneren Netzwerkkonfi-

guration und sowohl einer Verbesserung der Leistungsfähigkeit als auch mit niedrigen Kosten zu realisieren.

[0055] Die [Fig. 6](#) zeigt ein Beispiel für einen bestimmten Aufbau des Speicheradapters bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung. Der in der [Fig. 6](#) gezeigte Speicheradapter umfaßt Speichermodule (MMs) **340**, Speichersteuerungen (MCs) **330**, DMACs **320** und DLEs **310**. Die MCs **330** und DMACs **320** sind über einen Selektor **325** verbunden und die DMACs **320** und die DLEs **310** über einen Selektor **315**. Jeder DMA-Controller (DMAC) **320** besitzt einen Empfangspuffer (VC0 oder VC1) und einen Übertragungspuffer (VC0 oder VC1). Die zugeteilten Übertragungsdaten werden bei der Übertragung von Daten zur DLE **310** auf eine Anzahl von Übertragungs-FIFO-Puffer VC0 und auf eine Anzahl von Übertragungs-FIFO-Puffer VC1 verteilt. Gleichermaßen werden die zugeteilten Empfangsdaten auf eine Anzahl von Empfangs-FIFO-Puffer VC0 und auf eine Anzahl von Empfangs-FIFO-Puffer VC1 verteilt, um die Daten im richtigen Empfangs-FIFO zu speichern.

[0056] Die Verteiler **3250** und **3255** verteilen die Zuteilungsbedingungen unter den DMACs **320** und MCs **330**. Eine MC kann daher von einer Anzahl von DMACs gemeinsam genutzt werden, wobei die Steuerung der Prioritätsreihenfolge zwischen den DMACs als Funktion der Verteiler verwirklicht werden kann. Zum Beispiel kann, wenn DMACs für das innere Steuersystemnetzwerk und DMACs für das innere Datensystemnetzwerk vorgesehen sind und die DMACs für das innere Steuersystemnetzwerk eine höhere Priorität haben als die für das innere Datensystemnetzwerk, verhindert werden, daß der Zugriff auf das innere Steuersystemnetzwerk durch Störungen des Betriebs des inneren Datensystemnetzwerks beeinflusst wird.

[0057] Bei dem in der [Fig. 6](#) gezeigten Aufbau kann eine Anzahl von DMACs für eine DLE verwendet werden. Zum Beispiel weist eine DLE eine Mischung des inneren Steuersystemnetzwerks und des inneren Datensystemnetzwerks auf. Für eine MC kann eine Anzahl von DMACs verwendet werden, was eine Mischung des Steuersystemspeichers und des Datensystemspeichers erlaubt. Mit dieser Struktur wird es möglich, eine Speicherplattensteuerung mit einer einfacheren inneren Netzwerkstruktur zu realisieren, die sowohl eine bessere Leistungsfähigkeit zeigt als auch weniger kostet.

[0058] Die [Fig. 8](#) zeigt ein Beispiel für eine bestimmte Struktur des Pakets, das bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung zwischen einer Anzahl von DMA-Controllern übertragen wird. Das in der [Fig. 8](#) gezeigte Paket **500** umfaßt wenigstens ein Adressenfeld **511** für die

Angabe des Ziel-DMA-Controllers, ein Adressenfeld **521** für die Angabe des Ausgangs-DMA-Controllers und ein DMA-Sequenzfeld **524** für die Verwaltung der Übertragungsreihenfolge, wenn eine DMA-Übertragung in eine Anzahl von Paketen aufgeteilt wird.

[0059] Bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung ist es erforderlich, die Übertragungsreihenfolge der DMA zu sichern und einen Fehlerprüfprozeß und einen Fehlerbehebungsprozeß korrekt auszuführen, da die DMA-Übertragung durch eine Multiplexkommunikation vom verbindungslosen Typ erfolgt. Als Einrichtung dafür ist das DMA-Sequenzfeld vorgesehen, damit das Paket zuverlässig identifiziert werden kann, und dieses Feld wird so kontrolliert (vorzugsweise sequentiell inkrementiert), daß es innerhalb einer DMA-Übertragung eindeutig (unterscheidbar) wird.

[0060] Mit dem in der [Fig. 8](#) gezeigten Beispiel für die Paketstruktur ist es möglich, bei der DMA-Übertragung durch eine Multiplexkommunikation vom verbindungslosen Typ die richtige Reihenfolge und ihre Prüfung zu garantieren, und beim Auftreten eines Fehlers kann der richtige Fehlerbehebungsprozeß ausgeführt werden. Mit diesem Aufbau ist es möglich, eine Speicherplattensteuerung mit einer hohen Zuverlässigkeit zu realisieren, die gleichwertig mit der Zuverlässigkeit einer herkömmlichen Speicherplattensteuerung ist.

[0061] Das in der [Fig. 8](#) gezeigte Paket **500** weist eine erste Adresse **511** zum Bezeichnen eines Paket-Relais-DMA-Controllers, eine zweite und eine dritte Adresse **522** und **523** zum Bezeichnen von Ziel-DMA-Controllern und Übertragungsdaten **531** auf, die zu den Ziel-DMA-Controllern zu übertragen sind. Wenn vom Kanaladapter **100** an den Speicheradapter **300** eine Schreibanforderung ausgegeben wird, bezeichnet die erste Adresse den DMAC **420** des Schalteradapters, und die zweite und die dritte Adresse bezeichnen die DMACs **320** des Speicheradapters. Es wird eine Anzahl von Adressen für die Speicheradapter angegeben, um durch das Duplizieren des Einschreibens für die Cachespeicher die Zuverlässigkeit zu erhöhen.

[0062] Mit dieser Paketstruktur kann die DMA-Übertragungsfunktion einschließlich des duplizierten Einschreibens auf die verbindungslose Multiplexkommunikation angewendet werden, so daß eine Speicherplattensteuerung mit hoher Zuverlässigkeit realisiert werden kann.

[0063] Das in der [Fig. 8](#) gezeigte Paket **500** weist auch einen Leitweg-Kopfblock **510**, der Steuerinformationen für die DLE enthält, einen Befehls-Kopfblock **520**, der Steuerinformationen für den DMA-Controller enthält, und einen Datenblock **530** auf, der die anderen Daten enthält. Der Leit-

weg-Kopfblock **510** umfaßt einen Leitweg-Kopfblock-Fehlerprüfcode **515** zum Überprüfen auf Übertragungsfehler im Leitweg-Kopfblock. Der Befehls-Kopfblock **520** umfaßt einen Befehls-Kopfblock-Fehlerprüfcode **525** zum Überprüfen auf Übertragungsfehler im Befehls-Kopfblock. Der Datenblock **530** umfaßt einen Datenblock-Fehlerprüfcode **535** zum Überprüfen auf Übertragungsfehler im Datenblock.

[0064] Mit dieser Paketstruktur werden die Leitwegsteuerinformationen, die DMAC-Steuerinformationen und die Dateninformationen durch verschiedene Fehlerprüfcodes geschützt, mit der Folge einer genaueren DMA-Übertragungssteuerung und eines genaueren Fehlerbehebungsprozesses. Auch wenn die Leitwegsteuerinformationen erneut eingeschrieben werden müssen, etwa beim Ausführen eines duplizierten Einschreibens über die Schalteradapter, ist es möglich, den Neuberechnungsbereich des Fehlerprüfcodes zu minimieren und eine Speicherplattensteuerung mit hoher Zuverlässigkeit und hoher Leistungsfähigkeit zu realisieren.

[0065] Die [Fig. 9](#) zeigt ein Diagramm für den Fluß eines Pakets bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung, und die [Fig. 10](#) ein Diagramm für das Protokoll, das bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendet wird. Bei dem in den [Fig. 9](#) und [Fig. 10](#) gezeigten Beispiel wird vom DMAC **120** des Kanaladapters eine DMA-Subanforderung **610** an den DMAC **420** des Schalteradapters ausgegeben. In dem Paket der DMA-Subanforderung **610** bezeichnet das Ausgangs-Adressenfeld **521** den Kanaladapter-DMAC **120** als Master-DMA, und das Ziel-Adressenfeld **511** bezeichnet den Schalteradapter-DMAC **420**.

[0066] Der DMA-Controller **420** sendet für die DMA-Übertragungs-Subanforderung **610** Abschluß-Substatusmeldungen **621** und **622** an den DMA-Controller **120** zurück. Die Abschluß-Substatusmeldungen **621** und **622** enthalten Informationen über das DMA-Sequenzfeld **524**, das in der DMA-Übertragungs-Subanforderung **610** enthalten ist. Der DMA-Controller **120** bestätigt die Informationen in diesem DMA-Sequenzfeld, um die Übertragungsreihenfolge der DMA-Subübertragungen zu bestätigen.

[0067] Die [Fig. 12](#) ist eine Darstellung für den DMA-Sequenzfeld-Aktualisierungsfluß bei der DMA-Subübertragung, der bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendet wird, und die [Fig. 13](#) eine Darstellung des DMA-Sequenzfeld-Bestätigungsflusses bei der Aufnahme der Substatusmeldungen, der bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendet wird. Jeder DMAC hält den

Wert des gegenwärtigen DMA-Sequenzfelds in der Variablen CURR_DMA_SEQ fest. Bei der DMA-Subübertragung, während der CURR_DMA_SEQ inkrementiert wird, wird es in das DMA-Sequenzfeld **524** der einzelnen Übertragungspakete eingesetzt. Jeder DMAC hält den Wert des als nächstes zurückzugebenden DMA-Substatus in der Variablen NEXT_DMA_SEQ fest. Wenn der DMA-Substatus zurückgegeben wird, wird der Wert der DMA-Sequenz mit dem erwarteten Wert verglichen. Wenn beide Werte übereinstimmen, wird das übereinstimmende NEXT_DMA_SEQ inkrementiert. Wenn die beiden Werte nicht übereinstimmen, werden die gerade ausgeführten DMA-Übertragungs-Subanforderungen (von NEXT_DMA_SEQ bis CURR_DMA_SEQ) aufgehoben und dem Prozessor ein Fehler mitgeteilt.

[0068] Bei dem in den [Fig. 9](#) und [Fig. 10](#) und den [Fig. 12](#) und [Fig. 13](#) gezeigten Beispiel für die Struktur kann auch bei der DMA-Subübertragung die Übertragungsreihenfolge für jede DMA zuverlässig durch das DMA-Sequenzfeld **524** kontrolliert werden. Das heißt, daß mit dieser Struktur eine Speicherplattensteuerung für eine verbindungslose Multiplexkommunikation mit hoher Zuverlässigkeit realisiert werden kann.

[0069] Die [Fig. 9](#) und [Fig. 10](#) zeigen auch den Paketfluß (das Protokoll) für das duplizierte Einschreiben, das bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendet wird. Bei diesem Beispiel für die Struktur werden vom Kanaladapter-DMAC **120** über den Schalteradapter-DMAC **420** DMA-Subanforderungen **611** und **612** an die Speicheradapter-DMACs **321** und **322** ausgegeben. In dem Paket der DMA-Subanforderung **610** bezeichnet das Ausgangs-Adressenfeld **521** den Kanaladapter-DMAC **120**, das Ziel-Adressenfeld **511** bezeichnet den Schalteradapter-DMAC **420**, das Zielfeld **511** bezeichnet die Speicheradapter-DMACs **321** und **322**, und der Datenblock (das Datenfeld) **531** enthält die Übertragungsdaten.

[0070] Der DMA-Controller **420** des Schalteradapters erzeugt ein DMA-Subanforderungspaket **611** und ein DMA-Subanforderungspaket **612** und überträgt die Pakete an die entsprechenden Zieladressen. Das erste Paket **611** bezeichnet den DMAC **321** im Ziel-Adressenfeld und enthält die Übertragungsdaten **531**, und das zweite Paket **612** bezeichnet den DMAC **322** im Ziel-Adressenfeld und enthält die Übertragungsdaten **531**. In Reaktion auf die DMA-Subanforderungen **611** und **612** geben die DMACs **321** und **322** des Speicheradapters die Substatusmeldungen **621** und **622** über den Schalteradapter-DMAC **420** an den Kanaladapter-DMAC **120** zurück.

[0071] Das in den [Fig. 9](#) und [Fig. 10](#) gezeigte Bei-

spiel für die Struktur kann ein Cachespeicher-Duplikat-Einschreiben durch den Schalteradapter-DMAC realisieren. Da der DMAC **420** des Schalteradapters **400** in der Nähe des Speicheradapters **300** die Pakete für das Duplikat-Einschreiben erzeugt, wird keine Bandbreite des inneren Netzwerks vergeudet, und der Pfad-Wirkungsgrad läßt sich erhöhen. Mit diesem Beispiel für die Struktur kann eine Speicherplattensteuerung mit hoher Leistungsfähigkeit und hoher Zuverlässigkeit realisiert werden.

[0072] Die [Fig. 7](#) zeigt ein Beispiel für einen bestimmten Aufbau des Schalteradapters bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung. Der in der [Fig. 7](#) gezeigte Schalteradapter umfaßt eine Anzahl von DLEs **410**, eine Anzahl von DMACs **420** und einen Selektor **430**. Das am empfangsseitigen DLE **410** aufgenommene Paket wird verteilt in einer Anzahl von Empfangs-FIFO-Puffern (VC0, VC1) im empfangsseitigen DMAC **420** gespeichert und danach über die Selektor-Logikschaltungen **4301**, **4302**, **4306** und **4307** für die jeweiligen Übertragungs-FIFO-Puffer zu den Übertragungs-FIFO-Puffern im Übertragungs-DMAC **420** gesendet und von der sendeseitigen DLE **410** übertragen.

[0073] Mit dem in der [Fig. 7](#) gezeigten Beispiel für den Aufbau weist ähnlich zu dem Paket mit der Leitwegsteuerinformation, der DMAC-Steuerinformation und der Dateninformation der [Fig. 8](#) das zwischen einer Anzahl von DMA-Controllern zu übertragende Paket einen Kopfblock mit Ziel-DMAC-Informationen und ein Datenfeld mit anderen Daten auf. Der Kopfblock umfaßt einen Kopfblock-Fehlerprüfcode zum Überprüfen auf Übertragungsfehler im Kopfblock. Das Datenfeld umfaßt einen Datenfeld-Fehlerprüfcode zum Überprüfen auf Übertragungsfehler im Datenfeld.

[0074] Bevor der Kopfblock-Fehlerprüfcode nicht bestätigt ist, sendet der empfangsseitige DMA-Controller **420** im Schalteradapter das Paket nicht zum sendeseitigen DMAC. Nach der Bestätigung des Kopfblock-Fehlerprüfcodes werden der Kopfblock und das Datenfeld des Pakets in einer Pipeline-Verarbeitungsart zu dem sendeseitigen DMAC gesendet. Wenn durch den Kopfblock-Fehlerprüfcode ein Fehler festgestellt wird, wird das Paket verworfen und der entsprechende Fehlerbehebungsprozeß ausgeführt.

[0075] Bei dem in der [Fig. 7](#) gezeigten Beispiel für den Aufbau kann der Schalteradapter den Übertragungsprozeß an der Übertragungs-DLE starten, bevor das ganze Datenfeld von der Empfangs-DLE zugeführt wurde und der Datenfeld-Fehlerprüfcode bestätigt wurde, und ein Paket mit einem illegalen Ziel-Adressenfeld wegen eines Fehlers im Kopfblock wird verworfen, um die Ausbreitung des Fehlers zu

verhindern. Bei dem Beispiel für den Aufbau kann eine Speicherplattensteuerung mit hoher Leistungsfähigkeit und hoher Zuverlässigkeit realisiert werden.

[0076] Der bei der erfindungsgemäßen Ausführungsform der Speicherplattensteuerung verwendete Adapter, etwa der Kanaladapter der [Fig. 4](#) und der Prozessoradapter der [Fig. 5](#), hat einen Aufbau, bei dem sich eine Anzahl von DMACs eine Anzahl von DLEs teilt. Im Falle des Kanaladapters der [Fig. 4](#) sind zwei DLEs und sechzehn DMACs vorgesehen, und es ist möglich, daß jeder DMAC an einigen DLEs teilhat. Mit diesem redundanten Aufbau führt zum Beispiel bei einer DMA-Kommunikation über die DMACs und einige DLEs der DMAC-Verteiler **1150** (siehe [Fig. 4](#)) oder **2150** (siehe [Fig. 5](#)) auch dann eine Leitwegsteuerung zur Verbindung mit einer anderen DLE aus, wenn an einer DLE ein Fehler auftritt. Gleichermaßen führt der DMAC-Verteiler **1150** oder **2150** eine Leitwegsteuerung für eine Anzahl von DMAC-Prozessen aus, um die Prozesse auf eine Anzahl von DLEs zu verteilen und eine Lastverteilung zu bewirken.

[0077] Bei diesem Beispiel für einen Aufbau steuert der Verteiler **1150** oder **2150** das Ganze so, daß die gleiche DLE die Übertragung/den Empfang für eine Reihe von DMA-Subanforderungen und Substatusmeldungen vom gleichen DMAC handhabt. Noch besser wird eine Übertragung/ein Empfang im Normalbetrieb für die Anforderungen und Statusmeldungen vom gleichen DMAC fixiert.

[0078] Bei dem in den [Fig. 4](#) und [Fig. 5](#) gezeigten Beispiel für einen Aufbau ist die innere Netzwerkroute für eine Reihe von DMA-Subanforderungen und Substatusmeldungen fixiert. Es besteht daher nicht die Möglichkeit für eine Änderung der Reihenfolge (ein Weglaufen) aufgrund verschiedener Routen. Die Sequenzsteuerung für die DMA-Subanforderungen und die Substatusmeldungen wird dadurch erheblich erleichtert. Das heißt, daß mit diesem Beispiel für einen Aufbau eine Speicherplattensteuerung mit hoher Zuverlässigkeit realisiert werden kann.

[0079] Die [Fig. 14](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer anderen erfindungsgemäßen Ausführungsform. Bei der in der [Fig. 14](#) gezeigten Ausführungsform der Erfindung sind eine Anzahl von Kanaladaptern **100**, eine Anzahl von Prozessoradaptern **200** und eine Anzahl von Speicheradaptern **300** über eine Anzahl von Schalteradaptern **400** verbunden. Durch das Vorsehen einer Anzahl von Pfaden zwischen allen Adaptern wird es möglich, eine Redundanz zu realisieren, die in der Lage ist, einen Fehler an einem beliebigen Punkt auszugleichen. Die Verbindung der einzelnen Adapter ist in der [Fig. 14](#) dargestellt. Jeder Adapter weist Pfade für zwei entsprechende Adapter auf.

[0080] Mit dieser Ausführungsform der Erfindung kann die Zuverlässigkeit durch Erhöhen der Redundanz des Speicherplattensteuersystems verbessert werden.

[0081] Die [Fig. 15](#) ist eine Darstellung des Gesamtaufbaus einer Speicherplattensteuerung gemäß einer weiteren erfindungsgemäßen Ausführungsform. Bei dieser in der [Fig. 16](#) gezeigten Ausführungsform der Erfindung werden durch Verbinden der Erweiterungsanschlüsse der Schalteradapter zwei Speicherplattensteuerungen der in der [Fig. 14](#) gezeigten Ausführungsform verwendet. Mit dieser Verbindung können zusätzliche Kanaladapter, Prozessoradapter und Speicheradapter installiert werden, so daß die Skalierbarkeit des Systems unter Verwendung der gleichen Architektur verbessert werden kann. Mit dieser Ausführungsform der Erfindung kann die Skalierbarkeit der Speicherplattensteuerung verbessert werden.

[0082] Wie beschrieben können durch die Übernahme einer Speicherplattensteuerung nach den in den [Fig. 1](#) bis [Fig. 15](#) gezeigten Ausführungsformen der Erfindung die folgenden Funktionen und Effekte erhalten werden. Gemäß den Ausführungsformen kann eine Anzahl von Puffern in einer eins-zu-eins-Entsprechung zu einer DLE festgelegt werden. Zum Beispiel kann das innere Steuersystemnetzwerk und das innere Datensystemnetzwerk in einer DLE gemischt werden. Der Verteiler kann die Prioritätsreihenfolge einer Anzahl von Puffern festlegen. Wenn zum Beispiel das innere Steuersystemnetzwerk eine höhere Priorität hat als das innere Datensystemnetzwerk, ist es möglich, die längere Zugriffsverzögerungszeit für das innere Steuersystemnetzwerk zu vermeiden, die ansonsten durch eine Mischung der beiden Netzwerke ausgelöst wird. Mit dieser Anordnung ist es möglich, eine Speicherplattensteuerung mit einem einfacheren inneren Netzwerkaufbau und sowohl einer besseren Leistungsfähigkeit als auch geringeren Kosten zu realisieren.

[0083] Bei den Ausführungsformen kann eine Anzahl von DMACs in einer eins-zu-eins-Entsprechung zu einer DLE festgelegt werden. Zum Beispiel kann das innere Steuersystemnetzwerk und das innere Datensystemnetzwerk in einer DLE gemischt werden. Eine Anzahl von DMACs kann in einer eins-zu-eins-Entsprechung zu einer MC festgelegt werden, so daß das innere Steuersystemnetzwerk und das innere Datensystemnetzwerk gemischt werden können. Es kann so eine Speicherplattensteuerung mit einer einfacheren inneren Netzwerkstruktur und einer besseren Leistungsfähigkeit bei geringeren Kosten realisiert werden.

[0084] Bei den Ausführungsformen ist die richtige Reihenfolge garantiert, und deren Prüfung ist bei der DMA-Übertragung durch eine Multiplexkommunikati-

on vom verbindungslosen Typ möglich, wobei beim Auftreten eines Fehlers der entsprechende Fehlerbehebungsprozeß ausgeführt werden kann. Es ist damit möglich, eine Speicherplattensteuerung mit einer hohen Zuverlässigkeit zu schaffen, die der Zuverlässigkeit von herkömmlichen Speicherplattensteuerungen entspricht. Bei den Ausführungsformen können die Leitwegsteuerinformationen, die DMAC-Steuerinformationen und die Dateninformationen durch verschiedene Fehlerprüfcodes geschützt werden, mit der Folge einer genaueren DMA-Übertragungssteuerung und von genaueren Fehlerbehebungsprozessen. Auch wenn die Leitwegsteuerinformationen erneut eingeschrieben werden müssen, weil etwa über die Schalteradapter ein doppeltes Einschreiben erfolgt, ist es möglich, den Neuberechnungsbereich des Fehlerprüfcodes zu minimieren und eine Speicherplattensteuerung mit hoher Zuverlässigkeit und hoher Leistungsfähigkeit zu realisieren.

[0085] Bei den Ausführungsformen ist es möglich, durch die Schalteradapter-DMAC ein Cachespeicher-Duplikat-Einschreiben auszuführen. Da die DMACs der Schalteradapter in der Nähe der Speicheradapter die Pakete für das doppelte Einschreiben erzeugen, wird keine Bandbreite des inneren Netzwerks verschwendet, und der Pfad-Wirkungsgrad kann erhöht werden.

[0086] Bei den Ausführungsformen kann der Schalteradapter den Übertragungsprozeß von der Übertragungs-DLE starten, bevor das ganze Datenfeld von der Empfangs-DLE zugeführt wurde und der Datenfeld-Fehlerprüfcode bestätigt wurde, und ein Paket mit einem illegalen Ziel-Adressenfeld wegen eines Fehlers im Kopfblock wird verworfen, um die Ausbreitung des Fehlers zu verhindern. Bei den Ausführungsformen ist die innere Netzwerkroute für eine Reihe von DMA-Subanforderungen und Substatusmeldungen fixiert. Es besteht daher nicht die Möglichkeit für eine Änderung der Reihenfolge (ein Weglaufen) aufgrund verschiedener Routen. Die Sequenzsteuerung für die DMA-Subanforderungen und die Substatusmeldungen wird dadurch erheblich erleichtert.

[0087] Mit den Ausführungsformen kann durch Erhöhen der Redundanz des Speicherplattensteuersystems die Zuverlässigkeit erhöht werden. Mit den Ausführungsformen kann auch die Skalierbarkeit der Speicherplattensteuerung verbessert werden.

Patentansprüche

1. Speicherplattensteuerung mit einem Kanaladapter (**100**) mit einem Verbindungsinterface zu einem Hauptcomputer oder einem Plattenlaufwerk; einem Speicheradapter (**300**) zum vorübergehenden Speichern von Daten, die zwischen dem Hauptcom-

puter und dem Plattenlaufwerk zu übertragen sind; einem Prozessoradapter (**200**) zum Steuern der Operationen des Kanaladapters und des Speicheradapters; und mit einem Schalteradapter (**400**) zum Ausbilden eines inneren Netzwerks durch Verbinden des Kanaladapters, des Speicheradapters und des Prozessoradapters, wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter jeweils einen DMA-Controller (**120, 220, 320, 420**) zum Ausführen einer Kommunikationsprotokollsteuerung für das innere Netzwerk aufweisen; gekennzeichnet dadurch, dass ein zwischen den DMA-Controllern in den Adaptern zu übertragendes Paket ein Adressenfeld zum Bezeichnen des Ziel-DMA-Controllers, ein Adressenfeld zum Bezeichnen des Ausgangs-DMA-Controllers und ein DMA-Sequenzfeld zum Verwalten der Übertragungsreihenfolge bei der Aufteilung einer DMA-Übertragung in eine Anzahl von Paketen aufweist und das DMA-Sequenzfeld eine für eine DMA-Übertragung eindeutige Task-ID aufweist; und dass zwischen den DMA-Controllern in den Adaptern eine Paket-Multiplexkommunikation ausgeführt wird.

2. Speicherplattensteuerung nach Anspruch 1, wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter jeweils eine Anzahl von DMA-Controllern und eine oder mehrere Daten-Link-Maschinen aufweisen; und wobei sich die Anzahl der DMA-Controller die Daten-Link-Maschine teilen und über die Daten-Link-Maschine gleichzeitig DMA-Übertragungen ausführen.

3. Speicherplattensteuerung nach Anspruch 1 oder 2, wobei der DMA-Controller eine Anzahl von Empfangs-FIFO-Puffern und eine Anzahl von Übertragungs-FIFO-Puffern aufweist; und wobei die Zuteilung der Empfangsdaten auf die Anzahl von Empfangs-FIFO-Puffer aufgeteilt wird und die Zuteilung der Übertragungsdaten auf die Anzahl von Übertragungs-FIFO-Puffer aufgeteilt wird.

4. Speicherplattensteuerung nach Anspruch 1 oder 2, wobei der DMA-Controller einen Empfangs-FIFO-Puffer und einen Übertragungs-FIFO-Puffer aufweist; und wobei die Zuteilung der Empfangsdaten auf die zu einer Anzahl von DMA-Controllern gehörenden Empfangs-FIFO-Puffer aufgeteilt wird und die Zuteilung der Übertragungsdaten auf die zu einer Anzahl von DMA-Controllern gehörenden Übertragungs-FIFO-Puffer aufgeteilt wird.

5. Speicherplattensteuerung nach Anspruch 1,

wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter jeweils eine Anzahl von DMA-Controllern zum Ausführen einer Kommunikationsprotokollsteuerung für das innere Netzwerk aufweisen und sich die DMA-Controller eine oder mehrere Daten-Link-Maschinen teilen; die DMA-Controller jeweils eine Anzahl von Empfangs-FIFO-Puffern und eine Anzahl von Übertragungs-FIFO-Puffern aufweisen, wobei eine Daten-Link-Maschine für eine Anzahl von Puffern vorgesehen ist; die Zuteilung der Empfangsdaten auf die zu einer Anzahl von DMA-Controllern gehörenden Empfangs-FIFO-Puffer aufgeteilt wird und die Zuteilung der Übertragungsdaten auf die zu einer Anzahl von DMA-Controllern gehörenden Übertragungs-FIFO-Puffer aufgeteilt wird, um dadurch eine Prioritätsreihenfolge für eine Anzahl von Puffern festzulegen; und wobei in einer Daten-Link-Maschine ein inneres Steuersystemnetzwerk und ein inneres Datensystemnetzwerk vermischt sind.

6. Speicherplattensteuerung nach Anspruch 1, wobei ein zwischen den DMA-Controllern in den Adaptern zu übertragendes Paket eine erste Adresse zum Bezeichnen eines Relais-DMA-Controllers für das Paket, zweite und dritte Adressen zum Bezeichnen von Ziel-DMA-Controllern und die zu den Ziel-DMA-Controllern zu übertragenden Daten umfasst.

7. Speicherplattensteuerung nach Anspruch 1 oder 6, wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter jeweils eine Anzahl von DMA-Controllern und eine oder mehrere Daten-Link-Maschinen aufweisen; wobei ein zwischen den DMA-Controllern in den Adaptern zu übertragendes Paket ein Leitwegfeld, das Steuerinformationen für die Daten-Link-Maschine enthält, ein Befehlsfeld, das Steuerinformationen für den DMA-Controller enthält, und ein Datenfeld umfasst, das andere Daten enthält; und wobei das Leitwegfeld einen Leitwegfeld-Fehlerprüfcode zum Überprüfen auf einen Übertragungsfehler im Leitwegfeld, das Befehlsfeld einen Befehlsfeld-Fehlerprüfcode zum Überprüfen auf Übertragungsfehler im Befehlsfeld, und das Datenfeld einen Datenfeld-Fehlerprüfcode zum Überprüfen auf Übertragungsfehler im Datenfeld umfasst.

8. Speicherplattensteuerung nach Anspruch 1, 6 oder 7, wobei von dem DMA-Controller, der durch das Ausgangs-Adressenfeld bezeichnet wird, zu dem DMA-Controller, der durch das Ziel-Adressenfeld bezeichnet wird, eine DMA-Subübertragung erfolgt; der durch das Ziel-Adressenfeld bezeichnete DMA-Controller eine Abschluß-Substatusmeldung

für die DMA-Subübertragung zu dem DMA-Controller überträgt, der durch das Ausgangs-Adressenfeld bezeichnet wird; die Abschluß-Substatusmeldung Informationen über das DMA-Sequenzfeld enthält, das in der DMA-Subübertragung enthalten ist; und wobei der durch das Ausgangs-Adressenfeld bezeichnete DMA-Controller die Informationen über das in der Abschluß-Substatusmeldung enthaltene DMA-Sequenzfeld bestätigt, um so die Übertragungsreihenfolge für die DMA-Subübertragung zu bestätigen.

9. Speicherplattensteuerung nach einem der Ansprüche 1, 6, 7 oder 8, wobei, wenn ein zwischen den DMA-Controllern zu übertragendes Paket eine erste Adresse zum Bezeichnen des DMA-Controllers im Schalteradapter, zweite und dritte Adressen zum Bezeichnen von Ziel-DMA-Controllern und die zu den Ziel-DMA-Controllern zu übertragenden Übertragungsdaten enthält, der DMA-Controller im Schalteradapter ein Paket, das im Ziel-Adressenfeld die zweite Adresse und die Übertragungsdaten enthält, und ein Paket erzeugt, das im Ziel-Adressenfeld die dritte Adresse und die Übertragungsdaten enthält.

10. Speicherplattensteuerung nach Anspruch 1 oder 6, wobei ein zwischen den DMA-Controllern in den Adaptern zu übertragendes Paket ein Kopffeld, das Paketsteuerinformationen enthält, und ein Datenfeld umfasst, das andere Daten enthält; wobei das Kopffeld einen Kopffeld-Fehlerprüfcode zum Überprüfen auf Übertragungsfehler im Kopffeld und das Datenfeld einen Datenfeld-Prüfcode zum Überprüfen auf Übertragungsfehler im Datenfeld umfasst; und wobei der DMA-Controller im Schalteradapter nur Pakete mit einem korrekten Kopffeld-Fehlerprüfcode durchlässt.

11. Speicherplattensteuerung nach Anspruch 1, wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter jeweils eine Anzahl von DMA-Controllern und eine Anzahl von Daten-Link-Maschinen aufweisen; und wobei, wenn die DMA-Controller über die Daten-Link-Maschinen eine DMA-Übertragung ausführen, bei einer DMA-Übertragung diese über die gleiche Daten-Link-Maschine erfolgt.

12. Speicherplattensteuerung mit einer ersten Speicherplattensteuerung nach Anspruch 1 und einer zweiten Speicherplattensteuerung, wobei die zweite Speicherplattensteuerung einen Kanaladapter, einen Speicheradapter, einen Prozessoradapter und einen Schalteradapter aufweist; wobei der Schalteradapter der ersten Speicherplattensteuerung mit jedem der Adapter der ersten Spei-

cherplattensteuerung und jedem der Adapter der zweiten Speicherplattensteuerung verbunden ist; und
wobei der Schalteradapter der zweiten Speicherplattensteuerung mit jedem der Adapter der zweiten Speicherplattensteuerung und jedem der Adapter der ersten Speicherplattensteuerung verbunden ist.

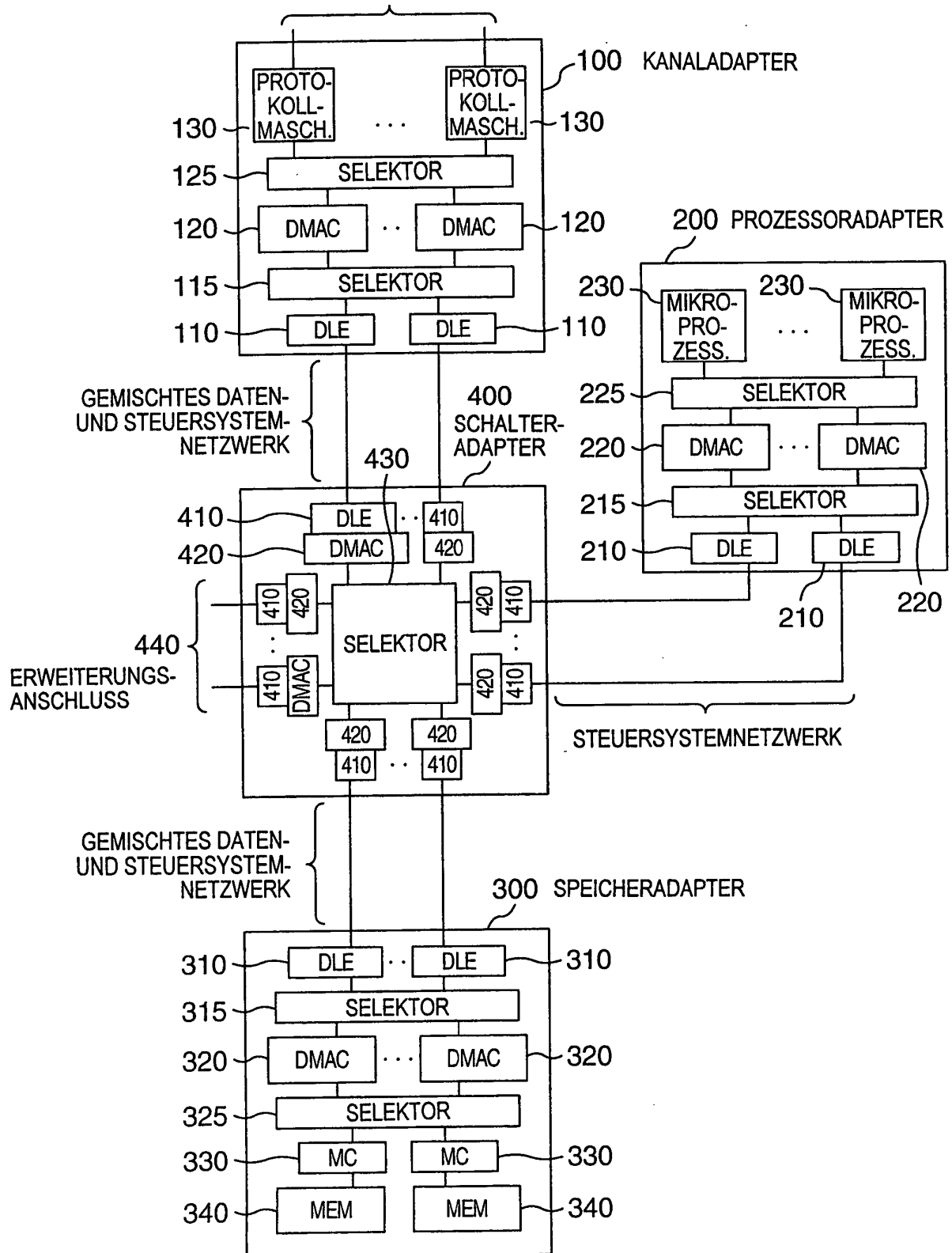
13. Speicherplattensteuerung nach Anspruch 12, wobei Erweiterungsanschlüsse des Schalteradapters der ersten Speicherplattensteuerung und/oder des Schalteradapters der zweiten Speicherplattensteuerung mit Erweiterungsanschlüssen eines weiteren Schalteradapters verbunden sind.

14. Speicherplattensteuerung nach Anspruch 1, wobei der Kanaladapter, der Speicheradapter, der Prozessoradapter und der Schalteradapter eine Daten-Link-Maschine zum Ausführen von DMA-Übertragungen zu und von dem inneren Netzwerk aufweisen.

15. Speicherplattensteuerung nach Anspruch 12, wobei der Kanaladapter der zweiten Speicherplattensteuerung mit dem Kanaladapter der ersten Speicherplattensteuerung verbunden ist.

Es folgen 16 Blatt Zeichnungen

140 VERBINDUNGSANSCHLÜSSE ZU HAUPT- COMPUTER ODER PLATTENLAUFWERKEN



SPEICHERPLATTENSTEUERUNG DER ERFINDUNG

FIG. 2

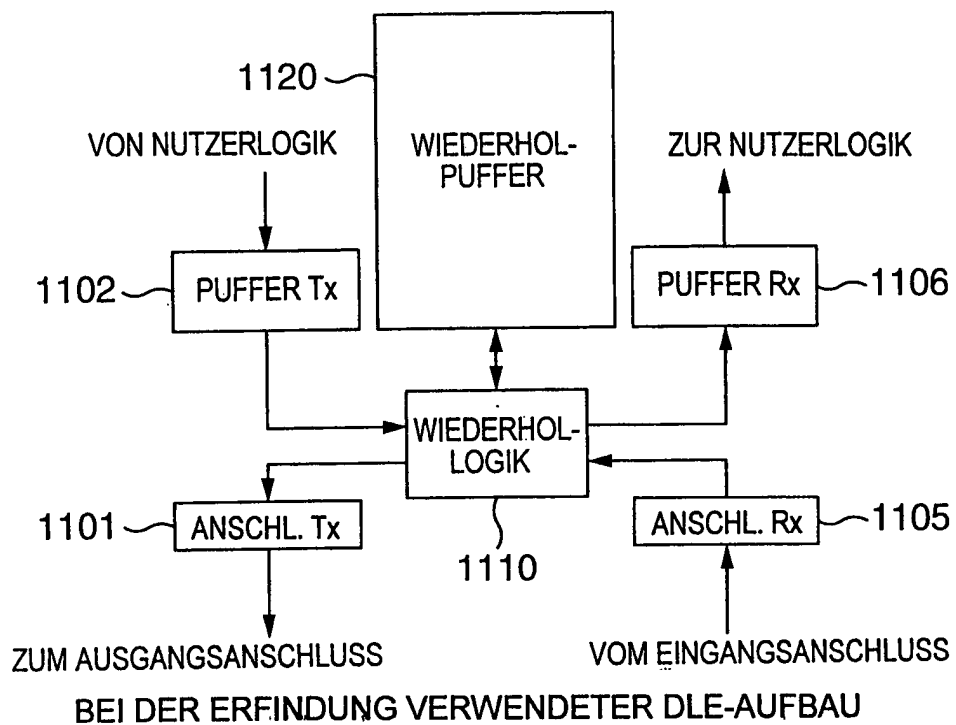


FIG. 3

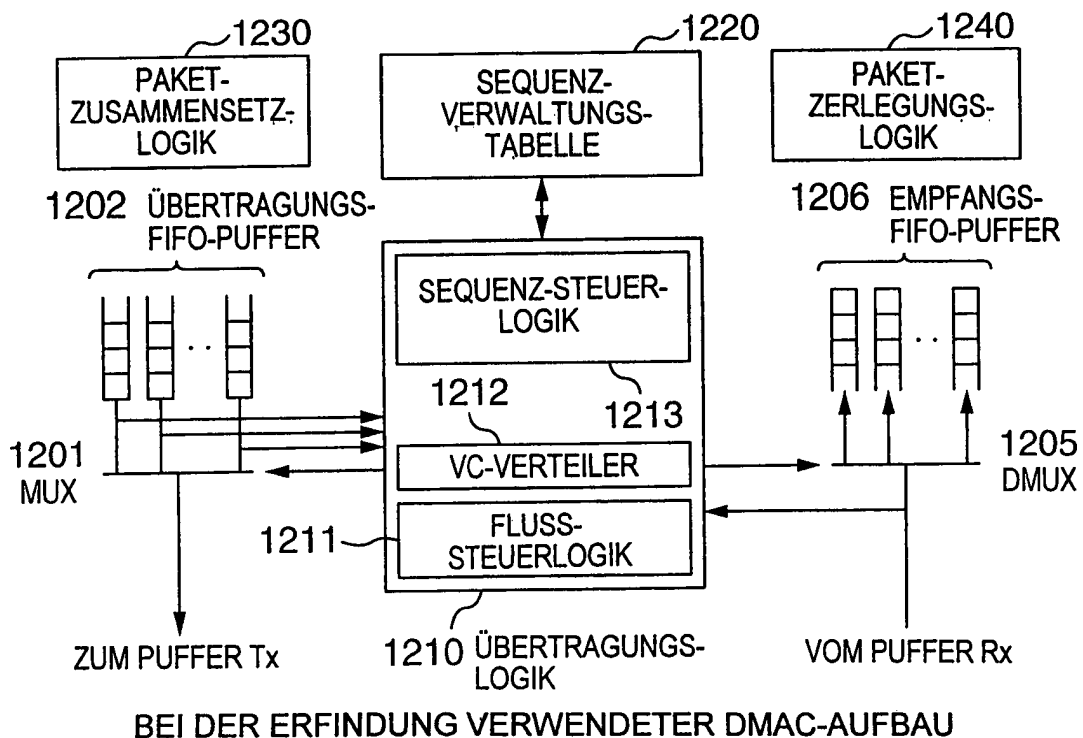
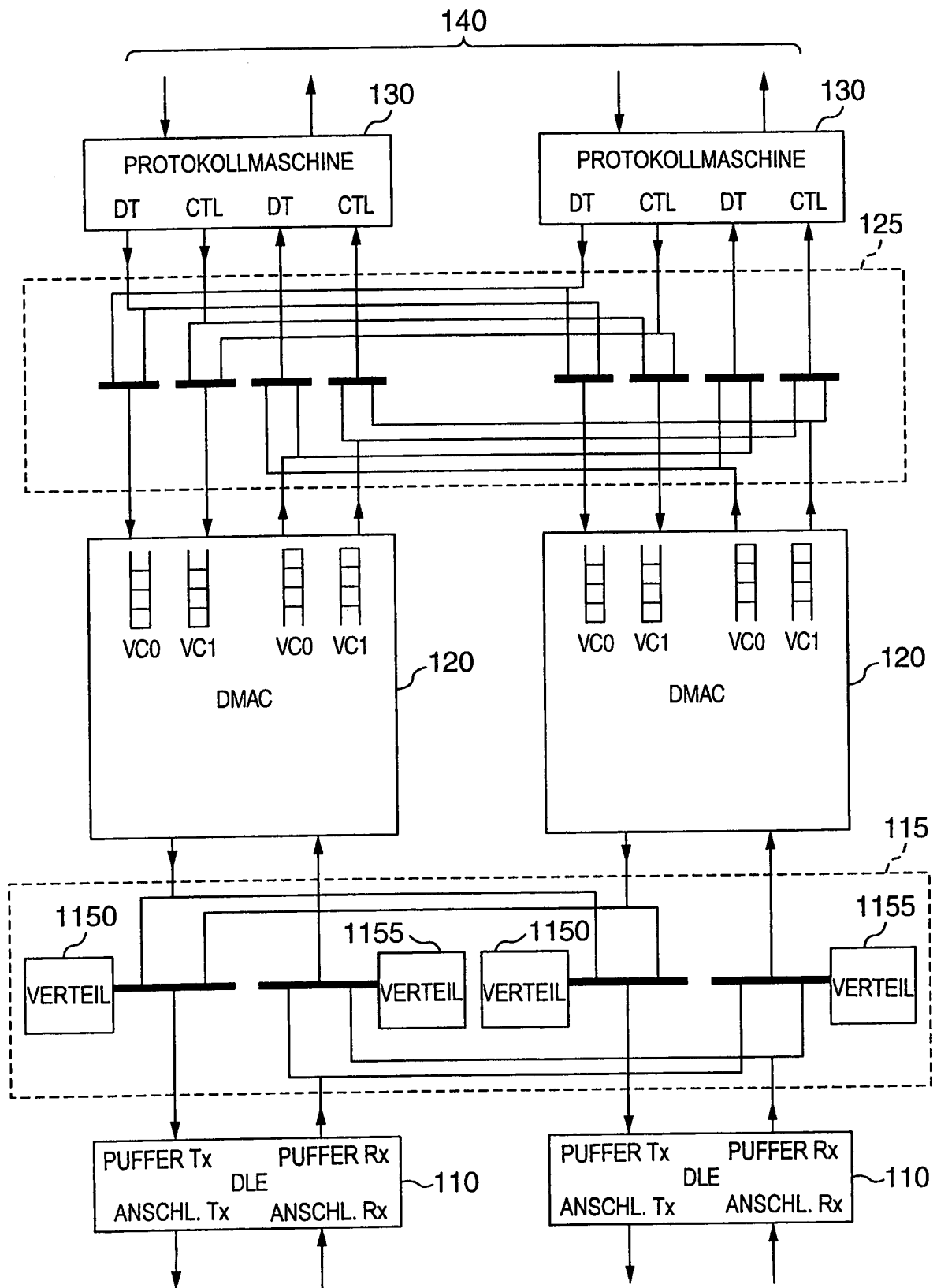
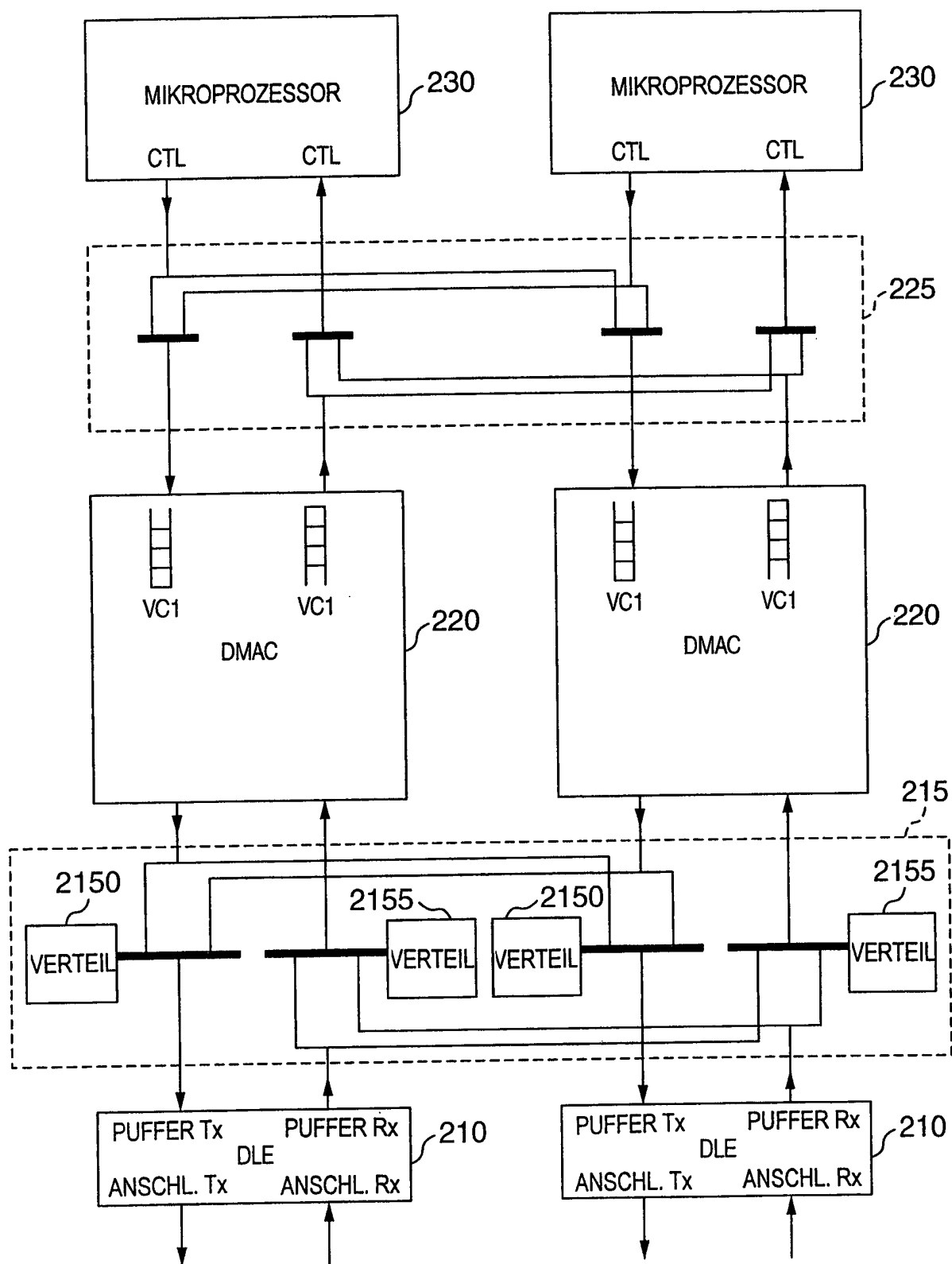


FIG. 4



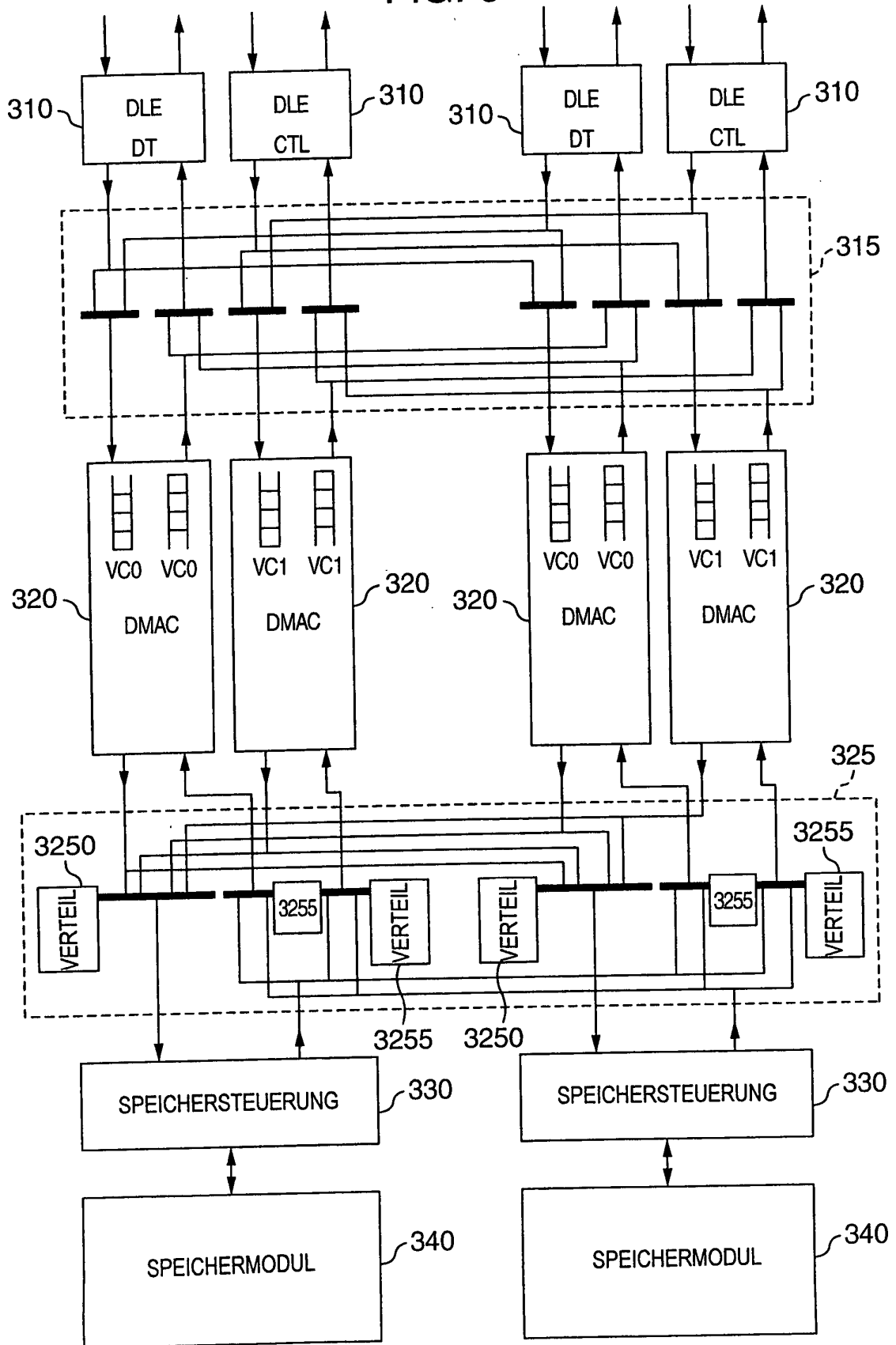
BEI DER ERFINDUNG VERWENDETER KANALADAPTERAUFBAU

FIG. 5



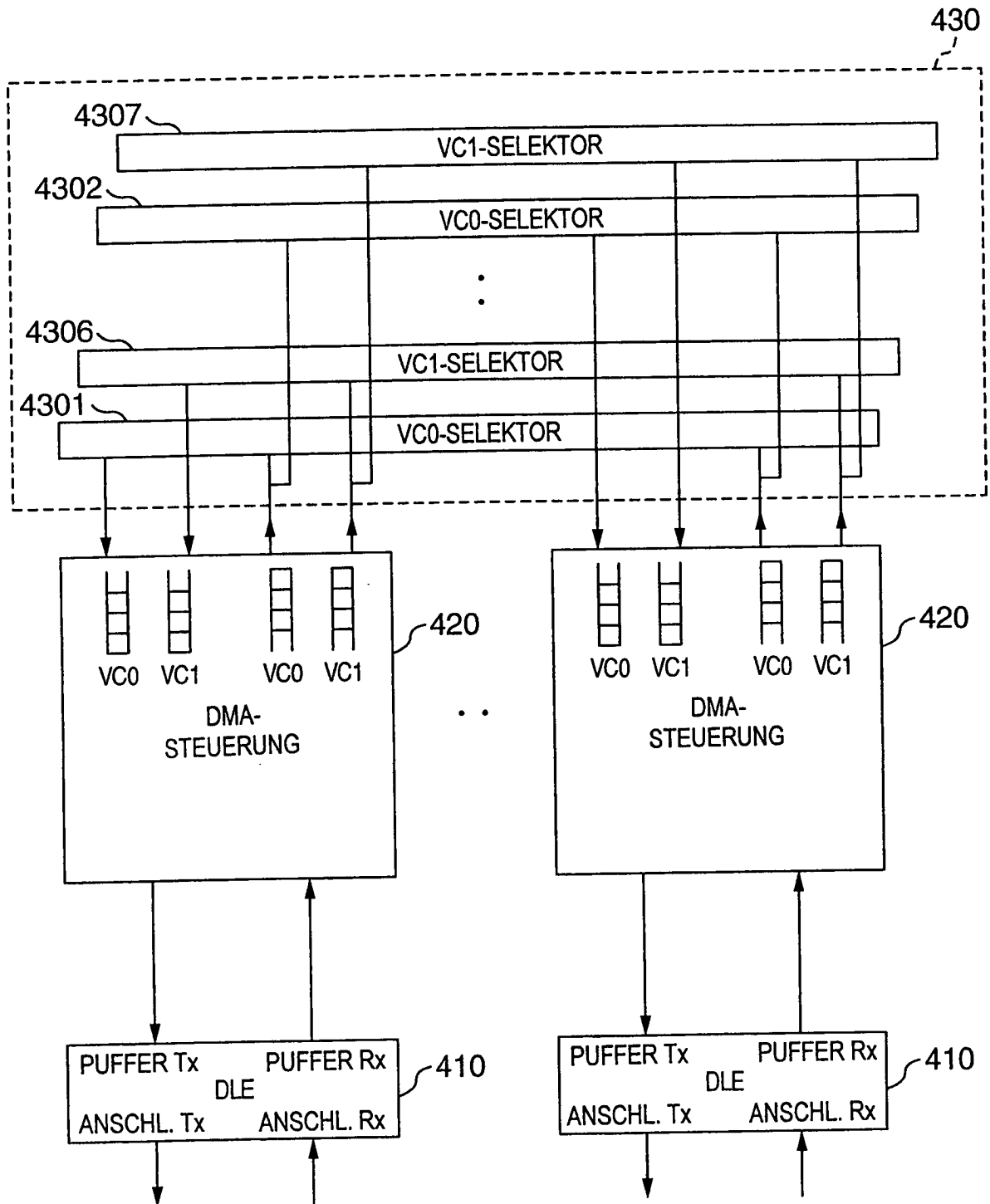
BEI DER ERFINDUNG VERWENDETER PROZESSORADAPTERAUFBAU

FIG. 6



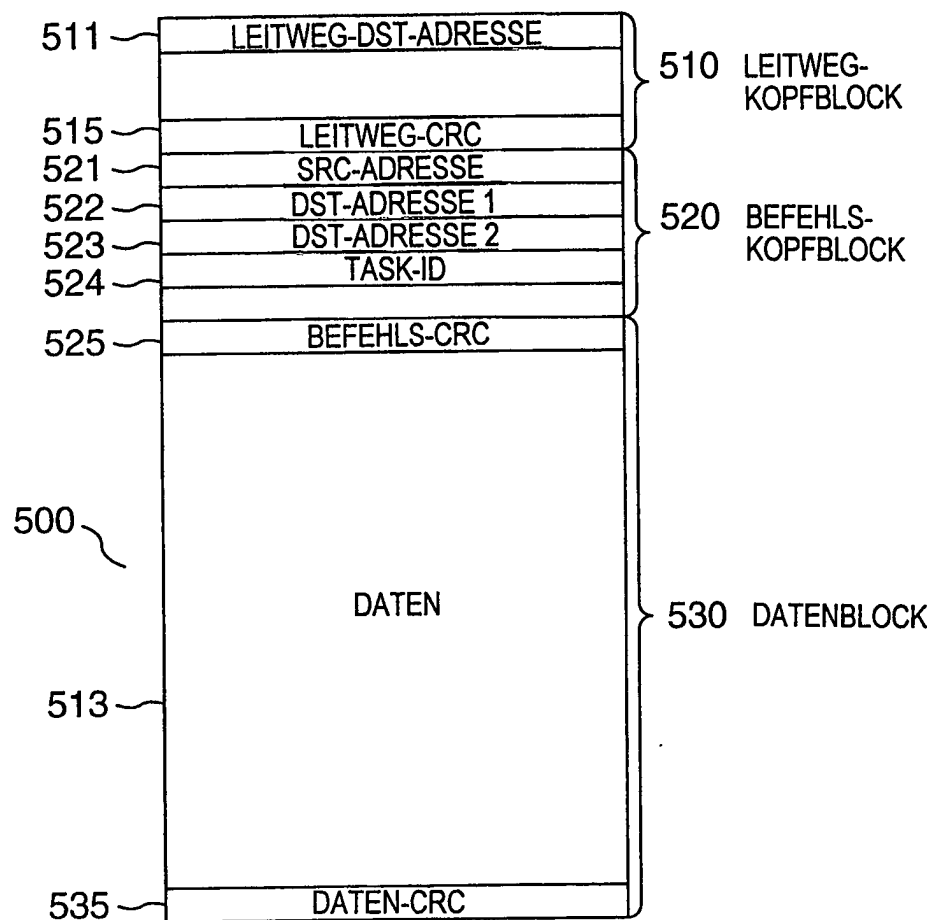
BEI DER ERFINDUNG VERWENDETER SPEICHERADAPTERAUFBAU

FIG. 7



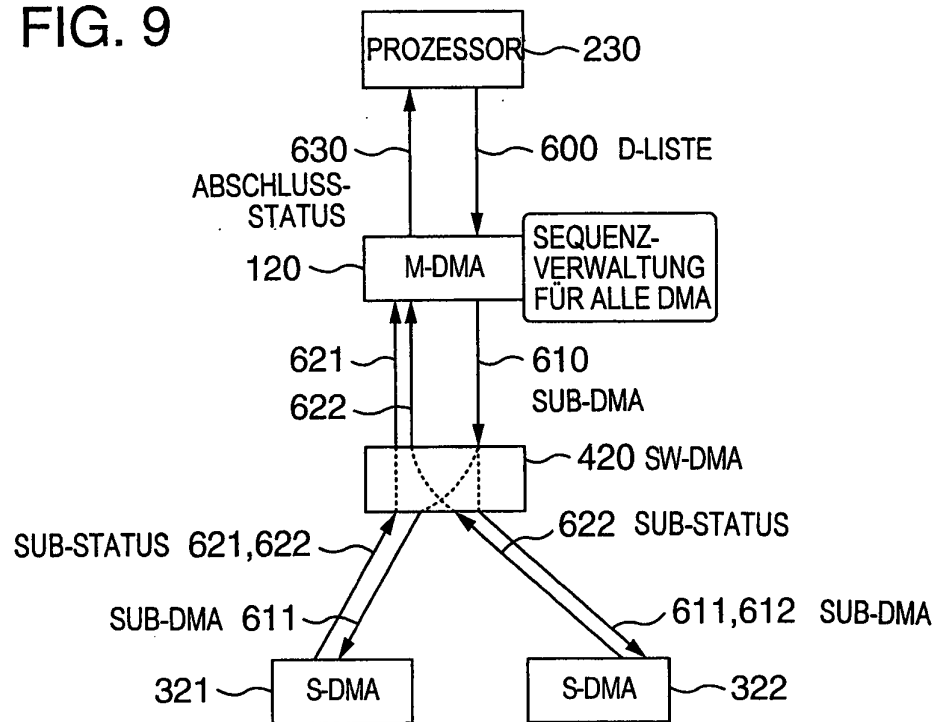
BEI DER ERFINDUNG VERWENDETER SCHALTERADAPTERAUFBAU

FIG. 8



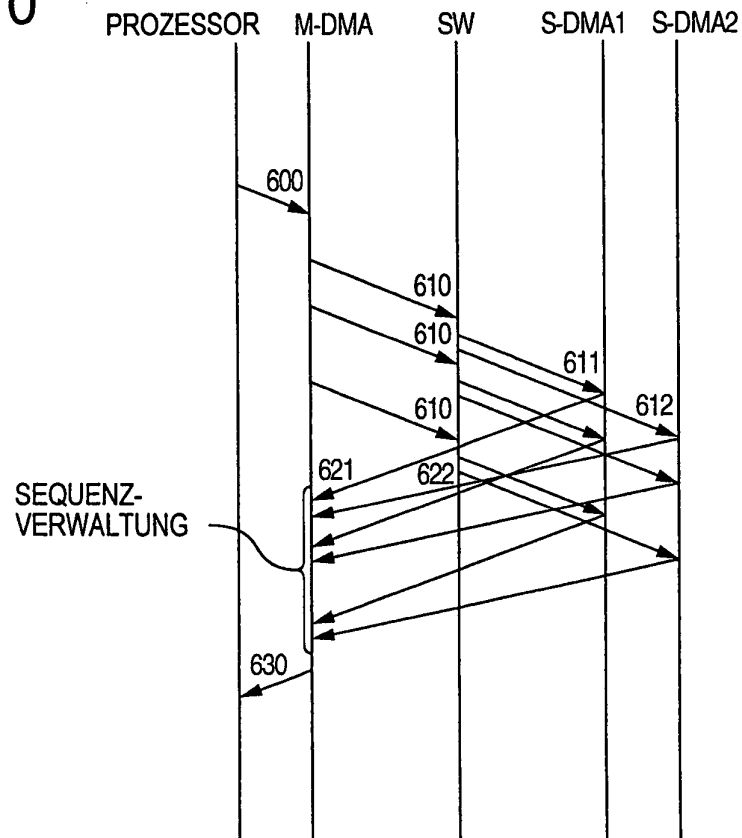
BEI DER ERFINDUNG VERWENDETE PAKETSTRUKTUR

FIG. 9



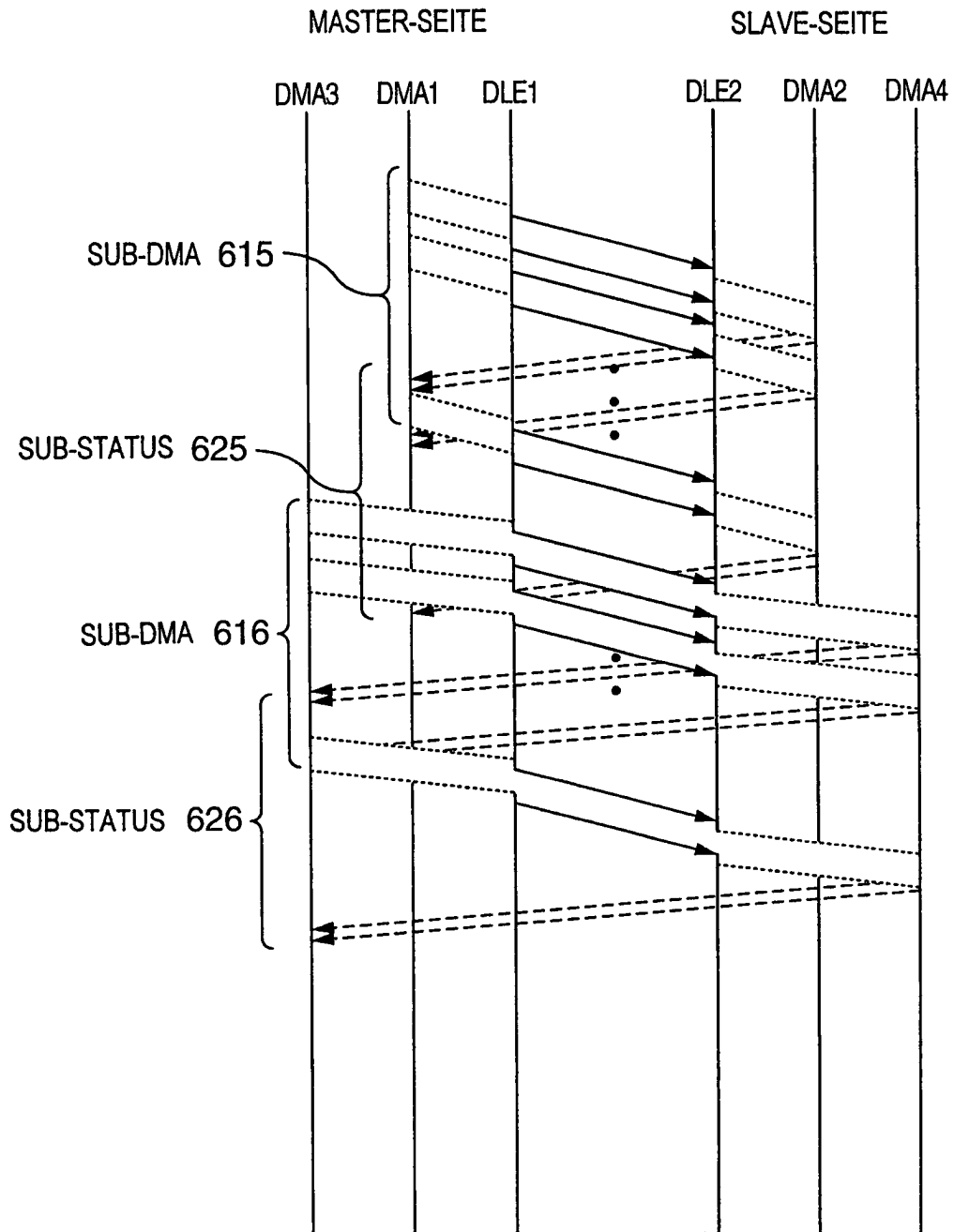
BEI DER ERFINDUNG VERWENDETER PAKETFLUSS

FIG. 10



BEI DER ERFINDUNG VERWENDETES PROTOKOLL

FIG. 11



ÜBERTRAGUNGSPROTOKOLL FÜR MULTIPLEXKOMMUNIKATION

FIG. 12

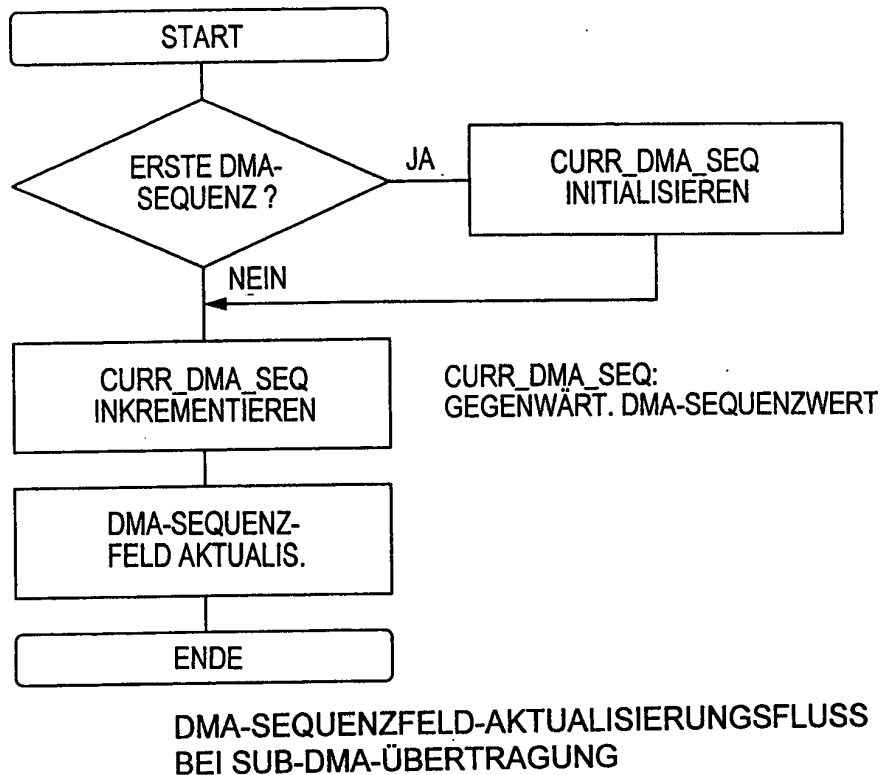


FIG. 13

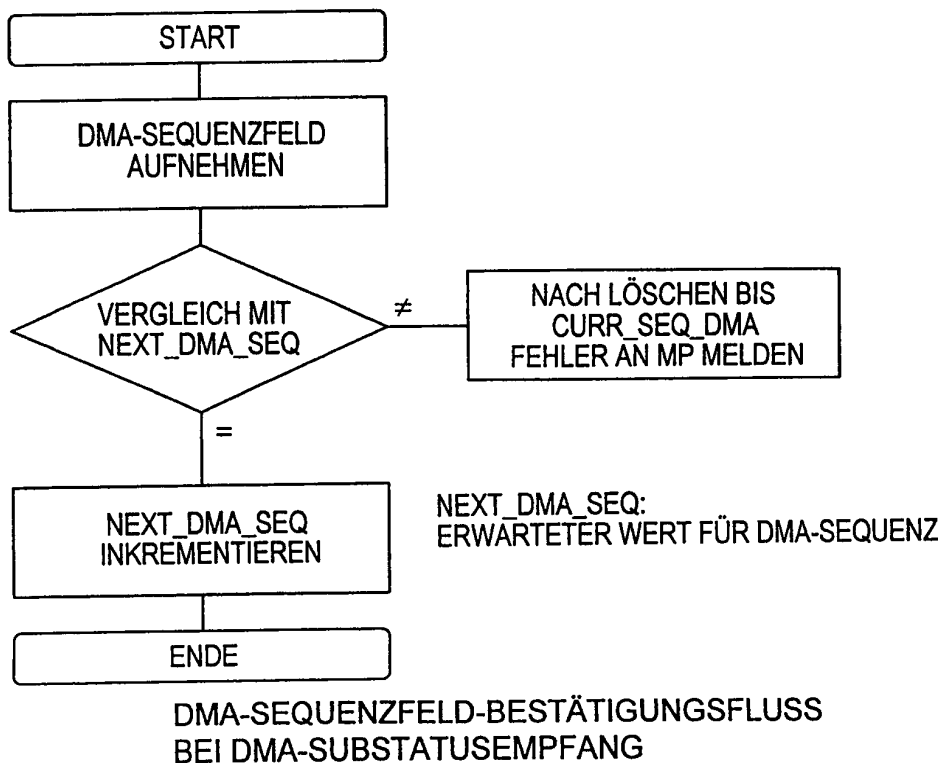
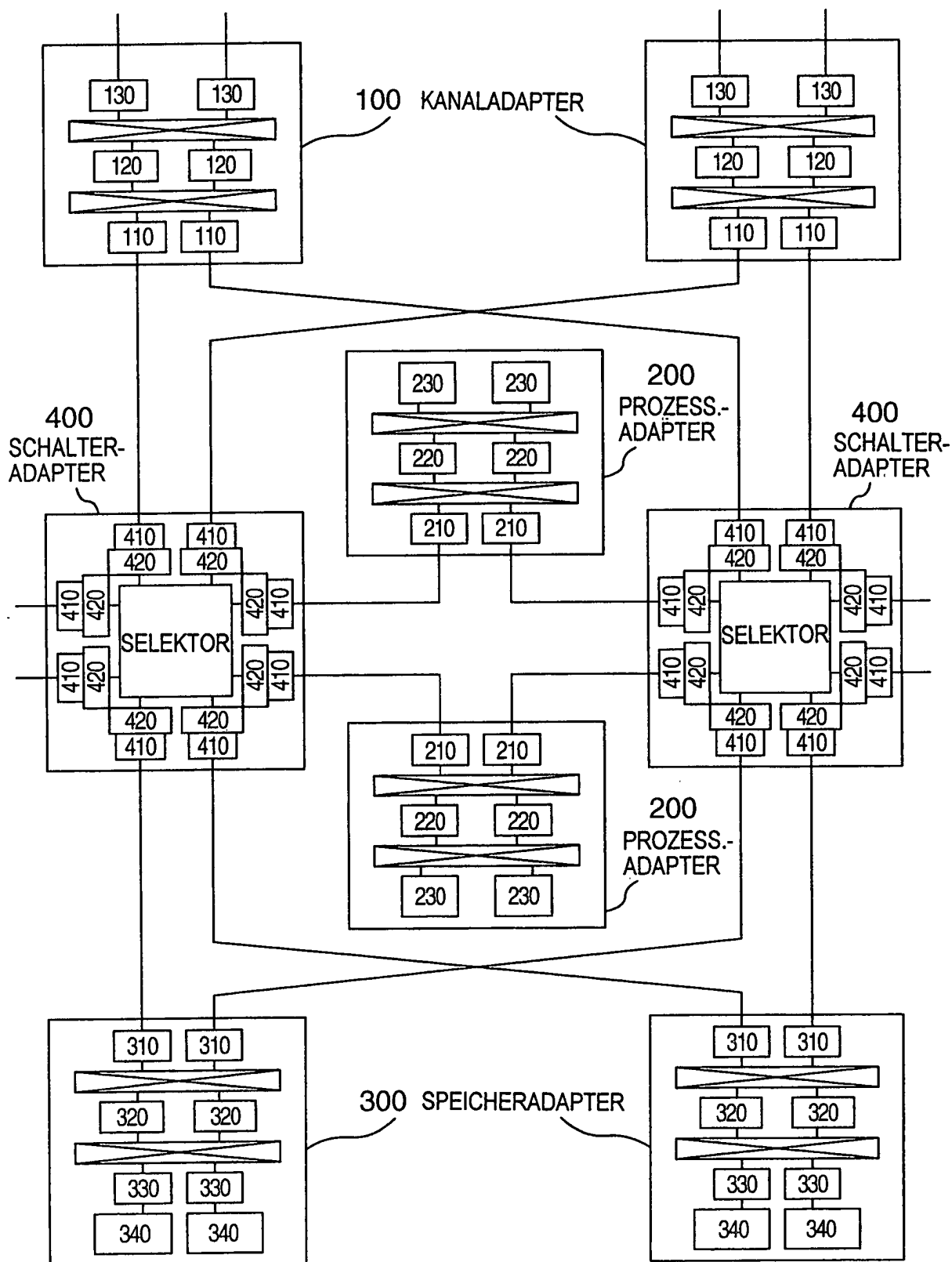
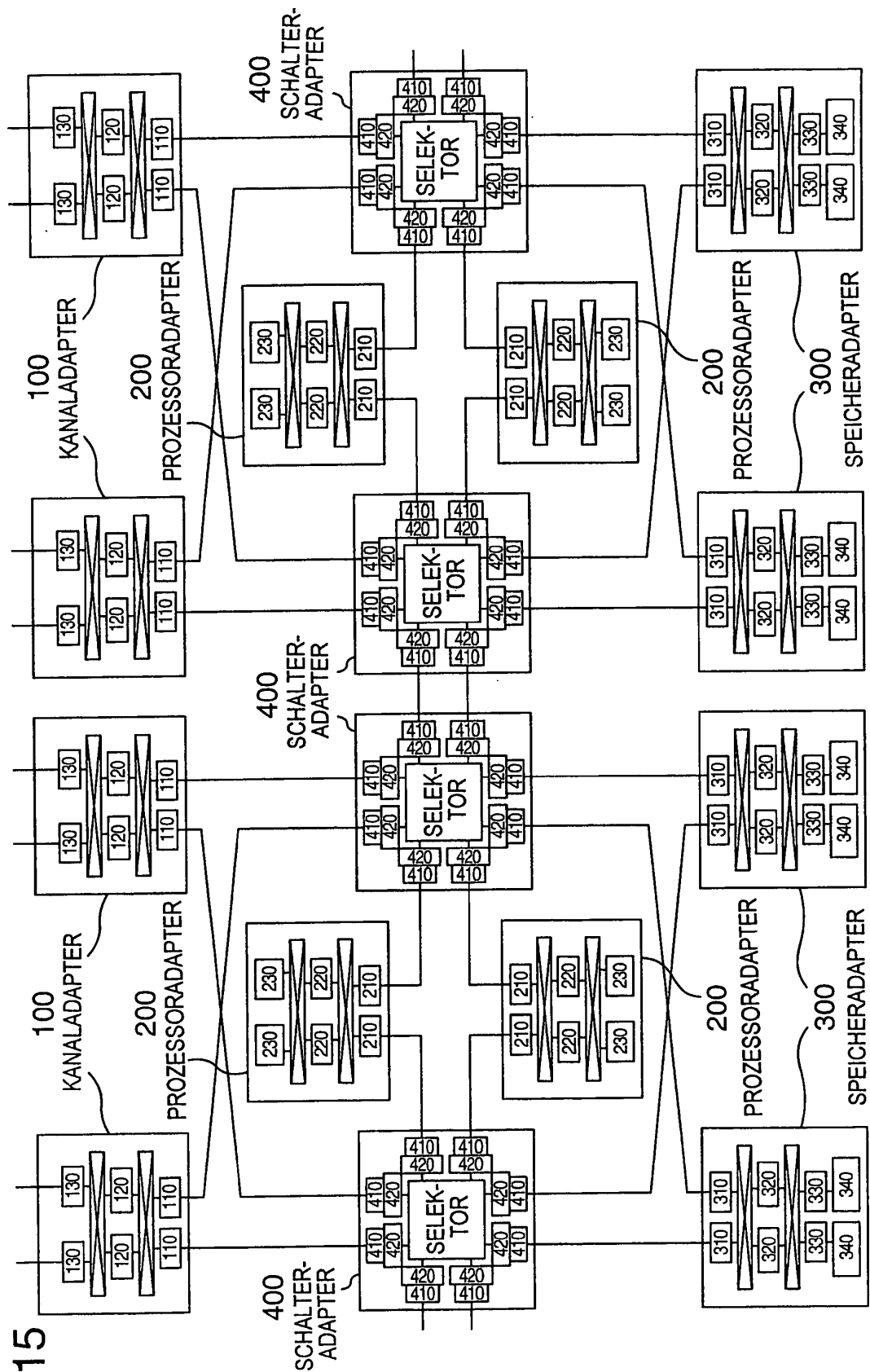


FIG. 14

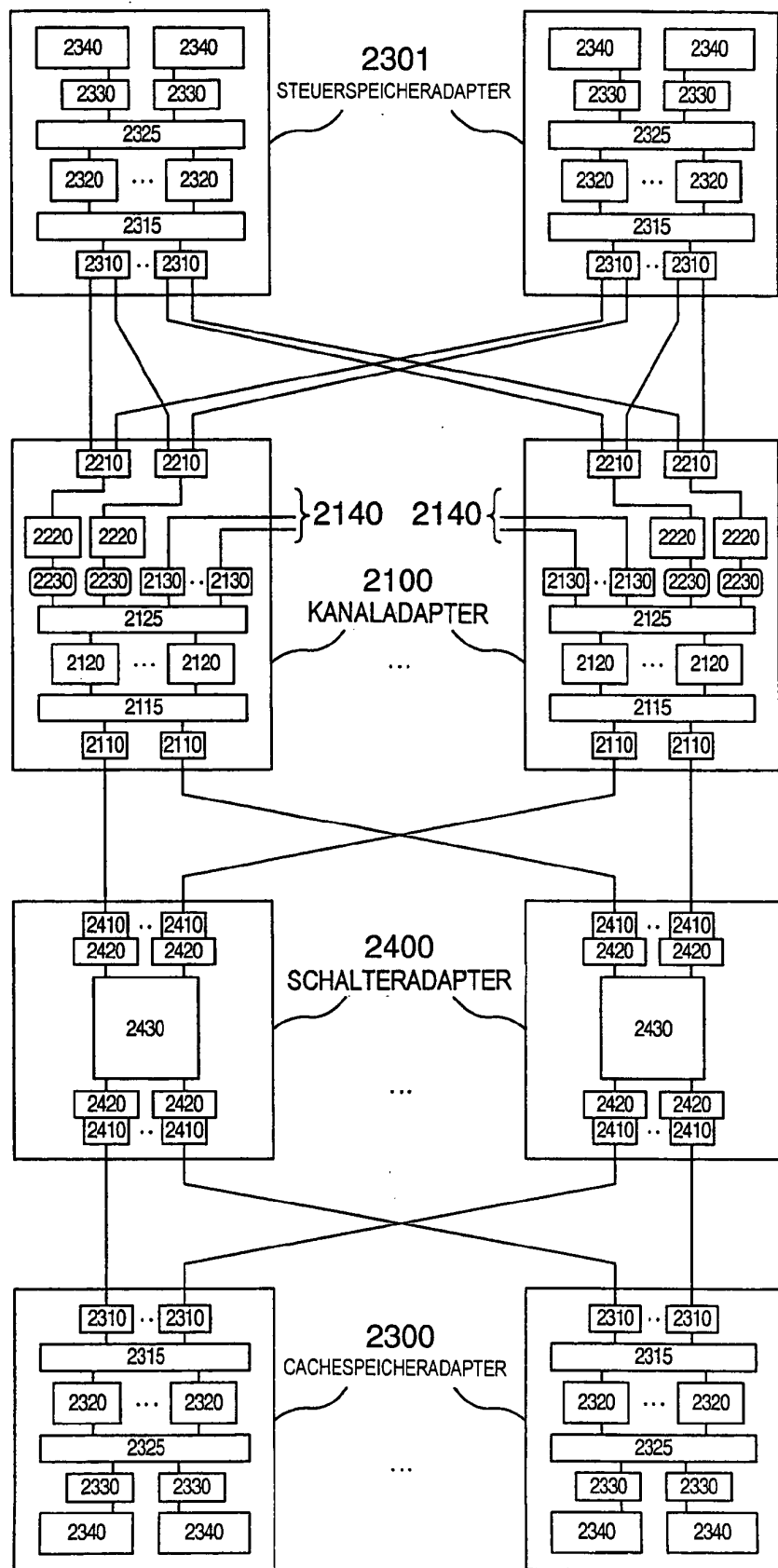


SPEICHERPLATTENSTEUERUNG DER ERFINDUNG



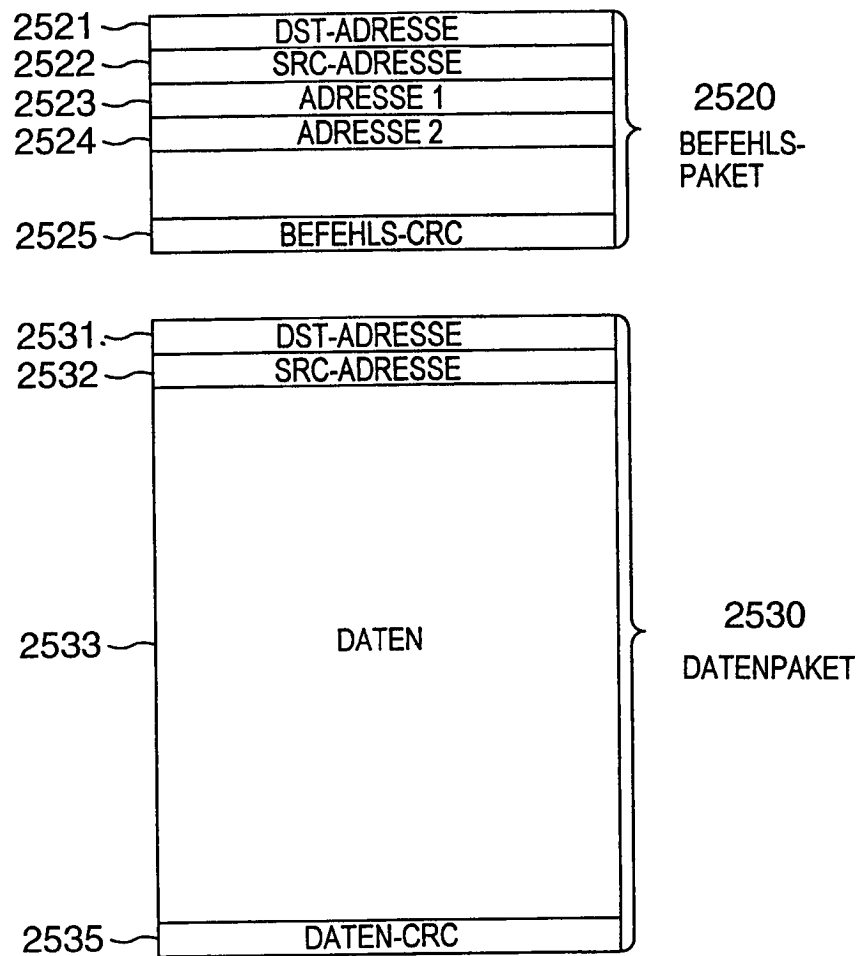
SPEICHERPLATTENSTEUERUNG DER ERFINDUNG

FIG. 16



NETZWERKKONFIGURATION BEI HERKÖMMLICHER SPEICHERPLATTENSTEUERUNG

FIG. 17



PAKETSTRUKTUR FÜR KOMMUNIKATIONSSYSTEM
VOM VERBINDUNGSTYP

FIG. 18

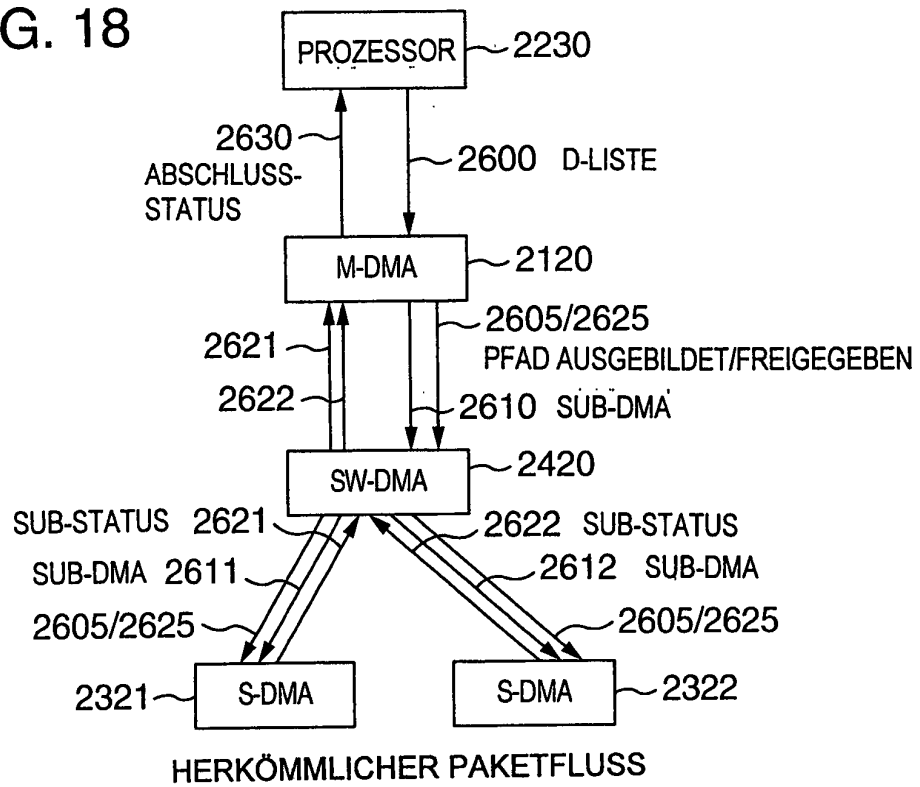


FIG. 19

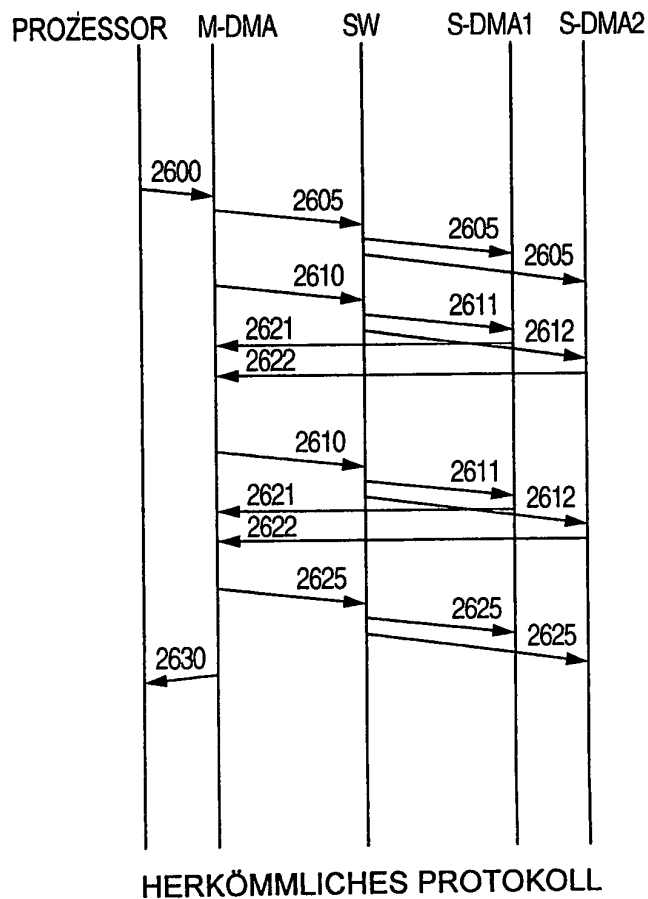
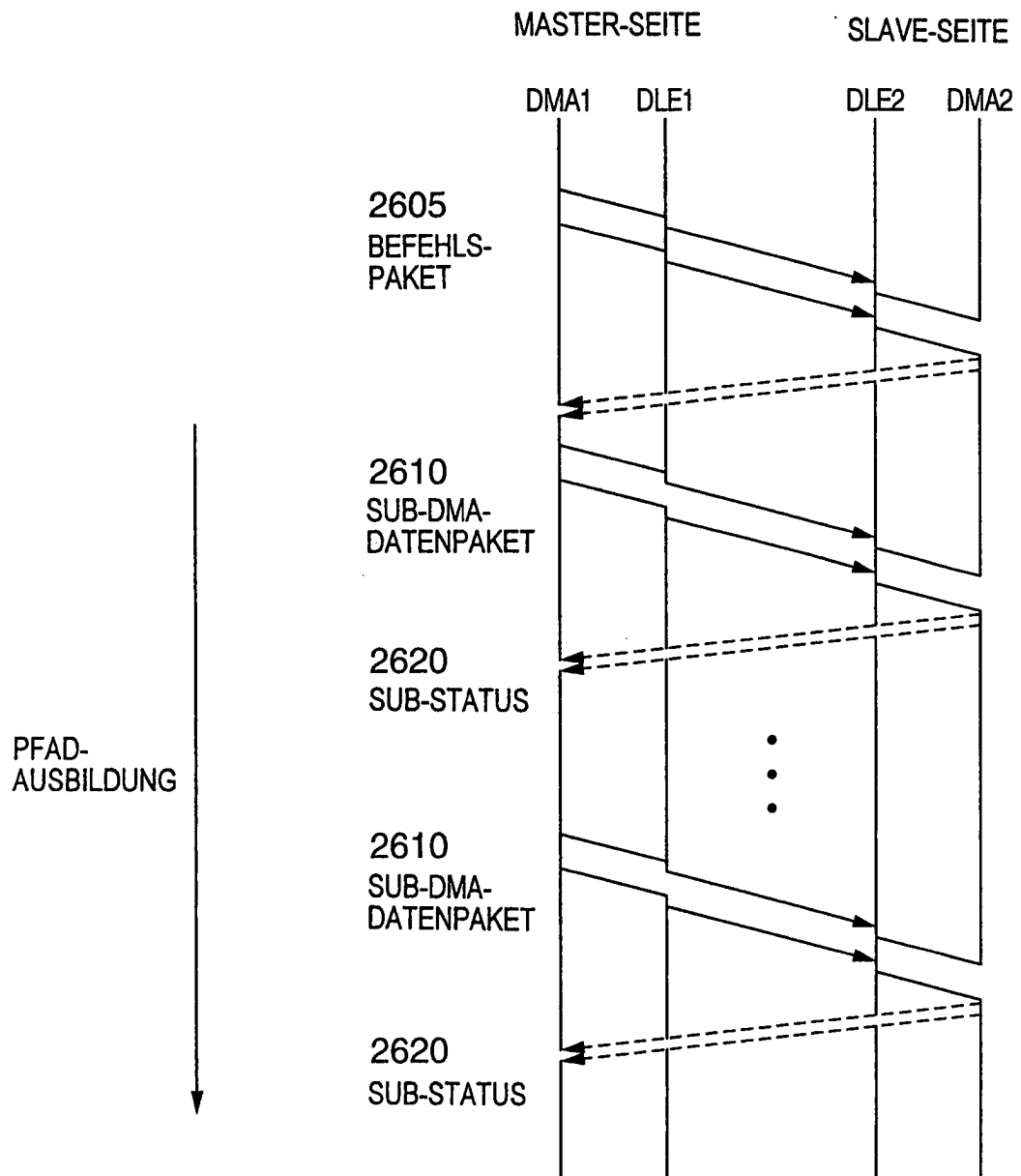


FIG. 20



ÜBERTRAGUNGSPROTOKOLL FÜR EINE NICHT-MULTIPLEX-KOMMUNIKATION