(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4985855号
(P4985855)

(45)発行日　平成24年7月25日(2012.7.25)　(24)登録日　平成24年5月11日(2012.5.11)

(51)Int.Cl.　　F I
H01L 29/78 (2006.01)　　H01L 29/78　301G
H01L 21/336 (2006.01)　　H01L 21/316　X
H01L 21/316 (2006.01)

請求項の数 7　(全 13 頁)

(21)出願番号　特願2011-4584(P2011-4584)
(22)出願日　平成23年1月13日(2011.1.13)
(62)分割の表示　特願2004-301462(P2004-301462)の分割
原出願日　平成16年10月15日(2004.10.15)
(65)公開番号　特開2011-103481(P2011-103481A)
(43)公開日　平成23年5月26日(2011.5.26)
審査請求日　平成23年1月18日(2011.1.18)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100088487
弁理士　松山　允之
(72)発明者　佐々木　隆興
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　須賀　亮介

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
シリコン基板上に高誘電率膜とゲート電極を形成する半導体装置の製造方法において、前記高誘電率膜形成後に４００℃以下の低温下でフッ素のリモートプラズマ処理を施し、その後のプロセス温度を６００℃以下で行うことを特徴とする半導体装置の製造方法。
【請求項２】
請求項１に記載の半導体装置の製造方法において、高誘電率膜と半導体基板の界面付近のフッ素の濃度が10^{20}／cm^3以上であることを特徴とする半導体装置の製造方法。
【請求項３】
請求項１又は２に記載の半導体装置の製造方法において、前記高誘電率膜形成後でありかつ前記リモートプラズマ処理前に、前記高誘電率膜上に絶縁膜を積層することを特徴とする半導体装置の製造方法。
【請求項４】
請求項１乃至３のいずれかに記載の半導体装置の製造方法において、前記高誘電率膜形成後、酸素プラズマ工程を行うことで前記シリコン基板と前記高誘電率膜との界面にSiO_2膜を形成し、前記SiO_2膜を形成その後に前記リモートプラズマ処理あるいは前記絶縁膜の積層及び前記リモートプラズマ処理をすることを特徴とする半導体装置の製造方法。
【請求項５】
請求項３又は４に記載の半導体装置の製造方法において、前記絶縁膜は、前記高誘電率

膜とは異種の絶縁膜であることを特徴とする半導体装置の製造方法。
【請求項６】
請求項３乃至５のいずれかに記載の半導体装置の製造方法において、前記絶縁膜は、シリコン酸化膜、シリコン窒化膜あるいはシリコン酸窒化膜であることを特徴とする半導体装置の製造方法。
【請求項７】
請求項１乃至６のいずれかに記載の半導体装置の製造方法において、前記シリコン基板は、不純物が注入されたシリコン基板であることを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置の製造方法に関するもので、詳しくは、絶縁ゲート電界効果トランジスタ（ＭＩＳＦＥＴ）用のゲート絶縁膜に高誘電率膜（Ｈｉｇｈ－ｋ膜）が適用される半導体装置の製造方法に関する。
【背景技術】
【０００２】
シリコン基板上に絶縁膜とゲート電極を形成した半導体装置において、絶縁膜にフッ素を添加することにより、シリコン基板との界面に存在するダングリングボンドを終端させることは、特許文献１に示されているが、電極形成前に低温でフッ素アニール処理を行う点が示されていない。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００１－２５７３４４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
メタルゲートは、通常、ｈｉｇｈ－ｋ膜に有利な材料であるが、ｈｉｇｈ－ｋ膜の成膜温度は、低い場合が多く、シリコン基板界面状態を良好にする熱工程を経ていないのが普通である。また、先にシリコン基板中にソースドレインを形成する工程（ダマシンゲートなどゲート後付けプロセス）では、サリサイドの形成（例えばＮｉＳｉでは５００℃未満）を行った後に、本来の絶縁膜を形成する場合が多く、これも高温化を適用できない一つの要因となっている。
【０００５】
このように、低温化に伴い、シリコン基板の界面の状態が熱工程で回復せず、界面準位が多いことが避けて通れない。これを低減する方法として、水素アニール工程を行うことが挙げられるが、水素や重水素ではその回復の度合いが温度で制限されてしまい、例えば配線形成後に行うシンターリング工程では約５００℃未満で、大きな効果が期待できない。
【０００６】
また、水素は界面付近に存在する場合、ＮＢＴＩ（Negative Bias Temperature Instability）をより悪化させると言われており、信頼性に対する影響が大きい。また、イオン注入でフッ素を導入する方法については、例えばゲート後付け工程（ダマシンゲートプロセスなど）を経る場合、十分に界面にフッ素を導入することが困難である。
【０００７】
以上のように、シリコン基板の界面の改質に必要な高温化の導入不可能、シンターの限界があることから、デバイスへ与える影響は計り知れないものがある。界面準位の増加に伴い、例えば移動度の劣化、ＢＴストレス耐性の低減など、深刻な問題が存在する。
【０００８】
本発明は、上述の事情に鑑みてなされたもので、ＭＩＳＦＥＴにおいてｈｉｇｈ－ｋ膜

を含むゲート絶縁膜（高誘電体ゲート絶縁膜）にフッ素を低温下で導入し、高性能なＭＩＳＦＥＴを可能にする半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【０００９】

上記課題を解決するために、半導体装置の製造方法にかかる第１の発明は、シリコン基板上にｈｉｇｈ－ｋ膜とゲート電極を形成する半導体装置の製造方法において、ｈｉｇｈ－ｋ膜形成後に４００℃以下の低温下でフッ素のリモートプラズマ処理を施し、その後のプロセス温度を６００℃以下で行うという構成を有している。

【００１０】

そして、半導体装置の製造方法にかかる第２の発明は、シリコン基板上にｈｉｇｈ－ｋ膜とゲート電極を形成する半導体装置の製造方法において、ｈｉｇｈ－ｋ膜形成後にｈｉｇｈ－ｋ膜に積層した極薄絶縁膜を形成し、上記ｈｉｇｈ－ｋ膜と極薄絶縁膜の界面領域にフッ素を含有させるという構成を有している。

【発明の効果】

【００１１】

本発明は、シリコン基板と高誘電体ゲート絶縁膜の界面および高誘電体ゲート絶縁膜の膜質を改質して、ＭＩＳＦＥＴの特性の向上を図ることができる。

【図面の簡単な説明】

【００１２】

【図１】ウエル注入時の半導体装置の断面図
【図２】ダミーゲート形成時の半導体装置の断面図
【図３】ダミーゲート加工とイオン注入時の半導体装置の断面図
【図４】サリサイド形成後の半導体装置の断面図
【図５】ＣＭＰ後、ダミーゲート除去工程時の半導体装置の断面図
【図６】ｈｉｇｈ－ｋ膜形成時の半導体装置の断面図
【図７】実施の形態１におけるF_2アニール工程時の半導体装置の断面図
【図８】実施の形態１におけるメタル電極とコンタクト形成時の半導体装置の断面図
【図９】フッ素系ガス処理による移動度の改善例を示すグラフの図
【図１０】フッ素系ガス処理によるＶｔｈと界面準位の改善例を示すグラフの図
【図１１】実施の形態１におけるシリコン基板とゲート絶縁膜の界面付近のフッ素分布図
【図１２】実施の形態２におけるSiO_2界面形成膜形成時の半導体装置の断面図
【図１３】実施の形態２における極薄絶縁膜形成時の半導体装置の断面図
【図１４】実施の形態２におけるF_2アニール工程時の半導体装置の断面図
【図１５】実施の形態２におけるメタル電極とコンタクト形成時の半導体装置の断面図
【図１６】フッ素系ガス処理によるゲート絶縁膜の改善例を示すグラフの図
【図１７】実施の形態２におけるシリコン基板とゲート絶縁膜の界面付近のフッ素分布図

【発明を実施するための形態】

【００１３】

以下に、図面を参照して本発明の実施の形態の幾つかを詳細に説明する。

（実施の形態１）

はじめに、本発明の実施の形態１を図１～図８を参照して説明する。まず、図１に示す通り、シリコン基板１１にＳＴＩ（shallow trench isolation）１２を形成し、更に、犠牲酸化膜１３を形成する。犠牲酸化膜１３を介してウエル（Well）インプラ注入１４を行う。次に、犠牲酸化膜１３をエッチング除去し、その後、酸化膜形成前の洗浄処理を行う。

【００１４】

次に、図２に示す通り、シリコン基板１１表面に任意の厚さのダミーゲート絶縁膜１５を形成後、アモルファス或いはポリ状のシリコン膜、或いはシリコンゲルマニウム膜のダミーゲート電極１６を堆積させる。

【００１５】

次に、図３に示す通り、ダミーゲート電極１６を加工後、エクステンション層１１１ａ及びハロー用の不純物をイオン注入し、更に、サイドウォール１８を形成し、ソースドレイン用の不純物をイオン注入して、活性化アニールを施す。活性化アニールは、例えば約１０５０℃で数秒間のスパイクアニール（ｓｐｉｋｅアニール）とする。このようにして、浅接合のソースドレイン拡散層１１１を形成する。ここで、エクステンション層１１１ａとソースドレイン拡散層１１１は同導電型の拡散層であり、ハローは逆導電型の拡散層となる。

【００１６】

上記ソースドレイン拡散層１１１等を浅接合に形成する活性化アニールは、その他に、フラッシュランプアニール、レーザーアニール等のような低サーマルバジェットによる熱処理がある。ここで、フラッシュランプアニールにおいては、可視域から近赤外線域までの広い範囲に発光波長を有している白色光のキセノン（Ｘｅ）フラッシュランプを用いるとよい。このＸｅフラッシュランプは、数１００μ秒～数１０ｍ秒という極めて短時間の発光が可能な光源であり、その処理温度４５０～６００℃、処理時間１０ｍ秒程度で上記活性化アニールをすることができる。

【００１７】

その後、図４に示す通り、例えばＣｏ、Ｎｉなどの金属膜をスパッタ法で成膜し、公知のサリサイド技術によりソースドレイン拡散層１１１表面にシリサイド層１９を低温で形成する。

【００１８】

次に、図５に示す通り、窒化膜２０１と酸化膜２０２の層間膜２０を形成する。下地の窒化膜２０１をストッパにＣＭＰ（Chemical Mechanical Polishing）を施し、アモルファス或いはポリ状のシリコン膜、或いはシリコンゲルマニウム膜のダミーゲート電極１６を露出させ、ダミーゲート電極１６をエッチングで除去し、シリコン基板１１を露出させる。

【００１９】

その後、図６に示す通り、例えばHfO_2などのＨｉｇｈ－ｋ材料をＡＬＤ（Atomic Layer Deposition）或いはＭＯＣＶＤ法（Metal Organic Chemical Vapor Deposition）で堆積し、上記露出したシリコン基板１１表面および層間膜２０表面を被覆するｈｉｇｈ－ｋ膜２１を形成する。このようにして、高誘電体ゲート絶縁膜を構成する絶縁膜として、シリコン基板１１上直にｈｉｇｈ－ｋ膜２１が形成される。

【００２０】

ここで、ｈｉｇｈ－ｋ膜２１としては、上述したところのHfO_2の他にZrO_2といった金属酸化物や、ＨｆＳｉＯｘ、ＺｒＳｉＯｘといった金属シリケート、ＨｆＡｌＯｘ、ＺｒＡｌＯｘといった金属アルミネート、La_2O_3、Y_2O_3等のランタノイド系元素の酸化物を主体とした高誘電率膜材料で構成すると好適である。そして、上記高誘電率膜材料から成るＨｉｇｈ－ｋ膜のうち２種類以上の絶縁膜を選択し積層した積層構造の絶縁膜を用いてもよい。

【００２１】

この後、図７に示す通り、酸素雰囲気でプラズマ処理を施し、ｈｉｇｈ－ｋ膜２１中の酸素欠損を補う。この処理により同時にシリコン基板１１とｈｉｇｈ－ｋ膜２１の界面にSiO_2界面形成膜２２が形成される。このSiO_2界面形成膜２２は、４００℃程度でサブナノメータ程度の膜厚に形成される。

【００２２】

以上のようにして、高誘電体ゲート絶縁膜を構成するｈｉｇｈ－ｋ膜２１とSiO_2界面形成膜２２を形成後、フッ素を界面に導入する目的で、F_2の雰囲気（窒素との混合比で１ｖｏｌ．％から１０ｖｏｌ．％程度の濃度に希釈した雰囲気）中で、１００℃から４００℃まで昇温し、１分から１０分程度保持したプロセスを経てF_2アニール２３を施す。このプロセスを取ることにより、フッ素添加時に特別なアニール処理を行わない。この処理によってｈｉｇｈ－ｋ膜２１、SiO_2界面形成膜２２中、そして特にシリコン基板

１１との界面付近に多くのフッ素が局在する状態を実現できる（図１１参照）。この界面には、10^{20}／cm^3以上の量のフッ素が存在する。

【００２３】

フッ素を導入するガス雰囲気としてF_2を挙げたが、これはフッ素を含有する例えばフロロカーボン系ガス（CF_4、C_2F_6、C_3F_8、C_4F_8、C_4F_4、C_4F_6、C_5F_8）やトリフルオロメタン（CHF_3）、ジフルオロメタン（CH_2F_2）、六フッ化硫黄（SF_6）、三フッ化窒素（NF_3）、三フッ化塩素（ClF_3）でも同様の効果が確認されている。但し、４００℃以下の低温で実現するためには、F_2が望ましい。

【００２４】

あるいは、上記NF_3ガス、F_2ガスをプラズマ励起し、このプラズマ励起で生成するフッ素の活性種の中でイオン種を除き、フッ素の中性ラジカルを上記ｈｉｇｈ－ｋ膜２１表面に照射する、いわゆるフッ素のリモートプラズマ処理を施してもよい。この場合も、４００℃以下の低温下にて、ｈｉｇｈ－ｋ膜２１、SiO_2界面形成膜２２中、及びシリコン基板１１との界面付近に多くのフッ素を導入させることができる。

【００２５】

この後、図８に示す通り、例えばＴｉＮまたはWなどのメタル膜をＣＶＤ法等で成膜し、公知のドライエッチング技術で加工してゲート電極２４を形成し、ソースドレインのコンタクト２５を形成し、配線材料工程を経て、例えばW、Ａｌを用いて任意の回路を構成する。メタルゲート電極の形成など、ｈｉｇｈ－ｋ膜２１形成後のプロセスは、６００℃以下の低温で行われる。このように６００℃以下の低温のプロセスにすることにより、高誘電体ゲート絶縁膜に含有されるフッ素の活性化は抑制されて安定化し、高品質の高誘電体ゲート絶縁膜および界面が得られるようになる。また、このように低温プロセスにすることで、ｈｉｇｈ－ｋ膜２１の膜質劣化、シリサイド層１９の凝集等の問題は皆無になる。

【００２６】

上記ゲート電極２４としては、ＴｉＮの他に、ＺｒＮｘ、ＨｆＮｘ、ＶＮｘ、ＮｂＮｘ、ＴａＮｘ、ＭｏＮｘ、ＷＮｘ、あるいはＴｉＳｉｘＮｙ、ＺｒＳｉｘＮｙ、ＨｆＳｉｘＮｙ、ＶＳｉｘＮｙ、ＮｂＳｉｘＮｙ、ＴａＳｉｘＮｙ、ＭｏＳｉｘＮｙ、ＷＳｉｘＮｙ等の導電体膜材料またはそれらの積層した材料を用いることができる。あるいは、Ｔｉ、Ｚｒ、Ｈｆ、Ｖ、Ｎｂ、Ｔａ、Ｍｏ、Wなどの金属、ＴｉＳｉｘ、ＺｒＳｉｘ、ＨｆＳｉｘ、ＶＳｉｘ、ＮｂＳｉｘ、ＴａＳｉｘ、ＭｏＳｉｘ、ＷＳｉｘ、ＮｉＳｉｘ、ＣｏＳｉｘなどの金属珪化物、ＴｉＣｘ、ＺｒＣｘ、ＨｆＣｘ、ＶＣｘ、ＮｂＣｘ、ＴａＣｘ、ＭｏＣｘ、ＷＣｘなどの金属炭化物から成る導電体膜材料またはそれらの積層した材料を用いることができる。また、上記Wの代わりにＡｌやＡｌ合金、ＣｕやＣｕ合金等を用いることができる。

【００２７】

次に、上記実施の形態１の一実施例における効果について説明する。

フッ素処理をしたＭＩＳＦＥＴについて、ゲート領域は、Ｗ／ＴｉＮ／HfO_2（膜厚２．５ｎｍ）／SiO_2（膜厚０．５ｎｍ）の構造に形成され、その形成工程の順序は、図１～図８の通りである。ここで、上記フッ素ガスの処理により、高誘電体ゲート絶縁膜中のフッ素分布は図１１に示すようになる。そして、ダミーゲート時のソースドレイン拡散層の活性化アニールは、１０００℃、３秒程度であり、最終的なシンターは４００℃である。また、フッ処理をしないＭＩＳＦＥＴは、フッ素アニール工程のみを行わず、その他の工程は同じである。

【００２８】

図９は、上記フッ素処理をした場合と、処理をしない場合のＭＩＳＦＥＴの移動度を示している。横軸が電界の強さ（Ｅeff（ＭＶ／ｃｍ））を示し、縦軸が移動度（μ（cm^2／Ｖｓ））を示している。図９（Ａ）は、Ｎ型ＭＩＳＦＥＴの移動度を示し、図９（Ｂ）は、Ｐ型ＭＩＳＦＥＴの移動度を示している。Ｎ型もＰ型もともにフッ素処理により移動度が向上している。Ｎ型ＭＩＳＦＥＴは、Ｐ型ＭＩＳＦＥＴより電界（横軸）全般に亘

って移動度が向上しており、フッ素処理による効果がより多く得られていることを示している。

【００２９】

図１０は、横軸の右部がフッ素系ガス処理を行った場合を示し、左部がフッ素系ガス処理を行わない場合を示している。右側の縦軸が界面準位（Ｄｉｔ（ｃｍ$^{-2}$ｅＶ$^{-1}$））を示し、左側の縦軸がＮＢＴＩ（Negative Bias Temperature Instability）（ΔＶｔｈ（Ｖ））を示している。白丸がＮ型ＭＩＳＦＥＴを示し、黒丸がＰ型ＭＩＳＦＥＴを示している。折れ線グラフは、右側の縦軸を利用し、Ｎ型とＰ型のＭＩＳＦＥＴの界面準位の相違を示している。棒グラフは、左側の縦軸を利用し、フッ素系ガス処理による、しきい値の変動を示している。

【００３０】

図１０に示す通り、Ｎ型もＰ型も、フッ素系ガス処理により、界面準位が低下しており、大きく改善していることが読み取れる。特に、Ｎ型の界面準位がＰ型より小さいことが分かる。また、フッ素系ガス処理により、しきい値の変動が小さくなっていることを示している。この結果、ＢＴストレスを印加した場合、デバイスの信頼性の差も明らかであり、デバイス特性と信頼性の両方を同時に満足できることが確認される。

【００３１】

図１１は、シリコン基板１１とゲート絶縁膜２１、２２との界面付近のフッ素の導入量を示しており、界面付近のフッ素の導入量は、１×１０^{20}／ｃｍ^{3}以上を示している。これにより、フッ素の導入量が界面付近で１×１０^{20}／ｃｍ^{3}以上であると、より効果が得られることが知られる。

【００３２】

（実施の形態２）

次に、本発明の実施の形態２を図１～図６、図１２～図１５を参照して説明する。この実施の形態の特徴は、実施の形態１において説明したｈｉｇｈ－ｋ膜上に更に極薄絶縁膜を形成してから、上述したところのフッ素導入を行うところにある。あるいは、ｈｉｇｈ－ｋ膜上にフッ素を含有する極薄絶縁膜を積層して形成するところにある。このようにすることで、ｈｉｇｈ－ｋ膜と極薄絶縁膜との界面領域に更に多量のフッ素が容易に導入できるようになる。

【００３３】

実施の形態２の場合においても、実施の形態１の場合と全く同様に、図１～図６までの工程を経て、図６に示すダマシンゲートを構成するｈｉｇｈ－ｋ膜２１を成膜する。

【００３４】

この後、図１２に示す通り、酸素雰囲気でプラズマ処理を施し、ｈｉｇｈ－ｋ膜２１中の酸素欠損を補う。同時に、この処理によりシリコン基板１１とｈｉｇｈ－ｋ膜２１の界面にＳｉＯ$_2$界面形成膜２２が形成される。このＳｉＯ$_2$界面形成膜２２は、４００℃程度で例えば０．５ｎｍ程度の膜厚に形成される。

【００３５】

この後、図１３に示す通り、例えばＡＬＤ法により０．５ｎｍ～１．５ｎｍ程度の膜厚の極薄絶縁膜２６を形成する。上記ＡＬＤ法において、例えばジクロールシランガス（ＳｉＨ$_2$Ｃｌ$_2$）、水（Ｈ$_2$Ｏ）等を成膜原料のプリカーサとして使用しシリコン酸化膜を成膜温度２００～３００℃程度で堆積させる。この場合、ｈｉｇｈ－ｋ膜２１を成膜するＡＬＤ成膜装置と極薄絶縁膜２６を成膜する成膜装置はマルチチャンバー構造になっており、ｈｉｇｈ－ｋ膜２１と極薄絶縁膜２６とを上記装置内で連続的に成膜するようにすれば好適である。ここで、極薄絶縁膜２６としてシリコン窒化膜、シリコン酸窒化膜等を形成してもよい。シリコン窒化膜の成膜では、成膜原料のプリカーサとしてジクロールシランガス（ＳｉＨ$_2$Ｃｌ$_2$）とアンモニア（ＮＨ$_3$）を用いればよく、シリコン酸窒化膜の成膜におけるプリカーサとしてはジクロールシランガス（ＳｉＨ$_2$Ｃｌ$_2$）、水（Ｈ$_2$Ｏ）およびアンモニア（ＮＨ$_3$）を使用する。

【００３６】

以上のようにして、高誘電体ゲート絶縁膜を構成するｈｉｇｈ－ｋ膜２１、SiO_2界面形成膜２２および極薄絶縁膜２６を形成後、実施の形態１の場合と同様に、図１４に示す通り、F_2ガスの雰囲気（窒素との混合比で１ｖｏｌ．％から１０ｖｏｌ．％程度の濃度に希釈した雰囲気）中で、１００℃から４００℃まで昇温し、１分から１０分程度保持したプロセスを経てF_2アニール２３を施す。このプロセスを取ることにより、フッ素添加時に特別なアニール処理を行わない。この処理によって極薄絶縁膜２６とｈｉｇｈ－ｋ膜２１の界面、ｈｉｇｈ－ｋ膜２１中、SiO_2界面形成膜２２中、及びシリコン基板１１との界面付近に多くのフッ素が局在する状態を実現できる（図１７参照）。これらの界面領域には、それぞれ$3\times10^{21}/cm^3$程度、$1\times10^{20}/cm^3$以上のフッ素量が含有されるようになる。しかも、図１１と比較しても明らかなように、極薄絶縁膜２６、ｈｉｇｈ－ｋ膜２１およびSiO_2界面形成膜２２から成る高誘電体ゲート絶縁膜に、実施の形態１の場合よりも１桁以上多量のフッ素を導入することが可能になる。

【００３７】

この場合も、実施の形態１の場合と同様に、フッ素を導入するガス雰囲気としてF_2ガスの代わりにフッ素を含有する、例えばフロロカーボン系ガス（CF_4、C_2F_6、C_3F_8、C_4F_8、C_4F_4、C_4F_6、C_5F_8）やトリフルオロメタン（CHF_3）、ジフルオロメタン（CH_2F_2）、六フッ化硫黄（SF_6）、三フッ化窒素（NF_3）、三フッ化塩素（ClF_3）でも同様の効果が生じる。あるいは、上記NF_3ガス、F_2ガスをプラズマ励起し、フッ素の活性種の中でイオン種を除き、フッ素の中性ラジカルを上記ｈｉｇｈ－ｋ膜２１表面に照射する、いわゆるフッ素のリモートプラズマ処理を施してもよい。この場合も、４００℃以下の低温下にて、ｈｉｇｈ－ｋ膜２１、SiO_2界面形成膜２２中、及びシリコン基板１１との界面付近に多くのフッ素を導入させることができる。

【００３８】

また、極薄絶縁膜２６の上記成膜においてフッ素をドープしてもよい。例えば上記ＡＬＤ法の成膜時に上記プリカーサと共にドーピングガスとして希釈したF_2ガス（窒素との混合比で０．１ｖｏｌ．％～５ｖｏｌ．％程度）、NF_3ガスあるいはSF_6ガスを成膜室（チャンバー）に導入し、フッ素ドープの極薄絶縁膜２６を成膜する。この方法においても、図１７に示したのと同様の濃度分布を有し多量のフッ素を含有する高誘電体ゲート絶縁膜を形成することが可能になる。

【００３９】

この後、図１５に示す通り、実施の形態１と同様にして、例えばＴｉＮまたはＷなどのメタル膜から成るゲート電極２４を形成し、更にソースドレインのコンタクト２５を形成し、配線材料工程を経て、例えばＷ、Ａｌを用いて任意の回路を構成する。メタルゲート電極の形成など、ｈｉｇｈ－ｋ膜２１形成後のプロセスは、６００℃以下の低温で行うと好適である。この６００℃以下の低温のプロセスにすることにより、高誘電体ゲート絶縁膜に含有する多量のフッ素は不活性で安定化したままであり、高品質の高誘電体ゲート絶縁膜および界面が得られる。ここで、６００℃温度を超えるプロセスを用いると、上記含有するフッ素は活性化し逆にシリコン基板との界面に損傷を与え易くなる。

【００４０】

以下、上記実施の形態２の一実施例における効果について説明する。

上述したF_2アニールによるフッ素処理をしたＭＩＳＦＥＴについて、ゲート領域は、Ｗ／ＴｉＮ／ＳｉＮ（膜厚０．５ｎｍ）／ＨｆＳｉＯｘ（膜厚２．０ｎｍ）／SiO_2（膜厚０．５ｎｍ）の構造に形成され、その形成工程の順序は、図１～図６、図１２～図１５の通りである。ここで、上記F_2アニールにより、高誘電体ゲート絶縁膜中のフッ素分布は図１７に示すようになる。そして、ダミーゲート時の活性化アニールは、１０００℃、３秒程度であり、最終的なシンターは４００℃である。また、フッ処理をしないＭＩＳＦＥＴは、F_2アニール工程のみを行わず、その他の工程は同じである。

【００４１】

図１６は、上記フッ素処理をした場合と、処理をしない場合のｎチャネルＭＩＳＦＥＴ

の高誘電体ゲート絶縁膜中の電荷トラップ量と、上記高誘電体ゲート絶縁膜／シリコン基板界面の界面準位とを評価した結果を示している。この評価は、上記ＭＩＳＦＥＴを公知のチャージポンピング法で測定して行った。ここで、図１６（Ａ）は、電荷トラップ量の評価結果を示し、図１６（Ｂ）は、界面準位の評価結果を示している。図１６（Ａ、Ｂ）の横軸に高誘電体ゲート絶縁膜中への電荷注入量をとり、図１６（Ａ）の縦軸には高誘電体ゲート絶縁膜中への電荷注入により電荷トラップに捕獲された電荷キャリア数（トラップ電荷の増加量に対応している）を単位面積当たりで示す。そして、図１６（Ｂ）の縦軸は高誘電体ゲート絶縁膜中への電荷注入ストレス（ＢＴストレスに相当する）による界面準位密度の増加量を示している。

【００４２】

図１６（Ａ）に示す通り、黒丸のフッ素処理をしないＭＩＳＦＥＴの場合は、白丸のフッ素処理をしたＭＩＳＦＥＴの場合よりも、電荷トラップは少なくとも１桁以上多く存在する。これは、上記実施の形態２で説明したようにＭＩＳＦＥＴの高誘電体ゲート絶縁膜中にフッ素を含有させることにより、膜中、特にｈｉｇｈ－ｋ膜中の電荷トラップ量が１桁以上低減することを示している。

【００４３】

図１６（Ｂ）に示す通り、黒丸のフッ素処理をしないＭＩＳＦＥＴの場合は、白丸のフッ素処理をしたＭＩＳＦＥＴの場合よりも、上記ストレスによる界面準位の生成量は少なくとも１桁以上多くなる。これは、上記実施の形態２で説明したようにＭＩＳＦＥＴの高誘電体ゲート絶縁膜中にフッ素を含有させることにより、高誘電体ゲート絶縁膜／シリコン基板界面の結合状態が安定化することを示している。また、上記フッ素処理により、図１０で説明したように界面準位は低下することは、実施の形態１の場合と全く同じである。上記図１６で説明したフッ素処理の効果は、ｐチャネルＭＩＳＦＥＴの場合にも同様に生じるものである。

【００４４】

図１７は、実施の形態２特有の３層構造になる高誘電体ゲート絶縁膜へのフッ素の導入量を示している。図１１と比較して判るように、この場合は、シリコン基板１１とSiO_2界面形成膜２２、ｈｉｇｈ－ｋ膜２１との界面付近、ｈｉｇｈ－ｋ膜２１と極薄絶縁膜２６との界面領域に多量のフッ素が蓄積（パイルアップ）する形態で含有される。そして、シリコン界面付近のフッ素の導入量は、$1\times10^{20}/cm^3$以上を示し、ｈｉｇｈ－ｋ膜２１と極薄絶縁膜２６と界面付近のフッ素の導入量は、更に１桁以上の多い$3\times10^{21}/cm^3$程度になる。

【００４５】

このようにｈｉｇｈ－ｋ膜２１を挟む上記２箇所の界面領域にフッ素が含有するようになるために、通常ではフッ素固溶度の小さいｈｉｇｈ－ｋ膜２１中であっても多量のフッ素を含有させることが可能になり、シリコン基板表面の界面準位の低減、膜中の電荷トラップの低減が容易に達成できるようになる。そして、高品質および信頼性の高い高誘電体ゲート絶縁膜の形成が可能になる。

【００４６】

また、この実施の形態２の場合には、上記メカニズムによりｈｉｇｈ－ｋ膜２１に充分なフッ素量を含有させることが可能になり、フッ素導入のプロセス余裕度が非常に高くなって導入フッ素量の調整／制御が容易になる。

【００４７】

本発明は、上記実施の形態に限定されるものでなく、発明の趣旨を逸脱しない範囲でいろいろの変形を採ることができる。例えば、上述したようなダマシン構造のゲート電極のＭＩＳＦＥＴの代わりに、通常の構造であるフラット構造のゲート電極を有するＭＩＳＦＥＴの形成の場合にも本発明は同様に適用できるものである。この場合、高誘電体ゲート絶縁膜を形成後に、ＭＩＳＦＥＴのソースドレイン等の拡散層を形成する。そこで、ｈｉｇｈ－ｋ膜の耐熱性を高めるために窒素を膜中に含有させる方法を併用させるとよい。あるいは、ソースドレイン拡散層等の拡散層のアニール温度を低減するために、上述したよ

うなフラッシュランプアニールまたは６００℃程度での固相成長技術を併用すればよい。

【００４８】

また、ｈｉｇｈ－ｋ膜に用いる金属酸化膜としては、その他にアルミナ膜（Al_2O_3膜）、酸化タンタル膜（Ta_2O_5膜）、チタン酸ストロンチウム膜（ＳＴＯ膜）、チタン酸バリウムストロンチウム膜（ＢＳＴ膜）のような金属酸化膜あるいはチタン酸ジルコン酸鉛膜（ＰＺＴ膜）のような強誘電体膜を用いてもよい。そして、ｈｉｇｈ－ｋ膜に用いる金属シリケート膜としては、La_2O_3、Y_2O_3等のランタノイド系元素のシリケート膜あるいは高融点金属のシリケート膜、更には、これらのシリケート膜の複合したシリケート膜を用いてもよい。また、ｈｉｇｈ－ｋ膜に用いる金属アルミネート膜としては、La_2O_3、Y_2O_3等のランタノイド系元素のアルミネート膜あるいは高融点金属のアルミネート膜、更には、これらのアルミネート膜の複合膜を用いてもよい。あるいは、シリケート膜とアルミネート膜の複合膜を使用することもできる。

【００４９】

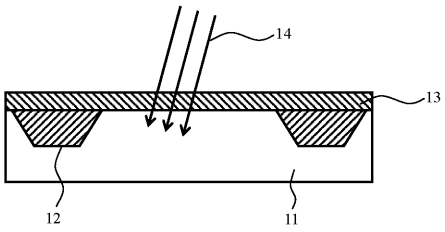
また、上記極薄絶縁膜２６として、ｈｉｇｈ－ｋ膜２１とは異種の高誘電率膜を積層して形成させてもよい。この場合でも、実施の形態２のメカニズムが同様に働き、これらの異種ｈｉｇｈ－ｋ膜の界面にフッ素がパイルアップするために、多量のフッ素を高誘電体ゲート絶縁膜に含有させることができるようになる。

【符号の説明】

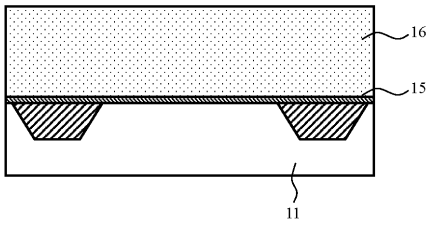
【００５０】

１１・・・シリコン基板
１１１ａ・・エクステンション層、ハロー層
１１１・・・ソースドレイン拡散層
１２・・・ＳＴＩ（shallow trench isolation）
１３・・・犠牲酸化膜
１４・・・ウエルインプラ注入
１５・・・ダミーゲート絶縁膜
１６・・・ダミーゲート電極
１８・・・サイドウォール
１９・・・シリサイド層
２０・・・層間膜
２０１・・層間膜（窒化膜）
２０２・・層間膜（酸化膜）
２１・・・ｈｉｇｈ－ｋ膜
２２・・・SiO_2界面形成膜
２３・・・F_2アニール
２４・・・メタルゲート電極
２５・・・コンタクト電極
２６・・・極薄絶縁膜

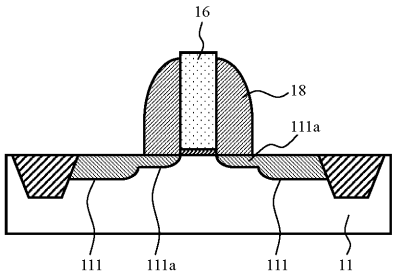
【図１】



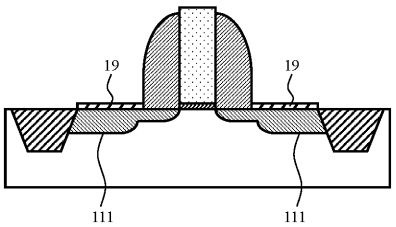
【図２】



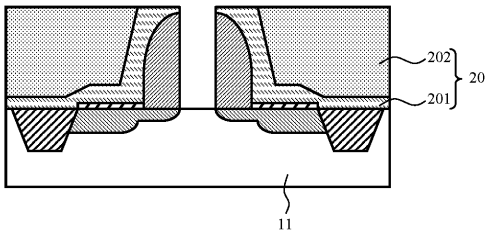
【図３】



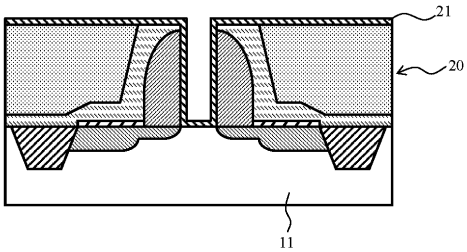
【図４】



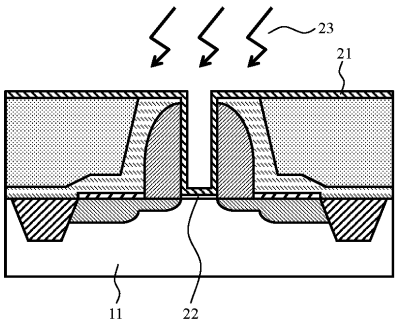
【図５】



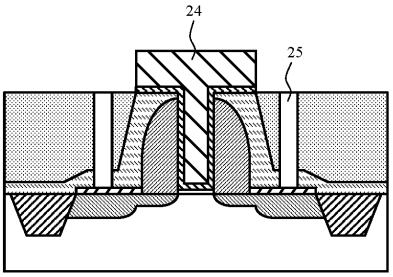
【図６】



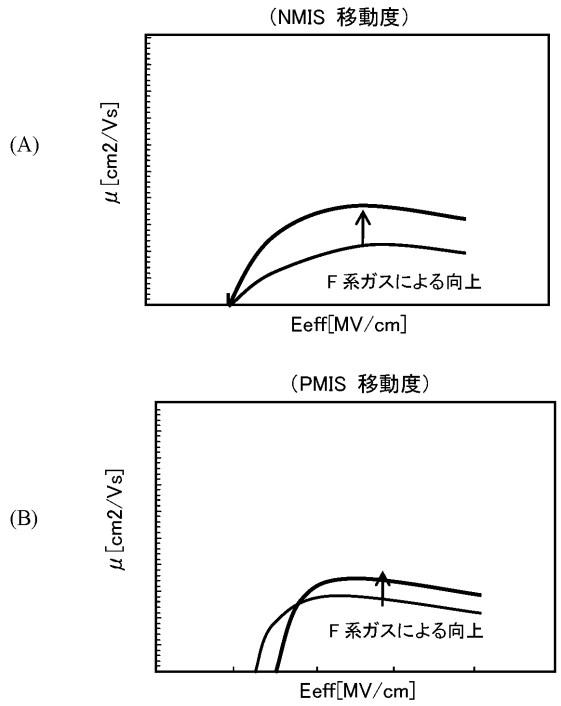
【図７】



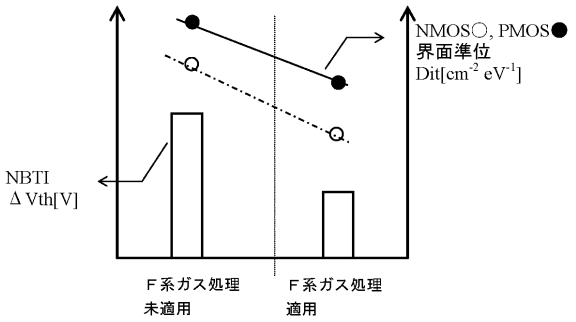
【図８】



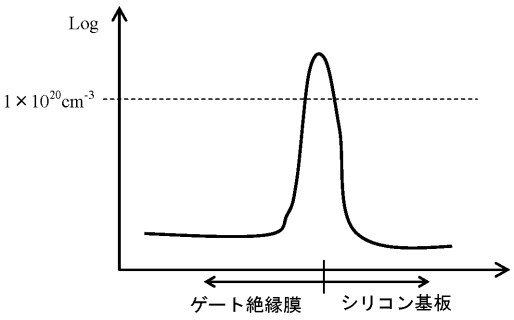
【図９】



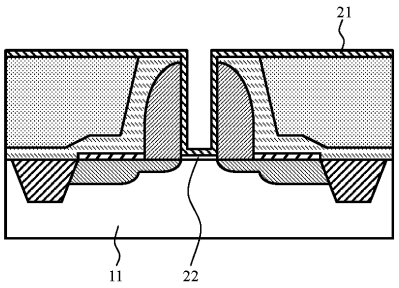
【図１０】



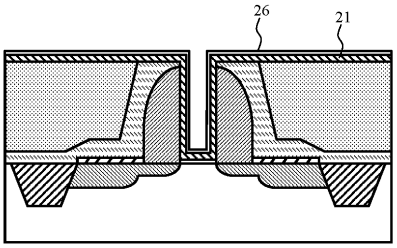
【図１１】



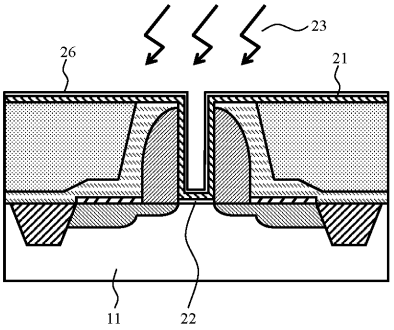
【図１２】



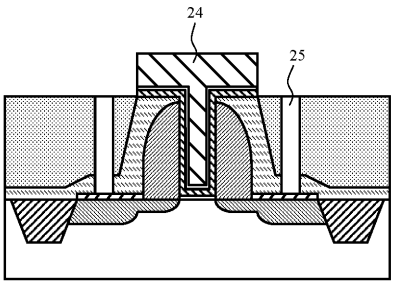
【図１３】



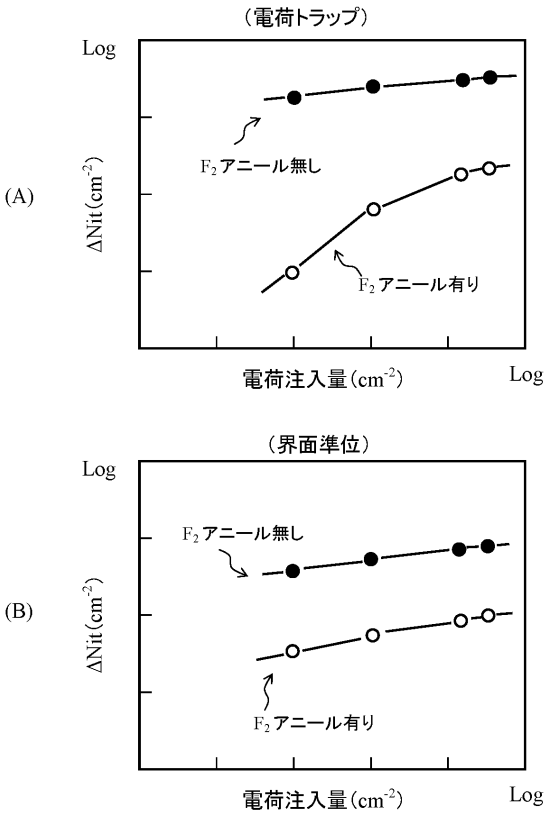
【図１４】



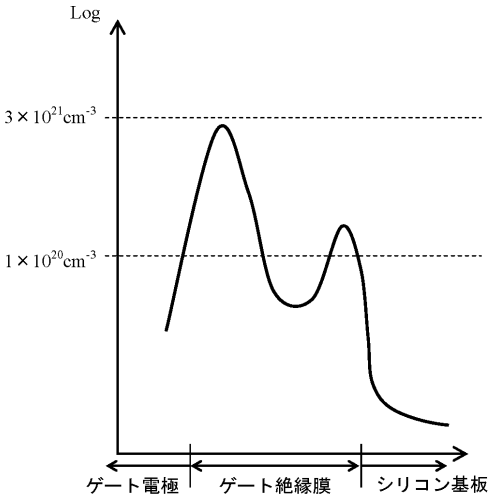
【図１５】



【図１６】


(A)
（電荷トラップ）
Log
ΔNit(cm-2)
F2アニール無し
F2アニール有り
電荷注入量(cm-2)
Log
(B)
（界面準位）
Log
ΔNit(cm-2)
F2アニール無し
F2アニール有り
電荷注入量(cm-2)
Log

【図１７】


Log
3×10^21cm^-3
1×10^20cm^-3
ゲート電極
ゲート絶縁膜
シリコン基板

フロントページの続き

(56)参考文献 特開平１１－０４０８０３（ＪＰ，Ａ）
特開２００２－２９９６１４（ＪＰ，Ａ）
特開平１０－３２１６２０（ＪＰ，Ａ）
特開２００４－２０７５６０（ＪＰ，Ａ）
特開平６－０８５２７８（ＪＰ，Ａ）
特開平９－２６６３０８（ＪＰ，Ａ）
特開昭５６－０６２３２８（ＪＰ，Ａ）
特開２０００－０２２１３９（ＪＰ，Ａ）
佐々木隆興，High-kゲート絶縁膜界面特性の改善，第６５回応用物理学会学術講演会　講演予稿集，日本，２００４年　9月，p689

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２９／７８
Ｈ０１Ｌ　２１／３１６