

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3983858号
(P3983858)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl.

F I

G 1 1 C 11/4097 (2006.01)

G 1 1 C 11/34 3 6 2 B

G 1 1 C 11/4091 (2006.01)

G 1 1 C 11/34 3 5 3 F

請求項の数 7 (全 18 頁)

<p>(21) 出願番号 特願平9-253907 (22) 出願日 平成9年9月18日(1997.9.18) (65) 公開番号 特開平11-96750 (43) 公開日 平成11年4月9日(1999.4.9) 審査請求日 平成16年1月23日(2004.1.23)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100094525 弁理士 土井 健二 (74) 代理人 100094514 弁理士 林 恒徳 (72) 発明者 藤井 康宏 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 審査官 堀田 和義</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

行方向に延びる複数のワード線と、
 列方向に延びる複数のグローバルビット線と、
 該グローバルビット線に従属し、該列方向で複数に分割され、一本のグローバルビット線に対して該行方向に複数本づつ配置されたローカルビット線と、
 前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、
 該列方向の両側に配置される一対のグローバルビット線の信号レベルを比較する複数のセンスアンプと、
 前記グローバルビット線とセンスアンプとの間に設けられ、センスアンプが駆動する時に前記グローバルビット線をセンスアンプから分離するビット線トランスファー回路と、
 前記グローバルビット線毎に設けられ、前記グローバルビット線をリセットレベルに駆動するグローバルビット線リセット回路と、
 前記ローカルビット線毎に設けられ、前記ローカルビット線をリセットレベルに維持するローカルビット線リセット回路と、
 選択されたワード線のメモリセルに接続されるローカルビット線を前記グローバルビット線に接続するローカルビット線選択回路とを有し、
 アクティブ状態から移行されるスタンバイ期間において、前記グローバルビット線リセット回路は、パルス状の信号により短期間で前記グローバルビット線をリセットレベルに駆動すると共に前記選択されたワード線のメモリセルに接続されるローカルビット線を前

10

20

記ローカルビット線選択回路を介してリセットレベルに駆動し、前記ローカルビット線リセット回路は、前記短期間より長い期間前記ローカルビット線を前記リセットレベルに維持することを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 において、

前記センスアンプに対して、前記選択されたワード線のメモリセルに接続されるローカルビット線及びそれに接続されたグローバルビット線からの信号と、前記センスアンプの反対側のグローバルビット線からのレファレンス信号とが供給されることを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 において、

前記センスアンプは、入力信号を増幅した後に、前記選択されたワード線のメモリセルに接続されるローカルビット線及びそれに接続されたグローバルビット線側を駆動し、反対側のグローバルビット線をレファレンスレベルに維持することを特徴とする半導体記憶装置。

【請求項 4】

請求項 1 において、

前記ローカルビット線リセット回路が、リセット電位とローカルビット線間に設けられたリセットトランジスタを有し、該リセットトランジスタは、前記メモリセルのトランジスタとほぼ等しいまたはより小さいサイズであることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 において、

更に、選択されたワード線のメモリセルに接続されるローカルビット線を前記グローバルビット線に接続するローカルビット線選択回路を有し、前記センスアンプから最も遠い位置にある前記ローカルビット線選択回路近傍で、前記グローバルビット線が切断されていることを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 において、

前記切断されたグローバルビット線と同じ延長配線パターンを前記列方向に配置し、当該延長配線パターンを前記レファレンス電位にし、当該グローバルビット線と延長配線パターンとの間に、前記グローバルビット線リセット回路を設けたことを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 において、

前記センスアンプは、前記グローバルビット線の信号が入力に供給され、該入力信号を増幅する読み出し用アンプと、該読み出し用アンプの出力信号が入力に供給され、出力が前記グローバルビット線を駆動する再書き込み用アンプとを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に階層化ビット線構造のダイナミック・ランダム・アクセス・メモリ(DRAM)の新規な構成に関する。

【0002】

【従来の技術】

DRAMは、CPUのキャッシュメモリとして大容量で高速アクセスのメモリとして広く普及している。益々の大容量化を進める為に、メモリセルのサイズをより小さくする必要がある。それに伴い、1本のビット線に接続されるメモリセルの個数も増大し、ビット線の容量も大きくなる。ところが、1,0のデータを電荷の有無で記憶する現在のDRAMにおいて、メモリセルのサイズを小さくし、ビット線容量を大きくすることにより、ビッ

10

20

30

40

50

ト線に読み出される微小電圧が益々小さくなり、センスアンプによるセンスが困難になる。更に、ビット線の負荷容量の増大は、その駆動に伴う消費電力の増大を招く。

【0003】

かかる問題を解決する方法として、ビット線をグローバルビット線とそれに接続可能な複数のローカルビット線からなる階層化ビット線構成が提案されている。この構成では、メモリセルはワード線とローカルビット線との交差部に配置され、選択されたワード線に対応するローカルビット線をグローバルビット線に接続し、センスアンプに接続されるビット線全体の容量を少なくする。更に、グローバルビット線に複数のローカルビット線を並列に設けることで、グローバルビット線のピッチに余裕をもたせることができ、また、それに接続されるセンスアンプ回路のスペースに余裕を与えることができ、高集積化を可能にする。

10

【0004】

一方、従来からセンスアンプに接続されるビット線対を平行に配置する折り返しビット線方式の半導体記憶装置がある。この折り返しビット線方式は、読み出し時のビット線のノイズに強いことが知られている。この折り返しビット線方式において、上記の階層化ビット線構成を取り入れることにより、ノイズに強くしかも大容量化ができることが予想される。

【0005】

しかしながら、折り返しビット線方式において、階層化ビット線構成を取り入れると、ワード線に沿って、1本のグローバルビット線に並列に設けられる複数のローカルビット線の2組に対して1個のメモリセルしか配置することができない。折り返しビット線方式では、ワード線に沿って、1対のグローバルビット線に対していずれか一方のビット線にメモリセルが配置されることが必要だからである。従って、折り返しビット線方式に上記階層化ビット線構成を取り入れることは、メモリセルのレイアウト効率の観点から、好ましい選択とは言えない。

20

【0006】

従って、オープンビット線方式に上記階層化ビット線構成を取り入れる選択肢がメモリセルのレイアウト効率向上の観点から好ましい。本出願人も、平成8年3月4日付けの特許出願、特願平8-45712で同様のメモリを提案した。更に、関連する先行技術としては、米国特許第5495440号(1996年2月27日発行、対応日本特許出願(特願平5-261078号))、米国特許第5561626号(1996年10月1日発行、対応日本特許出願(特願平6-293050号))、米国特許第5715189号(1998年2月3日発行、対応日本特許出願(特願平5-85850号))、米国特許第5682343号(1997年10月28日発行、対応日本特許出願(特願平5-206133号、特願平5-323805号))がある。

30

【0007】

【発明が解決しようとする課題】

しかしながら、オープンビット線方式は、読み出し時におけるセンスアンプによる増幅動作中に発生するビット線のノイズの問題を有する。センスアンプの片側に配置されたビット線の大部分が、例えば「0」を読み出し、ごく一部が「1」を読み出す場合、センスアンプの増幅動作に伴い、大部分のビット線の電位が一斉にLレベルに駆動され、その影響でごく一部の「1」を読み出し中のビット線もLレベルのノイズを受けてしまう。

40

【0008】

かかるノイズの問題は、大容量化に伴いセンスアンプのマージンを大きくするために階層化ビット線構成を採用したメモリにとって、避けなければならない問題である。この様に、大容量化の為のメモリセルの面積効率を高く保ちつつ、読み出し時のビット線のノイズに強いメモリを実現することは困難である。

【0009】

そこで、本発明の目的は、消費電力が少なく大容量化に適し、しかも読み出し時の動作マージンを大きくすることができる半導体記憶装置を提供することにある。

50

【 0 0 1 0 】

更に、本発明の別の目的は、階層化ビット線構成であって、読み出し時の動作マージンを大きくすることができる半導体記憶装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記の目的を達成する為に、本発明は、グローバルビット線に複数のローカルビット線が並列に設けられ、更に、列方向の複数のローカルビット線の一部がグローバルビット線に接続される階層化ビット線構成であって、センスアンプの両側にグローバルビット線が設けられるオープンビット線構成で、更に、グローバルビット線とセンスアンプとの間に、センスアンプが活性化する時にグローバルビット線とセンスアンプとを分離するビット線トランスファー回路を有する。

10

【 0 0 1 2 】

オープンビット線構成の階層化ビット線構成にすることで、メモリセルの配列効率を高くし、ビット線トランスファー回路を設けることで、オープンビット線構成に固有のビット線のノイズによる誤り読み出しの問題を解決する。

【 0 0 1 3 】

本発明は、更に、グローバルビット線に駆動能力の高いグローバルビット線リセット回路を設け、ローカルビット線に駆動能力の低いローカルビット線リセット回路を設ける。そして、グローバルビット線リセット回路により、接続されたグローバルビット線とローカルビット線とをリセットレベルに駆動し、ローカルビット線リセット回路により、ローカルビット線をリセットレベルに維持する。かかる構成にすることで、選択されたワード線のメモリセルに接続されたローカルビット線のみをグローバルビット線に接続し、センスアンプ増幅後に駆動することで、無駄なビット線駆動電流を抑えることができる。非選択のローカルビット線は、ローカルビット線リセット回路によりリセットレベルに維持される。

20

【 0 0 1 4 】

上記目的を達成する為に、本発明は、行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、該グローバルビット線に従属し、該列方向で複数に分割され、一本のグローバルビット線に対して該行方向に複数本づつ配置されたローカルビット線と、前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、該列方向の両側に配置される一対のグローバルビット線の信号レベルを比較する複数のセンスアンプと、前記グローバルビット線とセンスアンプとの間に設けられ、センスアンプが駆動する時に前記グローバルビット線をセンスアンプから分離するビット線トランスファー回路と、前記グローバルビット線毎に設けられ、前記グローバルビット線をリセットレベルに駆動するグローバルビット線リセット回路と、前記ローカルビット線毎に設けられ、前記ローカルビット線をリセットレベルに維持するローカルビット線リセット回路とを有し、選択されたワード線のメモリセルに接続されるローカルビット線を前記グローバルビット線リセット回路によりリセットレベルに駆動することを特徴とする。

30

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

40

【 0 0 1 6 】

〔概略的構成〕

図1は、本発明の実施の形態例の概略的構成図である。メモリが形成されるチップ10は、複数のメモリブロックMB0～MB31からなる。そして、その各メモリブロック内に、ワード線とビット線及びその交差部のメモリセル、そしてセンスアンプ回路等がそれぞれ形成される。図1では、ふたつのメモリブロックMB1、MB2が拡大して示されている。簡単な為にワード線とメモリセルは省略されている。

【 0 0 1 7 】

50

左下端のブロックMB0を例にして説明すると、ビット線は、グローバルビット線（主ビット線）GBLZx, GBLXxと、それに従属する複数のローカルビット線（副ビット線）LBLZxx, LBLXxxの階層構造になっている。そして、左右のセルアレイCALx, CARxに伸びるグローバルビット線GBLZx, GBLXxがそれぞれ共通のセンスアンプS/A00 ~ S/A03に接続される。センスアンプ回路S/A00 ~ S/A03は、コラム方向に2列に形成されている。従って、センスアンプ回路は2本のグローバルビット線のピッチに整合したサイズになっている。その結果、グローバルビット線対GBLZ0, GBLX0はセンスアンプ回路S/A00側に接続される。また、その隣のグローバルビット線対GBLZ1, GBLX1はセンスアンプ回路S/A01側に接続される。

【0018】

このように、センスアンプ回路S/A00 ~ S/A03は、所謂リラックスセンスアンプ方式のレイアウトとなっている。即ち、グローバルビット線2本分の幅とセンスアンプ回路の幅が整合するようになっている。そして、センスアンプ回路を2列にレイアウトしている。従って、ローカルビット線4本分の幅とセンスアンプ回路の幅が整合するようになる。また、1本のグローバルビット線に対して、2本のローカルビット線LBLZxx, LBLRZxxが並列に配置される。従って、後述するとおり、ワード線に沿って、2本のローカルビット線に対して1個のメモリセルを配置することができる。かかるメモセルの配置は、レイアウト効率を高くすることができる。従って、メモリセルのレイアウト効率を高く保ってより大容量化に対応することができる。

【0019】

更に、図1に示された構成では、グローバルビット線GBLZx, GBLXxとセンスアンプS/Aとの間に、ビット線トランスファークロウドBLTxL, BLTxRとがそれぞれ設けられる。このビット線トランスファークロウドは、読み出しの時に、センスアンプS/Aからグローバルビット線を分離し、センスアンプの増幅動作時のビット線へのノイズを防止する。或いは、書き込みの時に、センスアンプS/Aからグローバルビット線を分離し、書き込みアンプによるセンスアンプ反転の負荷を軽くする。この様な、センスアンプからグローバルビット線を分離する方式は、オープンビット線構成の場合に、上記従来のビット線へのノイズの問題を解決することができるので、メモリセルのレイアウト効率を高くして大容量化を図るとともに読み出し時のノイズの問題をなくすことができ、階層化ビット線方式に最も適した構成といえる。

【0020】

また、図1に示された構成では、グローバルビット線GBLZx, GBLXxをリセットレベルにするリセット回路GBLRが、セルアレイの中間の位置に配置される。グローバルビット線に複数本のローカルビット線を配置したことで、グローバルビット線のピッチに余裕ができ、セルアレイの中間位置にリセット回路を配置するスペース的な余裕が生まれた。また、この構成では、ローカルビット線それぞれに対しても、リセット回路LBLRが設けられる。このローカルビット線のリセット回路LBLRは、後述する通り、微小電流を流す程度のサイズが小さいトランスファークロウドを使用し、ローカルビット線の短絡欠陥等による無駄な電流消費を招くことが防止される。

【0021】

そして、グローバルビット線とローカルビット線それぞれにリセット回路を設けたことにより、非選択のローカルビット線をリセットレベルのままにして、選択されたローカルビット線とグローバルビット線とをセンスアンプにより駆動することができる。従って、活性化に伴うビット線駆動電流を少なくすることができる。また、スタンバイ時に、ローカルビット線をグローバルビット線に接続するローカルビット線選択回路を、非活性状態にしたままで、それぞれのローカルビット線をリセットすることができる。従って、ローカルビット線選択回路の駆動電流を抑えることができる。

【0022】

更に、図1の構成では、グローバルビット線は、センスアンプから最も遠いローカルビット線とグローバルビット線との接続点で、切断されている。これにより、グローバルビッ

10

20

30

40

50

ト線の容量が軽減される。また、センスアンプに接続されるビット線を、上記の通りグローバルビット線と選択されたメモリセルが属するローカルビット線のみに行うことができ、上記切断と相まって、センスアンプに接続されるトータルのビット線容量は大幅に軽減される。

【0023】

図2は、一般的なDRAMのメモリセルの回路図である。メモリセルMCは、ビット線とワード線との交差部に設けられ、セルトランスファートランジスタTNCnとセルキャパシタCnとを有し、セルノードNnにデータが蓄積される。また、キャパシタCnの反対側は、セル対向電極(セルプレート)Vpcに接続される。

【0024】

図3, 4, 5はビット線の階層構造について概略的に示したそれぞれ断面図、平面図、及び断面図である。図3では、半導体基板102上のメモリセルMC、センスアンプSA、ワード線WL、ローカルビット線LBLZ10、グローバルビット線GBLZ0, GBLX0の階層構造を概略的に示している。各メモリセルMCは、上記した通りワード線がゲートになるトランジスタTNCnとセルキャパシタCellから構成される。各メモリセルMCは、先ず下層のローカルビット線LBLZ10に接続され、そのローカルビット線は図示されない選択トランジスタを介して上層のグローバルビット線GBLZ0と接続される。従って、センスアンプ回路SA00, SA01の領域は、グローバルビット線の下に位置することになり、構成上なんら支障はない。即ち、階層ビット線構造はリラックスセンスアンプ方式のレイアウトに適している。また、センスアンプSA00, SA01とグローバルビット線との間には、セルプレートVpcなどを構成する材質を備え付け両者をシールドしている。

【0025】

図4は、グローバルビット線とローカルビット線の関係を示す平面図であり、図5はその断面図である。両図から明らかな通り、半導体基板102上に形成される階層化ビット線は、例えばタングステンやアルミニウム等の低抵抗の金属材料によって上層側に形成されるグローバルビット線GBLと、ポリシリコンやポリサイド材料等のように比較的高抵抗ではあるが微細加工が可能な下層側の配線層により形成されるローカルビット線LBLから構成される。そして、本発明によれば、1本のグローバルビット線GBLの下層に、2本のローカルビット線LBLを配置するようにしている。そして、センスアンプ回路の領域の幅Lは、グローバルビット線の幅Lgの約2倍に相当し、その幅Lgはローカルビット線の幅Llの約2倍に相当する。こうすることにより、大容量化の要求から決まるメモリセルの密度に従ってローカルビット線を配置することができる。そして、グローバルビット線は緻密に配置された2本のローカルビット線に対して1本の割合で配置される。また、前述の通りセンスアンプ回路は、2本のグローバルビット線に対して1個の割合で配置される。

【0026】

[第1の実施の形態例]

図6は、第1の実施の形態例のメモリ回路を示す図である。図6は、図1のメモリブロックMB0の部分を詳細に示し、更に、その左側のセルアレイCAL0とセンスアンプ部SAの部分が詳細に示される。尚、図中の実線は、上記した金属配線により構成され、破線は、ポリシリコンやポリサイド配線等により構成されることをそれぞれ示す。

【0027】

図中、4コラム分が示され、4本のグローバルビット線GBLZ0~GBLZ3が左側のセルアレイCAL0に、また、グローバルビット線GBLX0~GBLX3が右側のセルアレイCAR0に配置される。両セルアレイの間に、センスアンプ部SAが配置される。グローバルビット線対GBLZ0, GBLX0に対してセンスアンプSA00が、設けられる。同様に、グローバルビット線対GBLZ1~3, GBLX1~3に対してセンスアンプSA01~SA03が、設けられる。

【0028】

10

20

30

40

50

更に、センスアンプ $S A_{xx}$ とグローバルビット線 $G B L Z_x$ 、 $G B L X_x$ との間に、ビット線トランスファートランジスタ $B L T$ が設けられる。そして、そのトランスファートランジスタ $B L T$ は、ビット線トランスファースIGNAL $B L T O L$ 、 $B L T O R$ により制御される。このビット線トランスファースIGNALにより、センスアンプ $S A$ の活性化前にグローバルビット線をセンスアンプから分離することができる。また、書き込み時に同様に分離することができる。

【0029】

センスアンプは、例えばグローバルビット線 $G B L Z_0$ 、 $G B L X_0$ に対するセンスアンプ $S A_{00}$ に示される通り、トランジスタ P_1 、 N_1 、 P_2 、 N_2 からなる $C M O S$ 差動アンプで構成され、センスアンプドライブ信号 $P S A$ 、 $N S A$ により活性化される。また、コラム選択信号 $C L_{xx}$ により、コラムゲート $C G Z_0$ 、 $C G X_0$ とが導通し、センスアンプはデータバス線 $D B Z_0$ 、 $D B X_0$ に接続される。

10

【0030】

グローバルビット線 $G B L Z_0$ を例にして説明すると、グローバルビット線 $G B L Z_0$ は、複数のローカルビット線 $L B L Z_{00}$ 、 $L B L Z_{10}$ と共に階層化される。図6の例は、2対のローカルビット線と1本のグローバルビット線との階層構造である。また、グローバルビット線に対して、1対のローカルビット線が並列して設けられる。

【0031】

そして、ローカルビット線は、ローカルビット線選択トランジスタ $T G$ を介してグローバルビット線 $G B L Z_0$ に接続される。ローカルビット線選択信号 $S L_0$ 、 $S L_1$ により、それぞれの選択トランジスタ $T G$ が独立に制御される。即ち、選択されたワード線のメモリセルに接続されるローカルビット線のみが選択トランジスタ $T G$ の導通によりグローバルビット線に接続される。従って、センスアンプに接続されるビット線は、グローバルビット線と選択された一部のローカルビット線のみとなり、その時定数は小さくなる。図6の例では、グローバルビット線 $G B L Z_0$ に対して、上下一対のローカルビット線 $L B L Z_{00}$ または $L B L Z_{10}$ が接続される。

20

【0032】

グローバルビット線 $G B L Z_0$ は、センスアンプ $S A$ から最も遠い位置にあるローカルビット線との選択トランジスタ $T G$ から先は、切断されている。従って、その分、グローバルビット線の容量が小さくなっている。

30

【0033】

グローバルビット線のリセット回路は、左右のグローバルビット線 $G B L Z_0$ 、 $G B L X_0$ とをショートするイコライズトランジスタ $G B L E_x$ と、グローバルビット線をプリチャージレベル $V R$ にプリチャージするプリチャージトランジスタ $G B L R_x$ とを有する。特に、プリチャージトランジスタ $G B L R_x$ は、ビット線の階層化によりグローバルビット線のピッチに余裕があるため、そのサイズが大きくてもグローバルビット線の任意の位置に配置することができる。そして、サイズを大きくすることで、プリチャージの為のグローバルビット線リセット信号 $B P L_x / B P R_x$ は、ワンショットパルスでも十分にグローバルビット線をプリチャージレベル $V R$ にリセットできる。

【0034】

ローカルビット線のリセット回路は、各ローカルビット線に設けられ、プリチャージレベル $V R$ に維持するためのプリチャージトランジスタ $L B L R_x$ を有する。但し、本図では、ローカルビット線 $L B L Z_{10}$ に対するリセット回路は省略されている。各ローカルビット線にリセットトランジスタを設ける構成は、選択されたローカルビット線についてのみ、その後のスタンバイ時にプリチャージレベルへのリセット動作を行うことを可能にし、消費電力節約に寄与する。

40

【0035】

また、プリチャージトランジスタ $L B L R_x$ は、スタンバイ状態が長い場合のリーク補償として設けられていて、トランジスタの幅は、ローカルビット線と他の電位が短絡してもスタンバイ電流に影響を与えない程度に小さく設定されている。例えば、セルトランジス

50

タよりも小さいサイズで構成することにより、数 μ Aオーダーの電流しか流せない。従って、ローカルビット線のリセットと、ローカルビット線の短絡不良検出とを可能にする。ローカルビット線が短絡不良を有する場合は、プリチャージトランジスタのサイズが小さいことにより、スタンバイ時のローカルビット線のレベルが十分リセットレベルにならず、必ず誤動作を招き、容易に検出することができる。しかも、短絡不良によるプリチャージレベル V_R 自体のレベル低下は、トランジスタのサイズが小さいことにより生じない。

【0036】

図7は、図6のメモリの「1」読み出しと「0」書き込みの動作波形図である。この動作波形図に従って、動作を説明する。以下、簡単の為に、グローバルビット線を主ビット線と、ローカルビット線を副ビット線とそれぞれ称する。

10

【0037】

最初に、ロー・アドレス・ストローク信号 \overline{RAS} がHレベルのスタンバイ状態では、副ビット線リセット信号 BL_{xx}/R_{xx} はHレベルにあり、全ての副ビット線リセットトランジスタ BLR_x は導通し、リセット電位 V_R に充電している。尚、ここでHレベルとは、図示されるとおり、外部電源 V_{cc} 又は内部電源 V_{ii} のいずれでもよく、また、 V_{cc+} 、 V_{ii+} でも良い。尚、主ビット線リセット信号 BPL_x 、 BPx は、スタンバイ開始時のワンショットパルスによりリセットを完了している。

【0038】

更に、全ての副ビット線は、主ビット線から分離されている。また、ビット線トランスファートランジスタ BLT は全て導通し、主ビット線はセンスアンプに接続されている。また、センスアンプドライブ信号 PSA 、 NSA は共に V_R レベルにあり、センスアンプは非活性状態である。

20

【0039】

そこで、ロー・アドレス・ストローク信号 \overline{RAS} が、HレベルからLレベルになると、アクティブ状態になる。アクティブ状態になると、選択されたブロックの副ビット線リセットトランジスタ BLR_x は、カットオフされる。あるいは、選択されるワード線 WL_x にメモリセルが接続される副ビット線のリセットトランジスタのみカットオフされる様にしても良い。なぜなら、その方が動作時の電流を低減出来るからである。これと同時に、選択されるワード線のメモリセルに接続される副ビット線を主ビット線に接続する為に、1本の副ビット線選択信号(ここでは SL_0 、 SR_0)が"High"ないし"Super High"となる。

30

【0040】

ロウアドレスによって選択されたワード線(ここでは WL_0)が"High"ないし"Super High"となると、セル部のトランスファートランジスタである TNC_n が活性化され、キャパシタ C_n に蓄積された電荷(ここでは"1")が、 TNC_n と副ビット線選択トランジスタ TG を介して主ビット線(ここでは $GBLZ_0$)に流れだし、センスアンプ SA_{00} を介した反対の主ビット線 $GBLX_0$ との間に差電圧が発生する。

【0041】

センスアンプ SA_{00} が動作する前に、ビット線トランスファートランジスタ信号 BLT_{0L} 及び BLT_{0R} は、Lレベルすなわち V_{ss} となり、ビット線トランスファートランジスタ BLT はカットオフし、センスアンプと主/副ビット線は分離される。

40

【0042】

この状態において、センスアンプ・ドライブ信号 NSA 、 PSA は、 V_R 電位からそれぞれLレベル(V_{ss})と、Hレベル(V_{cc} ないしは V_{ii} レベル)へと変化し、センスアンプノード NL_0 と NR_0 を増幅する。同様に、 NL_1 、 NR_1 ...も増幅されるがここでは記述していない。ビット線トランスファートランジスタ BLT がカットオフされている為、この増幅によって生じるノイズはビット線には伝わらない。従って、主/副ビット線やセルプレートを通じて、隣接するセンスアンプの増幅に悪影響を及ぼすことはない。また、図3~5で示した様に、主ビット線材料で形成された配線(ここではノード NL_0 、 NR_0 、 NL_1 、 NR_1 で示される部分)は、セルプレート等の固定電位にされたシールド

50

層（図3中Vcp）によって、隣接したセンスアンプとは容量的に分離されている為、主ビット線材料で出来た通過配線によるカップリングノイズを受けることもなく安定した増幅動作を行う事が出来る。

【0043】

また、他のノードとショートしている様な、いわゆる欠陥ビット線においては、上述の様に弱いリセットしか受けていない為、欠陥ビット線のレベルはショートノードの電位に近づいており比較すべきビット線とは等電位ではなくなり、容易に誤読み出しを起こす。これにより、従来において冗長ないしはリジェクトする事が困難であった欠陥ビット線を、容易に検出する事が出来る様になり、将来のショート部分の抵抗低下によって生じる危険性のあった、動作不良ないしスタンバイ電流の増加を防止し、デバイスの信頼性を向上させる事が出来る。

10

【0044】

センスアンプによる増幅が終了ないしはある程度進行した後に、コラム・アドレス・ストローク信号/CASの立ち下がりを受けて、コラム選択信号（ここではCL00）が活性化される。コラム選択信号CL00の活性化により、コラムゲートCGX0, CGZ0がオンし、センスアンプの情報はデータバス線DBZ0, DBX0に出力される。

【0045】

ロー・アドレス・ストローク信号/RASの立ち下がりから、コラムゲートを介してのセンスアンプへのアクセスまでは、従来方式に比べ高速である。なぜなら、上下階層化ビット線方式を用いることにより、ビット線の時定数は、列方向のセルがすべて接続されているビット線の時定数よりも小さく、センスアンプへのセル情報の伝達が早まるからである。また、センスアンプと主ビット線の分離は、読み出し時のセンスアンプ増幅動作の高速化にも寄与し、かつ逆書き込み時にも、主/副ビット線の負荷が見えない為、書き込み動作も高速化する。

20

【0046】

読み出しが終了した後の書き込み時には、図示しない書き込みアンプからデータバス線DBZ0, DBX0を介して、センスアンプの状態を反転する。この時、主ビット線はセンスアンプから切り離されているので、図7に示される通り、センスアンプのノードNL0, NR0のみが反転し、主ビット線GBLZ0, GBLX0のレベルは、反転されない。

【0047】

読み出し・書き込み動作が完了しロー・アドレス・ストローク信号/RASが立ち上がると、ワード線がリセットされる。本実施の形態例では、センスアンプと主ビット線が分離されている為、ワード線リセットの前にセルへの再書き込みを行う必要がある。この為、ビット線トランスファートランジスタBLTを、再びオンする必要がある。その結果、主ビット線GBLZ0, GBLX0は初めて、HレベルとLレベルに増幅される。

30

【0048】

セルへの再書き込みが終了した時点で、ワード線WL0がLレベルにリセットされる。そして、ビット線イコライズ信号BP0をパルス状に入力し、センスアンプノードであるNL0, NR0を等電位にする。その後、このイコライズ信号BP0と同様なパルス波形のビット線リセット信号BPL0, BPR0を入力し、主/副ビット線をビット線リセット電位VRにする。更に、副ビット線リセット信号BL00がHレベルになり、その後のスタンバイ期間中、副ビット線のリセット電位VRを補償する。

40

【0049】

更に、副ビット線選択信号SL0は立ち下げられ、選択トランジスタTGは閉じられる。また、センスアンプのドライブ信号PSA, NSAもリセット電位VRに戻される。

【0050】

図6のメモリにおいて、読み出し若しくは書き込み終了後に、センスアンプの両側のビット線トランスファートランジスタBLTxL, BLTxRの両方を導通させて、主ビット線GBLZ0, GBLX0を両方駆動した。しかしながら、選択されたワード線に対応する側のビット線トランスファートランジスタBLTxLのみを導通させるだけでも良い。

50

【 0 0 5 1 】

図 8 は、かかる片側ビット線駆動の動作を示す信号波形図である。図 7 の動作と異なる点は、ワード線 W L 0 を立ち下げる前に、ワード線 W L 0 側のビット線トランスファートランジスタ B L T 0 L のみを導通することである。そして、選択ワード線がない方のビット線トランスファートランジスタ B L T 0 R 側は、それから遅れてスタンバイ期間になってから導通する。従って、主ビット線 G B L Z 0 が L レベルに駆動され、反対側の主ビット線 G B L X 0 はリセットレベルに維持される。

【 0 0 5 2 】

上記の通り、本発明では選択されたワード線のある方のビット線トランスファートランジスタ B L T のみオンさせても良い。なぜなら、センスアンプノードである N L 0 , N R 0 は十分に増幅され、かつ主/副ビット線のトータル容量が従来方式に比べて低減されているので、再書き込みを安定して行うことができるからである。

10

【 0 0 5 3 】

これは、読み出し時に選択されたワード線のない方の副ビット線選択信号にも当てはまり、ワード線選択のされない主ビット線の副ビット線選択信号 S R x / S L x は、アクティブ期間中、非活性状態で良い。これにより、ワード線選択のない側の主ビット線には、副ビット線は接続されず、消費電力は更に低減される。

【 0 0 5 4 】

そして、スタンバイ時のビット線リセット信号に関し、片側のビット線 G B L Z 0 のみが増幅されていて、他方のビット線 G B L X 0 はリセット電位 V R のままであるので、他方のビット線リセット信号 B P R 0 は、出力する必要はない。そして、カットオフされていた副ビット線リセット信号 B L 0 0 , 0 1 , B R 0 0 , 0 1 を活性化し、次のアクティブ動作に備えて、微小リークの補償動作を行う。もちろん、アクティブ時にワード線が選択されない副ビット線リセット信号、ここでは B L 0 1 及び B R 0 0 , 0 1 が、アクティブ時に L レベルに駆動されていないので、改めて H レベルに駆動する必要はない。

20

【 0 0 5 5 】

一般に、消費電力を低減しようとするならば、出来る限り動作する信号は減らすべきである。例えば、オープンビット線方式で、センスアンプの両側の主ビット線を増幅する方法をとっても、ワード線が選択されない副ビット線のリセット信号及び副ビット線選択信号は、非活性化及び活性化しないほうが消費電流は低減出来る。

30

【 0 0 5 6 】

また、上記実施の形態例では、従来方式に比べ主ビット線リセットトランジスタ G B L R x が増えているが、これらは 2 本の副ビット線のピッチで設置すれば良い為、従来のビット線リセット回路よりも約 2 倍の余裕をもってレイアウト出来る。これは副ビット線選択回路においても同様であり、副ビット線リセットトランジスタ L B L R x は、同一のドレイン、ゲートを有するトランジスタであるので、一緒にすればセル部トランスファートランジスタの 2 倍のピッチでレイアウト出来、副ビット線選択トランジスタのオン抵抗を減らすことが出来る。

【 0 0 5 7 】

[第 2 の実施の形態例]

40

図 9 は、第 2 の実施の形態例のメモリ回路図である。図 9 では、メモリセル M C 、ワード線 W L x などが省略され、メモリブロック内のセンスアンプ部とその両側の主ビット線、副ビット線及びそれらのリセット回路、選択回路が示される。

【 0 0 5 8 】

第 2 の実施の形態例は、センスアンプ S A によって増幅されるセンスアンプ内のノード N L x , N R x を入力とし、それを増幅して対応する主ビット線を駆動する C M O S インバータ (再書き込みアンプ) が追加されている点で、第 1 の実施の形態例と異なる。このトランジスタ P 4 , N 4 で構成されるインバータは、ノード N L 0 を入力とし、主ビット線 G B L X 0 を反転駆動する。また、トランジスタ P 3 , N 3 で構成されるインバータは、ノード N R 0 を入力とし、主ビット線 G B L Z 0 を反転駆動する。従って、センスアンプ S

50

Aにより増幅された後、ビット線トランスファートランジスタBLTを再度導通させる必要はない。そして、センスアンプにより駆動されるノードNL0, NR0を入力として、インバータにより主ビット線が反転駆動されるので、ビット線へのノイズによる誤り読み出しは解決される。また、書き込み時におけるセンスアンプの負荷を軽くすることができる。但し、図8で示した様な、片側のビット線のみを駆動して再書き込みを行う動作は不可能であり、常に、1対のインバータにより両側のビット線を駆動する。

【0059】

図10は、図9のメモリの動作を示す信号波形図である。図7の動作と異なる点は、センスアンプドライブ信号PSA, NSAが活性化レベルになって、センスアンプが増幅動作を始めると、ノードNL0, NR0の増幅に伴い、両側の主ビット線GBLZ0, GBLX0も破線の如くインバータにより増幅される。また、「0」書き込みにおいて、コラム選択信号CLO0が立ち上がると、センスアンプが反転されてノードNL0, NR0が反転されると共に、主ビット線も反転される。その間、ビット線トランスファートランジスタBLTは全て非導通状態のままである。従って、センスアンプの負荷は軽減され、ビット線に重畳するノイズの影響も受けない。そして、ビット線の駆動が早期に行われるので、メモリセル内のセルノードNnの変化も、図7に比較すると早くなる。

10

【0060】

図11は、上記第2の実施の形態例の変形例のメモリ回路を示す図である。この変形例では、上記の再書き込みアンプであるインバータを、左右選択的に動作可能にし、図8で示した様に、再書き込み時に片側のビット線のみを駆動可能にする。その為に、センスアンプドライブ信号PSA, NSAとは別に、インバータドライブ信号PSAL/RとNSAL/Rとを生成する。

20

【0061】

図12は、図11のメモリの動作を示す信号波形図である。仮に、左側のセルアレイのワード線が選択されたとすると、再書き込みの為のビット線駆動は、左側の主ビット線GBLZ0に対してしか行われぬ。従って、図12に示される通り、センスアンプドライブ信号PSA, NSAの活性化と同時に若しくはそれに遅れて、左側の主ビット線GBLZ0を駆動するインバータのドライブ信号PSAL, NSALが活性化される。従って、それに伴い、左側の主ビット線GBLZ0は、トランジスタP3, N3のインバータによりHレベルに駆動され、右側の主ビット線GBLX0は、リセット電位VRのままに維持される。また、書き込み時においても、左側の主ビット線GBLZ0だけがLレベルに駆動される。

30

【0062】

上記変形例では、片側のビット線だけが駆動されるので、消費電力を抑えることができる。選択ワード線ではない方のビット線は、リセット電位VRに維持されるので、スタンバイ時におけるリセットレベルへのリセット動作は不要である。

【0063】

[第3の実施の形態例]

図13は、第3の実施の形態例のメモリ回路を示す図である。本実施例では、副ビット線LBLZ00~03を主ビット線GBLZ0に対し上下に2本、左右に2本の計4本個別に選択出来る様になっている。副ビット線選択回路TG0~3及び主ビット線リセット回路GBLRは、セルアレイCAL0の中央部に設置し、主ビット線GBLZ0は主ビット線リセット回路部分でリセット回路GBLRで切断されている。従って、主ビット線GBLZ0の容量は切断しない場合の約半分になっている。ここで、図中の両端から主ビット線リセット回路GBLRに延びている主ビット線と同一の材料で出来ている配線GVRは、主ビット線GBLZ0のレイアウト・パターンの連続性を保つために設置されている。この配線GVRは、フローティングでも構わないが、図の様に、リセット電位VR等の固定電位に設定しても良い。この場合、リセットトランジスタGBLR0に接続すると、図6の例でワード線方向に配線されている主ビット線リセット電位VRの配線が不必要になり、ビット線方向のレイアウトのロスが無くなるという利点が生まれる。

40

50

【0064】

上記以外の回路構成は、図6と同等であり、また、図9、図10に示したセンスアンプの構造も、本例に適用できる。そして、4本の副ビット線を個別に選択できる様にする事で、メモリセルに接続されるビット線全体の容量を抑えることができ、読み出し感度を向上させることができる。

【0065】

図14は、図13の主ビット線の容量が抑えられたメモリの動作を示す信号波形図である。この動作で特徴的な点は、ビット線トランスファートランジスタの制御を、センスアンプによる増幅動作時には、トランスファートランジスタを閉じることでビット線上へのノイズの問題を回避し、一旦センスアンプが増幅したあとは、選択ワード線側のビット線トランスファートランジスタを開いてビット線を駆動することにある。主ビット線を中央付近で切断し、更に、必要最小限の副ビット線のみを主ビット線に接続することで、ビット線全体の容量を抑え、センスアンプによる駆動を可能にする。一方、レファレンス側のビット線は、ビット線トランスファートランジスタを閉じたままにして、センスアンプから分離したままとする。その結果、レファレンス側のビット線へのリセット動作は不要になる。

10

【0066】

図14に示される通り、ビット線トランスファートランジスタBL0L、BLT0Rが閉じて、センスアンプドライブ信号PSA、NSAが活性化レベルに開くことで、センスアンプがノードNL、NRの電位差をセンスし増幅する。ノードNL0、NR0が十分増幅された後に、選択ワード線がある左側のビット線トランスファートランジスタBLT0Lが導通される。その結果、左側のビット線GBLZ0のみがセンスアンプにより駆動される。右側のビット線GBLX0の電位は、リセットレベルVRに維持される。

20

【0067】

また、書き込み時には、望ましくは、図示しない書き込みアンプからデータバス線DBZ0、DBX0を介して駆動する時に、書き込みイネーブル信号WEと選択されたコラム選択信号CL00により、データバス線DBZ0、DBX0に接続されるセンスアンプを不活性化し、選択された方のビット線を駆動する。その後、センスアンプを活性化する。ビット線の容量が抑えられているので、書き込みアンプから直接ビット線を高速に駆動することが可能になる。

30

【0068】

上記の様に、本発明の主ビット線に対する上下の1対の副ビット線を用いれば、様々なバリエーションを持つことが可能である。副ビット線選択回路数と副ビット線リセット回路数を増やせば、副ビット線を個別に主ビット線に接続したり、個別にリセット電圧に接続することが可能になり、主ビット線に512個のセルを配置できる構造や、主ビット線に1024個のセルを配置できる構造も実現可能である。また、本発明は、主ビット線の途中に、複数の主ビット線リセット回路を設置出来るので、上記の様な多数のセルをビット線に配置しても、ビット線のリセット期間の短縮に効果を発揮する。

【0069】

本発明は、DRAMセルを有するSDRAM（シンクロナスDRAM）、RDARAM（ラムバスDRAM）等のDRAMファミリー品種の他に、SRAM等の別のセル構造を有する半導体記憶装置にも適用出来る。また、本発明例では、セル選択トランジスタ、主/副ビット線リセット回路、主ビット線トランスファートランジスタ等をNチャネルトランジスタで構成しているが、これらを、Pチャネルトランジスタに置き換えても、本発明を適用出来ることはいうまでもない。加えて、副ビット線はセルの上部に形成しても良いし、セルの下部ないし基板中に形成してもかまわない。主ビット線は、基本的にはセルの上部に形成するのが一般的であるが、これも基板中に形成してもかまわない。また、本発明において、さまざまなセンスアンプ内外のレイアウトにも対応可能である。

40

【0070】

【発明の効果】

50

以上説明した通り、本発明によれば、大容量の半導体記憶装置を製造の困難性を増加させることなく、チップサイズの減少、動作の高速化、消費電力とりわけスタンバイ時の消費電力を低減化することができる。従って、半導体記憶装置の性能向上とコストの低減が出来、更に信頼性の向上に寄与するところが大きい。

【0071】

本発明によれば、メモリセルの配置効率を高くした階層化ビット線構成であって、ビット線トランスファートランジスタでセンスアンプからビット線を切り離すので、読み出し時のノイズに強い特性を有する半導体記憶装置を提供することができる。また、ビット線トランスファートランジスタを利用して、選択されたワード線側のビット線のみをセンスアンプに接続して駆動することで、レファレンス側のビット線のレベルをリセット電位に維持することができ、その分消費電力を抑えることができる。

10

【0072】

また、主ビット線と副ビット線にそれぞれリセット回路を設けることで、選択されたメモリセルが接続される副ビット線のみを接続し、その後リセットすることが可能になり、駆動されるビット線の容量を抑えて、低消費電力化に寄与するところが大である。

【0073】

更に、主ビット線のリセット回路から、ドライブされた主ビット線と副ビット線のみをリセット電位にし、その分、副ビット線のリセット回路をサイズ小のトランジスタを使用して、ビット線の不良によるリーク電流を抑えることができる。

【図面の簡単な説明】

20

【図1】本発明の実施の形態例の概略的構成図である。

【図2】一般的なDRAMのメモリセルの回路図である。

【図3】ビット線の階層構造について概略的に示した断面図である。

【図4】ビット線の階層構造について概略的に示した平面図である。

【図5】ビット線の階層構造について概略的に示した断面図である。

【図6】第1の実施の形態例のメモリ回路を示す図である。

【図7】図6のメモリの「1」読み出しと「0」書き込みの動作波形図である。

【図8】図6の片側ビット線駆動の動作を示す信号波形図である。

【図9】第2の実施の形態例のメモリ回路を示す図である。

【図10】図9のメモリの動作を示す信号波形図である。

30

【図11】第2の実施の形態例の変形例のメモリ回路を示す図である。

【図12】図11のメモリの動作を示す信号波形図である。

【図13】第3の実施の形態例のメモリ回路を示す図である。

【図14】図13のメモリの動作を示す信号波形図である。

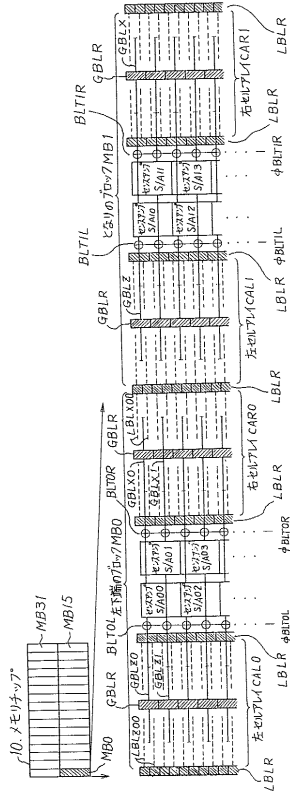
【符号の説明】

G B L Z x、G B L X x	グローバルビット線（主ビット線）
L B L Z x、L B L X x	ローカルビット線（副ビット線）
S A	センスアンプ
B L T x L、B L T x R	ビット線トランスファートランジスタ
G B L R	グローバルビット線リセット回路
L B L R	ローカルビット線リセット回路

40

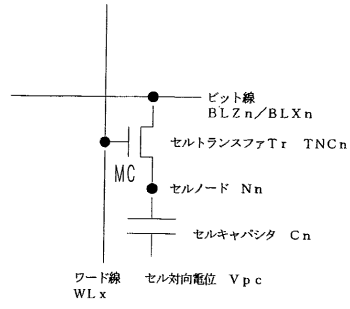
【 図 1 】

本発明の実施の形態例の概略的構成図

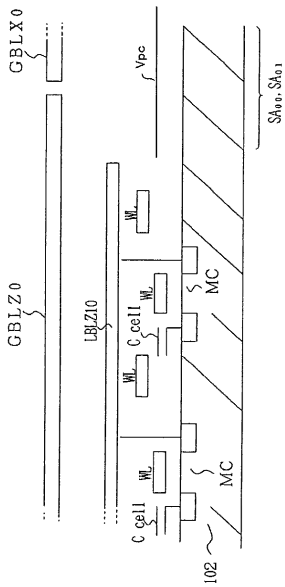


【 図 2 】

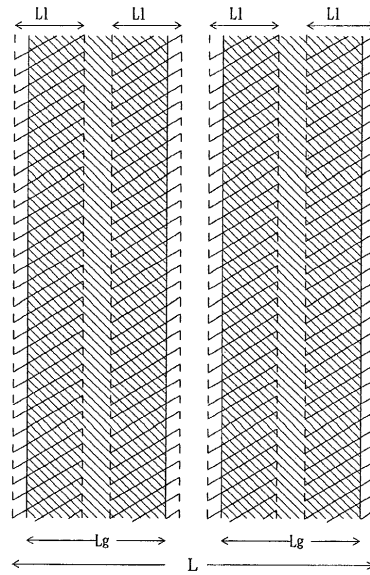
メモリスルの回路図



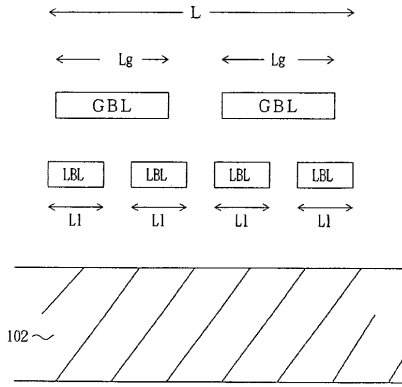
【 図 3 】



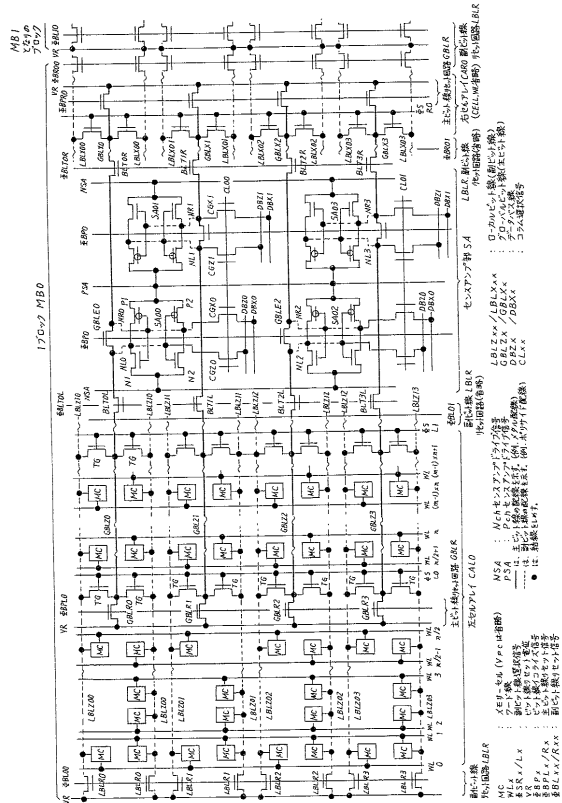
【 図 4 】



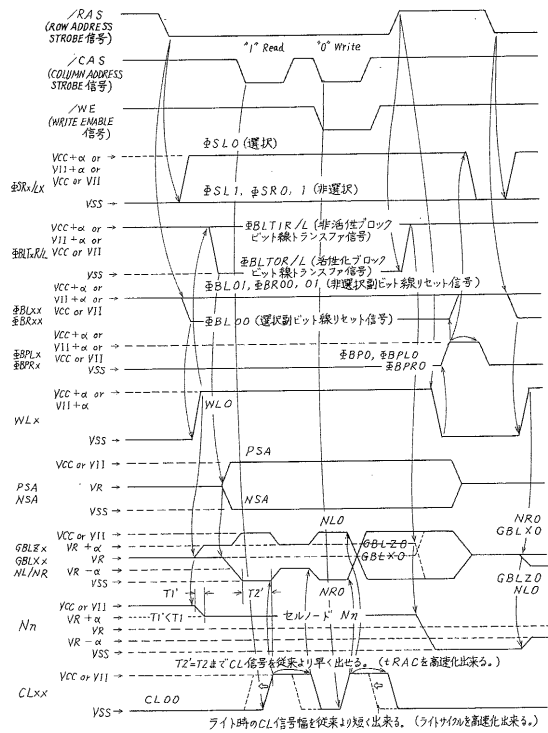
【図5】



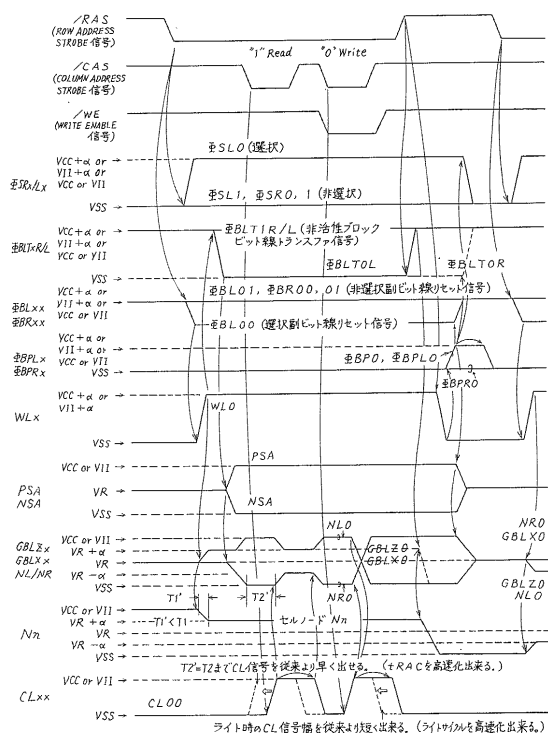
【図6】



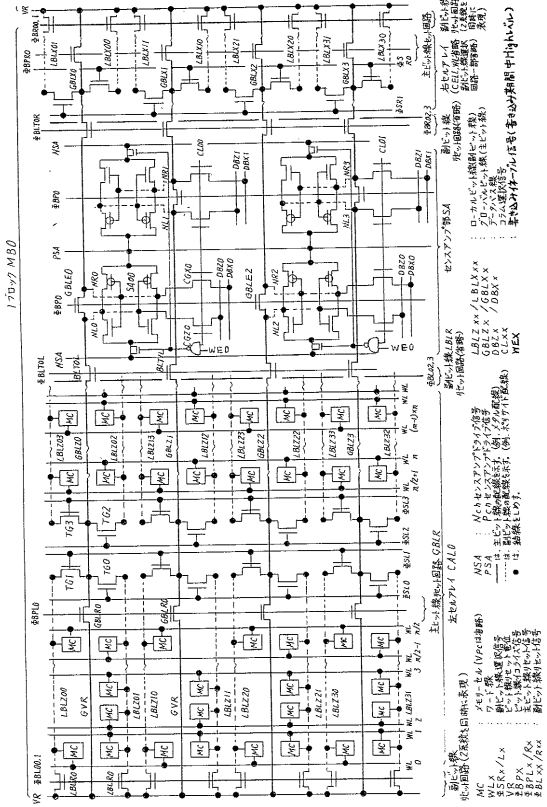
【図7】



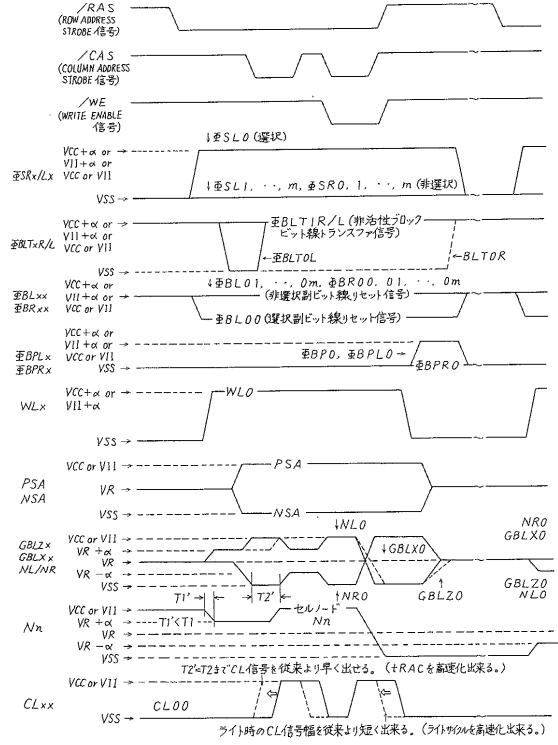
【図8】



【 図 13 】



【 図 14 】



フロントページの続き

- (56)参考文献 特開平07 - 111083 (JP, A)
特開平09 - 213069 (JP, A)
特開平08 - 167290 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/4097