

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4628040号
(P4628040)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl. F I

HO 1 L 29/786 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 21/288 (2006.01)

HO 1 L 51/05 (2006.01)

HO 1 L 51/40 (2006.01)

HO 1 L 29/78 6 1 6 T

HO 1 L 29/78 6 1 8 B

HO 1 L 29/78 6 1 6 K

HO 1 L 29/78 6 1 6 V

HO 1 L 21/288 Z

請求項の数 9 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2004-241119 (P2004-241119)	(73) 特許権者	000153878
(22) 出願日	平成16年8月20日 (2004. 8. 20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-60060 (P2006-60060A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成18年3月2日 (2006. 3. 2)	(72) 発明者	前川 慎志
審査請求日	平成19年7月20日 (2007. 7. 20)		神奈川県厚木市長谷 3 9 8 番地 株式会社 半導体エネルギー研究所内
		審査官	小出 輝
		(56) 参考文献	特開昭 6 2 - 2 4 7 5 6 9 (J P , A)
			国際公開第 0 3 / 0 1 6 5 9 9 (W O , A 1)
			特開 2 0 0 5 - 0 9 3 6 3 3 (J P , A)
			最終頁に続く

(54) 【発明の名称】 半導体素子を備えた表示装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上にゲート電極を形成し、
前記ゲート電極を覆うように絶縁膜を形成し、
前記絶縁膜表面の前記ゲート電極と重なる領域に有機溶剤を塗布し、
前記絶縁膜表面に、前記有機溶剤が塗布され且つ残存する領域から前記有機溶剤が塗布
されない領域にわたり、粒径が 1 n m 以上 1 0 0 n m 以下の導電性の微粒子が有機溶媒に
分散した第 1 及び第 2 の流動体を液滴吐出法により吐出し、
前記有機溶剤が塗布された領域が、前記有機溶剤が塗布されない領域よりも前記絶縁膜
表面における前記第 1 及び第 2 の流動体のぬれ性が高いことに起因して、前記第 1 の流動
体の端部は凹状に湾曲し、前記第 2 の流動体の端部は前記凹状の湾曲に沿うよう凸状に湾
曲し、両端部が湾曲した隙間を介して隣り合うように前記絶縁膜表面を広がり、
前記第 1 及び第 2 の流動体を硬化させることによってソース電極及びドレイン電極を形
成し、
前記ゲート電極と重なる領域で且つ前記ソース電極及び前記ドレイン電極間に挟まれた
領域において前記絶縁膜と接すると共に、前記ソース電極及び前記ドレイン電極と接する
ように半導体膜を形成することを特徴とする半導体素子を備えた表示装置の製造方法。

【請求項 2】

請求項 1 において、
前記半導体膜は非晶質半導体、微結晶半導体、及び有機半導体のいずれかを用いて形成

されることを特徴とする半導体素子を備えた表示装置の製造方法。

【請求項 3】

基板上にゲート電極を形成し、
前記ゲート電極を覆うように絶縁膜を形成し、
前記絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に n 型不純物又は p 型不純物を含む第 2 の半導体膜を形成し、
前記第 2 の半導体膜表面の前記ゲート電極と重なる領域に有機溶剤を塗布し、
前記第 2 の半導体膜表面に、前記有機溶剤が塗布され且つ残存する領域から前記有機溶剤が塗布されない領域にわたり、粒径が 1 nm 以上 100 nm 以下の導電性の微粒子が有機溶媒に分散した第 1 及び第 2 の流動体を液滴吐出法により吐出し、

10

前記有機溶剤が塗布された領域が、前記有機溶剤が塗布されない領域よりも前記第 2 の半導体膜表面における前記第 1 及び第 2 の流動体のぬれ性が高いことに起因して、前記第 1 の流動体の端部は凹状に湾曲し、前記第 2 の流動体の端部は前記凹状の湾曲に沿うよう凸状に湾曲し、両端部が湾曲した隙間を介して隣り合うように前記第 2 の半導体膜表面を広がり、

前記第 1 及び第 2 の流動体を硬化させることによってソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記第 2 の半導体膜をエッチングしてソース領域及びドレイン領域を形成することを特徴とする半導体素子を備えた表示装置の製造方法。

20

【請求項 4】

請求項 3 において、

前記第 1 の半導体膜は非晶質半導体、及び微結晶半導体のいずれかをを用いて形成されることを特徴とする半導体素子を備えた表示装置の製造方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記液滴吐出法はインクジェット技術を用いた方法であることを特徴とする半導体素子を備えた表示装置の製造方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記導電性の微粒子は、金、銀、銅、金と銀との合金、金と銅との合金、銀と銅との合金、金と銀と銅との合金、及び導電酸化物のいずれかを主成分とする微粒子であることを特徴とする半導体素子を備えた表示装置の製造方法。

30

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記有機溶剤は沸点が 150 を超え、且つ 300 を超えないものであることを特徴とする半導体素子を備えた表示装置の製造方法。

【請求項 8】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記有機溶剤はテトラデカン、デカノール、及びオクタノールのいずれかであることを特徴とする半導体素子を備えた表示装置の製造方法。

40

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーにおいて、

前記有機溶媒と前記有機溶剤とは同じ材料でなることを特徴とする半導体素子を備えた表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示する発明は、直接描画プロセスによる半導体素子を備えた表示装置の製造方法、及びその方法によって得られた表示装置、並びにその表示装置を搭載した電子機

50

器に関するものである。本明細書において、半導体素子とは、薄膜トランジスタを含むものとする。

【背景技術】

【0002】

液晶表示装置、エレクトロルミネッセンス（EL）表示装置に使用される、非晶質シリコン薄膜トランジスタ及び多結晶シリコン薄膜トランジスタを製造するために、複数枚のフォトマスクが用いられ、フォトリソグラフィー工程が複数回繰り返される。

【0003】

薄膜トランジスタを製造する現場では、フォトマスクの枚数を減らし、フォトリソグラフィー工程を削減することが強く求められている。そこで、フォトリソグラフィー工程の代替として、特許文献1及び特許文献2に記載されているように、インクジェット技術などを用いた液滴吐出によって、配線パターン及び膜パターンを形成する直接描画が検討されている。この直接描画による方法を用いることにより、フォトリソグラフィー工程を必要とせずにパターンを形成することができるので、フォトマスクの枚数を減らすことができる。

10

【0004】

ところで、チャンネル長（通常Lで示す）に対するチャンネル幅（通常Wで示す）、即ちW/Lを大きくすることによって、薄膜トランジスタのオン電流を高く、動作速度を高くすることが知られている。つまり、チャンネル幅Wを大きくする、又はチャンネル長Lを短くすることによって、薄膜トランジスタのオン電流を高くし、動作速度を高くすることができる。

20

【0005】

フォトリソグラフィー工程により薄膜トランジスタを製造する場合、例えば、マスクパターンを変更したフォトマスクを使用することによって、チャンネル長Lを短くできると共にチャンネル幅Wを大きくすることができる。しかし、液滴吐出による直接描画で薄膜トランジスタを製造する場合、複雑な工程なしにチャンネル長を短くする又はチャンネル幅を大きくする方法は、未だ確立されているとはいえない。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本明細書に開示する発明は、半導体素子を備えた表示装置の製造工程において、直接描画プロセスを用いてフォトリソグラフィー工程を削減し、且つオン電流や動作速度の高い半導体素子を得ることを目的とする。

30

【課題を解決するための手段】

【0007】

電極又は配線を形成するために、金属の微粒子を含有し当該微粒子が凝集することなく所定の有機溶媒中に均一に分散した流動体（液体又はペースト）を、インクジェット技術などを用いて吐出させ、2つの直線を描画した。その際、2つの直線同士が互いに繋がらないように描画すると、その2つの直線を構成するそれぞれの流動体同士は、互いに弾くという現象がみられた。この現象は、本発明者が経験上見出したものである。

40

【0008】

また、上記流動体のぬれ性を高くする溶剤を所定の領域に塗布し、その溶剤が塗布された領域から塗布されない領域にわたって上記流動体を吐出させたとき、その溶剤が塗布された領域では塗布されない領域よりも吐出した流動体が広がる現象がみられた。これは、上記溶剤が塗布された領域において、塗布されない領域よりも流動体のぬれ性が高くなったためである。

【0009】

ぬれ性は、固体表面に対する流動体の接触角によって評価され、接触角が小さいほど流動体のぬれ性が高いことになる。本明細書において、ぬれ性が高いとは、固体表面に対する流動体の接触角が90°より小さい場合をいう。即ち、上記溶剤が塗布された領域では

50

、流動体の接触角は90°より小さくなっている。また、本明細書に開示する発明では、上記溶剤が塗布された領域の方が、上記溶剤が塗布されない領域よりも、流動体の接触角が小さくなっていればよいものとする。

【0010】

これらの現象を利用し、チャネル幅Wを大きくし、チャネル長Lを短くした、半導体素子の1つである薄膜トランジスタを作製することができる。

【0011】

本明細書に開示する発明の1つは、
基板上に形成されたゲート電極又は配線と、
前記ゲート電極又は配線を覆うように形成された絶縁膜と、
前記絶縁膜上に形成されたソース及びドレイン電極と、
前記ソース及びドレイン電極間に挟まれた湾曲部において前記絶縁膜と接すると共に、
該ソース及びドレイン電極と接するように形成された半導体膜とを有し、
前記湾曲部は前記絶縁膜を介して前記ゲート電極又は配線上にあり、
前記湾曲部を介して隣り合う、前記ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し他方は凸状に湾曲してなることを特徴とする半導体素子を備えた表示装置である。

10

【0012】

本明細書に開示する他の発明は、
基板上に形成されたゲート電極又は配線と、
前記ゲート電極又は配線を覆うように形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された島状の第1の半導体膜と、
前記第1の半導体膜上に形成されたn型不純物又はp型不純物を含む第2の半導体膜でなるソース及びドレイン領域と、
前記ソース及びドレイン領域上から前記ゲート絶縁膜上にわたって形成されたソース及びドレイン電極とを有し、
前記ソース及びドレイン電極間に挟まれ且つ前記ソース及びドレイン領域間に挟まれた湾曲部を有し、
前記湾曲部は前記絶縁膜及び前記第1の半導体膜を介して前記ゲート電極又は配線上にあり、
前記湾曲部を介して隣り合う、前記ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し他方は凸状に湾曲してなり、
前記湾曲部を介して隣り合う、前記ソース及びドレイン領域それぞれの端部は、前記ソース及びドレイン電極それぞれの端部と同じ形状であることを特徴とする半導体素子を備えた表示装置である。

20

30

【0013】

本明細書に開示する他の発明は、
基板上にゲート電極又は配線を形成する工程と、
前記ゲート電極又は配線を覆うように絶縁膜を形成する工程と、
前記絶縁膜表面の少なくとも前記ゲート電極又は配線の一部と重なる領域に有機溶剤を塗布する工程と、
前記絶縁膜表面に、前記有機溶剤が塗布され且つ残存する領域から前記有機溶剤が塗布されない領域にわたり、粒径が1nm以上100nm以下の導電性の微粒子が有機溶媒に分散した流動体を液滴吐出法により吐出させる工程と、
前記流動体を焼成して硬化させることによってソース及びドレイン電極を形成する工程と、
前記ソース及びドレイン電極間に挟まれた湾曲部において前記絶縁膜と接すると共に、
該ソース及びドレイン電極と接するように半導体膜を形成する工程とを有し、
前記有機溶剤は、該有機溶剤が塗布されない領域よりも前記絶縁膜表面における前記流動体のぬれ性を高めるために塗布され、

40

50

前記湾曲部を介して隣り合う、前記ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し他方は凸状に湾曲して形成されることを特徴とする半導体素子を備えた表示装置の製造方法である。

【 0 0 1 4 】

本明細書に開示する他の発明は、

基板上にゲート電極又は配線を形成する工程と、

前記ゲート電極又は配線を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 の半導体膜を形成する工程と、

前記第 1 の半導体膜上に n 型不純物又は p 型不純物を含む第 2 の半導体膜を形成する工程と、

前記第 1 の半導体膜及び前記第 2 の半導体膜をパターニングして島状とする工程と、

前記島状の第 2 の半導体膜表面の少なくとも前記ゲート電極又は配線の一部と重なる領域に有機溶剤を塗布する工程と、

前記有機溶剤が塗布され且つ残存する領域から前記有機溶剤が塗布されない前記ゲート絶縁膜の表面にわたり、粒径が 1 nm 以上 100 nm 以下の導電性の微粒子が有機溶媒に分散した流動体を液滴吐出法により吐出させる工程と、

前記流動体を焼成して硬化させることによってソース及びドレイン電極を形成する工程と、

前記ソース及びドレイン電極をマスクとして、前記第 2 の半導体膜をドライエッチングしてソース及びドレイン領域を形成する工程とを有し、

前記有機溶剤は、前記有機溶剤が塗布されない領域よりも前記第 2 の半導体膜表面における前記流動体のぬれ性を高めるために塗布され、

前記ソース及びドレイン電極を形成する工程と前記ソース及びドレイン領域を形成する工程によって、前記ソース及びドレイン電極間に挟まれ且つ前記ソース及びドレイン領域間に挟まれた湾曲部が形成され、

前記湾曲部を介して隣り合う、前記ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し他方は凸状に湾曲して形成され、

前記湾曲部を介して隣り合う、前記ソース及びドレイン領域それぞれの端部は、前記ソース及びドレイン電極それぞれの端部と同じ形状に形成されることを特徴とする半導体素子を備えた表示装置の製造方法である。

【発明の効果】

【 0 0 1 5 】

本明細書に開示する発明により、半導体素子のチャネル幅 W を大きくし、チャネル長 L を短くすることを容易に実現することができる。本明細書に開示する発明により、オン電流、動作速度の高い半導体素子を、フォトリソグラフィー工程なしに又はフォトリソグラフィー工程を削減して製造することができる。

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下に記載する実施の形態 1 乃至 4 では、半導体素子である薄膜トランジスタの製造工程、及び製造された薄膜トランジスタについて説明する。

【 0 0 1 7 】

(実施の形態 1)

図 1 (A) に示すように、基板 101 上にゲート電極 (配線) 102 を形成する。図 1 (A) では、ゲート電極 (配線) 102 の断面形状は凸状であるように示したが、凸状に限定されるわけではない。基板は、ガラス基板、石英基板、プラスチック基板のいずれでもよい。ゲート電極 (配線) 102 の形成方法として、流動体の液滴を微細な孔から吐出させて所定の形状のパターンを形成する方法 (以下、本明細書では液滴吐出法という) を用いた例を以下に示す。インクジェット技術を用いた方法は、液滴吐出法の代表例である。本明細書に記載する液滴吐出法は、インクジェット技術を用いた方法に必ずしも限定されない。

【 0 0 1 8 】

粒径が1 nm以上100 nm以下の導電性の微粒子を含有し当該微粒子が溶媒中に分散した流動体（液体又はペースト）を、所定の形状になるように、基板上に例えばインクジェットヘッドから吐出させる。本実施の形態では、流動体を直線状に吐出させた。その後、吐出した流動体を焼成して硬化させることによって、ゲート電極が形成される。硬化後、形成されるゲート電極の上面が窪んで、その断面が凹状になることがあるが、特に問題はない。

【 0 0 1 9 】

流動体を完全に硬化するため、150 以上の焼成温度が必要である。しかし、流動体中に含まれる導電性の微粒子が銀を主成分とする微粒子である場合、焼成温度が300 10
を越えると、緻密性が失われ、多孔で、表面が荒れた状態になる。そのため、300 を超えない温度でなければならない。焼成時間は1時間でよいが、流動体が完全に硬化するのであれば、必ずしも1時間に限定されない。

【 0 0 2 0 】

上記流動体は、導電性の微粒子が溶媒中に凝集することなく均一に分散していることが必要条件である。例えば、特開2002-299833号公報又は特開2002-324966号公報に記載されている導電性金属ペーストは、この条件を満たしている。流動体中に含まれる導電性の微粒子として、上述した銀を主成分とする微粒子が挙げられるが、焼成後に電極や配線として使用可能ならば、銀に限定されない。例えば、金、銅、金と銀の合金、金と銅の合金、銀と銅の合金、金と銀と銅の合金のいずれかを主成分とする微粒子20
でもよい。また、インジウム錫酸化物（ITO）などの導電性酸化物を主成分とする微粒子でもよい。

【 0 0 2 1 】

ゲート電極（配線）102を形成する他の方法として、公知のスパッタ法又は真空蒸着法を用いる方法でもよい。また、液滴吐出法の代わりに、スクリーン印刷法によってゲート電極（配線）102を形成してもよい。

【 0 0 2 2 】

次に、図1（B）に示すように、ゲート電極（配線）102上及び基板101上にゲート絶縁膜103を形成する。ゲート絶縁膜103として、例えば、ポリイミド膜を用いることができる。ポリイミド膜は、スピンコート法により形成することができ、スピンコート30
後に200 を超えない温度、具体的には180 で1時間焼成を行うことによって形成される。スピンコート法の代わりに、液滴吐出法を用いて、ポリイミド膜を形成することもできる。ポリイミド膜の代わりに他の有機樹脂膜でもよく、酸化珪素、窒化珪素のような無機絶縁膜でもよい。

【 0 0 2 3 】

図1（C）に示すように、ゲート絶縁膜103の表面の領域104に有機溶剤を塗布する。領域104とは、少なくともゲート電極（配線）102の一部と重なる領域であり、ゲート絶縁膜103表面の少なくともゲート電極（配線）102上の領域である。図2（A）に、ゲート電極（配線）102と領域104との関係を図示するために、上面図で示す。有機溶剤を塗布する方法として、前述の液滴吐出法を用いることができる。40

【 0 0 2 4 】

塗布する有機溶剤は、室温で容易に揮発しないテトラデカン、デカノール、オクタノールのような沸点が150 を超える高沸点溶剤がよい。ただし、有機溶剤を塗布した後に、後述するように流動体を焼成してソース及びドレイン電極を形成したとき、上記有機溶剤が極力残留しないようにしたい。そのため、塗布する有機溶剤は沸点が300 を超えないものが望ましい。一方、塗布後すぐに乾いてしまう、アセトン、エタノールのような、沸点が100 以下の低沸点溶剤は、本明細書に開示する発明には不适当である。

【 0 0 2 5 】

また、ソース及びドレイン電極を形成するために使用する流動体に含まれる有機溶媒と同じものを、領域104に塗布する有機溶剤として使用することによって、確実にその流50

動体のぬれ性を高くすることができる。

【 0 0 2 6 】

例えば、導電性の微粒子がテトラデカン中に分散した流動体を用いる場合はテトラデカン領域 1 0 4 に塗布し、導電性の微粒子がデカノール中に分散した流動体を用いる場合はデカノール領域 1 0 4 に塗布するということである。しかし、領域 1 0 4 に塗布する有機溶剤は、上記流動体のぬれ性を高めることができる高沸点溶剤であればよいので、必ずしも上記流動体に含まれる有機溶媒と同じものである必要はない。

【 0 0 2 7 】

上述のように有機溶剤を塗布したら、その有機溶剤が領域 1 0 4 に残存した状態で、再び液滴吐出法を用いて、粒径が 1 n m 以上 1 0 0 n m 以下の導電性の微粒子を含有し当該微粒子が有機溶媒に分散した流動体（液体又はペースト）を吐出させ、所定の形状になるように描画する。その流動体としては、ゲート電極（配線）1 0 2 の形成時に使用したものと同一ものを使用すればよい。

【 0 0 2 8 】

描画後の状態を図 2（B）に上面図で示す。図 2（B）に 2 0 1、2 0 2 で示すのは、焼成することによって硬化し、ソース及びドレイン電極になる流動体である。流動体 2 0 1、2 0 2 はそれぞれ、有機溶剤が塗布され且つその有機溶剤が残存する領域 1 0 4 から塗布されない領域にわたるように吐出させた状態を示す。流動体 2 0 1、2 0 2 は、領域 1 0 4 では、有機溶剤が塗布されない領域よりもぬれ性が高いため、ゲート絶縁膜 1 0 3 の表面に沿う方向に広がる。

【 0 0 2 9 】

流動体 2 0 1、2 0 2 は、領域 1 0 4 において上記のように広がる。しかし、そのことによって流動体 2 0 1、2 0 2 同士が接近しても、両者は互いに弾くため繋がることはない。

【 0 0 3 0 】

その後、流動体 2 0 1、2 0 2 を、1 5 0 以上の温度で所定の時間焼成して硬化させることによって、図 1（D）に示すソース及びドレイン電極 1 0 5、1 0 6 が形成される。焼成後、領域 1 0 4 に塗布した有機溶剤は残留していないことが望ましい。

【 0 0 3 1 】

次に、図 1（E）に示すように、半導体膜 1 0 7 を形成する。半導体膜 1 0 7 として、例えばベンゼン環が 5 つ直線的につながった形状をもつ p 型の有機半導体であるペンタセンを、メタルマスクを用いて蒸着する。図 1（E）に示すように、半導体膜 1 0 7 は、ソース及びドレイン電極 1 0 5、1 0 6 の間にゲート絶縁膜 1 0 3 と接するように形成されると共に、ソース及びドレイン電極 1 0 5、1 0 6 とともに接するように形成される。

【 0 0 3 2 】

蒸着の代わりに、液滴吐出法又はスクリーン印刷法を用いてペンタセンを形成してもよい。ペンタセンの代わりに、他の有機半導体を用いてもよい。ペンタセンのような有機半導体でなく、シリコン膜を公知の C V D 法により形成し、半導体膜 1 0 7 としてもよい。この場合のシリコン膜の結晶性は、特に限定されない。

【 0 0 3 3 】

図 2（C）は、ソース及びドレイン電極 1 0 5、1 0 6 の形状を示す上面図である。チャンネル長 L とチャンネル幅 W を図 2（C）に矢印で示す。ゲート電極（配線）1 0 2 上においてソース及びドレイン電極 1 0 5、1 0 6 の間に挟まれた湾曲部（湾曲した隙間）が存在する。チャンネル長 L はその湾曲した隙間の幅（その幅が均一でない場合は、その幅の平均値）に相当し、チャンネル幅 W はその湾曲した隙間の湾曲に沿った長さに相当する。

【 0 0 3 4 】

上記湾曲部（湾曲した隙間）を介して隣り合う、ソース及びドレイン電極 1 0 5、1 0 6 それぞれの端部 2 0 3、2 0 4 は、一方は凹状に湾曲し、他方は凸状に湾曲している。そして、一方の端部の凹状の湾曲に沿うように、他方の端部は凸状に湾曲している。

【 0 0 3 5 】

基板としてガラス基板を用い、銀を主成分とする微粒子を含有し当該微粒子がテトラデカン中に分散した流動体を使用して液滴吐出法により形成したソース及びドレイン電極並びにゲート電極を用い、ゲート絶縁膜として厚さが120nmのポリイミド膜を用い、半導体膜として厚さが50nmのペンタセン膜を用いて形成した薄膜トランジスタの上面写真を、図3(A)及び図3(B)に示す。これらの写真から、ゲート電極と、その上に形成されたソース電極、ドレイン電極の存在が判別できる。

【0036】

図3(A)は、本実施の形態にしたがって形成された薄膜トランジスタであり、ソース電極及びドレイン電極を形成する前に、ポリイミド膜表面の少なくともゲート電極と重なる領域に、液滴吐出法を用いてテトラデカンを吐出させる工程を伴う場合である。図3(B)は比較例であり、ポリイミド膜表面にテトラデカンを吐出させる上記工程を省略して形成された薄膜トランジスタである点で図3(A)と異なる。

10

【0037】

図3(A)に示す薄膜トランジスタはチャンネル幅 W が350 μm でチャンネル長 L が50 μm ($W/L = 350/50$)であり、図3(B)に示す薄膜トランジスタはチャンネル幅 W が100 μm でチャンネル長 L が300 μm ($W/L = 100/300$)である。図3(A)に示す薄膜トランジスタの方が、明らかにチャンネル長 L は短くチャンネル幅 W は大きくなっているため、図3(B)よりも薄膜トランジスタのオン電流、動作速度が高くなる。

【0038】

図4に、図3(A)に示す薄膜トランジスタと図3(B)に示す薄膜トランジスタの、ゲート電圧 V_G を横軸にドレイン電流 I_D を縦軸に表した $V_G - I_D$ 特性を、ドレイン電圧 V_D が-3V及び-5Vそれぞれのときについて測定した結果を示す。半導体膜としてペンタセンを用いたpチャンネル型の薄膜トランジスタを測定したので、ドレイン電流 I_D は実際はマイナスの値となるため、図4では縦軸を $-I_D$ で表している。

20

【0039】

$V_G - 3\text{V}$ の範囲に注目すると、 $-I_D$ の値は、 $W/L = 350/50$ の薄膜トランジスタの方が $W/L = 100/300$ の薄膜トランジスタよりも大きい結果となった。この結果は、前者の薄膜トランジスタの方が後者よりもオン電流が高いことを示している。

【0040】

本実施の形態に限らず本明細書に開示する発明は、非晶質半導体、微結晶半導体、有機半導体をチャンネル形成領域に用いた、移動度の低い薄膜トランジスタを形成する場合に適している。これらの半導体材料を用いた薄膜トランジスタは、通常は移動度が $5\text{cm}^2/\text{Vs}$ 以下と低いため、オン電流を高くするために、 W/L が大きくなるように設計しなければならないからである。本明細書に開示する発明は、上記半導体を用いた薄膜トランジスタのみならず、多結晶シリコンをチャンネル形成領域に用いた薄膜トランジスタの場合にも、薄膜トランジスタのオン電流や動作速度を高くすることに寄与する。

30

【0041】

また、本実施の形態に限らず本明細書に開示する発明は、液晶表示装置などの表示装置に適用する場合に適している。流動体のぬれ性を高める有機溶剤を、例えばゲート電極(配線)と重なる領域からはみ出さないようにゲート絶縁膜に塗布することによって、ゲート電極と重ならない領域では流動体が広がらない。そのため、その流動体を硬化させて形成されたソース及びドレイン電極は、有機溶剤が塗布されない、ゲート電極と重ならない領域で、幅広く太くなることはない。したがって、開口率を低下させずに、薄膜トランジスタのチャンネル幅 W を大きくすることができる。ゲート電極が形成された領域では光は透過せず遮られるので、当該領域に重なる領域でのみソース及びドレイン電極が幅広くなっても、開口率に影響しないからである。

40

【0042】

また、本実施の形態にしたがって、フォトリソグラフィー工程及びそれに伴って使用されるフォトマスクなしに、薄膜トランジスタを製造することができる。

【0043】

50

(実施の形態2)

本実施の形態では、実施の形態1とは異なり、半導体膜としてペンタセンのような有機半導体を使用せず、シリコンなどの半導体膜を用いる。

【0044】

図5(A)に示すように、ガラス基板、石英基板、プラスチック基板いずれかの基板501上にゲート電極(配線)502を形成する。ゲート電極(配線)502の形成法は、実施の形態1に示したように、液滴吐出法を用いればよい。もちろんその他の方法で形成してもよい。

【0045】

次に、ゲート絶縁膜の第1の層503として、シリコンと酸素との結合で骨格構造が構成された膜(以下、本明細書では耐熱性平坦化膜という)を形成する。耐熱性平坦化膜は、有機樹脂膜よりも耐熱性が高く、ゲート電極(配線)502と基板501を覆うようにスピンコート法などによりシロキサン系ポリマーを塗布し、焼成して得られる。スピンコート法の代わりに、液滴吐出法を用いて、シロキサン系ポリマーを塗布してもよい。第1の層503の膜厚は、例えば100nmとする。また、第1の層503として、CVD法により窒化珪素膜、酸化珪素膜、又は酸化窒化珪素膜を形成してもよい。

【0046】

さらに、ゲート絶縁膜の第2の層504として、第1の層503上に窒化珪素膜をCVD法により形成する。第2の層504の膜厚は、例えば200nmとする。また、第2の層504の形成法は、他の方法で形成してもよく、CVD法に限定されない。また、第2の層504は窒化珪素膜に限定されず、例えば酸化珪素膜、酸化窒化珪素膜でもよい。ただし、第2の層504は、第1の層503と異なる材料で形成する。なお、上記のように2層でなく、1層のみでゲート絶縁膜を形成してもよい。

【0047】

図5(B)に示すように、第1の半導体膜505を形成する。ゲート絶縁膜の第2の層504上に、シラン(SiH_4)などの原料ガスを用いて、CVD法により非晶質半導体膜を形成し、第1の半導体膜505とする。形成された非晶質半導体膜を結晶化することによって、結晶性半導体膜としてもよい。

【0048】

非晶質半導体膜を結晶化する方法の具体例を示す。まず、非晶質半導体膜として非晶質シリコン膜をCVD法により形成する。その後、シリコン膜の結晶化を助長する金属元素、例えばニッケルを含む溶液を上記非晶質シリコン膜に塗布した後、炉でその非晶質シリコン膜を例えば550℃、4時間加熱して固相成長させる。

【0049】

形成された結晶性シリコン膜には上記金属元素を含んでいるので、これを除去するためゲッタリングと呼ばれる処理を行う。すなわち、形成された結晶性シリコン膜表面の酸化膜を除去した後、リンを含む非晶質シリコン膜を少なくとも1層、例えば2層形成し、炉で再び加熱して上記金属元素を結晶性シリコン膜からリンを含む非晶質シリコン膜へ拡散させる。加熱条件は、例えば上記固相成長と同じでよい。こうして、金属元素の濃度を低減させた結晶性シリコン膜が得られる。

【0050】

上記のような固相成長とゲッタリングを組み合わせた方法以外に、非晶質半導体膜にレーザービームを照射する方法、非晶質半導体膜に高速熱アニール(RTAと称する)を施す方法、これら3つの方法のいずれかを適宜組み合わせた方法によって、非晶質半導体膜を結晶化してもよい。

【0051】

第1の半導体膜505として、いわゆる微結晶半導体膜でもよい。微結晶半導体膜とは、非晶質構造と結晶構造(単結晶、多結晶を含む)との中間的な構造を有し、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することができる。微結晶シリコン膜の場合、ラマン

10

20

30

40

50

スペクトルは 520 cm^{-1} よりも低波数側にシフトしている。X線回折ではシリコンの結晶格子に由来するとされる (111) (220) の回折ピークが観測される。微結晶半導体膜は、珪化物の気体、例えば SiH_4 、 Si_2H_6 、 $\text{Si}_2\text{H}_2\text{Cl}_2$ 、 SiHCl_3 、 SiCl_4 、又は SiF_4 のグロー放電分解（プラズマCVD）により、300 以下の成膜温度で形成される。 F_2 、 GeF_4 を上記珪化物の気体に混合させてもよい。

【0052】

第1の半導体膜505上に、n型不純物（リン又はヒ素）を含む第2の半導体膜506を形成する。第2の半導体膜506は、n型不純物の代わりに又はn型不純物と共にp型不純物（ホウ素）を含むものでもよい。第2の半導体膜506の結晶性は、非晶質、微結晶、多結晶のいずれでもよい。また、前述のゲッタリング処理によって金属元素が拡散したリンを含むシリコン膜を、第2の半導体膜506として利用することができる。そのことによって、上記金属元素が拡散したリンを含むシリコン膜を除去する工程が必要なくなる。

10

【0053】

第1の半導体膜505及び第2の半導体膜506をパターニングし、図5（C）に示すように島状の第1の半導体膜505aと島状の第2の半導体膜506aが得られる。公知のフォトリソグラフィ法によってパターニングしてもよいが、レーザー直接描画装置を用いてフォトマスクなしにパターニングすることもできる。

【0054】

次に、島状にパターニングされた第2の半導体膜506表面の領域507に、有機溶剤としてテトラデカン、デカノール、オクタノールのような、沸点が150 を超える高沸点溶剤を塗布する。有機溶剤が塗布される領域507は、少なくともゲート電極（配線）502の一部と重なる領域とする。領域507に塗布する有機溶剤は、後にソース及びドレイン電極を形成するために使用する流動体のぬれ性を高めることができるものでなければならない。

20

【0055】

図5（D）に示すように、ソース及びドレイン電極508、509を、実施の形態1と同様に液滴吐出法を用いて形成する。吐出させる流動体は、実施の形態1に示したものを使用すればよい。例えば、粒径が1nm以上100nm以下の銀を主成分とする微粒子を含有し当該微粒子がテトラデカン中に分散した流動体を、インクジェットヘッドなどから吐出させた後、所定の条件で焼成することによって硬化させると、銀を主成分とするソース及びドレイン電極508、509が形成される。

30

【0056】

領域507に塗布された有機溶剤が残存した状態で、領域507から有機溶剤が塗布されないゲート絶縁膜の第2の層504の表面にわたって上記流動体を吐出させる。吐出した流動体は第2の半導体膜506の表面に沿って広がるので、実施の形態1と同様の形状のソース及びドレイン電極508、509が得られる。すなわち、ゲート電極（配線）502上においてソース及びドレイン電極508、509の間に挟まれた湾曲部（湾曲した隙間）が存在する。その湾曲した隙間を介して隣り合う、ソース及びドレイン電極508、509それぞれの端部は、一方は凹状に湾曲し、他方は凸状に湾曲している。そして、一方の端部の凹状の湾曲に沿うように、他方の端部は凸状に湾曲している。

40

【0057】

図5（E）に示すように、ソース及びドレイン電極508、509をマスクとして、島状にパターニングされた第2の半導体膜506をエッチングし、ソース及びドレイン領域510、511を形成する。エッチングの際に、異方性エッチング可能なドライエッチング法を用いる。また、第2の半導体膜506と共に第1の半導体膜505表面の一部がエッチングされて、いわゆるチャネルエッチ型薄膜トランジスタとなってもよい。このような場合は、ゲート絶縁膜の第2の層504の表面が露呈しないような条件で、エッチングしなければならない。形成されたソース及びドレイン領域510、511は、ソース及びドレイン電極508、509と同様の湾曲を有する形状となる。

50

【 0 0 5 8 】

領域 5 0 7 に有機溶剤を塗布する工程を含む本実施の形態にしたがって得られた薄膜トランジスタは、実施の形態 1 と同様、チャンネル長 L が短く、チャンネル幅 W が大きくなっている。

【 0 0 5 9 】

(実施の形態 3)

本実施の形態では、実施の形態 1 に示した薄膜トランジスタをダブルゲート構造にした例を示す。

【 0 0 6 0 】

図 6 (A) に示すように、ガラス基板、石英基板、プラスチック基板いずれかの基板 6 0 1 上に、ゲート電極 (配線) 6 0 2 、 6 0 3 を例えば液滴吐出法を用いて形成する。

10

【 0 0 6 1 】

図 6 (B) に示すように、ゲート電極 (配線) 6 0 2 、 6 0 3 上及び基板 6 0 1 上に、ゲート絶縁膜 6 0 4 としてポリイミド膜を例えばスピンコート法により形成する。実施の形態 1 と同様、ゲート絶縁膜 6 0 4 はポリイミド膜に限定されない。

【 0 0 6 2 】

図 6 (C) に示すように、ゲート絶縁膜 6 0 4 の表面の領域 6 0 5 、 6 0 6 に、例えば液滴吐出法を用いて有機溶剤を塗布する。領域 6 0 5 とは少なくともゲート電極 (配線) 6 0 2 の一部と重なる領域であり、領域 6 0 6 とは少なくともゲート電極 (配線) 6 0 3 の一部と重なる領域である。領域 6 0 5 、 6 0 6 に塗布する有機溶剤は、実施の形態 1 に示した高沸点溶剤である。

20

【 0 0 6 3 】

図 6 (D) に示すように、液滴吐出法により、ゲート絶縁膜 6 0 4 上にソース及びドレイン電極 6 0 7 、 6 0 8 、 6 0 9 を形成する。ソース及びドレイン電極 6 0 7 、 6 0 8 、 6 0 9 が形成される領域は、ゲート絶縁膜 6 0 4 上において、有機溶剤が塗布された領域 6 0 5 、 6 0 6 から有機溶剤が塗布されない領域にわたる。

【 0 0 6 4 】

図 6 (E) に示すように、ペンタセンなどの有機半導体を、蒸着、液滴吐出法又はスクリーン印刷法を用いて形成することによって、半導体膜 6 1 0 を形成する。半導体膜 6 1 0 は有機半導体に限定されず、シリコン膜を C V D 法で形成してもよい。この場合のシリコン膜の結晶性は、特に限定されない。半導体膜 6 1 0 は、ソース及びドレイン電極 6 0 7 、 6 0 8 間と 6 0 8 、 6 0 9 間にゲート絶縁膜 6 0 4 と接するように形成されると共に、ソース及びドレイン電極 6 0 7 、 6 0 8 、 6 0 9 とも接するように形成される。

30

【 0 0 6 5 】

ゲート電極 (配線) 6 0 2 上において、ソース及びドレイン電極 6 0 7 、 6 0 8 の間に挟まれた湾曲部 (湾曲した隙間) が存在する。また、ゲート電極 (配線) 6 0 3 上において、ソース及びドレイン電極 6 0 8 、 6 0 9 の間に挟まれた湾曲部 (湾曲した隙間) が存在する。それらの湾曲した隙間を介して隣り合う、ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し、他方は凸状に湾曲している。そして、一方の端部の凹状の湾曲に沿うように、他方の端部は凸状に湾曲している。

40

【 0 0 6 6 】

本実施の形態に示すようにダブルゲート構造を採用することによって、実施の形態 1 に示すシングルゲート構造に比べて薄膜トランジスタのオフ電流を低減することができる。

【 0 0 6 7 】

(実施の形態 4)

本実施の形態では、実施の形態 2 に示した薄膜トランジスタをダブルゲート構造にした例を示す。

【 0 0 6 8 】

図 7 (A) に示すように、ガラス基板、石英基板、プラスチック基板いずれかの基板 7 0 1 上に、ゲート電極 (配線) 7 0 2 、 7 0 3 を例えば液滴吐出法を用いて形成する。

50

【0069】

次に、ゲート絶縁膜の第1の層704として、例えばシリコンと酸素との結合で骨格構造が構成された膜（耐熱性平坦化膜）を、スピンコート法などによりシロキサン系ポリマーを塗布し、焼成して形成する。さらに、ゲート絶縁膜の第2の層705として、例えば窒化珪素膜を形成する。実施の形態2と同様、他の絶縁膜を用いて、第1の層704及び第2の層705を形成してもよい。ただし、第2の層705は、第1の層704と異なる材料で形成する。上記のように2層でなく、1層のみでゲート絶縁膜を形成してもよい。

【0070】

図7(B)に示すように、ゲート絶縁膜の第2の層705上に、第1の半導体膜706として例えば非晶質シリコン膜をCVD法により形成する。第1の半導体膜706の結晶性は、非晶質に限定されず、微結晶でも多結晶でもよい。第1の半導体膜706上に、第2の半導体膜707として例えばn型不純物を含む微結晶シリコン膜を形成する。第2の半導体膜707は、p型不純物を含むものでもよい。また、第2の半導体膜707の結晶性は、微結晶に限定されず、非晶質、多結晶いずれでもよい。

【0071】

第1の半導体膜706及び第2の半導体膜707をパターニングし、図7(C)に示すように島状の第1の半導体膜706a、706bと島状の第2の半導体膜707a、707bが得られる。レーザー直接描画装置を用いて、フォトマスクなしに、第1の半導体膜706及び第2の半導体膜707をパターニングすることができる。

【0072】

次に、島状の第2の半導体膜707a、707bそれぞれの表面の領域708a、708bに、有機溶剤を塗布する。領域708aは少なくともゲート電極（配線）702の一部と重なる領域とし、領域708bは少なくともゲート電極（配線）703の一部と重なる領域とする。領域708a、708bに塗布する有機溶剤は、後にソース及びドレイン電極を形成するために使用する流動体のぬれ性を高めることができ、且つ塗布後すぐに乾くことのない高沸点溶剤でなければならない。

【0073】

図7(D)に示すように、ソース及びドレイン電極709、710、711をインクジェット技術を用いて形成する。吐出させる流動体は、例えば、粒径が1nm以上100nm以下の銀を主成分とする微粒子を含有し当該微粒子がテトラデカン中に分散した流動体を用いることができる。ソース及びドレイン電極709、710、711は、領域708a、708b上から有機溶剤が塗布されないゲート絶縁膜の第2の層705上にわたって形成される。

【0074】

ゲート電極（配線）702上において、ソース及びドレイン電極709、710の間に挟まれた湾曲部（湾曲した隙間）が存在する。また、ゲート電極（配線）703上において、ソース及びドレイン電極710、711の間に挟まれた湾曲部（湾曲した隙間）が存在する。それらの湾曲した隙間を介して隣り合う、ソース及びドレイン電極それぞれの端部は、一方は凹状に湾曲し、他方は凸状に湾曲している。そして、一方の端部の凹状の湾曲に沿うように、他方の端部は凸状に湾曲している。

【0075】

図7(E)に示すように、ソース及びドレイン電極709、710、711をマスクとして、島状の第2の半導体膜707a、707bをエッチングし、ソース及びドレイン領域712、713、714、715を形成する。エッチングの際に、異方性エッチング可能なドライエッチング法を用いる。形成されたソース及びドレイン領域712、713、714、715は、ソース及びドレイン電極709、710、711と同様の湾曲を有する形状となる。

【0076】

本実施の形態に示すようにダブルゲート構造を採用することによって、実施の形態2に示すシングルゲート構造に比べて薄膜トランジスタのオフ電流を低減することができる。

【 0 0 7 7 】

以上説明した実施の形態 1 乃至 4 では、ボトムゲート型の薄膜トランジスタを形成した。しかし、本明細書に開示する発明は、ボトムゲート型の薄膜トランジスタに限定されず、ゲート電極がチャネル形成領域上に設けられた、いわゆる正スタガ型の薄膜トランジスタにも適用できる。

【 実施例 1 】

【 0 0 7 8 】

本明細書に開示する発明によって形成された、半導体素子の 1 つである薄膜トランジスタは、各種表示装置に適用される。適用される表示装置として、例えば液晶表示装置、エレクトロルミネッセンス (E L) 表示装置が挙げられるが、薄膜トランジスタを使用する表示装置であればこれらに限定されない。

10

【 0 0 7 9 】

エレクトロルミネッセンス (E L) 表示装置の画素部の例を、図 8 (A) 及び (B) に回路図で示す。なお、エレクトロルミネッセンス (E L) 表示装置の画素部は、これら 2 つの例に限定されるものではない。

【 0 0 8 0 】

図 8 (A) に示すのは、1 画素につき 2 つの薄膜トランジスタを有するタイプである。8 0 1、8 0 2 はいずれも薄膜トランジスタを示し、発光素子 8 0 3 は薄膜トランジスタ 8 0 2 のソース電極又はドレイン電極に接続されている。8 0 4 は容量素子を示す。薄膜トランジスタ 8 0 1 は例えば n チャネル型、薄膜トランジスタ 8 0 2 は例えば p チャネル型である。薄膜トランジスタ 8 0 1 において、ゲート電極は走査線に接続され、ソース電極又はドレイン電極は信号線に接続されている。

20

【 0 0 8 1 】

図 8 (B) に示すのは、1 画素につき 3 つの薄膜トランジスタを有するタイプである。8 0 5、8 0 6、8 0 7 はいずれも薄膜トランジスタを示し、発光素子 8 0 8 は薄膜トランジスタ 8 0 7 のソース電極又はドレイン電極に接続されている。8 0 9 は容量素子を示す。薄膜トランジスタ 8 0 5 は例えば n チャネル型、薄膜トランジスタ 8 0 6 は例えば n チャネル型、薄膜トランジスタ 8 0 7 は例えば p チャネル型である。薄膜トランジスタ 8 0 5 において、ゲート電極は走査線に接続され、ソース電極又はドレイン電極は信号線に接続されている。

30

【 0 0 8 2 】

本明細書に開示する発明を、図 8 (A) 及び図 8 (B) に示す画素部の薄膜トランジスタに適用することができる。

【 0 0 8 3 】

図 9 (A)、図 9 (B) 及び図 9 (C) は、エレクトロルミネッセンス (E L) 表示装置の画素部の例を断面図で示したものであり、ガラス基板、石英基板、プラスチック基板いずれかの基板上に実施の形態 2 によって形成された薄膜トランジスタと、その薄膜トランジスタのソース電極又はドレイン電極と電気的に接続された発光素子を示す。

【 0 0 8 4 】

図 9 (A) の 9 0 1 は基板、9 0 2 は薄膜トランジスタ、9 0 3 はソース電極又はドレイン電極、9 0 4 は透光性を有する第 1 の電極、9 0 5 は電界発光層、9 0 6 は第 2 の電極、9 0 7 は絶縁膜である。発光した光を基板 9 0 1 側 (下側) に放射させる、いわゆるボトムエミッション型である。

40

【 0 0 8 5 】

図 9 (B) の 9 1 1 は基板、9 1 2 は薄膜トランジスタ、9 1 3 はソース電極又はドレイン電極、9 1 4 は第 1 の電極、9 1 5 は電界発光層、9 1 6 は透光性を有する第 2 の電極、9 1 7 及び 9 1 8 は絶縁膜である。発光した光を基板 9 1 1 側とは反対側 (上側) に放射させる、いわゆるトップエミッション型である。

【 0 0 8 6 】

図 9 (C) の 9 2 1 は基板、9 2 2 は薄膜トランジスタ、9 2 3 はソース電極又はドレ

50

イン電極、924は透光性を有する第1の電極、925は電界発光層、926は透光性を有する第2の電極、927は絶縁膜である。発光した光を基板921側とは反対側(上側)及び基板921側(下側)に放射させるいわゆるデュアルエミッション型である。

【0087】

透光性を有する第1の電極又は第2の電極として、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物、酸化亜鉛と酸化インジウムを含むインジウム亜鉛酸化物(IZO)を用いることができ、スパッタ法又は液滴吐出法により形成できる。

【0088】

図9(A)、図9(B)及び図9(C)に示す、絶縁膜907、918、927は、第1の電極の表面に達する開口が形成されている。その開口の断面は、電界発光層及び第2の電極の被覆性を高めるために、曲率半径が連続的に変化し丸みを帯びた形状であることが好ましい。絶縁膜907、918、927及び917として、酸化珪素、窒化珪素などの無機絶縁膜、ポリイミドなどの有機樹脂膜、シロキサン系ポリマーを塗布し焼成して得られる前述の耐熱性平坦化膜を使用することができる。

10

【0089】

図9(A)、図9(B)及び図9(C)において、第1の電極と第2の電極の一方は陽極、他方は陰極となる。電界発光層905、915、925は、第1の電極が陽極で第2の電極が陰極なら、正孔輸送層、有機発光層、電子輸送層の順に積層して形成され、第1の電極が陰極で第2の電極が陽極なら、電子輸送層、有機発光層、正孔輸送層の順に積層して形成される。陽極と正孔輸送層の間に正孔注入層、陰極と電子輸送層の間に電子注入層を設けてもよい。有機発光層は、液滴吐出法、印刷法、真空蒸着法のいずれかを用いて形成することができ、高分子系の発光材料、低分子系の発光材料のいずれも使用することができる。

20

【0090】

本明細書に開示する発明は、エレクトロルミネッセンス(EL)表示装置の画素部に用いられる薄膜トランジスタに適用できるだけでなく、走査線駆動回路、信号線駆動回路を薄膜トランジスタで形成する場合にも適用できる。これらの駆動回路に使用される薄膜トランジスタは、高速動作が求められる。したがって、本明細書に開示する発明による、チャンネル幅Wの大きい薄膜トランジスタは、オン電流が高く、動作速度が高いため、上記駆動回路に使用するのに適している。

30

【0091】

図10(A)、図10(B)及び図10(C)は、本明細書に開示する発明が適用される液晶表示装置、エレクトロルミネッセンス(EL)表示装置などの表示装置の構成を示す上面図である。

【0092】

図10(A)において、基板1000上に、複数の画素1002がマトリクス状に配列した画素部1001、走査線側入力端子1003、信号線側入力端子1004が形成されている。画素1002は、走査線側入力端子1003から延在する走査線と、信号線側入力端子1004から延在する信号線とが交差することで、マトリクス状に配列している。画素1002それぞれは、スイッチング素子と画素電極を備えている。スイッチング素子の代表例が薄膜トランジスタである。図10(A)は、走査線及び信号線へ入力する信号を、走査線側入力端子1003及び信号線側入力端子1004を介して基板外部に接続される駆動回路により制御する表示装置の例であるが、基板上に駆動回路を形成するCOG方式でもよい。

40

【0093】

図10(B)は、画素部1011及び走査線駆動回路1012を基板1010上に形成した例である。1014は、図10(A)と同様の信号線側入力端子である。また図10(C)は、画素部1021、走査線駆動回路1022及び信号線駆動回路1024を基板1020上に形成した例である。

【0094】

50

図 10 (B) に示す走査線駆動回路 1012、図 10 (C) に示す走査線駆動回路 1022 及び信号線駆動回路 1024 は、薄膜トランジスタにより形成され、画素部に設けられる薄膜トランジスタと同時に形成することができる。ただし、走査線駆動回路と信号線駆動回路は高速動作が求められるため、これらに使用する薄膜トランジスタには、非晶質半導体膜よりも移動度の高い、微結晶半導体膜又は多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを選択すべきである。

【 0095 】

本明細書に開示する発明により作製した薄膜トランジスタは、図 10 (A)、図 10 (B) 及び図 10 (C) に示す画素部に少なくとも適用することができる。図 10 (B) に示す走査線駆動回路 1012、図 10 (C) に示す走査線駆動回路 1022 及び信号線駆動回路 1024 にも適用することができる。

10

【 0096 】

エレクトロルミネッセンス (E L) 表示装置に限らず、液晶表示装置の少なくとも画素部、更には駆動回路にも、本明細書に開示する発明により作製した薄膜トランジスタを適用できる。

【 0097 】

本実施例では、本明細書に開示する発明が適用される液晶表示装置の一例を図 11 に示す。液晶表示装置は、図 11 に示す例に限定されない。

【 0098 】

第 1 の基板 1101 と第 2 の基板 1102 との間に液晶層 1104 を有し、これらの基板同士はシール材 1100 により接着されている。第 1 の基板 1101 には画素部 1103 が形成され、第 2 の基板には着色層 1105 が形成されている。着色層 1105 は、カラー表示を行う際に必要であり、 R G B 方式の場合は、赤、緑、青の各色に対応した着色層が、各画素に対応して設けられている。第 1 の基板 1101 及び第 2 の基板 1102 の外側には、それぞれ偏光板 1106、1107 が設けられている。また、偏光板 1107 の表面には、保護膜 1116 が形成されており、外部からの衝撃を緩和している。

20

【 0099 】

画素部 1103 には薄膜トランジスタが形成されており、本明細書に開示する発明による薄膜トランジスタを適用することができる。

【 0100 】

第 1 の基板 1101 に設けられた接続端子 1108 には、 F P C 1109 を介して配線基板 1110 が接続されている。 F P C 1109 又は接続配線には駆動回路 1111 (I C チップなど) が設けられ、配線基板 1110 には、コントロール回路や電源回路などの外部回路 1112 が設けられている。

30

【 0101 】

冷陰極線管 1113、反射板 1114 及び光学フィルム 1115 はバックライトユニットであり、これらが光源となる。第 1 の基板 1101、第 2 の基板 1102、上記光源、配線基板 1110、及び F P C 1109 は、ベゼル 1117 で保持及び保護されている。

【 実施例 2 】

【 0102 】

本実施例では、実施例 1 に記載した表示装置を搭載した電子機器を示す。表示装置を搭載した電子機器の例として、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話機などが挙げられる。しかし、本明細書に開示する発明が適用される表示装置は、これらの電子機器に搭載される場合に限定されない。

40

【 0103 】

図 12 に、テレビジョン装置の一例を示す。1201 は筐体、1202 は表示部、1203 はスピーカー、1204 は操作部、1205 はビデオ入力端子を示す。本明細書に開示する発明が適用された表示装置は、表示部 1202 に用いられる。

【 0104 】

図 13 (A) 及び図 13 (B) に、デジタルカメラの一例を示す。図 13 (A) はデジ

50

タルカメラを前面からみた図であり、1301はリリースボタン、1302はメインスイッチ、1303はファインダー窓、1304はストロボ、1305はレンズ、1306は筐体を示す。図13(B)は上記デジタルカメラを後方からみた図であり、1307はファインダー接眼窓、1308はモニター、1309及び1310は操作ボタンを示す。本明細書に開示する発明が適用された表示装置は、モニター1308に用いられる。

【0105】

上記テレビジョン装置及びデジタルカメラに限らず、表示部やモニターを有する電子機器に、本明細書に開示する発明を適用できる。

【図面の簡単な説明】

10

【0106】

【図1】実施の形態1による薄膜トランジスタの作製工程を示す断面図。

【図2】実施の形態1による薄膜トランジスタの作製工程を示す上面図。

【図3】実施の形態1及び比較例による薄膜トランジスタの上面写真。

【図4】実施の形態1及び比較例による薄膜トランジスタの $V_G - I_D$ 特性を示す図。

【図5】実施の形態2による薄膜トランジスタの作製工程を示す断面図。

【図6】実施の形態3による薄膜トランジスタの作製工程を示す断面図。

【図7】実施の形態4による薄膜トランジスタの作製工程を示す断面図。

【図8】実施例1に示すEL表示装置の画素部の回路図。

【図9】実施例1に示すEL表示装置の画素部の断面図。

20

【図10】実施例1に示す表示装置の構成を示す上面図。

【図11】実施例1に示す液晶表示装置を示す図。

【図12】実施例2に示す電子機器を示す図。

【図13】実施例2に示す電子機器を示す図。

【符号の説明】

【0107】

101 基板

102 ゲート電極（配線）

103 ゲート絶縁膜

104 領域

30

105、106 ソース及びドレイン電極

107 半導体膜

201、202 流動体

203、204 端部

501 基板

502 ゲート電極（配線）

503 第1の層

504 第2の層

505 第1の半導体膜

506 第2の半導体膜

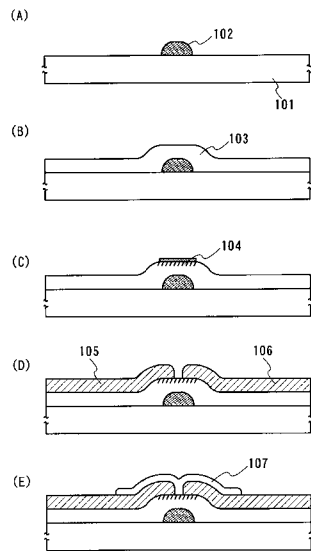
40

507 領域

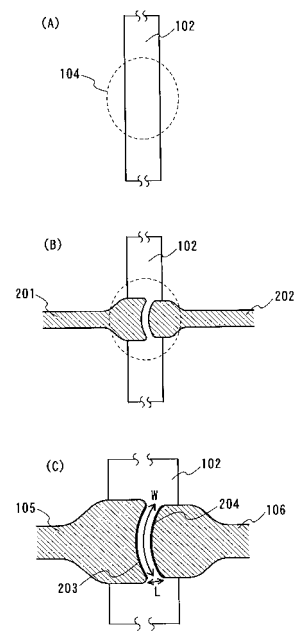
508、509 ソース及びドレイン電極

510、511 ソース及びドレイン領域

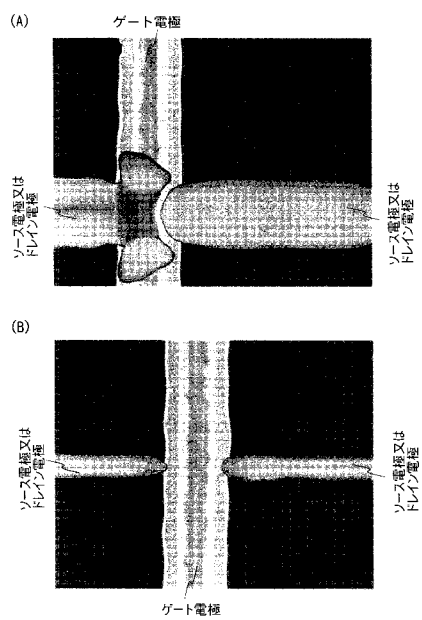
【図 1】



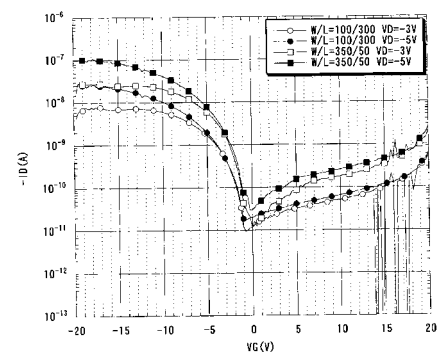
【図 2】



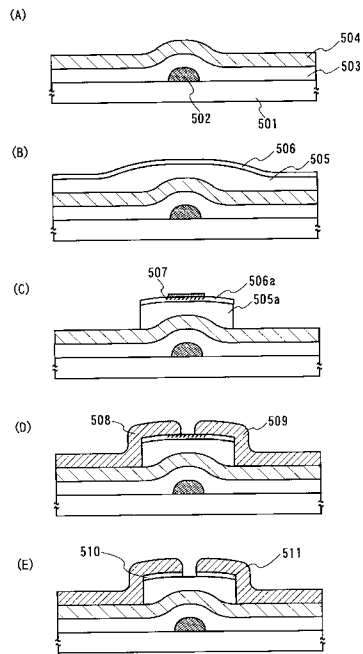
【図 3】



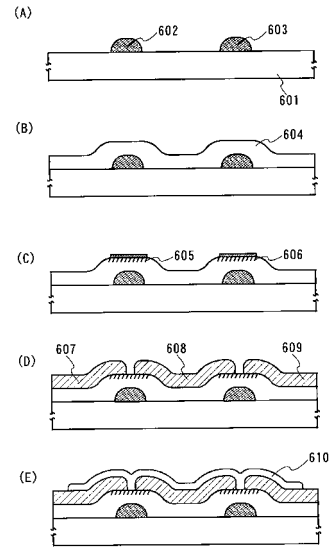
【図 4】



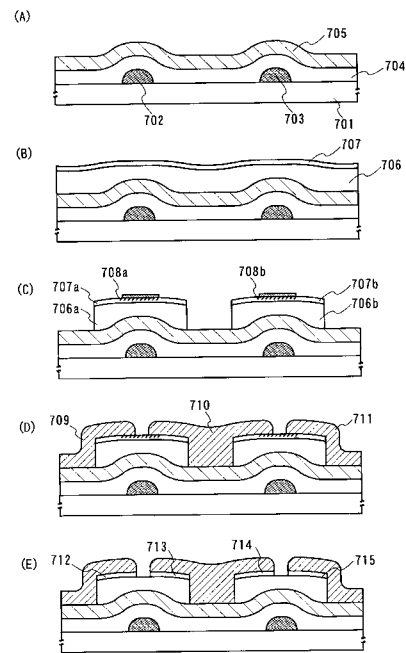
【図 5】



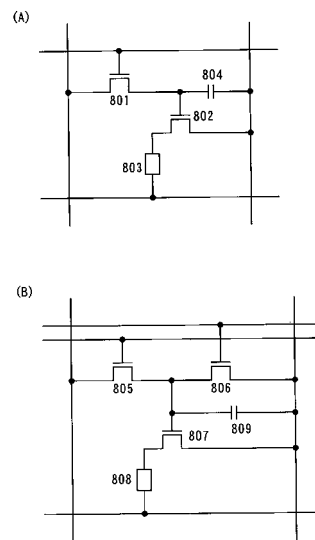
【図 6】



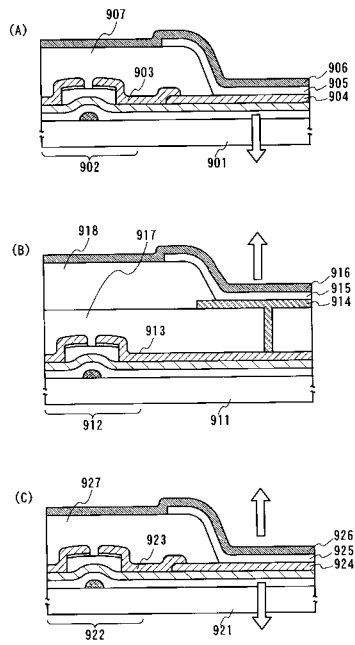
【図 7】



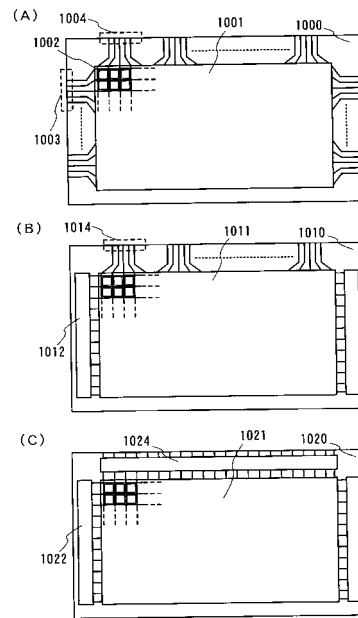
【図 8】



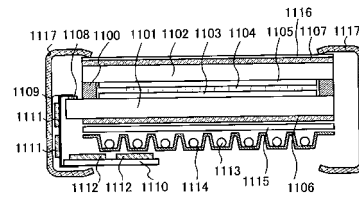
【図 9】



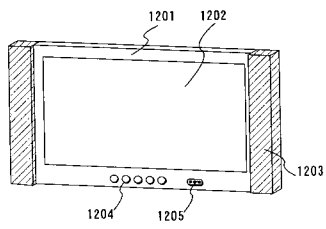
【図 10】



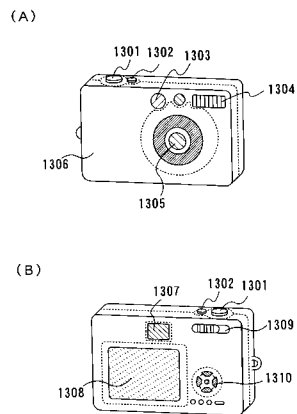
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

G 0 9 F 9/30 (2006.01)

F I

H 0 1 L 29/28 1 0 0 A

H 0 1 L 29/28 3 7 0

G 0 9 F 9/30 3 3 8

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6

G 0 9 F 9 / 3 0

H 0 1 L 2 1 / 2 8 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 5 1 / 0 5

H 0 1 L 5 1 / 4 0