



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0024006
(43) 공개일자 2011년03월09일

(51) Int. Cl.

G11C 16/12 (2006.01) H01L 27/115 (2006.01)

G11C 16/10 (2006.01)

(21) 출원번호 10-2009-0081839

(22) 출원일자 2009년09월01일

심사청구일자 2009년09월01일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김태근

경기도 성남시 분당구 이매동 122 금강아파트
103-1301

안호명

서울시 송파구 풍납동 277-5번지 202호

(74) 대리인

특허법인주원

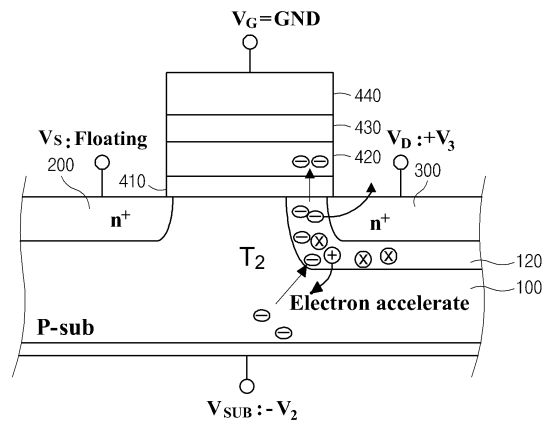
전체 청구항 수 : 총 6 항

(54) 비휘발성 메모리 소자의 프로그램 방법

(57) 요약

본 발명은 비휘발성 메모리 소자의 프로그램 방법을 개시한다. 본 발명은 프로그램 시간을 두 구간으로 분할하여 첫 번째 구간에서 기판과 드레인 영역(소오스 영역)에 포워드 바이어스를 인가하여 기판에 전자들을 축적한 후, 두 번째 구간에서 기판과 드레인 영역(소오스 영역)에 리버스 바이어스를 인가함으로써 형성된 기판과 드레인 영역(소오스 영역)의 접합면에 형성된 공핍층에서, 기판으로부터 드레인 영역(소오스 영역)으로 가속된 전자와 공핍층 내부의 중성 원자들의 충돌로 발생한 고온 전자들로 하여금 터널 절연막의 에너지밴드갭을 뛰어넘어 전하 포획층에 주입되도록 함으로써, 종래 기술에 비하여 신속하게 프로그램을 수행할 수 있고, 국소적으로 전하를 주입하여 멀티비트 프로그램이 가능할 뿐만 아니라, 종래 기술에 비하여 상대적으로 낮은 전압을 이용함으로써, 종래 기술에 비하여 현저하게 낮은 전력 소모만으로 프로그램이 가능하다.

대표도 - 도1b



특허청구의 범위

청구항 1

전하를 포획하여 프로그램되는 전하 포획층이 포함된 반도체층이 기판위에 형성되고, 상기 반도체층의 양 옆에 소오스 영역 및 드레인 영역이 형성된 비휘발성 메모리 소자에 프로그램을 수행하는 방법으로서,

제 1 프로그램 시간 구간동안에 드레인 영역 또는 소오스 영역 중 선택된 어느 하나의 영역(선택 영역)과 기판 사이에 포워드 바이어스를 인가하는 단계; 및

제 2 프로그램 시간 구간 동안에 상기 선택 영역과 기판사이에 리버스 바이어스를 인가하여 상기 전하 포획층으로 전하를 유입시키는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 프로그램 시간과 상기 제 2 프로그램 시간은 동일한 것을 특징으로 하는 프로그램 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 프로그램 시간 및 상기 제 2 프로그램 시간 동안 게이트 전극은 접지되고, 상기 소오스 및 드레인 중 선택되지 않은 영역은 플로팅되는 것을 특징으로 하는 프로그램 방법.

청구항 4

제 1 항에 있어서,

상기 기판은 p 타입, 소오스 및 드레인 영역은 n 타입인 것을 특징으로 하는 프로그램 방법.

청구항 5

제 4 항에 있어서,

상기 제 1 프로그램 시간 구간 동안에 기판에는 양의 전압을 인가하고, 상기 선택 영역은 접지하여 포워드 바이어스를 인가하는 것을 특징으로 하는 프로그램 방법.

청구항 6

제 4 항에 있어서,

상기 제 2 프로그램 시간 구간 동안에 기판에는 음의 전압을 인가하고, 상기 선택 영역에는 양의 전압을 인가하여 리버스 바이어스를 인가하는 것을 특징으로 하는 프로그램 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 소자에 관한 것으로서, 보다 구체적으로는 비휘발성 메모리 소자의 프로그램 방법에 관한 것이다.

배경 기술

[0002] 최근 비휘발성 메모리 소자들에 있어서, 미세 공정 기술의 한계로 인하여, 메모리 집적도 및 메모리 속도 증가는 한계에 직면하고 있다. 이에 따라, 보다 좁은 폭의 미세 공정 기술을 이용하는 것 외에, 메모리 용량 및 메모리 속도를 증가시키는 방법들이 연구되고 있다.

[0003] 2000, 2, 28일에 출원된 쇼이치 카와무라(Shoichi Kawamura) 등에 의한 미국등록특허번호 6,670,669호,

"MULTIPLE-BIT NON-VOLATILE MEMORY UTILIZING NON-CONDUCTIVE CHARGE TRAPPING GATE"에는 절연성 트랩핑 게이트를 이용한 멀티-비트 동작형 비휘발성 메모리가 개시되어 있다.

[0004] 쇼이치 카와무라 등에 의한 비휘발성 메모리는, 평면형(planar-type) 트랜지스터 구조를 이용하기 때문에, 단채널 효과를 피하기 어렵다. 이에 따라 게이트 길이의 축소가 어려워지고, 그 결과 메모리의 집적도 향상이 제한된다는 문제가 있다.

[0005] 또한, 이 소자는 국소적으로 전하를 주입하기 위하여 고온 전하 주입(hot carrier injection) 방법을 사용하는 데, 이 방식은 터널 산화막의 열화 현상을 유발하여 신뢰성에 악영향을 미치고, 구조적으로도 저장 공간이 혼재되면서 잡음 (Cross talk) 등 Second bit effect에 의한 문제를 안고 있다.

[0006] 또한, 통상적인 멀티비트 소자의 프로그램 방법은 고온 전하 주입을 사용하므로 터널 산화막의 열화 현상이 발생하여 신뢰성이 낮고, 국소적으로 주입된 전하가 측면 확산으로 인한 비트 1과 비트 2의 읽기 동작의 오류가 발생하는 문제점을 가지고 있다. 또한 높은 드레인 전압으로 인한 드레인 디스터브가 발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 해결하고자 하는 과제는, 기존의 비휘발성 메모리 소자의 구조를 변경하는 추가 공정을 채택하지 않고서도 고속 및 저전압으로 신뢰성있게 비휘발성 메모리 소자에 프로그램을 수행할 수 있는 프로그램 방법을 제공하는 것이다.

[0008] 또한, 본 발명이 해결하고자 하는 과제는, 멀티 비트 소자 구조에 추가 공정을 적용하지 않고, 국소 트래핑, 저전압, 고속, 고성능, 고신뢰성의 1셀-2비트 혹은 1셀-4비트 프로그램이 가능한 비휘발성 메모리 소자의 프로그램 방법을 제공하는 것이다.

과제 해결수단

[0009] 상술한 과제를 해결하기 위한 본 발명의 프로그램 방법은, 전하를 포획하여 프로그램되는 전하 포획층이 포함된 반도체층이 기판위에 형성되고, 상기 반도체층의 양 옆에 소오스 영역 및 드레인 영역이 형성된 비휘발성 메모리 소자에 프로그램을 수행하는 방법으로서, 제 1 프로그램 시간 구간동안에 드레인 영역 또는 소오스 영역 중 선택된 어느 하나의 영역(선택 영역)과 기판사이에 포워드 바이어스를 인가하는 단계; 및 제 2 프로그램 시간 구간 동안에 상기 선택 영역과 기판사이에 리버스 바이어스를 인가하여 상기 전하 포획층으로 전하를 유입시키는 단계를 포함함으로써, 신속하게 프로그램이 가능할 뿐만 아니라, 국소적인 영역에 전하를 프로그램하여 멀티비트 프로그램이 가능하다.

[0010] 또한, 상기 제 1 프로그램 시간과 상기 제 2 프로그램 시간은 동일할 수 있다.

[0011] 또한, 상기 제 1 프로그램 시간 및 상기 제 2 프로그램 시간 동안 게이트 전극은 접지되고, 상기 소오스 및 드레인 중 선택되지 않은 영역은 플로팅될 수 있다.

[0012] 또한, 상기 기판은 p 타입, 소오스 및 드레인 영역은 n 타입일 수 있다.

[0013] 또한, 상기 제 1 프로그램 시간 구간 동안에 기판에는 양의 전압을 인가하고, 상기 선택 영역은 접지하여 포워드 바이어스를 인가할 수 있다.

[0014] 또한, 상기 제 2 프로그램 시간 구간 동안에 기판에는 음의 전압을 인가하고, 상기 선택 영역에는 양의 전압을 인가하여 리버스 바이어스를 인가할 수 있다.

효 과

[0015] 본 발명은 프로그램 시간을 두 구간으로 분할하여 첫 번째 구간에서 기판과 드레인 영역(소오스 영역)에 포워드 바이어스를 인가하여 기판에 전자들을 축적한 후, 두 번째 구간에서 기판과 드레인 영역(소오스 영역)에 리버스 바이어스를 인가함으로써 형성된 기판과 드레인 영역(소오스 영역)의 접합면에 형성된 공핍층에서, 기판으로부터 드레인 영역(소오스 영역)으로 가속된 전자와 공핍층 내부의 중성 원자들의 충돌로 발생한 고온 전자들로 하여금 터널 절연막의 에너지밴드갭을 뛰어넘어 전하 포획층에 주입되도록 함으로써, 종래 기술에 비하여 신속하게 프로그램을 수행할 수 있고, 국소적으로 전하를 주입하여 멀티비트 프로그램이 가능할 뿐만 아니라, 종래 기술에 비하여 상대적으로 낮은 전압을 이용함으로써, 종래 기술에 비하여 현저하게 낮은 전력 소모만으로 프로그램

램이 가능하다.

발명의 실시를 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 프로그램 방법을 설명한다.
- [0017] 도 1a 및 도 1b는 본 발명의 바람직한 실시예에 따른 프로그램 방법을 설명하는 도면이고, 도 2는 본 발명의 바람직한 실시예에 따라서 프로그램 전압을 인가하는 타이밍도이다.
- [0018] 도 1a 및 도 1b의 비휘발성 메모리 소자는, 기판(100) 위에 반도체층(400)이 형성되고, 반도체층(400)의 양 측면에 소오스 영역(200) 및 드레인 영역(300)이 형성된다.
- [0019] 반도체층(400)은 실리콘 산화막 등으로 구현되는 터널 절연막(410), 기판으로부터 유입된 전하를 포획하는 전하 포획층(420), 전하 포획층(420)에 포획된 전하가 게이트 전극층(440)으로 유출되는 것을 차단하는 블로킹 절연막(430), 및 게이트 전극층(440)이 차례로 형성된다. 또한, 터널 절연막(410) 좌측 및 우측의 기판 영역에는 소오스 영역(200) 및 드레인 영역(300)이 형성되어 있다.
- [0020] 도 1a 및 도 1b에 도시된 비휘발성 메모리 소자의 구조는 본 발명의 프로그램 방법이 적용될 수 있는 다양한 구조의 비휘발성 메모리 소자의 일예를 도시한 것으로서, 본 발명은 도 1a 및 도 1b에 도시된 이외의 비휘발성 메모리 소자의 프로그램에도 적용될 수 있음을 주의하여야 한다.
- [0021] 도 1a 내지 도 2를 참조하면, 본 발명의 프로그램 방법은 전체 프로그램 시간(T_p)을 제 1 프로그램 구간(T_1 : "제 1 구간"이라 칭함) 및 제 2 프로그램 구간(T_2 : "제 2 구간"이라 칭함)의 2구간으로 분할하고, 각 구간마다 기판(100)과 소오스 영역(200) 또는 드레인 영역(300)에 서로 다른 전압을 인가하여 프로그램을 수행한다. 분할된 두 프로그램 구간은 시간이 동일할 수도 있고, 서로 다를 수도 있다.
- [0022] 도 2를 참조하여 본 발명의 바람직한 실시예를 구체적으로 설명하면, 본 발명의 바람직한 실시예에 따른 전체 프로그램 시간을 TP 라고 할 때, TP 는 T_1 및 T_2 의 두 구간으로 분할된다. 본 발명의 바람직한 실시예에서 TP 는 600ns, T_1 및 T_2 는 300ns로 설정하였으나, 비휘발성 메모리 소자의 스펙에 따라서 변경가능하다.
- [0023] 먼저, 프로그램을 수행하기 위해서 T_1 시간 동안, 소오스 영역(200)은 플로팅시키고 게이트 전극층(440)을 접지한 상태에서, 드레인 영역(300)은 접지하고 기판(100)에 (+) 전압인 제 1 프로그램 전압(V_1)을 인가하여 기판(100)과 드레인 영역(300) 사이에 포워드 바이어스가 걸리게 한다. 본 발명의 바람직한 실시예에서는 V_1 을 +1V로 설정하였으나, 전압의 크기는 비휘발성 메모리 소자의 스펙에 따라서 변경될 수 있다.
- [0024] 제 1 구간(T_1)에 기판(100)과 드레인 영역(300) 사이에 포워드 바이어스가 인가되면, 드레인 영역(300)에 존재하던 전자들이 기판(100)영역으로 이동하여 축적된다.
- [0025] 그 후, 제 2 구간(T_2)에서 소오스 영역(200)이 플로팅된 상태에서, 기판(100)을 접지된 상태에서 (-)전압인 제 2 프로그램 전압($-V_2$)을 인가하고, 드레인 영역(300)에 (+)전압인 제 3 프로그램 전압(V_3)을 인가하면 기판(100)과 드레인 영역(300)에 리버스 바이어스가 인가되어 기판과 드레인 영역의 접합면에서 공핍층이 형성되고, 공핍층 내에 존재하고 있는 중성 원자들과 기판(100)에서 드레인 영역(300)으로 가속된 전자들이 충돌하여 고온 전자와 정공들을 생성된다.
- [0026] 생성된 고온 전자들의 대부분은 드레인 영역(300)으로 빠져나가지만 일부 고온전자들이 터널 절연막(410)의 에너지밴드를 뛰어 넘어 절화막인 전하 포획층(420)에 주입되어 포획된다.
- [0027] 이렇게 주입된 고온전자들은 드레인 영역(300)에 인접하도록 국소적으로 주입이 되어 멀티 비트 프로그램이 가능하게 되고, 그 신뢰도 또한 향상된 효과를 나타낸다.
- [0028] 본 발명의 바람직한 실시예에서는 제 2 프로그램 전압($-V_2$)으로 -3V를 설정하였고, 제 3 프로그램 전압(V_3)로는 2V를 설정하였으나, 전압의 크기는 비휘발성 메모리 소자의 스펙에 따라서 변경될 수 있다.
- [0029] 또한, 도 1a 및 도 1b에 도시된 예에서는 소오스 영역(200)을 플로팅시키고 기판(100)과 드레인 영역(300)에 프로그램 전압을 인가하여 전하 포획층(420) 중 드레인 영역(300)에 인접한 최우측에 프로그램을 수행하는 예를 도시하였으나, 드레인 영역(300)을 플로팅시키고 기판(100)과 소오스 영역(200)에 프로그램 전압을 인가하여 전하 포획층(420) 중 소오스 영역(200)에 인접한 최좌측에 프로그램을 수행할 수도 있음을 주의하여야 한다.
- [0030] 상술한 바와 같이, 본 발명은 프로그램 시간을 두 구간으로 분할하여 첫 번째 구간에서 기판(100)과 드레인 영역(300)에 포워드 바이어스를 인가하여 기판(100)에 전자들을 축적한 후, 두 번째 구간에서 기판(100)과 드레인

영역(300)에 리버스 바이어스를 인가함으로써 형성된 기관(100)과 드레인 영역(300)의 접합면에 형성된 공핍층(120)에서, 기관(100)으로부터 드레인 영역(300)으로 가속된 전자와 공핍층(120) 내부의 중성 원자들의 충돌로 발생한 고온 전자들로 하여금 터널 절연막(410)의 에너지밴드갭을 뛰어넘어 전하 포획층(420)에 주입되도록 함으로써, 종래의 채널 고온 전자(CHE:Channel Hot Electorn) 주입 방식에 비하여 신속하게 프로그램을 수행할 수 있는 효과가 나타난다.

- [0031] 또한, 본 발명은 프로그램 전압으로 -3V 내지 2V의 전압을 이용함으로써, 종래의 게이트 전극에 6V 내지 9V를 인가하고, 드레인 영역에 4V 내지 6V의 전압을 인가하여 프로그램을 수행하는 CHE 주입 방식에 비하여 현저하게 낮은 전력만으로 프로그램이 가능하다.
- [0032] 또한, 본 발명의 프로그램 방식은 CHE 주입 방식에 비하여 프로그램 속도가 현저하게 향상되었다.
- [0033] 도 3은 이러한 본 발명의 효과를 설명하는 도면으로서, 본 발명과 종래의 CHE 방식에 따른 프로그램 시간을 도시한 도면이다.
- [0034] 도 3에서, 본 발명과 종래 기술의 CHE 방식에 따라서 동일한 소거 상태(문턱전압이 2.5V인 상태)에서 문턱 전압이 4V가 되도록 프로그램하는데 걸리는 시간을 각각 도시하였다.
- [0035] 본 발명은 기관(100)에 인가되는 제 1 전압을 1V, 제 2 전압을 -3V로 설정하고, 드레인 영역(300)에 인가하는 제 3 전압을 2V로 설정하여 측정할 결과, 전체 프로그램 시간이 600ns 정도이면 문턱전압이 4V 이상이 되도록 프로그램이 가능함을 알 수 있다(301 참조).
- [0036] 한편, 종래의 CHE 방식의 경우에는, 드레인 영역에 4V의 전압을 인가하고, 게이트 전극층에 인가되는 전압을 4V, 5V, 및 6V 로 각각 변화시키면서 측정한 결과(302, 303, 및 304 각각 참조), 게이트 전극층에 인가되는 전압이 높아질수록 프로그램 속도가 빨라지는 것을 확인하였고, 게이트에 6V를 인가하는 경우에 20 μ s의 시간에 프로그램이 가능함을 알 수 있다.
- [0037] 결과적으로, 본 발명은 종래의 CHE 방식보다 현저히 낮은 프로그램 전압을 이용하여 월등히 신속한 프로그램이 가능함을 알 수 있다.
- [0038] 또한, 상술한 바와 같이, 본 발명의 프로그램 방법은 전하 포획층(420)의 국소 영역에만 전자를 주입함으로써, 단일한 셀내에서 멀티 비트의 프로그램이 가능한 효과를 나타낸다.
- [0039] 본 발명은, 도 1b에 도시된 예와 같이, 전하 포획층 중 최우측(드레인에 인접한 영역)에만 1비트 프로그램을 수행할 수 있고, 그 후, 동일한 방식으로 최좌측(소오스에 인접한 영역)에 추가적으로 1비트 프로그램을 수행할 수도 있다.
- [0040] 도 4a 및 도 4b는 이러한 본 발명의 멀티비트 프로그램 효과를 설명하는 도면이다. 도 4a 및 도 4b를 참조하여 설명하면, 전하가 프로그램된 후 포워드 리드(Forward Read)시와 리버스 리드(reverse read)시의 문턱 전압의 차가 크면 클수록 전하가 더욱 국소적으로 주입되었다는 것은 일반적으로 익히 잘 알려진 사실이다.
- [0041] 이러한 공지의 사실에 기초하여 본 발명의 효과를 살펴보면, 도 4a 에 도시된 바와 같이, 본 발명의 프로그램 방법 및 종래의 CHE 방식에 따라서 전하가 드레인 영역에 인접한 전하 포획층의 최우측에 국소 주입되어 포획된 경우에 포워드 리드시와 리버스 리드시의 문턱전압을 도 4b에 도시하였다.
- [0042] 도 4b에 도시된 바와 같이, 본 발명은 기관(100)에 인가되는 제 1 프로그램 전압을 1V, 제 2 프로그램 전압을 -3V로 설정하고, 드레인 영역(300)에 인가되는 제 3 프로그램 전압을 2V로 설정하였으며, 프로그램 시간을 600ns로 설정한 후, 판독 전압을 변화시키면서 측정하였고, 종래의 CHE 방법은 게이트 전압을 5V, 드레인 전압을 4V, 및 프로그램 시간을 100ms로 설정하였다. 도 4b에 도시된 바와 같이, 동일한 읽기 드레인 전압에서, 본 발명의 포워드 리드 및 리버스 리드 전압차가 종래의 CHE 방법의 포워드 리드 및 리버스 리드 전압차보다 훨씬 크다는 사실을 알 수 있다.
- [0043] 예컨대, 리드(read) 드레인 전압이 2V인 경우에, 종래기술의 경우에는 0.6V의 전압차가 발생하는데 반하여 본 발명은 1V의 전압차가 발생하여, 종래기술에 비하여 0.4V 이상의 전압차가 더 발생하므로, 결론적으로 종래기술에 비하여 더욱 국소적인 전하 주입이 가능하고, 따라서, 멀티비트 프로그램이 가능함을 알 수 있다.
- [0044] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통

상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0045] 도 1a 및 도 1b는 본 발명의 바람직한 실시예에 따른 프로그램 방법을 설명하는 도면이다.

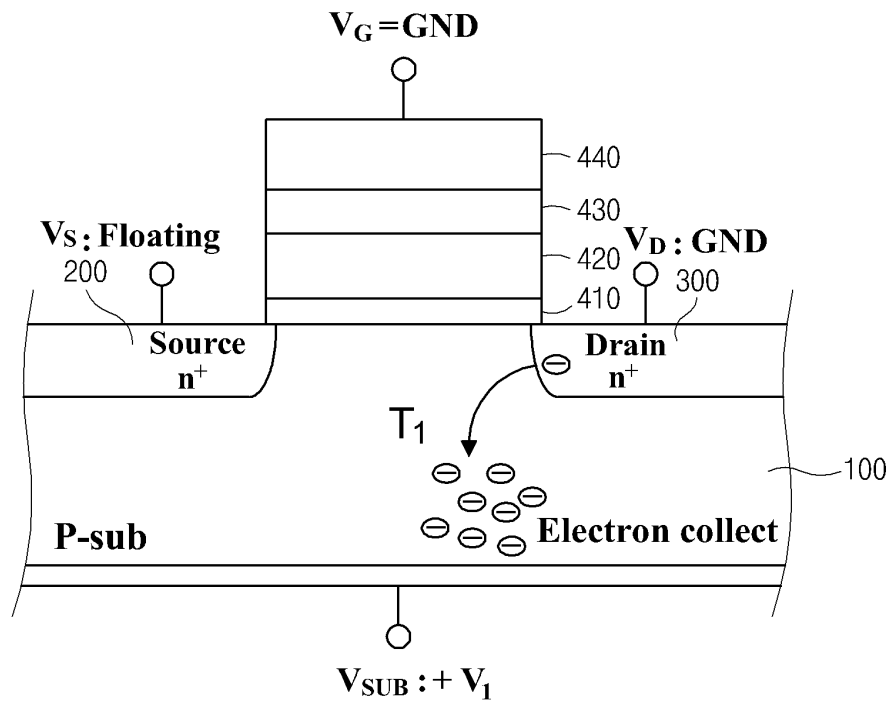
[0046] 도 2는 본 발명의 바람직한 실시예에 따라서 프로그램 전압을 인가하는 타이밍도이다.

[0047] 도 3은 본 발명과 종래의 CHE 방식에 따른 프로그램 시간을 도시한 도면이다.

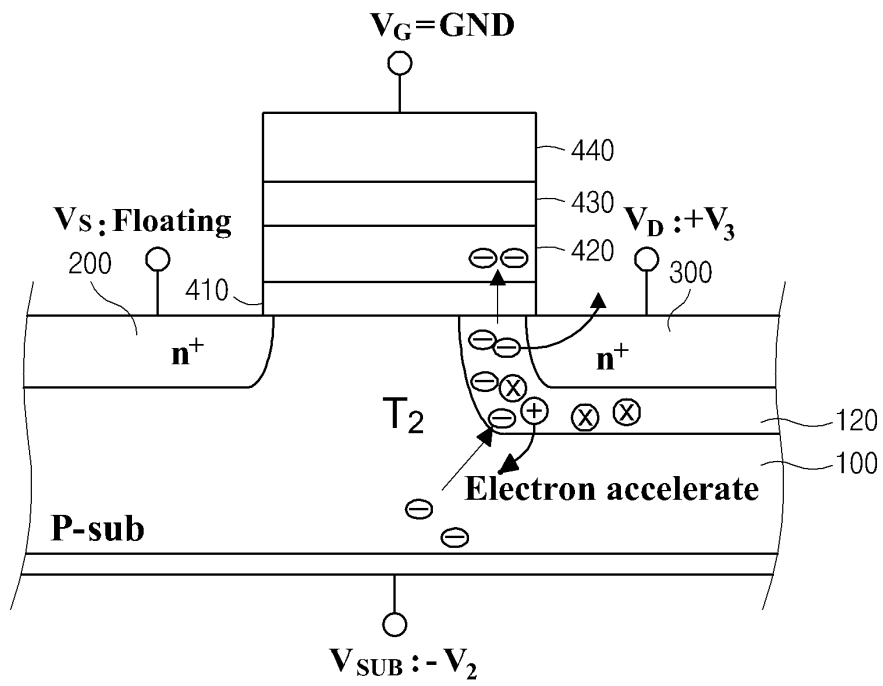
[0048] 도 4a 및 도 4b는 본 발명의 멀티비트 프로그램 효과를 설명하는 도면이다.

도면

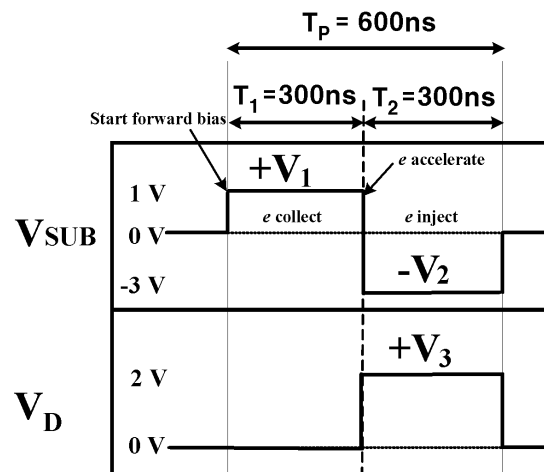
도면1a



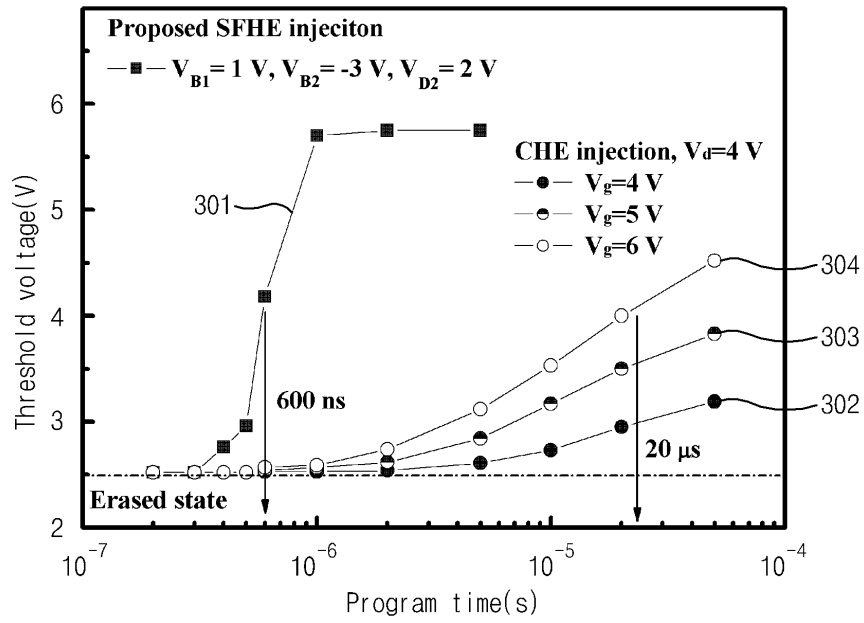
도면1b



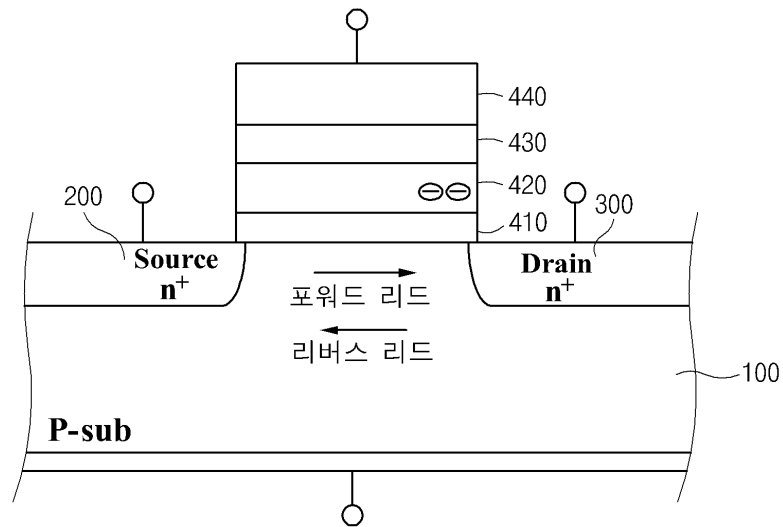
도면2



도면3



도면4a



도면4b

