

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5255801号
(P5255801)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl.

F I

H O 1 L 21/02 (2006.01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006.01)

H O 1 L 29/78 6 2 7 D

H O 1 L 21/336 (2006.01)

H O 1 L 21/76 D

H O 1 L 29/786 (2006.01)

H O 1 L 27/08 3 3 1 E

H O 1 L 21/762 (2006.01)

H O 1 L 27/08 3 2 1 E

請求項の数 6 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2007-232503 (P2007-232503)
 (22) 出願日 平成19年9月7日(2007.9.7)
 (65) 公開番号 特開2009-65015 (P2009-65015A)
 (43) 公開日 平成21年3月26日(2009.3.26)
 審査請求日 平成22年8月16日(2010.8.16)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ボンド基板の下に第1の容器を配置した後、

前記ボンド基板を劈開させることで前記ボンド基板から形成される複数の第1の半導体膜を、前記第1の容器に載置し、

前記第1の容器の上に第2の容器を配置した後、前記第1の容器及び前記第2の容器を反転させることで、前記複数の第1の半導体膜を前記第2の容器に載置し、

前記複数の第1の半導体膜を前記第2の容器から拾い上げて、前記複数の第1の半導体膜どうしが離隔するように、なおかつ前記劈開により露出した面がベース基板側を向くように、前記複数の第1の半導体膜を前記ベース基板に貼り、

前記複数の第1の半導体膜をエッチングすることで、複数の第2の半導体膜を形成し、
前記第2の半導体膜から半導体素子を形成することを特徴とする半導体装置の作製方法

。

【請求項2】

第1の結晶面方位を有する第1のボンド基板の下に第1の容器を配置した後、

前記第1のボンド基板を劈開させることで前記第1のボンド基板から形成される複数の第1の半導体膜を、前記第1の容器に載置し、

前記第1の容器の上に第2の容器を配置した後、前記第1の容器及び前記第2の容器を反転させることで、前記複数の第1の半導体膜を前記第2の容器に載置し、

第2の結晶面方位を有する第2のボンド基板の下に第3の容器を配置した後、

前記第 2 のボンド基板を劈開させることで前記第 2 のボンド基板から形成される複数の第 2 の半導体膜を、前記第 3 の容器に載置し、

前記第 3 の容器の上に第 4 の容器を配置した後、前記第 3 の容器及び前記第 4 の容器を反転させることで、前記複数の第 2 の半導体膜を前記第 4 の容器に載置し、

前記複数の第 1 の半導体膜を前記第 2 の容器から拾い上げて、前記複数の第 1 の半導体膜どうしが離隔するように、なおかつ前記劈開により露出した面がベース基板側を向くように、前記複数の第 1 の半導体膜を前記ベース基板に貼り、

前記複数の第 2 の半導体膜を前記第 4 の容器から拾い上げて、前記複数の第 2 の半導体膜どうしが離隔するように、なおかつ前記複数の第 1 の半導体膜と前記複数の第 2 の半導体膜とが離隔するように、さらに前記劈開により露出した面が前記ベース基板側を向くように、前記複数の第 2 の半導体膜を前記ベース基板に貼り、

10

前記複数の第 1 の半導体膜及び前記複数の第 2 の半導体膜をエッチングすることで、複数の第 3 の半導体膜及び複数の第 4 の半導体膜を形成し、

前記第 3 の半導体膜及び前記第 4 の半導体膜から半導体素子を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 において、

前記第 1 の容器は、第 1 の隔壁を有し、

前記第 2 の容器は、第 2 の隔壁を有し、

前記複数の第 1 の半導体膜は、それぞれ前記第 1 の隔壁及び第 2 の隔壁で隔てられることを特徴とする半導体装置の作製方法。

20

【請求項 4】

請求項 2 において、

前記第 1 の容器は、第 1 の隔壁を有し、

前記第 2 の容器は、第 2 の隔壁を有し、

前記第 3 の容器は、第 3 の隔壁を有し、

前記第 4 の容器は、第 4 の隔壁を有し、

前記複数の第 1 の半導体膜は、それぞれ前記第 1 の隔壁及び前記第 2 の隔壁で隔てられ、

前記複数の第 2 の半導体膜は、それぞれ前記第 3 の隔壁及び前記第 4 の隔壁で隔てられることを特徴とする半導体装置の作製方法。

30

【請求項 5】

請求項 2 または 4 において、前記第 1 の結晶面方位は { 1 0 0 } であり、前記第 2 の結晶面方位は { 1 1 0 } 面であり前記第 3 の半導体膜から n チャネル型の素子が形成され、前記第 4 の半導体膜から p チャネル型の素子が形成されることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 2、4 または 5 において、前記第 1 のボンド基板及び前記第 2 のボンド基板に H_3^+ イオンを有するソースガスをイオンドーピングして劈開面を形成することを特徴とする半導体装置の作製方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI (Silicon on Insulator) 基板を用いた半導体装置の作製方法と、該作製方法を用いる製造装置に関する。本発明は特に貼り合わせ SOI 技術に関するものであって、絶縁膜を間に挟んで単結晶若しくは多結晶の半導体膜を基板に貼り合わせることで得られる SOI 基板を用いた、半導体装置の作製方法及び製造装置に関する。

【背景技術】

【0002】

50

半導体集積回路に対する高集積化、高速化、高機能化、低消費電力化への要求が厳しさを増しており、その実現に向け、バルクのトランジスタに替わる有力な手段としてSOI基板を用いたトランジスタが注目されている。SOI基板を用いたトランジスタはバルクのトランジスタと比較すると、半導体膜が絶縁膜上に形成されているので、寄生容量が低減され、基板に流れる漏れ電流の発生を抑えることができ、高速化、低消費電力化がより期待できる。そして活性層として用いる半導体膜を薄くできるので、短チャネル効果を抑制し、よって素子の微細化、延いては半導体集積回路の高集積化を実現することができる。

【0003】

SOI基板の作製方法の一つに、スマートカットに代表されるUNIBOND、ELTRAN (Epitaxial Layer Transfer)、誘電体分離法、PACE (Plasma Assisted Chemical Etching) 法などの、絶縁膜を介して半導体膜を基板に貼り合わせる方法がある。上記の貼り合わせ方法を用いることで、単結晶の半導体膜を用いた高機能な集積回路を安価なガラス基板上に形成することができる。

10

【0004】

SOI基板を用いた半導体装置の一例として、本出願人によるものが知られている（特許文献1参照）。

【特許文献1】特開2000-012864号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

SOI基板を用いた半導体素子における移動度の、更なる向上を図るためには、半導体膜の結晶の方位も重要なポイントである。しかしp型の半導体だと、多数キャリアである正孔の移動度が最も高くなる結晶の方位が{110}面であるが、n型の半導体だと、多数キャリアである電子の移動度が最も高くなる結晶の方位が{100}面であり、より移動度を高めることができる方位が一致していない。よって、CMOSを用いた集積回路を作製する場合、単一の方位を有する半導体膜では、SOI基板を用いて作製される半導体素子の移動度をより高めることが難しい。

【0006】

また、フラットパネルディスプレイ等の半導体装置の製造に用いられているガラス基板は、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)と年々大型化が進んでおり、今後は第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)へと大面積化が進むと予測されている。ところが、半導体基板の一つであるシリコン基板は、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)のものが一般的であり、ガラス基板に比べるとそのサイズは飛躍的に小さい。よって、半導体基板をガラス基板に貼り合わせることでSOI基板を作製する場合、ガラス基板が大型化されるにつれて、その面積に応じて必要となる半導体基板の枚数が多くなり、生産コストを削減することができない。

30

【0007】

本発明は上述した問題に鑑み、移動度を向上させることができる、SOI基板を用いた半導体装置の作製方法、及び該作製方法を用いる製造装置の提案を課題とする。

40

【0008】

また、本発明は上述した問題に鑑み、生産コストを削減することができる半導体装置の作製方法、及び該作製方法を用いる製造装置の提案を課題とする。

【課題を解決するための手段】

【0009】

上記問題を解決するために、本発明の半導体装置の作製方法の一つでは、ボンド基板(半導体基板)をベース基板(支持基板)に貼り合わせた後に、該ボンド基板を劈開させて半導体膜を形成するのではなく、先にボンド基板を複数箇所において劈開することで複数の

50

第1の半導体膜（マザーアイランド）を形成してから、該複数の第1の半導体膜をベース基板に貼り合わせる。さらに本発明では、複数の第1の半導体膜を一時的に収容するための容器（トレイ）を用意し、ボンド基板を劈開させる前に、該トレイとボンド基板とを重ね合わせる。そして、ボンド基板の劈開により形成された複数の第1の半導体膜をトレイに収容し、該トレイから複数の第1の半導体膜を拾い上げて、複数の第1の半導体膜どうしが離隔するようにベース基板に貼り合わせる。

【0010】

なお、トレイとボンド基板の重ね合わせは、ボンド基板の劈開により形成される複数の第1の半導体膜が、重力に従ってボンド基板から落下し、自然にトレイ内に納まるように行う。具体的には、ボンド基板より相対的に低い位置にトレイを配置し、なおかつボンド基板のうち半導体膜が形成される部分が、トレイ側を向くように、トレイとボンド基板を重ね合わせる。

10

【0011】

また、ベース基板に複数の第1の半導体膜を貼り合わせた後、第1の半導体膜をエッチングすることで、1つの第1の半導体膜から単数または複数の第2の半導体膜（アイランド）を形成し、該第2の半導体膜を用いて半導体素子を作製する。複数の第1の半導体膜は、半導体素子が有する第2の半導体膜がレイアウトされるべき領域を少なくともカバーするように、上記レイアウトに合わせてベース基板に貼り合わせる。

【0012】

また、本発明の半導体装置の作製方法の一つでは、複数のボンド基板を用いて形成された複数の半導体膜を、一つのベース基板に貼り合わせるようにしても良い。この場合、複数のボンド基板のうち、少なくとも一つのボンド基板は、他のボンド基板と異なる結晶面方位を有するようにし、よって、一つのベース基板上に形成される複数の半導体膜の少なくとも一つは、他の半導体膜と結晶面方位が異なるようにしても良い。そして、半導体膜の結晶面方位に合わせて、該半導体膜を用いて形成される半導体素子の有する極性を決める。例えば{100}面を有する半導体膜を用いて、電子が多数キャリアであるnチャネル型の素子を形成し、例えば{110}面を有する半導体膜を用いて、正孔が多数キャリアであるpチャネル型の素子を形成する。

20

【0013】

なお、{100}面を有する半導体膜を用いて形成される複数の半導体素子は、全てnチャネル型である必要はない。{100}面を有する半導体膜を用いて形成される複数の半導体素子は、少なくとも1つがnチャネル型の素子を含んでいれば良く、より望ましくは、nチャネル型の素子を、pチャネル型の素子よりも多く含んでいれば良い。また、{110}面を有する半導体膜を用いて形成される複数の半導体素子は、全てpチャネル型である必要はない。{110}面を有する半導体膜を用いて形成される複数の半導体素子は、少なくとも1つがpチャネル型の素子を含んでいれば良く、より望ましくは、pチャネル型の素子を、nチャネル型の素子よりも多く含んでいれば良い。

30

【発明の効果】

【0014】

本発明の半導体装置の作製方法の一つでは、第2の半導体膜がレイアウトされるべき領域を少なくともカバーするように、複数の第1の半導体膜をベース基板に貼り合わせれば良いので、上記レイアウトに合わせて、複数の第1の半導体膜どうしの間隔をあけることができる。最終的に第2の半導体膜がレイアウトされる面積は、ベース基板全体の面積に比べて飛躍的に小さいため、本発明の一の構成のように、第2の半導体膜のレイアウトに合わせて、間隔をあけて複数の第1の半導体膜をベース基板に貼り合わせることで、ベース基板全面に半導体膜を貼り合わせる場合に比べて、必要となるボンド基板の枚数を最小限に抑えることができる。

40

【0015】

また、剥離された第1の半導体膜をボンド基板に乗せたままの場合よりも、剥離された複数の第1の半導体膜をトレイ内に一時的に収容する場合の方が、搬送の際の取り扱いが楽

50

であり、よって、作業の効率を高めることができる。

【 0 0 1 6 】

また、半導体素子の有する極性に合わせて各半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

10

【 0 0 1 8 】

(実施の形態 1)

本実施の形態では、本発明の半導体装置の作製方法の一つについて説明する。

【 0 0 1 9 】

まず図 1 (A) に示すように、ボンド基板 1 0 0 上に絶縁膜 1 0 1 を形成する。ボンド基板 1 0 0 として、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板 1 0 0 として用いることができる。またボンド基板 1 0 0 として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いても良い。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。

20

【 0 0 2 0 】

絶縁膜 1 0 1 は、酸化珪素、窒化酸化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜 1 0 1 は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。例えば本実施の形態では、酸化珪素を絶縁膜 1 0 1 として用いる。

【 0 0 2 1 】

酸化珪素を絶縁膜 1 0 1 として用いる場合、絶縁膜 1 0 1 はシランと酸素、TEOS (テトラエトキシシラン) と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。この場合、絶縁膜 1 0 1 の表面を酸素プラズマ処理で緻密化しても良い。また、窒化珪素を絶縁膜 1 0 1 として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜 1 0 1 として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

30

【 0 0 2 2 】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜 1 0 1 として用いても良い。有機シランガスとしては、珪酸エチル (TEOS : 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS : 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等のシリコン含有化合物を用いることができる。

40

【 0 0 2 3 】

次に図 1 (B) に示すように、ボンド基板 1 0 0 に、矢印で示すように水素又はヘリウム等の希ガス、フッ素や塩素等のハロゲン、或いは水素イオン又はヘリウム等の希ガスイオン、フッ素や塩素等のハロゲンイオンを注入し、ボンド基板 1 0 0 の表面から一定の深さの領域に、微少ボイドを有する欠陥層 1 0 2 を形成する。具体的に、欠陥層 1 0 2 の形成

50

は、イオンドーピング法又はイオン注入法で行うことが好ましい。なお、イオン注入法とはイオンを質量分離して特定の質量のイオンのみを電界で加速して半導体に打ち込む技術であり、イオンドーピング法は質量分離を行わずにイオンを電界で加速して半導体に打ち込む技術である。水素、希ガス又はハロゲン元素から選ばれたソースガスをプラズマ励起して生成された一の原子又は複数の同一の原子からなるイオン種をボンド基板 100 に注入することが好ましい。水素イオンを注入する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくこととイオンの注入効率を高めることができ、注入時間を短縮することができる。

【0024】

欠陥層 102 が形成される位置は、上記注入の加速電圧及びドーズ量により制御することができる。そして欠陥層 102 の位置により、ボンド基板 100 から形成される半導体膜 106、半導体膜 108 の厚さが決まるので、注入の加速電圧及びドーズ量は上記半導体膜 106、半導体膜 108 の厚さを考慮して行う。また上記注入の加速電圧及びドーズ量のみならず、絶縁膜 101 の膜厚によっても、欠陥層 102 の位置を変えることができる。例えば、絶縁膜 101 の膜厚をより大きくすることで、半導体膜 106、半導体膜 108 の膜厚をより小さくすることができる。半導体膜 106、半導体膜 108 の厚さは、例えば 10 nm 乃至 200 nm、好ましくは 10 nm 乃至 50 nm の厚さとする。例えば水素をボンド基板 100 に注入する場合、ドーズ量は 1×10^{16} 乃至 $1 \times 10^{17} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1.75 \times 10^{16} / \text{cm}^2$ 、加速電圧を 40 kV とし、水素または水素イオンのイオン注入を行う。

【0025】

なお、欠陥層 102 を形成する上記工程において、ボンド基板 100 に高い濃度の水素又は希ガス、或いは水素イオン又は希ガスイオンを注入するので、ボンド基板 100 の表面が粗くなってしまう、ボンド基板 100 から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜 101 を設けることで、水素又は希ガス、或いは水素と希ガスのイオンを注入する際にボンド基板 100 の表面が保護され、ボンド基板 100 の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。

【0026】

次に、ボンド基板 100 を部分的に除去する。本実施の形態では、図 1 (C) に示すように、マスク 104 を用い、絶縁膜 101 と共にボンド基板 100 を部分的にエッチングにより除去し、複数の凸部 103 を有するボンド基板 100 を形成する。

【0027】

ボンド基板 100 は、複数の凸部 103 のボンド基板 100 に対して垂直方向（深さ方向）における幅 d が、欠陥層 102 の深さと同じか、それ以上の大きさを有する。なお、複数の凸部 103 のボンド基板 100 に対して垂直方向（深さ方向）における幅 d は、必ずしも一定である必要はなく、場所によって異なる値を有していても良い。具体的に、幅 d は、半導体膜 106 の厚さを考慮して、例えば 10 nm 以上、好ましくは 200 nm 以上とする。

【0028】

なお、ボンド基板 100 は、反りや撓みを有している場合や、端部に弱冠丸みを帯びている場合がある。そして、ボンド基板 100 から半導体膜を剥離するために水素又は希ガス、或いは水素イオン又は希ガスイオンを注入する際、ボンド基板 100 の端部において上記ガスまたはイオンの注入を十分に行うことができない場合もある。そのため、ボンド基板 100 の端部に位置する部分は、半導体膜を剥離させるのが難しい。よって、ボンド基板 100 が有する複数の凸部 103 は、ボンド基板 100 の縁から所定の間隔を有するよう、離れた位置に形成するのが望ましい。ボンド基板 100 の縁から所定の間隔を有するよう、離れた位置に凸部 103 を形成することで、再現性良く劈開による半導体膜の形成を行うことができる。例えば、最も端部に位置する凸部 103 と、ボンド基板 100 の縁との間隔は、数十 μm 乃至数十 mm とすると良い。

【0029】

次に、マスク104を除去した後、図1(D)に示すようにボンド基板100と、トレイ120とを重ね合わせる。トレイ120は、ボンド基板100の剥離により形成される複数の半導体膜を載置する収容部121と、複数の各収容部121内に載置された半導体膜どうしを分け隔てるための隔壁122とを有する。具体的に、ボンド基板100とトレイ120とは、ボンド基板100が有する凸部103と、トレイ120が有する収容部121とが向き合うように、なおかつ凸部103から剥離した複数の半導体膜が、自然にトレイ120の収容部121に載置されるように、重ね合わせる。上記重ね合わせにより、トレイ120の隔壁122は、ボンド基板100の凸部103間の領域と重なる位置に配置される。

10

【0030】

次に、熱処理を行うことにより、欠陥層102において隣接する微少ボイドどうしが結合して、微少ボイドの体積が増大する。その結果、欠陥層102においてボンド基板100が爆発的な反応を伴って劈開し、図2(A)に示すように、凸部103の一部であった半導体膜106が、絶縁膜101と共に、ボンド基板100から剥離する。剥離した半導体膜106は、ボンド基板100から落下し、絶縁膜101がトレイ120側を向くようにトレイ120の収容部121に載置される。熱処理は、例えば400乃至600の温度範囲内で行えば良い。

【0031】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数300MHz乃至3THzの高周波をボンド基板100に照射することで行うことができる。具体的には、例えば、2.45GHzのマイクロ波を900W、14分間照射することで、欠陥層において隣接する微少ボイドどうしを結合させ、最終的にボンド基板100を劈開させることができる。

20

【0032】

次に、図2(B)に示すように、ボンド基板100をトレイ120から離した後、コレット(保持具)105を半導体膜106に固着させ、半導体膜106をトレイ120から拾い上げる。コレット105として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、半導体膜106の一つに選択的に固着させることができる手段を用いる。図2(B)では、コレット105として真空チャックを用いる場合を例示している。

30

【0033】

また、マイクロニードルに付着させる接着剤として、エポキシ系接着剤、セラミック系接着剤、シリコン系接着剤、低温凝固剤などを用いることができる。低温凝固剤は、例えばMW-1(株式会社エミネントサプライ製)を用いることができる。MW-1は、凝固点が17度であり、それ以下の温度(好ましくは、10度以下)で接着効果を有し、17度以上(好ましくは25度程度)では接着効果を有さない。

【0034】

なお、ボンド基板100を劈開させる前に、ボンド基板100に水素化処理を行うようにしても良い。水素化処理は、例えば、水素雰囲気中において350、2時間程度行う。

40

【0035】

次に、図2(C)に示すように、絶縁膜101がベース基板107側を向くように、半導体膜106とベース基板107とを貼り合わせる。本実施の形態では、ベース基板107上に絶縁膜114が形成されており、絶縁膜114と絶縁膜101とが接合することで、半導体膜106とベース基板107とを貼り合わせることができる。絶縁膜101と絶縁膜114とを接合させた後、該接合をさらに強固にするため、400乃至600の熱処理を行うのが好ましい。

【0036】

接合の形成はファン・デル・ワールス力を用いて行われているため、室温でも強固な接合

50

が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板 107 は様々なものを用いることが可能である。例えばベース基板 107 としては、アルミノシリケートガラスバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板の他、石英基板、サファイア基板などの基板を用いることができる。さらにベース基板 107 として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを用いることができる。或いは、ステンレス基板を含む金属基板をベース基板 107 として用いても良い。

【0037】

なお、半導体膜 106 をベース基板 107 に貼り合わせる前に、絶縁膜 101 の表面を研磨しても良い。トレイ 120 が絶縁膜 101 に接触することで絶縁膜 101 の表面に傷が付いた場合でも、研磨によりその表面の平坦性を高めることができるので、接合の強度を確保することができる。

【0038】

また、ベース基板 107 は、その表面に絶縁膜 114 が必ずしも形成されていなくとも良い。絶縁膜 114 が形成されていない場合でも、ベース基板 107 と絶縁膜 101 とを接合させることは可能である。ただし、ベース基板 107 の表面に絶縁膜 114 を形成しておくことで、ベース基板 107 から半導体膜 106 に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。

【0039】

絶縁膜 114 を形成する場合、ベース基板 107 ではなく絶縁膜 114 が絶縁膜 101 と接合するので、ベース基板 107 として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば、絶縁膜 114 を形成する場合において、ベース基板 107 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET) に代表されるポリエステル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【0040】

また、半導体膜 106 をベース基板 107 上に接合のみによって貼り合わせるのではなく、半導体膜 106 に例えば 10 MHz ~ 1 THz 程度の高周波数の振動を加えることで、半導体膜 106 とベース基板 107 の間に摩擦熱を生じさせ、該熱により半導体膜 106 を部分的に溶解させ、半導体膜 106 をベース基板 107 に貼り合わせるようにしても良い。

【0041】

なお、MW-1 を低温凝固剤として用いる場合、まず低温凝固剤が接着効果を有しない温度 (例えば 25 度程度) において、マイクロニードルの先端に付着した低温凝固剤を、半導体膜 106 に接触させる。次に、低温凝固剤が接着効果を有する温度 (例えば 5 度程度) まで温度を下げて、低温凝固剤を凝固させることで、マイクロニードルと半導体膜 106 とを固着させる。そして、ボンド基板 100 から引き離れた半導体膜 106 を、ベース基板 107 に貼り合わせた後、再び接着効果を有しない温度 (例えば 25 度程度) まで低温凝固剤の温度を高めることで、マイクロニードルを半導体膜 106 から引き離すことができる。

【0042】

また本発明では、半導体膜 106 を形成するボンド基板 100 とは異なる結晶面方位を有するボンド基板 100 から、半導体膜 106 と同様の手法を用いて半導体膜 108 を剥離し、ベース基板 107 に貼り合わせても良い。

【0043】

半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有するボンド基板 100 を、適宜選択して半導体膜 106 または半導体膜 108 を形成すればよい。例えば半導体膜 106 を用いて n 型の半導体素子を形成するならば、{ 100 } 面を有する半導体膜 106 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体膜 108 を用いて p 型の半導体素子を形成するならば、{ 110 } 面を有する半導体膜 108 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャネルの向きと結晶面方位とを考慮し、半導体膜 106 または半導体膜 108 の貼り合わせの方向を定めるようにする。

10

【0044】

なお、上述したように、ボンド基板 100 は、反りや撓みを有している場合や、端部に弱冠丸みを帯びている場合がある。また、ボンド基板 100 から半導体膜を剥離するために水素又は希ガス、或いは水素イオン又は希ガスイオンを注入する際、ボンド基板 100 の端部において上記ガスまたはイオンの注入を十分に行うことができない場合もある。そのため、ボンド基板 100 の端部に位置する部分は、半導体膜を剥離させるのが難しく、ボンド基板をベース基板に貼り合わせた後にボンド基板を劈開して半導体膜を形成する場合、半導体膜間の間隔が数 mm ~ 数 cm となってしまう。しかし、本発明では、ボンド基板 100 をベース基板 107 に貼り合わせる前に、ボンド基板 100 を劈開させて半導体膜 106 と半導体膜 108 を形成している。よって、半導体膜 106 と半導体膜 108 をベ

20

【0045】

次に図 3 (A) に示すように、半導体膜 106 及び半導体膜 108 の表面を平坦化しても良い。図 3 (A) には、半導体膜 106 及び半導体膜 108 の断面図に加えて、半導体膜 106 及び半導体膜 108 の上面図も示す。図 3 (A) に示す断面図は、上面図の破線 A - A' における断面に相当する。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成される半導体膜 109 及び半導体膜 110 とゲート絶縁膜の界面の特性を向上させることが出来る。具体的に平坦化は、化学的機械的研磨 (CMP: Chemical Mechanical Polishing) または液体ジェット研磨などにより、行うことができる。半導体膜 106 及び半導体膜 108 の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッチングする前の半導体膜 106 及び半導体膜 108 に施しても良いが、後にエッチングにより形成される半導体膜 109 及び半導体膜 110 に施しても良いし。

30

【0046】

次に、図 3 (B) に示すように、半導体膜 106 と半導体膜 108 を部分的にエッチングすることで、半導体膜 106 から半導体膜 109 を、半導体膜 108 から半導体膜 110 を形成する。図 3 (B) には、半導体膜 109 及び半導体膜 110 の断面図に加えて、半導体膜 109 及び半導体膜 110 の上面図も示す。図 3 (B) に示す断面図は、上面図の破線 A - A' における断面に相当する。半導体膜 106 及び半導体膜 108 をさらにエッチングすることで、半導体膜 106 及び半導体膜 108 の端部において接合の強度が不十分である領域を、除去することができる。

40

【0047】

なお、本実施の形態では、一つの半導体膜 106 をエッチングすることで 1 つの半導体膜 109 を形成し、一つの半導体膜 108 をエッチングすることで 1 つの半導体膜 110 を形成しているが、本発明はこの構成に限定されない。例えば、一つの半導体膜 106 をエッチングすることで複数の半導体膜 109 を形成しても良いし、一つの半導体膜 108 をエッチングすることで複数の半導体膜 110 を形成しても良い。

【0048】

50

また、半導体膜109及び半導体膜110、或いはエッチングを行う前の半導体膜106及び半導体膜108にエネルギービームを照射して、結晶欠陥を補修しても良い。エネルギービームは、半導体に選択的に吸収されるもの、例えばレーザ光を用いるのが望ましい。レーザ光は、エキシマレーザなどの気体レーザ、YAGレーザなどの固体レーザを光源として用いることができる。レーザ光の波長は、紫外光から近赤外光であることが好ましく、波長190nm～2000nmの領域のレーザ光を用いるのが望ましい。その他、ハロゲンランプ若しくはキセノンランプなどを用いたフラッシュランプアニールを、結晶欠陥の補修のために用いても良い。

【0049】

なお本実施の形態では、欠陥層102の形成により半導体膜106と半導体膜108とを、ボンド基板100からそれぞれ剥離するスマートカット法を用いる場合について示すが、ELTRAN(Epitaxial Layer Transfer)、誘電体分離法、PACE(Plasma Assisted Chemical Etching)法などの、他の貼り合わせ法を用いても良い。

【0050】

上記工程を経て形成された半導体膜109、半導体膜110を用い、図3(C)に示すようにトランジスタ111～113などの各種半導体素子を形成することが出来る。

【0051】

なお、図1乃至図3では、マザーアイランドに相当する複数の半導体膜106と半導体膜108とが全て同程度の大きさを有する例を示しているが、本発明はこの構成に限定されない。サイズまたは形状の異なる複数の半導体膜106と半導体膜108とを劈開により形成し、それぞれをベース基板107に貼り合わせるようにしても良い。図8に、ボンド基板100から形状またはサイズの異なる半導体膜106a、半導体膜106b、半導体膜106cを形成し、ベース基板107に貼り合わせている様子を示す。

【0052】

半導体膜106aは矩形を有しており、例えばベース基板107のうち、後に半導体表示装置の画素部130となる領域に貼り合わされる。半導体膜106aをエッチングすることで、画素部130に配置される表示素子の駆動を制御するトランジスタまたは容量素子等の半導体素子が有する半導体膜を形成することができる。

【0053】

半導体膜106bは、一方の辺が他方の辺よりも数倍以上長い矩形を有している。半導体膜106bは、例えばベース基板107のうち、後に半導体表示装置の信号線駆動回路131となる領域に貼り合わされる。半導体膜106bをエッチングすることで、信号線駆動回路131に配置されるトランジスタ、容量素子またはダイオード等の半導体素子が有する半導体膜を形成することができる。

【0054】

半導体膜106cは、半導体膜106aよりもサイズの小さい矩形を有している。半導体膜106cは、例えばベース基板107のうち、後に半導体表示装置の走査線駆動回路132となる領域のうち、最終出力のバッファが形成される領域に貼り合わされる。半導体膜106cをエッチングすることで、走査線駆動回路132のバッファに配置されるトランジスタ等の半導体素子が有する半導体膜を形成することができる。

【0055】

このように、ベース基板107において半導体膜106a、半導体膜106b、半導体膜106cを貼り合わせる位置は、半導体素子のマスク図面の情報を元に決めることができる。

【0056】

なお、図8では1つのボンド基板100から半導体膜106a、半導体膜106b、半導体膜106cを剥離する例について示しているが、ボンド基板は2つ以上用いていても良い。

【0057】

また図8では、画素部130において、複数の半導体膜106aが縦方向及び横方向に複数配置されているが、本発明はこの構成に限定されない。

【0058】

図9(A)に、1つの半導体膜1801から、走査線方向に配列されている画素のトランジスタに用いられている半導体膜1802を形成する場合の、半導体膜1801と半導体膜1802のレイアウトを示す。図9(A)では、半導体膜1801と半導体膜1802のレイアウトに加えて、走査線1803が形成される領域を破線で、信号線1804が形成される領域を破線で示す。

【0059】

各画素1805は、走査線1803の一つと、信号線1804の一つと、半導体膜1802を有するトランジスタとを少なくとも有する。該トランジスタは、走査線駆動回路から走査線1803に与えられる信号に従ってスイッチングを行い、該トランジスタがオンになると、信号線駆動回路から信号線1804に与えられるビデオ信号が画素1805に入力される。

【0060】

半導体膜1801は、走査線1803方向に配列されている画素1805において、後に半導体膜1802が形成される領域と重なっている。なお、結晶性、内部応力などのトランジスタの動作特性に影響を与えうる特性が半導体膜1801どうしで異なっていたとしても、任意の1フレーム期間において、一の信号線を有する画素に同じ極性のビデオ信号が入力され、隣り合う信号線を有する画素どうしで逆の極性のビデオ信号が入力されるソースライン反転駆動を行うことで、ビデオ信号に従って階調を表示する表示素子の輝度のばらつきをおさえることができる。

【0061】

また、図9(A)では1つの走査線1803を有する画素1805において、後に半導体膜1802が形成される領域と、一つの半導体膜1801とが重なっている例を示しているが、本発明はこの構成に限定されない。複数の走査線1803を有する画素1805において、後に半導体膜1802が形成される領域と、一つの半導体膜1801とが重なっていても良い。

【0062】

図9(B)に、1つの半導体膜1811から、信号線方向に配列されている画素のトランジスタに用いられている半導体膜1812を形成する場合の、半導体膜1811と半導体膜1812のレイアウトを示す。図9(B)では、半導体膜1811と半導体膜1812のレイアウトに加えて、走査線1813が形成される領域を破線で、信号線1814が形成される領域を破線で示す。

【0063】

各画素1815は、走査線1813の一つと、信号線1814の一つと、半導体膜1812を有するトランジスタとを少なくとも有する。該トランジスタは、走査線駆動回路から走査線1813に与えられる信号に従ってスイッチングを行い、該トランジスタがオンになると、信号線駆動回路から信号線1814に与えられるビデオ信号が画素1815に入力される。

【0064】

半導体膜1811は、信号線1814方向に配列されている画素1815において、後に半導体膜1812が形成される領域と重なっている。なお、結晶性、内部応力などのトランジスタの動作特性に影響を与えうる特性が半導体膜1811どうしで異なっていたとしても、任意の1フレーム期間において、一の走査線を有する画素に同じ極性のビデオ信号が入力され、隣り合う走査線を有する画素どうしで逆の極性のビデオ信号が入力されるソースライン反転駆動を行うことで、ビデオ信号に従って階調を表示する表示素子の輝度のばらつきをおさえることができる。

【0065】

また、図9(B)では1つの信号線1814を有する画素1815において、後に半導体

10

20

30

40

50

膜 1 8 1 2 が形成される領域と、一つの半導体膜 1 8 1 1 とが重なっている例を示しているが、本発明はこの構成に限定されない。複数の信号線 1 8 1 4 を有する画素 1 8 1 5 において、後に半導体膜 1 8 1 2 が形成される領域と、一つの半導体膜 1 8 1 1 とが重なっていても良い。

【 0 0 6 6 】

図 1 0 (A) に、一つの半導体膜 1 8 2 1 から、一つの画素のトランジスタに用いられている半導体膜 1 8 2 2 を形成する場合の、半導体膜 1 8 2 1 と半導体膜 1 8 2 2 のレイアウトを示す。図 1 0 (A) では、半導体膜 1 8 2 1 と半導体膜 1 8 2 2 のレイアウトに加えて、走査線 1 8 2 3 が形成される領域を破線で、信号線 1 8 2 4 が形成される領域を破線で示す。

10

【 0 0 6 7 】

各画素 1 8 2 5 は、走査線 1 8 2 3 の一つと、信号線 1 8 2 4 の一つと、半導体膜 1 8 2 2 を有するトランジスタとを少なくとも有する。該トランジスタは、走査線駆動回路から走査線 1 8 2 3 に与えられる信号に従ってスイッチングを行い、該トランジスタがオンになると、信号線駆動回路から信号線 1 8 2 4 に与えられるビデオ信号が画素 1 8 2 5 に入力される。

【 0 0 6 8 】

半導体膜 1 8 2 1 は、一つの画素 1 8 2 5 において、後に半導体膜 1 8 2 2 が形成される領域と重なっている。上記構成により、結晶性、内部応力などのトランジスタの動作特性に影響を与えうる特性が半導体膜 1 8 2 1 どうしで異なっていたとしても、ビデオ信号に従って階調を表示する表示素子の輝度のばらつきをおさえることができる。

20

【 0 0 6 9 】

図 1 0 (B) に、一つの半導体膜 1 8 3 1 から、信号線方向に複数配列され、なおかつ走査線方向に複数配列されている画素のトランジスタに用いられている半導体膜 1 8 3 2 を形成する場合の、半導体膜 1 8 3 1 と半導体膜 1 8 3 2 のレイアウトを示す。図 1 0 (B) では、半導体膜 1 8 3 1 と半導体膜 1 8 3 2 のレイアウトに加えて、走査線 1 8 3 3 が形成される領域を破線で、信号線 1 8 3 4 が形成される領域を破線で示す。

【 0 0 7 0 】

各画素 1 8 3 5 は、走査線 1 8 3 3 の一つと、信号線 1 8 3 4 の一つと、半導体膜 1 8 3 2 を有するトランジスタとを少なくとも有する。該トランジスタは、走査線駆動回路から走査線 1 8 3 3 に与えられる信号に従ってスイッチングを行い、該トランジスタがオンになると、信号線駆動回路から信号線 1 8 3 4 に与えられるビデオ信号が画素 1 8 3 5 に入力される。

30

【 0 0 7 1 】

半導体膜 1 8 3 1 は、複数の走査線 1 8 1 3 及び複数の信号線 1 8 1 4 を有する複数の画素 1 8 3 5 において、後に半導体膜 1 8 3 2 が形成される領域と重なっている。

【 0 0 7 2 】

次に、本発明の作製方法において用いられるトレイの具体的な構成の一例について説明する。図 4 (A) に、トレイ 6 0 0 0 の上面図を示す。また図 4 (A) に示すトレイ 6 0 0 0 の破線 A - A ' における断面図を図 4 (B) に、破線 B - B ' における断面図を図 4 (C) に示す。

40

【 0 0 7 3 】

トレイ 6 0 0 0 は、半導体膜 6 0 0 1 を載置するための収容部 6 0 0 2 と、半導体膜 6 0 0 1 どうしを分け隔てるための隔壁 6 0 0 3 と、ボンド基板を支持するための凸部 6 0 0 5 を有している。図 4 では、一つの半導体膜 6 0 0 1 の周囲に、互いに分離した複数の隔壁 6 0 0 3 が配置されているが、本発明はこの構成に限定されない。トレイ 6 0 0 0 が、一つの半導体膜 6 0 0 1 の四方を完全に取り囲むことができる隔壁を有していても良い。なお、後者の場合、隔壁によって分離された収容部 6 0 0 2 が複数存在することになるが、前者の場合、収容部 6 0 0 2 は隔壁によって分離されることなく、一続きに連なっている。また、トレイ 6 0 0 0 は、熱処理に耐えうる材料で、なおかつ絶縁性を有する材料で

50

形成するのが望ましい。そして載置される半導体膜が静電気により破損するのを防ぐために、トレイ 6 0 0 0 にカーボンを添加する、またはトレイ 6 0 0 0 に導電性を有する材料でパターンを形成するようにしても良い。

【 0 0 7 4 】

また図 4 では、トレイ 6 0 0 0 に開口部 6 0 0 4 が複数形成されている。トレイ 6 0 0 0 に開口部 6 0 0 4 を必ずしも形成する必要はないが、開口部 6 0 0 4 を形成することで、ボンド基板に加熱処理を施す際に、ボンド基板とトレイ 6 0 0 0 との間に存在する気体を開口部 6 0 0 4 から逃がすことができる。なお、図 4 において開口部 6 0 0 4 は、半導体膜 6 0 0 1 が載置されている領域以外に形成されているが、本発明はこの構成に限定されない。開口部 6 0 0 4 が半導体膜 6 0 0 1 の載置される領域内に形成されていても良い。

10

【 0 0 7 5 】

また図 4 に示すトレイ 6 0 0 0 は、トレイ 6 0 0 0 に重ね合わせたボンド基板を支持するための凸部 6 0 0 5 を有しているが、本発明はこの構成に限定されない。必ずしもトレイ 6 0 0 0 は凸部 6 0 0 5 を有している必要はなく、別途用意した治具を用いてトレイ 6 0 0 0 とボンド基板とを接触させることなく重ね合わせるようにしても良いし、隔壁 6 0 0 3 の一部がボンド基板を支持するための凸部 6 0 0 5 として機能していても良い。なお、ボンド基板を支持するための凸部 6 0 0 5 の高さは、隔壁 6 0 0 3 の高さと同じか、それ以上であることが望ましい。また図 4 に示すトレイ 6 0 0 0 では、凸部 6 0 0 5 が収容部 6 0 0 2 の周囲を完全に取り囲んでいるが、本発明はこの構成に限定されない。互いに分離した複数の凸部 6 0 0 5 を、収容部 6 0 0 2 の周囲に配置しても良いし、凸部 6 0 0 5 を収容部 6 0 0 2 間に配置しても良い。

20

【 0 0 7 6 】

なお、隔壁 6 0 0 3 によって分け隔てられる半導体膜 6 0 0 1 は、必ずしも全て同じ大きさ及び形状を有している必要はない。よって、剥離される半導体膜 6 0 0 1 の大きさ及び形状に合わせて、隔壁 6 0 0 3 の配置を適宜変更することもできる。また、必ずしも 1 つのトレイ 6 0 0 0 内に、互いに大きさの異なる複数の半導体膜 6 0 0 1 を載置する必要はない。複数のトレイとボンド基板とを重ね合わせるようにし、複数の各トレイに載置できる半導体膜の大きさまたは形状が、トレイどうして異なるようにしても良い。

【 0 0 7 7 】

図 5 (A) に、トレイ 6 1 0 1、トレイ 6 1 0 2、トレイ 6 1 0 3 及びトレイ 6 1 0 4 と、ボンド基板が配置される領域を破線 6 1 0 0 で示す。図 5 (A) では、破線 6 1 0 0 で示す領域内にトレイ 6 1 0 1、トレイ 6 1 0 2、トレイ 6 1 0 3 及びトレイ 6 1 0 4 が配置され、一つのボンド基板と上記全てのトレイとが重なり合う例を示している。また図 5 (B) にトレイ 6 1 0 1 の領域 6 1 0 5 における収容部 1 6 2 0 の拡大図、図 5 (C) にトレイ 6 1 0 2 の領域 6 1 0 6 における収容部 1 6 2 1 の拡大図、図 5 (D) にトレイ 6 1 0 3 の領域 6 1 0 7 における収容部 1 6 2 2 の拡大図を示す。

30

【 0 0 7 8 】

図 5 (B) に示すように、トレイ 6 1 0 1 は収容部 6 1 2 0 に載置されている半導体膜 6 1 2 3 が矩形を有しており、半導体膜 6 1 2 3 の大きさ及び形状に合わせて隔壁 6 1 2 6 の配置する位置が設定されている。また図 5 (C) に示すように、トレイ 6 1 0 2 は収容部 6 1 2 1 に載置されている半導体膜 6 1 2 4 が、その一方の辺が他方の辺よりも数倍以上長い矩形を有しており、半導体膜 6 1 2 4 の大きさ及び形状に合わせて隔壁 6 1 2 7 の配置する位置が設定されている。また図 5 (D) に示すように、トレイ 6 1 0 3 は収容部 6 1 2 2 に載置されている半導体膜 6 1 2 5 が、半導体膜 6 1 2 3 よりもサイズの小さい矩形を有しており、半導体膜 6 1 2 5 の大きさ及び形状に合わせて隔壁 6 1 2 7 の配置する位置が設定されている。

40

【 0 0 7 9 】

図 5 のように、載置される半導体膜の形状及びサイズごとにトレイを使い分けることで、載置された半導体膜をベース基板上に貼り合わせる際に、作業の効率を高めることができる。

50

【0080】

次に、トレイに載置された半導体膜を、別途用意した支持体に一旦載置した後に、該支持体から各半導体膜を拾い上げる例について説明する。まず図6(A)に示すように、半導体膜6200をトレイ6201の収容部6202に載置する。そしてトレイ6201に支持体6203を重ね合わせる。具体的に支持体6203は、トレイ6201との間に半導体膜6200が存在するような位置に、配置する。また支持体6203は、半導体膜6200どうしを分け隔てるための隔壁6204との間にある程度の間隔を有していても良い。ただし図6(A)に示すように、支持体6203が隔壁6204に接している方が、後の工程においてトレイ6201及び支持体6203を反転させる際に、確実に半導体膜6200どうしを分け隔てることができるので、より望ましい。

10

【0081】

なお、図6(A)では、半導体膜6200が載置される支持体6203の一主面が、隔壁を有さず、平坦性を有している場合を例示している。しかし、支持体6203の形状は上記構成に限定されず、トレイ6201と同様に、平坦性を有する収容部と、載置される半導体膜どうしを分け隔てるための隔壁と、を有していても良い。

【0082】

次に、図6(B)に示すように、トレイ6201及び支持体6203を反転させることで、半導体膜6200を支持体6203に載置する。支持体6203に載置された半導体膜6200は、ボンド基板の劈開により露出した面が支持体6203側を向いている。また半導体膜6200は、上記面とは反対側の面であり、なおかつ絶縁膜6205の形成されている面が、トレイ6201側を向いている。

20

【0083】

そして、トレイ6201を除去した後、図6(C)に示すように、支持体6203に載置された半導体膜6200を、コレット6206で拾い上げ、ベース基板と半導体膜6200とを貼り合わせる。図6(C)では、半導体膜6200の有する面のうち、ボンド基板の劈開により露出した面とは反対側の面に、絶縁膜6205が形成されている例を示しているので、コレット6206が絶縁膜6205に固着している様子を示している。ベース基板と半導体膜とを貼り合わせた後、絶縁膜6205を除去しても良い。

【0084】

図6に示すように、半導体膜6200を反転させてから支持体6203に載置する場合、ボンド基板の劈開により露出される半導体膜の面をベース基板側に向けることができるので、ゲート絶縁膜を形成する前に絶縁膜6205を除去することで、より平坦性の高い側の面がゲート絶縁膜に接する。よって、半導体膜とゲート絶縁膜の間の界面準位密度を低く、なおかつ均一にすることができる。したがって、ゲート絶縁膜に接する半導体膜6200の表面を平坦化するための研磨を省略、もしくは研磨時間を短縮化することができ、コストを抑えスループットを向上させることができる。

30

【0085】

なお、半導体膜6200とベース基板とを貼り合わせる前または貼り合わせた後に、半導体膜6200の剥離により露出した面に、レーザ光の照射による熱アニールを施しても良い。半導体膜6200とベース基板とを貼り合わせる前に熱アニールを施すと、剥離により露出した面が平坦化され、接合の強度をより高めることができる。また、半導体膜6200をベース基板に貼り合わせた後に熱アニールを施すと、半導体膜6200が一部溶解し、接合の強度をより高めることができる。

40

【0086】

レーザ光の照射で半導体膜6200に熱アニールを行う場合、半導体に選択的に吸収される固体レーザの基本波または第2高調波のレーザ光を照射することが望ましい。例えば、連続発振のYAGレーザから射出された出力100Wのレーザ光を用いる。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜6200の剥離により露出した面に照射する。このときのエネルギー密度は $1\text{ kW/cm}^2 \sim 100\text{ MW/cm}^2$ 程度(好ましくは $0.1 \sim 10\text{ MW/cm}^2$)が必要である。そし

50

て、走査速度を $10 \sim 2000 \text{ cm/sec}$ 程度とし、照射する。

【0087】

連続発振の気体レーザとして、Arレーザ、Krレーザなどを用いることが出来る。また連続発振の固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、フォルステライト(Mg₂SiO₄)レーザ、GdVO₄、Y₂O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザなどを用いることが出来る。またパルス発振のレーザとして、例えばArレーザ、Krレーザ、エキシマレーザ、CO₂レーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

10

【0088】

次に、一時的に半導体膜を固着させることができる第1のトレイに載置された半導体膜を、第2のトレイに一旦載置した後に、第2のトレイから各半導体膜を拾い上げる例について説明する。まず図7(A)に示すように、半導体膜6300を第1のトレイ6301の収容部6302に載置する。そして第1のトレイ6301に第2のトレイ6303を重ね合わせる。

【0089】

なお、第1のトレイ6301は、平坦性を有する収容部6302と、収容部6302に載置される半導体膜6300どうしを分け隔てるための隔壁6304と、を有している。また第2のトレイ6303は、平坦性を有する収容部6310と、収容部6310に載置される半導体膜6300どうしを分け隔てるための隔壁6311と、を有している。上記第1のトレイ6301と第2のトレイ6303との重ね合わせは、収容部6302と収容部6310とが向き合うように、なおかつ隔壁6304と隔壁6311とが向き合うように行われる。なお、図7(A)では、隔壁6304と隔壁6311とが接する場合を例示しているが、隔壁6304と隔壁6311の間に、ある程度の間隔が設けられていても良い。

20

【0090】

また、図7では、収容部6310と隔壁6311とを有する第2のトレイ6303を用いる例について示しているが、本発明はこの構成に限定されない。図6の場合と同様に、隔壁を有さず、一主面が平坦性を有している支持体を、第2のトレイ6303の替わりに用いても良い。

30

【0091】

そして図7では、第1のトレイ6301は、収容部6302に複数の微細な気孔6312が形成されており、気孔6312内の気圧を減圧雰囲気にすることで半導体膜6300を第1のトレイ6301に密着させたまま保持することができる。

【0092】

次に、図7(B)に示すように、気孔6312内の気圧を減圧雰囲気にすることで半導体膜6300を第1のトレイ6301に密着させたまま、第1のトレイ6301及び第2のトレイ6303を反転させる。

【0093】

そして、図7(C)に示すように、気孔6312内の気圧を図7(B)の状態よりも高くしていくことで、半導体膜6300を第1のトレイ6301から離し、第2のトレイ6303の収容部6310に載置する。第2のトレイ6303に載置された半導体膜6300は、ボンド基板の劈開により露出した面が第2のトレイ6303側を向いている。また半導体膜6300は、上記面とは反対側の面であり、なおかつ絶縁膜6305の形成されている面が、第1のトレイ6301側を向いている。

40

【0094】

そして、第1のトレイ6301を除去した後、図7(D)に示すように、第2のトレイ6303に載置された半導体膜6300を、コレット6306で拾い上げ、ベース基板と半導体膜6300とを貼り合わせる。図7(D)では、半導体膜6300の有する面のうち

50

、ボンド基板の劈開により露出した面とは反対側の面に、絶縁膜 6305 が形成されている例を示しているので、コレット 6306 が絶縁膜 6305 に固着している様子を示している。ベース基板と半導体膜とを貼り合わせた後、絶縁膜 6305 を除去しても良い。

【0095】

図 7 に示すように、半導体膜 6300 を反転させてから第 2 のトレイ 6303 に載置する場合も、図 6 の場合と同様に、ボンド基板の劈開により露出される半導体膜の面をベース基板側に向けることができるので、ゲート絶縁膜を形成する前に絶縁膜 6305 を除去することで、より平坦性の高い側の面がゲート絶縁膜に接する。よって、半導体膜とゲート絶縁膜の間の界面準位密度を低く、なおかつ均一にすることができる。したがって、ゲート絶縁膜に接する半導体膜 6300 の表面を平坦化するための研磨を省略、もしくは研磨時間を短縮化することができ、コストを抑えスループットを向上させることができる。

10

【0096】

なお図 7 の場合も図 6 の場合と同様に、半導体膜 6300 とベース基板とを貼り合わせる前または貼り合わせた後に、半導体膜 6300 の剥離により露出した面に、レーザ光の照射による熱アニールを施しても良い。半導体膜 6300 とベース基板とを貼り合わせる前に熱アニールを施すと、剥離により露出した面が平坦化され、接合の強度をより高めることができる。また、半導体膜 6300 をベース基板に貼り合わせた後に熱アニールを施すと、半導体膜 6300 が一部溶解し、接合の強度をより高めることができる。

【0097】

また、図 7 では、真空チャックのように気孔内を減圧することで半導体膜 6300 を第 1 のトレイ 6301 に密着するように保持しているが、半導体膜 6300 の保持の仕方はこの構成に限定されない。例えば静電チャックのように、静電気のクーロン力を利用して半導体膜 6300 を保持するようにしても良い。

20

【0098】

図 7 のように、半導体膜 6300 をトレイに保持したまま反転させることで、保持していない場合に比べて、半導体膜 6300 が隔壁 6304 に接触することにより破損するのを防ぐことができる。

【0099】

本実施の形態の半導体装置の作製方法では、半導体素子に用いられる半導体膜（アイランド）のレイアウトに合わせて、間隔をあけて複数の半導体膜（マザーアイランド）を貼り合わせることもできるので、ベース基板全面に半導体膜を貼り合わせる場合に比べて、必要となるボンド基板の枚数を最小限に抑えることができる。また、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。

30

【0100】

また、剥離された第 1 の半導体膜をボンド基板に乗せたままの場合よりも、剥離された複数の第 1 の半導体膜をトレイ内に一時的に収容する場合の方が、搬送の際の取り扱いが楽であり、よって、作業の効率を高めることができる。

【0101】

なお本発明は、マイクロプロセッサ、画像処理回路などの集積回路や、質問器とデータの送受信が非接触でできる RF タグ、半導体表示装置等、ありとあらゆる半導体装置の作製に用いることができる。半導体表示装置には、液晶表示装置、有機発光素子（OLED）に代表される発光素子を各画素に備えた発光装置、DMD（Digital Micromirror Device）、PDP（Plasma Display Panel）、FED（Field Emission Display）等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。

40

【0102】

（実施の形態 2）

本実施の形態では、本発明の作製方法に用いられる製造装置の構成について説明する。

【0103】

50

図 1 1 に、本発明の作製方法に用いられる製造装置の構成を一例として示す。図 1 1 に示す製造装置は、トレイ 9 0 1 を載置するステージ 9 0 2 と、ベース基板 9 0 3 を載置するステージ 9 0 4 とを有する。なお図 1 1 では、トレイ 9 0 1 とベース基板 9 0 3 とを、互いに異なるステージに載置する例を示しているが、本発明はこの構成に限定されない。トレイ 9 0 1 とベース基板 9 0 3 とを同一のステージに載置することも可能である。

【 0 1 0 4 】

また図 1 1 では、1 つのトレイ 9 0 1 を載置するための 1 つのステージ 9 0 2 を示しているが、本発明はこの構成に限定されない。例えば本発明の作製方法に用いられる製造装置は、一つのトレイ 9 0 1 を載置するためのステージ 9 0 2 を複数有していても良いし、ステージ 9 0 2 上に複数のトレイ 9 0 1 が載置できるようにしても良い。

10

【 0 1 0 5 】

さらに図 1 1 に示す製造装置は、トレイ 9 0 1 に載置されている半導体膜に固着し、なおかつ該半導体膜をベース基板 9 0 3 の所定の位置に貼り合わせるコレット 9 0 5 を有する。コレット 9 0 5 として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、半導体膜の一つに選択的に固着させることができる手段を用いる。

【 0 1 0 6 】

また図 1 1 に示す製造装置は、上記コレット 9 0 5 の位置を制御するコレット駆動部 9 0 6 と、ステージ 9 0 2、ステージ 9 0 4 の位置を制御するステージ駆動部 9 0 7 と、コレットの位置情報またはステージの位置情報に従って、コレット駆動部 9 0 6 とステージ駆動部 9 0 7 の動作を制御する CPU 9 0 8 とを少なくとも有する。

20

【 0 1 0 7 】

コレットの位置情報またはステージの位置情報は、トレイ 9 0 1 のどの位置に載置されている半導体膜を、ベース基板 9 0 3 上のどの位置に貼り合わせるか、といった位置情報を元に作製することができる。なお、トレイ 9 0 1 の位置合わせまたはベース基板 9 0 3 の位置合わせを行うために、図 1 1 に示す製造装置に、CCD (電荷結合素子) などの撮像素子を有するカメラを設けても良い。

【 0 1 0 8 】

また、ステージ 9 0 2 上に、トレイ 9 0 1 が有する熱を吸収または発散させるためのヒートシンクを設けても良い。コレット 9 0 5 としてマイクロニードルの先端に低温凝固剤を付着させたものを用いる場合において、ヒートシンクを用いることでトレイ 9 0 1 の温度を効率的に下げることができる。

30

【 0 1 0 9 】

次に、図 1 1 に示したトレイ 9 0 1、ステージ 9 0 2、ベース基板 9 0 3、ステージ 9 0 4、コレット 9 0 5、コレット駆動部 9 0 6、ステージ駆動部 9 0 7 の位置関係と具体的な構成を示すために、図 1 2 にそれらの斜視図を示す。なお図 1 2 では、ステージ 9 0 2 の動作を制御するステージ駆動部 9 0 7 a と、ステージ 9 0 4 の動作を制御するステージ駆動部 9 0 7 b とを用いている例を示す。

【 0 1 1 0 】

CPU 9 0 8 からの指示に従い、ステージ駆動部 9 0 7 a は、X 方向または X 方向と交わる Y 方向にステージ 9 0 2 を移動させる。なおステージ駆動部 9 0 7 a が、X 方向または Y 方向に加え、X 方向及び Y 方向と交わる Z 方向に、ステージ 9 0 2 を移動させるようにしても良い。同様にステージ駆動部 9 0 7 b は、X 方向または X 方向と交わる Y 方向にステージ 9 0 4 を移動させる。ステージ駆動部 9 0 7 b は、X 方向または Y 方向に加え、X 方向及び Y 方向と交わる Z 方向に、ステージ 9 0 4 を移動させるようにしても良い。

40

【 0 1 1 1 】

またコレット 9 0 5 は、トレイ 9 0 1 に載置されている複数の半導体膜の一つを拾い上げる。そしてコレット駆動部 9 0 6 は、半導体膜を保持した状態のコレット 9 0 5 を、トレイ 9 0 1 からベース基板 9 0 3 まで移送する。なお図 1 2 では、1 つのコレット 9 0 5 がトレイ 9 0 1 とベース基板 9 0 3 の間を行き来している例を示しているが、コレット 9 0

50

5は複数用いられていても良い。複数のコレット905を用いる場合、各コレット905の動作を独立して制御するためにコレット駆動部906を複数用意しても良いし、全てのコレット905を1つのコレット駆動部906で制御しても良い。

【0112】

次に、図12において複数のステージ902用いた場合の形態を、図13に示す。図13では、ステージ902a、ステージ902b、ステージ902cを用いている例を示しており、全てのステージ902a、ステージ902b、ステージ902cが、ステージ駆動部907aによって制御されている。なお、ステージ902a、ステージ902b、ステージ902cの動作を独立して制御するために、ステージ駆動部907aを複数用意しても良い。

10

【0113】

また図13では、ステージ902a上にトレイ901a、ステージ902b上にトレイ901b、ステージ902c上にトレイ901cが、それぞれ載置されている様子を示す。トレイ901a、トレイ901b、トレイ901cに載置されている半導体膜の結晶面方位は、異なっているが、同じであっても良い。また、トレイ901a、トレイ901b、トレイ901cに載置されている半導体膜の大きさ及び形状は、異なっているが、同じであっても良い。

【0114】

また図13では、コレット905は、トレイ901a、トレイ901b、トレイ901cに載置されている複数の半導体膜の一つを拾い上げている。コレット駆動部906は、半導体膜を保持した状態のコレット905を、トレイ901a、トレイ901b、トレイ901cからベース基板903まで移送する。なお図13では、1つのコレット905が、トレイ901a、トレイ901b、トレイ901cとベース基板903の間を行き来している例を示しているが、トレイ901a、トレイ901b、トレイ901cのそれぞれに、少なくとも1つのコレット905の対応するように、コレット905を複数用いても良い。

20

【0115】

本発明の作製方法に用いられる製造装置は、一つのトレイ901に載置されている複数の半導体膜を、適宜ベース基板903上の所望の位置に移送し、貼り合わせることができる。

30

【0116】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0117】

(実施の形態3)

本実施の形態では、実施の形態1に示した作製方法において、エッチングにより半導体膜を分離するのではなく、ドーピングを用いて半導体膜を分離する、本発明の半導体装置の作製方法の一つについて説明する。

【0118】

まず図14(A)に示すように、ボンド基板200上に絶縁膜201を形成する。ボンド基板200として、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板200として用いることができる。またボンド基板200として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いても良い。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。

40

【0119】

絶縁膜201は、酸化珪素、窒化酸化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜201は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。例えば本実施の形態では、酸化珪素を絶縁膜201として

50

用いる。

【0120】

酸化珪素を絶縁膜201として用いる場合、絶縁膜201はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。この場合、絶縁膜201の表面を酸素プラズマ処理で緻密化しても良い。また、窒化珪素を絶縁膜201として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜201として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

10

【0121】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜201として用いても良い。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

【0122】

次に図14（B）に示すように、ボンド基板200に、矢印で示すように水素又はヘリウム等の希ガス、フッ素や塩素等のハロゲン、或いは水素イオン又はヘリウム等の希ガスイオン、フッ素や塩素等のハロゲンイオンを注入し、ボンド基板200の表面から一定の深さの領域に、微少ボイドを有する欠陥層202を形成する。具体的に、欠陥層202の形成は、イオンドーピング法又はイオン注入法で行うことが好ましい。なお、イオン注入法とはイオンを質量分離して特定の質量のイオンのみを電界で加速して半導体に打ち込む技術であり、イオンドーピング法は質量分離を行わずにイオンを電界で加速して半導体に打ち込む技術である。水素、希ガス又はハロゲン元素から選ばれたソースガスをプラズマ励起して生成された一の原子又は複数の同一の原子からなるイオン種をボンド基板200に注入することが好ましい。水素イオンを注入する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくこととイオンの注入効率を高めることができ、注入時間を短縮することができる。

20

30

【0123】

欠陥層202が形成される位置は、上記注入の加速電圧及びドーズ量により制御することができる。そして欠陥層202の位置により、ボンド基板200から形成される半導体膜206の厚さが決まるので、注入の加速電圧及びドーズ量は上記半導体膜206の厚さを考慮して行う。また上記注入の加速電圧及びドーズ量のみならず、絶縁膜201の膜厚によっても、欠陥層202の位置を変えることができる。例えば、絶縁膜201の膜厚をより大きくすることで、半導体膜206の膜厚をより小さくすることができる。半導体膜206の厚さは、例えば10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。例えば水素をボンド基板200に注入する場合、ドーズ量は 1×10^{16} 乃至 $1 \times 10^{17} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1.75 \times 10^{16} / \text{cm}^2$ 、加速電圧を40kVとし、水素または水素イオンのイオン注入を行う。

40

【0124】

なお、欠陥層202を形成する上記工程において、ボンド基板200に高い濃度の水素又は希ガス、或いは水素イオン又は希ガスイオンを注入するので、ボンド基板200の表面が粗くなってしまい、ボンド基板200から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜201を設けることで、水素又は希ガス、或いは水素と希ガスのイオンを注入する際にボンド基板200の表面が保護され、ボンド基板200の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。

50

【0125】

次に、絶縁膜201上にマスク210を形成し、矢印で示すように水素又は希ガス、或いは水素イオン又は希ガスイオンをボンド基板200に選択的に注入し、微少ボイドを有する欠陥層211を形成する。欠陥層211を形成する場合、欠陥層202を形成する場合よりも、注入するガスまたはイオンのドーズ量を多くするか、もしくはより大きい質量を有するガスまたはイオンを注入する。上記構成により、ボンド基板200の深さ方向における欠陥層211の幅を広くすることができる。例えば水素をボンド基板200に注入する場合、ドーズ量は 5×10^{17} 乃至 $5 \times 10^{18} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1 \times 10^{18} / \text{cm}^2$ 、加速電圧を40kVとし、水素または水素イオンのイオン注入を行う。

10

【0126】

欠陥層211のボンド基板200に対して垂直方向（深さ方向）における幅dは、欠陥層202の深さと同じか、それ以上の大きさを有することが望ましい。具体的に、幅dは、半導体膜206の厚さを考慮して、例えば10nm以上、好ましくは200nm以上とする。

【0127】

次に、マスク210を除去した後、ボンド基板200と、トレイ220とを重ね合わせる。トレイ220は、ボンド基板200の剥離により形成される複数の半導体膜を載置する収容部221と、複数の各収容部221内に載置された半導体膜どうしを分け隔てるための隔壁222とを有する。具体的に、ボンド基板200とトレイ220とは、ボンド基板200のマスク210に覆われていた領域と、トレイ220が有する収容部221とが向き合うように、なおかつボンド基板200のマスク210に覆われていた領域から剥離した複数の半導体膜が、自然にトレイ220の収容部221に載置されるように、重ね合わせる。上記重ね合わせにより、トレイ220の隔壁222は、ボンド基板200の欠陥層211と重なる位置に配置される。

20

【0128】

次に、熱処理を行うことにより、欠陥層202において隣接する微少ボイドどうしが結合して、微少ボイドの体積が増大する。その結果、欠陥層202においてボンド基板200が爆発的な反応を伴って劈開し、図14(D)に示すように、ボンド基板200のマスク210に覆われていた領域の一部であった半導体膜206が、絶縁膜201と共に、ボンド基板200から剥離する。剥離した半導体膜206は、ボンド基板200から落下し、絶縁膜201がトレイ220側を向くようにトレイ220の収容部221に載置される。熱処理は、例えば400乃至600の温度範囲内で行えば良い。

30

【0129】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数300MHz乃至3THzの高周波をボンド基板200に照射することで行うことができる。具体的には、例えば、2.45GHzのマイクロ波を900W、14分間照射することで、欠陥層において隣接する微少ボイドどうしを結合させ、最終的にボンド基板200を劈開させることができる。

40

【0130】

なお、ボンド基板200を劈開させる前に、ボンド基板200に水素化処理を行うようにしても良い。水素化処理は、例えば、水素雰囲気中において350、2時間程度行う。

【0131】

以下、実施の形態1と同様の作製方法を経て、本発明の半導体装置を作製することができる。

【実施例1】

【0132】

本実施例では、本発明の半導体装置が有する各種回路の具体的な構成について、インバータを例に挙げて説明する。インバータの回路図を図15(A)に、また図15(A)に示

50

スイーパータの上面図を図 15 (B) に、一例として示す。

【 0 1 3 3 】

図 15 (A) に示すインバータは、 p チャネル型のトランジスタ 2 0 0 1 と、 n チャネル型のトランジスタ 2 0 0 2 とを有する。トランジスタ 2 0 0 1 とトランジスタ 2 0 0 2 は直列に接続されている。具体的には、トランジスタ 2 0 0 1 のドレインと、トランジスタ 2 0 0 2 のドレインが接続されている。そして、トランジスタ 2 0 0 1 のドレイン及びトランジスタ 2 0 0 2 のドレインの電位は、出力端子 O U T に与えられる。

【 0 1 3 4 】

またトランジスタ 2 0 0 1 のゲートとトランジスタ 2 0 0 2 のゲートは接続されている。そして、入力端子 I N に入力された信号の電位は、トランジスタ 2 0 0 1 のゲート及びトランジスタ 2 0 0 2 のゲートに与えられる。トランジスタ 2 0 0 1 のソースにはハイレベルの電圧 V D D が与えられ、トランジスタ 2 0 0 2 のソースにはローレベルの電圧 V S S が与えられる。

【 0 1 3 5 】

図 15 (A) に示すインバータを形成するために、本発明の作製方法では、図 15 (B) に示すように、結晶面方位が { 1 0 0 } である半導体膜 2 0 3 0 と、結晶面方位が { 1 1 0 } である半導体膜 2 0 3 1 とをベース基板に貼り合わせる。次に、図 15 (C) に示すように、半導体膜 2 0 3 0 を部分的にエッチングすることで半導体膜 2 0 0 8 を形成し、また半導体膜 2 0 3 1 を部分的にエッチングすることで半導体膜 2 0 1 0 を形成する。

【 0 1 3 6 】

そして図 15 (D) に示すように、半導体膜 2 0 0 8 を用いて n チャネル型のトランジスタ 2 0 0 2 を形成し、半導体膜 2 0 1 0 を用いて p チャネル型のトランジスタ 2 0 0 1 を形成することで、インバータを形成することができる。

【 0 1 3 7 】

具体的に図 15 (D) に示すインバータでは、トランジスタ 2 0 0 1 のドレインと、トランジスタ 2 0 0 2 のドレインは、配線 2 0 0 3 を介して電氣的に接続されている。そして配線 2 0 0 3 は配線 2 0 0 4 に接続されている。よって、トランジスタ 2 0 0 1 のドレイン及びトランジスタ 2 0 0 2 のドレインの電位は、配線 2 0 0 3 及び配線 2 0 0 4 を介して、出力端子 O U T の電位として後段の回路に与えられる。

【 0 1 3 8 】

また図 15 (B) に示すインバータでは、配線 2 0 0 5 の一部がトランジスタ 2 0 0 1 のゲート及びトランジスタ 2 0 0 2 のゲートとして機能している。そして配線 2 0 0 5 に与えられた電位が、入力端子 I N の電位としてトランジスタ 2 0 0 1 のゲート及びトランジスタ 2 0 0 2 のゲートに与えられる。そしてトランジスタ 2 0 0 1 のソースには、配線 2 0 0 6 を介して電圧 V D D が与えられ、トランジスタ 2 0 0 2 のソースには、配線 2 0 0 7 を介して電圧 V S S が与えられている。

【 0 1 3 9 】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【 実施例 2 】

【 0 1 4 0 】

本実施例では、本発明の半導体装置が有する各種回路の具体的な構成について、N A N D を例に挙げて説明する。N A N D の回路図を図 1 6 (A) に、また図 1 6 (A) に示す N A N D の上面図を図 1 6 (B) に、一例として示す。

【 0 1 4 1 】

図 1 6 (A) に示す N A N D は、 p チャネル型のトランジスタ 3 0 0 1 と、 p チャネル型のトランジスタ 3 0 0 2 と、 n チャネル型のトランジスタ 3 0 0 3 と、 n チャネル型のトランジスタ 3 0 0 4 とを有する。トランジスタ 3 0 0 1 と、トランジスタ 3 0 0 3 と、トランジスタ 3 0 0 4 とは、順に直列に接続されている。またトランジスタ 3 0 0 1 と、トランジスタ 3 0 0 2 とは並列に接続されている。

【 0 1 4 2 】

具体的にトランジスタ3001のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3002のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3004のソースとドレインは、一方にはローレベルの電圧VSSが与えられている。トランジスタ3003のソースとドレインは、一方は出力端子OUTに接続されている。そして、トランジスタ3003のソースとドレインの他方と、トランジスタ3003のソースとドレインの他方とが接続されている。トランジスタ3001のゲートと、トランジスタ3003のゲートには、入力端子IN1の電位が与えられる。またトランジスタ3002のゲートと、トランジスタ3004のゲートには、入力端子IN2の電位が与えられる。

10

【0143】

図16(A)に示すNANDを形成するために、本発明の作製方法では、図16(B)に示すように、結晶面方位が{100}である半導体膜3030と、結晶面方位が{110}である半導体膜3031とをベース基板に貼り合わせる。次に、図16(C)に示すように、半導体膜3030を部分的にエッチングすることで半導体膜3006を形成し、また半導体膜3031を部分的にエッチングすることで半導体膜3005を形成する。

【0144】

そして図16(D)に示すように、半導体膜3006を用いてnチャネル型のトランジスタ3003とトランジスタ3004を形成し、半導体膜3005を用いてpチャネル型のトランジスタ3001とトランジスタ3002を形成することで、インバータを形成することができる。

20

【0145】

図16(B)に示すNANDでは、直列に接続されているトランジスタ3001とトランジスタ3002とが、半導体膜3005を共有している。また直列に接続されているトランジスタ3003とトランジスタ3004とが、半導体膜3006を共有している。また配線3007の一部はトランジスタ3001のゲート及びトランジスタ3003のゲートとして機能している。そして配線3007に与えられた電位が、入力端子IN1の電位としてトランジスタ3001のゲート及びトランジスタ3003のゲートに与えられる。配線3008の一部はトランジスタ3002のゲート及びトランジスタ3004のゲートとして機能している。そして配線3008に与えられた電位が、入力端子IN2の電位としてトランジスタ3002のゲート及びトランジスタ3004のゲートに与えられる。

30

【0146】

ハイレベルの電圧VDDは、配線3009を介してトランジスタ3001のソースとドレインの一方、及びトランジスタ3002のソースとドレインの一方に与えられる。またローレベルの電圧VSSは、配線3010を介してトランジスタ3004のソースとドレインの一方に与えられる。トランジスタ3001のソースとドレインの他方、トランジスタ3002のソースとドレインの他方、及びトランジスタ3003のソースとドレインの一方は、その電位が配線3011及び配線3012を介して出力端子OUTの電位として後段の回路に与えられる。

【0147】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

40

【実施例3】

【0148】

本実施例では、本発明に用いられるトランジスタの具体的な作製方法の一例について説明する。

【0149】

まず図17(A)に示すように、ベース基板601上に{100}面を有する半導体膜603、{110}面を有する半導体膜604を形成する。本実施例では、ベース基板601上に絶縁膜602が形成されており、半導体膜603及び半導体膜604と絶縁膜60

50

2との間に、それぞれ絶縁膜630、絶縁膜631が形成されている場合を例示している。絶縁膜は複数の絶縁膜が積層されることで形成されていても良いし、単層の絶縁膜で形成されていても良い。

【0150】

半導体膜603と半導体膜604には、閾値電圧を制御するために不純物が添加されていても良い。例えば、p型を付与する不純物としてボロンを添加する場合、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加すれば良い。閾値電圧を制御するための不純物の添加は、ベース基板601上に半導体膜を貼り合わせる前に行っても良いし、貼り合わせた後に行っても良い。

【0151】

また半導体膜603と半導体膜604を形成した後、ゲート絶縁膜606を形成する前に水素化処理を行っても良い。水素化処理は、例えば、水素雰囲気中において350、2時間程度行う。

【0152】

次に図17(B)に示すように、半導体膜603と半導体膜604を覆うように、ゲート絶縁膜606を形成する。ゲート絶縁膜606は、高密度プラズマ処理を行うことにより半導体膜603と半導体膜604の表面を酸化または窒化することで形成することができる。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化または窒化することにより、1~20nm、望ましくは5~10nmの絶縁膜が半導体膜に接するように形成される。この5~10nmの絶縁膜をゲート絶縁膜606として用いる。

【0153】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜606と半導体膜603及び半導体膜604との界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0154】

或いは、半導体膜603と半導体膜604を熱酸化させることで、ゲート絶縁膜606を形成するようにしても良い。また、プラズマCVD法またはスパッタリング法などを用い、酸化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムまたは酸化タンタルを含む膜を、単層で、または積層させることで、ゲート絶縁膜606を形成しても良い。

【0155】

次に図17(C)に示すように、ゲート絶縁膜606上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、半導体膜603と半導体膜604の上方に電極607を形成する。導電膜の形成にはCVD法、スパッタリング法等を用いることができる。導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

10

20

30

40

50

【0156】

2つの導電膜の組み合わせとして、1層目に窒化タンタルまたはタンタル（Ta）を、2層目にタングステン（W）を用いることが出来る。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層目の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSix等も用いることが出来る。

【0157】

また、本実施例では電極607を単層の導電膜で形成しているが、本実施例はこの構成に限定されない。電極607は積層された複数の導電膜で形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0158】

なお電極607を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、窒化酸化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、窒化酸化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極607を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的に電極607を形成しても良い。

【0159】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0160】

また電極607は、導電膜を形成後、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング条件（コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等）を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【0161】

次に図17（D）に示すように、電極607をマスクとして一導電型を付与する不純物元素を半導体膜603、半導体膜604に添加する。本実施例では、半導体膜603にp型を付与する不純物元素（例えばボロン）を、半導体膜604にn型を付与する不純物元素（例えばリンまたはヒ素）を添加する。なお、p型を付与する不純物元素を半導体膜603に添加する際、n型の不純物が添加される半導体膜604はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体膜604に添加する際、p型の不純物が添加される半導体膜603はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。或いは、先に半導体膜603及び半導体膜604にp型もしくはn型のいずれか一方を付与する不純物元素を添加した後、一方の半導体膜のみに選択的に高い濃度でp型もしくはn型のうちの他方を付与する不純物元素のいずれか一方を添加するようにしても良い。上記不純物の添加により、半導体膜603に不純物領域608、半導体膜604に不純物領域609が形成される。

【0162】

次に、図18（A）に示すように、電極607の側面にサイドウォール610を形成する。サイドウォール610は、例えば、ゲート絶縁膜606及び電極607を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに形成された

10

20

30

40

50

該絶縁膜を部分的にエッチングすることで、形成することが出来る。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、電極607の側面にサイドウォール610が形成される。なお上記異方性エッチングにより、ゲート絶縁膜606も部分的にエッチングしても良い。サイドウォール610を形成するための絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成することができる。本実施例では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。またエッチングガスとしては、 CHF_3 とヘリウムの混合ガスを用いることができる。なお、サイドウォール610を形成する工程は、これらに限定されるものではない。

【0163】

次に図18(B)に示すように、電極607及びサイドウォール610をマスクとして、半導体膜603、半導体膜604に一導電型を付与する不純物元素を添加する。なお、半導体膜603、半導体膜604には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p型を付与する不純物元素を半導体膜603に添加する際、n型の不純物が添加される半導体膜604はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体膜604に添加する際、p型の不純物が添加される半導体膜603はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。

【0164】

上記不純物元素の添加により、半導体膜603に、一対の高濃度不純物領域611と、一対の低濃度不純物領域612と、チャネル形成領域613とが形成される。また上記不純物元素の添加により、半導体膜604に、一対の高濃度不純物領域614と、一対の低濃度不純物領域615と、チャネル形成領域616とが形成される。高濃度不純物領域611、614はソース又はドレインとして機能し、低濃度不純物領域612、615はLDD(Lightly Doped Drain)領域として機能する。

【0165】

なお、半導体膜604上に形成されたサイドウォール610と、半導体膜603上に形成されたサイドウォール610は、キャリアが移動する方向における幅が同じになるように形成しても良いが、該幅が異なるように形成しても良い。p型トランジスタとなる半導体膜604上のサイドウォール610の幅は、n型トランジスタとなる半導体膜603上のサイドウォール610の幅よりも長くすると良い。なぜならば、p型トランジスタにおいてソース及びドレインを形成するために注入されるボロンは拡散しやすく、短チャネル効果を誘起しやすいためである。p型トランジスタにおいて、サイドウォール610の幅より長くすることで、ソース及びドレインに高濃度のボロンを添加することが可能となり、ソース及びドレインを低抵抗化することができる。

【0166】

次に、ソース及びドレインをさらに低抵抗化するために、半導体膜603、半導体膜604をシリサイド化することで、シリサイド層を形成しても良い。シリサイド化は、半導体膜に金属を接触させ、加熱処理、GRTA法、LRTA法等により、半導体層中の珪素と金属とを反応させて行う。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを用いれば良い。半導体膜603、半導体膜604の厚さが薄い場合には、この領域の半導体膜603、半導体膜604の底部までシリサイド反応を進めても良い。シリサイド化に用いる金属の材料として、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)、バナジウム(V)、ネオジム(Nb)、クロム(Cr)、白金(Pt)、パラジウム(Pd)等を用いることができる。また、レーザ照射やランプなどの光照射によってシリサイドを形成しても良い。

【0167】

上述した一連の工程により、nチャネル型トランジスタ617と、pチャネル型トランジスタ618とが形成される。なお、p型の半導体だと、多数キャリアである正孔の移動度

10

20

30

40

50

が最も高くなる結晶の方位が{110}面であり、n型の半導体だと、多数キャリアである電子の移動度が最も高くなる結晶の方位が{100}面である。よって本発明では、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。

【0168】

次に図18(C)に示すように、トランジスタ617、トランジスタ618を覆うように絶縁膜619を形成する。絶縁膜619は必ずしも設ける必要はないが、絶縁膜619を形成することで、アルカリ金属やアルカリ土類金属などの不純物がトランジスタ617、トランジスタ618へ侵入するのを防ぐことができる。具体的に絶縁膜619として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施例では、膜厚600nm程度の窒化酸化珪素膜を、絶縁膜619として用いる。この場合、上記水素化の工程は、該窒化酸化珪素膜形成後に行っても良い。

【0169】

次に、トランジスタ617、トランジスタ618を覆うように、絶縁膜619上に絶縁膜620を形成する。絶縁膜620は、ポリイミド、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、酸化珪素、窒化珪素、窒化酸化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜620を形成しても良い。絶縁膜620は、その表面をCMP法などにより平坦化させても良い。

【0170】

なお本実施例のように、半導体膜603及び半導体膜604と、ベース基板601との間に、互いに分離している絶縁膜630、絶縁膜631がそれぞれ存在する場合、例えば上記ポリイミド、シロキサン系樹脂などを用いて塗布法で絶縁膜620を形成することで、分離して存在する上記絶縁膜630、絶縁膜631間に段差が存在していても、絶縁膜620の表面の平坦性が損なわれるのを防ぐことができる。よって、絶縁膜620の表面に凹凸が生じることで、後に絶縁膜620上に形成される導電膜621、導電膜622が部分的に極端に薄くなる、または最悪の場合段切れを起すのを防ぐことができる。したがって、塗布法で絶縁膜620を形成することにより、結果的に本発明を用いて形成される半導体装置の歩留まり及び信頼性を高めることができる。

【0171】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していても良い。

【0172】

絶縁膜620の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0173】

次に図19に示すように、半導体膜603と半導体膜604がそれぞれ一部露出するように絶縁膜619及び絶縁膜620にコンタクトホールを形成する。そして、該コンタクトホールを介して半導体膜603と半導体膜604に接する導電膜621、622を形成する。コンタクトホール開口時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。

【0174】

導電膜621、622は、CVD法やスパッタリング法等により形成することができる。

具体的に導電膜 6 2 1、6 2 2 として、アルミニウム (A l)、タングステン (W)、チタン (T i)、タンタル (T a)、モリブデン (M o)、ニッケル (N i)、白金 (P t)、銅 (C u)、金 (A u)、銀 (A g)、マンガン (M n)、ネオジウム (N d)、炭素 (C)、珪素 (S i) 等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜 6 2 1、6 2 2 は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

【 0 1 7 5 】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方を含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 6 2 1、6 2 2 を形成する材料として最適である。特にアルミニウムシリコン (A l - S i) 膜は、導電膜 6 2 1、6 2 2 をパターニングで形成するとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素 (S i) の代わりに、アルミニウム膜に 0 . 5 % 程度の C u を混入させても良い。

10

【 0 1 7 6 】

導電膜 6 2 1、6 2 2 は、例えば、バリア膜とアルミニウムシリコン (A l - S i) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (A l - S i) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン (A l - S i) 膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、半導体膜 6 0 3 と半導体膜 6 0 4 上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜 6 2 1、6 2 2 と、半導体膜 6 0 3 及び半導体膜 6 0 4 とがそれぞれ良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜 6 2 1、6 2 2 を下層から T i、窒化チタン、A l - S i、T i、窒化チタンの 5 層構造とすることが出来る。

20

【 0 1 7 7 】

なお、導電膜 6 2 1 は n チャネル型トランジスタ 6 1 7 の高濃度不純物領域 6 1 1 に接続されている。導電膜 6 2 2 は p チャネル型トランジスタ 6 1 8 の高濃度不純物領域 6 1 4 に接続されている。

30

【 0 1 7 8 】

図 1 9 には、n チャネル型トランジスタ 6 1 7 及び p チャネル型トランジスタ 6 1 8 の上面図が示されている。ただし図 1 9 では導電膜 6 2 1、6 2 2、絶縁膜 6 1 9、絶縁膜 6 2 0 を省略した図を示している。

【 0 1 7 9 】

また本実施例では、n チャネル型トランジスタ 6 1 7 と p チャネル型トランジスタ 6 1 8 が、それぞれゲートとして機能する電極 6 0 7 を 1 つずつ有する場合を例示しているが、本発明はこの構成に限定されない。本発明で作製されるトランジスタは、ゲートとして機能する電極を複数有し、なおかつ該複数の電極が電氣的に接続されているマルチゲート構造を有していても良い。

40

【 0 1 8 0 】

また本発明で作製される半導体装置が有するトランジスタは、ゲートブレナー構造を有していても良い。

【 0 1 8 1 】

なお、S O I 基板が有する半導体膜は、ほぼ単結晶に近いものが得られる。そのため、多結晶の半導体膜と比べて、配向のばらつきが小さいのでトランジスタの閾値電圧のばらつきを小さくすることができる。また、多結晶の半導体膜とは異なり結晶粒界が殆ど見られないので、結晶粒界に起因するリーク電流を抑え、半導体装置の省電力化を実現すること

50

ができる。さらに、複数のボンド基板を用いることで、例えば結晶面方位が{100}の半導体膜と、結晶面方位が{110}の半導体膜とを同一のベース基板上に形成することができる。そしてレーザ結晶化により得られる多結晶の半導体膜では、ビームスポット内のエネルギー密度の分布に起因して、半導体膜の表面に突起(リッジ)が現れやすい。しかし、SOI基板が有する半導体膜は、レーザ光を照射する必要がない、或いは、貼り合わせにより生じた半導体膜内の欠陥を修復できる程度に、低いエネルギー密度で照射すれば良い。よって、SOI基板が有する半導体膜の表面の平坦性は、レーザ結晶化により得られる多結晶の半導体膜に比べて飛躍的に高いため、SOI基板が有する半導体膜上に形成されるゲート絶縁膜の膜厚を5nm乃至50nm程度まで薄くすることが可能である。よって、ゲート電圧を抑えつつも高いオン電流を得ることができる。また、レーザ結晶化により得られる多結晶の半導体膜を用いる場合、高い移動度を得るために、レーザ光の走査方向に沿ってトランジスタが有する半導体膜の配置を決める必要があったが、SOI基板が有する半導体膜ではその必要がないため、半導体装置の設計における制約が少なくなる。

10

【0182】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【実施例4】

【0183】

本実施例では、本発明の半導体装置の一つであるRFタグの構成について説明する。図20(A)は本発明のRFタグの一形態を示すブロック図である。図20(A)においてRFタグ500は、アンテナ501と、集積回路502とを有している。集積回路502は、電源回路503、復調回路504、変調回路505、レギュレータ506、制御回路507、メモリ509を有している。本発明の整流回路は、電源回路503、復調回路504において用いることができる。

20

【0184】

質問器から電波が送られてくると、アンテナ501において該電波が交流電圧に変換される。電源回路503では、アンテナ501からの交流電圧を整流し、電源用の電圧を生成する。電源回路503において生成された電源用の電圧は、制御回路507とレギュレータ506に与えられる。レギュレータ506は、電源回路503からの電源用の電圧を安定化させるか、またはその高さを調整した後、集積回路502内の復調回路504、変調回路505、制御回路507またはメモリ509などの各種回路に供給する。

30

【0185】

復調回路504は、アンテナ501が受信した交流信号を復調して、後段の制御回路507に出力する。制御回路507は復調回路504から入力された信号に従って演算処理を行い、別途信号を生成する。上記演算処理を行う際に、メモリ509は一次キャッシュメモリまたは二次キャッシュメモリとして用いることが出来る。また制御回路507は、復調回路504から入力された信号を解析し、質問器から送られてきた命令の内容に従って、メモリ509内の情報の出力、またはメモリ509内における命令の内容の保存を行う。制御回路507から出力される信号は符号化され、変調回路505に送られる。変調回路505は該信号に従ってアンテナ501が受信している電波を変調する。アンテナ501において変調された電波は質問器で受け取られる。そしてRFタグ500から出力された情報を知ることができる。

40

【0186】

このようにRFタグ500と質問器との通信は、キャリア(搬送波)として用いる電波を変調することで行われる。キャリアは、125kHz、13.56MHz、950MHzなど規格により様々である。また変調の方式も規格により振幅変調、周波数変調、位相変調など様々な方式があるが、規格に即した変調方式であればどの変調方式を用いても良い。

【0187】

50

信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することが出来る。電磁結合方式や電磁誘導方式の場合、強い電波にRFタグがさらされることで、アンテナに過度に大きい交流電圧が生じてしまう恐れがある。本発明の整流回路を用いることは、過度に大きい交流電圧によって集積回路内の、集積回路において半導体素子が劣化または破壊されるのを防止することができるので、電磁結合方式や電磁誘導方式の場合は特に有効である。

【0188】

メモリ509は不揮発性メモリであっても揮発性メモリであってもどちらでも良い。メモリ509として、例えばSRAM、DRAM、フラッシュメモリ、EEPROM、FeRAMなどを用いることが出来る。

10

【0189】

本実施例では、アンテナ501を有するRFタグ500の構成について説明しているが、本発明のRFタグは必ずしもアンテナを有していなくとも良い。また図20(A)に示したRFタグに、発振回路または二次電池を設けても良い。

【0190】

また図20(A)では、アンテナを1つだけ有するRFタグの構成について説明したが、本発明はこの構成に限定されない。電力を受信するためのアンテナと、信号を受信するためのアンテナとの、2つのアンテナを有していても良い。アンテナが1つだと、例えば950MHzの電波で電力の供給と信号の伝送を両方行う場合、遠方まで大電力が伝送され、他の無線機器の受信妨害を起こす可能性がある。そのため、電力の供給は電波の周波数を下げて近距離にて行う方が望ましいが、この場合通信距離は必然的に短くなってしまう。しかしアンテナが2つあると、電力を供給する電波の周波数と、信号を送るための電波の周波数とを使い分けることができる。例えば電力を送る際は電波の周波数を13.56MHzとして磁界を用い、信号を送る際は電波の周波数を950MHzとして電界を用いることができる。このように機能合わせてアンテナを使い分けることによって、電力の供給は近距離のみの通信とし、信号の伝送は遠距離も可能なものとすることができる。

20

【0191】

本発明の半導体装置の一つであるRFタグは、絶縁表面を有する基板もしくは絶縁基板上に接合された単結晶半導体層(SOI層)によって集積回路502を形成できるので、処理速度の高速化のみならず低消費電力化を図ることができる。また、用いられるボンダ基板の数を最小限に抑えることができるので、コストを抑え、RFタグ一つあたりの価格を抑えることが可能となる。

30

【0192】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【0193】

次に、本発明の半導体装置の一つであるCPU(central processing unit)の構成について説明する。

【0194】

図20(B)に、本実施例のCPUの構成をブロック図で示す。図20(B)に示すCPUは、基板800上に、演算回路(ALU: Arithmetic logic unit)801、演算回路用制御部(ALU Controller)802、命令解析部(Instruction Decoder)803、割り込み制御部(Interrupt Controller)804、タイミング制御部(Timing Controller)805、レジスタ(Register)806、レジスタ制御部(Register Controller)807、バスインターフェース(Bus I/F)808、メモリ809、メモリ用インターフェース820を主に有している。メモリ809及びメモリ用インターフェース820は、別チップに設けても良い。勿論、図20(B)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

50

【 0 1 9 5 】

バスインターフェース 8 0 8 を介して C P U に入力された命令は、命令解析部 8 0 3 においてデコードされた後、演算回路用制御部 8 0 2、割り込み制御部 8 0 4、レジスタ制御部 8 0 7、タイミング制御部 8 0 5 に入力される。演算回路用制御部 8 0 2、割り込み制御部 8 0 4、レジスタ制御部 8 0 7、タイミング制御部 8 0 5 は、デコードされた命令にもとづき、各種制御を行なう。具体的に演算回路用制御部 8 0 2 は、演算回路 8 0 1 の動作を制御するための信号を生成する。また、割り込み制御部 8 0 4 は、C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 8 0 7 は、レジスタ 8 0 6 のアドレスを生成し、C P U の状態に応じてレジスタ 8 0 6 の読み出しや書き込みを行なう。

10

【 0 1 9 6 】

またタイミング制御部 8 0 5 は、演算回路 8 0 1、演算回路用制御部 8 0 2、命令解析部 8 0 3、割り込み制御部 8 0 4、レジスタ制御部 8 0 7 の動作のタイミングを制御する信号を生成する。例えばタイミング制御部 8 0 5 は、基準クロック信号をもとに、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

【 0 1 9 7 】

本発明の半導体装置の一つである C P U は、絶縁表面を有する基板もしくは絶縁基板上に接合された単結晶半導体層 (S O I 層) によって集積回路を形成できるので、処理速度の高速化のみならず低消費電力化を図ることができる。また、用いられるボンド基板の数を最小限に抑えることができるので、コストを抑え、C P U 一つあたりの価格を抑えることが可能となる。

20

【 0 1 9 8 】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【 実施例 5 】

【 0 1 9 9 】

本実施例では、本発明で作製される半導体装置の一つである、アクティブマトリクス型の半導体表示装置の構成について説明する。

【 0 2 0 0 】

アクティブマトリクス型の発光装置は、各画素に表示素子に相当する発光素子が設けられている。発光素子は自ら発光するため視認性が高く、液晶表示装置で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。本実施例では、発光素子の 1 つである有機発光素子 (O L E D : O r g a n i c L i g h t E m i t t i n g D i o d e) を用いた発光装置について説明するが、本発明で作製される半導体表示装置は、他の発光素子を用いた発光装置であっても良い。

30

【 0 2 0 1 】

O L E D は、電場を加えることで発生するルミネッセンス (E l e c t r o l u m i n e s c e n c e) が得られる材料を含む層 (以下、電界発光層と記す) と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明で作製される発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

40

【 0 2 0 2 】

図 2 1 (A) に、本実施例の発光装置の断面図を示す。図 2 1 (A) に示す発光装置は、駆動回路に用いられるトランジスタ 1 6 0 1、トランジスタ 1 6 0 2 と、画素に用いられる駆動用トランジスタ 1 6 0 4、スイッチング用トランジスタ 1 6 0 3 とを素子基板 1 6 0 0 上に有している。また図 2 1 (A) に示す発光装置は、素子基板 1 6 0 0 上において、画素に発光素子 1 6 0 5 を有している。

【 0 2 0 3 】

50

発光素子 1605 は、画素電極 1606 と、電界発光層 1607 と、対向電極 1608 とを有している。画素電極 1606 と対向電極 1608 は、いずれか一方が陽極であり、他方が陰極である。

【0204】

陽極は、酸化珪素を含むインジウム錫酸化物 (ITO)、インジウム錫酸化物 (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などの透光性酸化物導電材料を用いることができる。また陽極は、透光性酸化物導電材料の他に、例えば窒化チタン、窒化ジルコニウム、Ti、W、Ni、Pt、Cr、Ag、Al 等の 1 つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。ただし透光性酸化物導電材料以外の材料で陽極側から光を取り出す場合、光が透過する程度の膜厚 (好ましくは、5 nm ~ 30 nm 程度) で形成する。

10

【0205】

なお、陽極として導電性高分子 (導電性ポリマーともいう) を含む導電性組成物を用いることもできる。導電性組成物は、陽極となる導電膜のシート抵抗が 10000 / 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

【0206】

導電性高分子としては、いわゆる 電子共役系導電性高分子を用いることができる。例えば 電子共役系導電性高分子として、ポリアニリン及びまたはその誘導体、ポリピロール及びまたはその誘導体、ポリチオフェン及びまたはその誘導体、これらの 2 種以上の共重合体などがあげられる。

20

【0207】

共役導電性高分子の具体例としては、ポリピロール、ポリ (3 - メチルピロール)、ポリ (3 - ブチルピロール)、ポリ (3 - オクチルピロール)、ポリ (3 - デシルピロール)、ポリ (3, 4 - ジメチルピロール)、ポリ (3, 4 - ジブチルピロール)、ポリ (3 - ヒドロキシピロール)、ポリ (3 - メチル - 4 - ヒドロキシピロール)、ポリ (3 - メトキシピロール)、ポリ (3 - エトキシピロール)、ポリ (3 - オクトキシピロール)、ポリ (3 - カルボキシルピロール)、ポリ (3 - メチル - 4 - カルボキシルピロール)、ポリ N - メチルピロール、ポリチオフェン、ポリ (3 - メチルチオフェン)、ポリ (3 - ブチルチオフェン)、ポリ (3 - オクチルチオフェン)、ポリ (3 - デシルチオフェン)、ポリ (3 - ドデシルチオフェン)、ポリ (3 - メトキシチオフェン)、ポリ (3 - エトキシチオフェン)、ポリ (3 - オクトキシチオフェン)、ポリ (3 - カルボキシルチオフェン)、ポリ (3 - メチル - 4 - カルボキシルチオフェン)、ポリ (3, 4 - エチレンジオキシチオフェン)、ポリアニリン、ポリ (2 - メチルアニリン)、ポリ (2 - オクチルアニリン)、ポリ (2 - イソブチルアニリン)、ポリ (3 - イソブチルアニリン)、ポリ (2 - アニリンスルホン酸)、ポリ (3 - アニリンスルホン酸) 等が挙げられる。

30

【0208】

上記導電性高分子を、単独で導電性組成物として陽極に使用してもよいし、導電性組成物の膜の厚さの均一性、膜強度等の膜特性を調整するために有機樹脂を添加して使用することができる。

40

【0209】

有機樹脂としては、導電性高分子と相溶または混合分散可能であれば熱硬化性樹脂であってもよく、熱可塑性樹脂であってもよく、光硬化性樹脂であってもよい。例えば、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート等のポリエステル系樹脂、ポリイミド、ポリアミドイミド等のポリイミド系樹脂、ポリアミド 6、ポリアミド 6, 6、ポリアミド 12、ポリアミド 11 等のポリアミド樹脂、ポリフッ化ビニリデン、ポリフッ化ビニル、ポリテトラフルオロエチレン、エチレンテトラフルオロエチレンコポリマー、ポリクロロトリフルオロエチレン等のフッ素樹脂、ポリビニルアル

50

コ-ル、ポリビニルエ-テル、ポリビニルブチラ-ル、ポリ酢酸ビニル、ポリ塩化ビニル等のビニル樹脂、エポキシ樹脂、キシレン樹脂、アラミド樹脂、ポリウレタン系樹脂、ポリウレア系樹脂、メラミン樹脂、フェノ-ル系樹脂、ポリエ-テル、アクリル系樹脂及びこれらの共重合体等が挙げられる。

【0210】

さらに、導電性組成物の電気伝導度を調整するために、導電性組成物にアクセプタ性またはドナー性ド-パントをド-ピングすることにより、共役導電性高分子の共役電子の酸化還元電位を変化させてもよい。

【0211】

アクセプタ性ド-パントとしては、ハロゲン化合物、ルイス酸、プロトン酸、有機シアノ化合物、有機金属化合物等を使用することができる。ハロゲン化合物としては、塩素、臭素、ヨウ素、塩化ヨウ素、臭化ヨウ素、フッ化ヨウ素等が挙げられる。ルイス酸としては五フッ化燐、五フッ化ヒ素、五フッ化アンチモン、三フッ化硼素、三塩化硼素、三臭化硼素等が挙げられる。プロトン酸としては、塩酸、硫酸、硝酸、リン酸、ホウフッ化水素酸、フッ化水素酸、過塩素酸等の無機酸と、有機カルボン酸、有機スルホン酸等の有機酸を挙げることができる。有機カルボン酸及び有機スルホン酸としては、前記カルボン酸化合物及びスルホン酸化合物を使用することができる。有機シアノ化合物としては、共役結合に二つ以上のシアノ基を含む化合物が使用できる。例えば、テトラシアノエチレン、テトラシアノエチレンオキサイド、テトラシアノベンゼン、テトラシアノキノジメタン、テトラシアノアザナフタレン等を挙げられる。

【0212】

ドナー性ドーパントとしては、アルカリ金属、アルカリ土類金属、4級アミン化合物等を挙げることができる。

【0213】

導電性組成物を、水または有機溶剤（アルコール系溶剤、ケトン系溶剤、エステル系溶剤、炭化水素系溶剤、芳香族系溶剤など）に溶解させて、湿式法により陽極となる薄膜を形成することができる。

【0214】

導電性組成物を溶解する溶媒としては、特に限定することなく、上記した導電性高分子及び有機樹脂などの高分子樹脂化合物を溶解するものを用いればよく、例えば、水、メタノール、エタノール、プロピレンカーボネート、N-メチルピロリドン、ジメチルホルムアミド、ジメチルアセトアミド、シクロヘキサノン、アセトン、メチルエチルケトン、メチルイソブチルケトン、トルエンなどの単独もしくは混合溶剤に溶解すればよい。

【0215】

導電性組成物の成膜は上述のように溶媒に溶解した後、塗布法、コーティング法、液滴吐出法（インクジェット法ともいう）、印刷法等の湿式法を用いて成膜することができる。溶媒の乾燥は、熱処理を行ってもよいし、減圧下で行ってもよい。また、有機樹脂が熱硬化性の場合は、さらに加熱処理を行い、光硬化性の場合は、光照射処理を行えばよい。

【0216】

陰極は、一般的に仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属を用いて形成することもできる。また、電子注入性の高い材料を含む層を陰極に接するように形成することで、アルミニウムや、透光性酸化物導電材料等を用いた、通常の導電膜も用いることができる。

【0217】

電界発光層1607は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良く、各層には有機材料のみならず無機材料が含まれていても良い。電界発光層1607におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれ

10

20

30

40

50

る。複数の層で構成されている場合、画素電極 1606 が陰極だとすると、画素電極 1606 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお画素電極 1606 が陽極に相当する場合は、電界発光層 1607 を、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層して形成する。

【0218】

また電界発光層 1607 は、高分子系有機化合物、中分子系有機化合物（昇華性を有さず、連鎖する分子の長さが 10 μm 以下の有機化合物）、低分子系有機化合物、無機化合物のいずれを用いても、液滴吐出法で形成することが可能である。また中分子系有機化合物、低分子系有機化合物、無機化合物は蒸着法で形成しても良い。

【0219】

なお、スイッチング用トランジスタ 1603、駆動用トランジスタ 1604 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0220】

次に図 21 (B) に、本実施例の液晶表示装置の断面図を示す。図 21 (B) に示す液晶表示装置は、駆動回路に用いられるトランジスタ 1611、トランジスタ 1612 と、画素においてスイッチング素子として機能するトランジスタ 1613 とを素子基板 1610 上に有している。また図 21 (B) に示す液晶表示装置は、素子基板 1610 と対向基板 1614 の間に液晶セル 1615 を有している。

【0221】

液晶セル 1615 は、素子基板 1610 に形成された画素電極 1616 と、対向基板 1614 に形成された対向電極 1617 と、画素電極 1616 と対向電極 1617 の間に設けられた液晶 1618 とを有している。画素電極 1616 には、例えば酸化インジウムスズ (ITO)、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などを用いることができる。

【0222】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【実施例 6】

【0223】

本実施例では、本発明で作製される半導体表示装置の全体的な構成について説明する。図 22 に、本発明で作製される半導体表示装置のブロック図を、一例として示す。

【0224】

図 22 に示す半導体表示装置は、画素を複数有する画素部 400 と、各画素をラインごとに選択する走査線駆動回路 410 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 420 とを有する。

【0225】

図 22 において信号線駆動回路 420 は、シフトレジスタ 421、第 1 のラッチ 422、第 2 のラッチ 423、DA (Digital to Analog) 変換回路 424 を有している。シフトレジスタ 421 には、クロック信号 S-CLK、スタートパルス信号 S-SP が入力される。シフトレジスタ 421 は、これらクロック信号 S-CLK 及びスタートパルス信号 S-SP に従って、パルスが順次シフトするタイミング信号を生成し、第 1 のラッチ 422 に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

【0226】

第 1 のラッチ 422 にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第 1 のラッチ 422 に書き込まれ、保持される。なお、第 1 のラッチ 422 が有する複数の記憶回路に順にビデオ信号を書き込んでも良いが、第 1 のラッチ 422 が有する複数の記憶回路をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を

10

20

30

40

50

分割数と呼ぶ。例えば4つの記憶回路ごとにラッチをグループに分けた場合、4分割で分割駆動することになる。

【0227】

第1のラッチ422の全ての記憶回路への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0228】

1ライン期間が終了すると、第2のラッチ423に入力されるラッチ信号S-LSのパルスに従って、第1のラッチ422に保持されているビデオ信号が、第2のラッチ423に一齐に書き込まれ、保持される。ビデオ信号を第2のラッチ423に送出し終えた第1のラッチ422には、再びシフトレジスタ421からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2のラッチ423に書き込まれ、保持されているビデオ信号が、DA変換回路424に入力される。

【0229】

そしてDA変換回路424は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、信号線を介して画素部400内の各画素に入力する。

【0230】

なお信号線駆動回路420は、シフトレジスタ421の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【0231】

なお図22ではDA変換回路424の後段に画素部400が直接接続されているが、本発明はこの構成に限定されない。画素部400の前段に、DA変換回路424から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

【0232】

次に、走査線駆動回路410の動作について説明する。本発明で作製される半導体表示装置では、画素部400の各画素に走査線が複数設けられている。走査線駆動回路410は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、走査線の一つにゲートが接続されたトランジスタがオンになり、画素へのビデオ信号の入力が行われる。

【0233】

本発明の作製方法では、画素部400、走査線駆動回路410、信号線駆動回路420に用いられる半導体膜（アイランド）のレイアウトに合わせて、間隔をあけて複数の半導体膜（マザーアイランド）を貼り合わせることができる。よって、ベース基板全面に半導体膜を貼り合わせる場合に比べて、必要となるボンド基板の枚数を最小限に抑えることができ、コストを抑えて半導体装置を作製することができる。

【0234】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【実施例7】

【0235】

本実施例では、本発明で作製された半導体表示装置の外観について、図22を用いて説明する。図23(A)は、ベース基板上に形成されたトランジスタ及び発光素子を、ベース基板と封止用基板の間にシール材で封止したパネルの上面図であり、図23(B)は、図23(A)のA-A'における断面図に相当する。

【0236】

ベース基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むように、シール材4020が設けられている。また画素部4002、信号線駆動回路4003及び走査線駆動回路4004の上に、封止用基板4006が設けられている。よって画素部4002、信号線駆動回路4003及び走査線駆動回

10

20

30

40

50

路 4 0 0 4 は、ベース基板 4 0 0 1 と封止用基板 4 0 0 6 の間において、シール材 4 0 2 0 により、充填材 4 0 0 7 と共に密封されている。

【 0 2 3 7 】

またベース基板 4 0 0 1 上に設けられた画素部 4 0 0 2、信号線駆動回路 4 0 0 3 及び走査線駆動回路 4 0 0 4 は、それぞれトランジスタを複数有している。図 2 3 (B) では、信号線駆動回路 4 0 0 3 に含まれるトランジスタ 4 0 0 8 と、画素部 4 0 0 2 に含まれる駆動用トランジスタ 4 0 0 9 及びスイッチング用トランジスタ 4 0 1 0 とを例示している。

【 0 2 3 8 】

また発光素子 4 0 1 1 は、駆動用トランジスタ 4 0 0 9 のソース領域またはドレイン領域と接続されている配線 4 0 1 7 の一部を、その画素電極として用いている。また発光素子 4 0 1 1 は、画素電極の他に対向電極 4 0 1 2 と電界発光層 4 0 1 3 を有している。なお発光素子 4 0 1 1 の構成は、本実施例に示した構成に限定されない。発光素子 4 0 1 1 から取り出す光の方向や、駆動用トランジスタ 4 0 0 9 の極性などに合わせて、発光素子 4 0 1 1 の構成は適宜変えることができる。

【 0 2 3 9 】

また信号線駆動回路 4 0 0 3、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電圧は、図 2 3 (B) に示す断面図では図示されていないが、引き出し配線 4 0 1 4 及び 4 0 1 5 を介して、接続端子 4 0 1 6 から供給されている。

【 0 2 4 0 】

本実施例では、接続端子 4 0 1 6 が、発光素子 4 0 1 1 が有する対向電極 4 0 1 2 と同じ導電膜から形成されている。また、引き出し配線 4 0 1 4 は、配線 4 0 1 7 と同じ導電膜から形成されている。また引き出し配線 4 0 1 5 は、駆動用トランジスタ 4 0 0 9、スイッチング用トランジスタ 4 0 1 0、トランジスタ 4 0 0 8 がそれぞれ有するゲート電極と、同じ導電膜から形成されている。

【 0 2 4 1 】

接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電気的に接続されている。

【 0 2 4 2 】

なお、封止用基板 4 0 0 6 として、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。但し、発光素子 4 0 1 1 からの光の取り出し方向に位置する封止用基板 4 0 0 6 は、透光性を有していなければならない。よって封止用基板 4 0 0 6 は、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いることが望ましい。

【 0 2 4 3 】

また、充填材 4 0 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。本実施例では充填材 4 0 0 7 として窒素を用いる例を示している。

【 0 2 4 4 】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【 実施例 8 】

【 0 2 4 5 】

本発明では、より画面サイズの大きい半導体表示装置を低コストで作製することができる。よって、本発明で作製された半導体表示装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には D V D : D i g i t a l V e r s a t i l e D i s c 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることが好ましい。その他に、本発明で作製された半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビ

10

20

30

40

50

ゲーショシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、などが挙げられる。これら電子機器の具体例を図23に示す。

【0246】

図24（A）は表示装置であり、筐体5001、表示部5002、スピーカー部5003等を含む。本発明で作製された半導体表示装置は、表示部5002に用いることができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。また本発明で作製された半導体装置を、信号処理用の回路として用いても良い。

【0247】

図24（B）はノート型パーソナルコンピュータであり、本体5201、筐体5202、表示部5203、キーボード5204、マウス5205等を含む。本発明で作製された半導体表示装置は、表示部5203に用いることができる。また本発明で作製された半導体装置を、信号処理用の回路として用いても良い。

10

【0248】

図24（C）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体5401、筐体5402、表示部5403、記録媒体（DVD等）読み込み部5404、操作キー5405、スピーカー部5406等を含む。記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明で作製された半導体表示装置は、表示部5403に用いることができる。また本発明で作製された半導体装置を、信号処理用の回路として用いても良い。

20

【0249】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0250】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせる実施することができる。

【図面の簡単な説明】

【0251】

【図1】本発明の半導体装置の作製方法を示す図。

【図2】本発明の半導体装置の作製方法を示す図。

30

【図3】本発明の半導体装置の作製方法を示す図。

【図4】本発明の半導体装置の作製方法で用いるトレイの上面図及び断面図。

【図5】本発明の半導体装置の作製方法で用いるトレイの上面図。

【図6】本発明の半導体装置の作製方法を示す図。

【図7】本発明の半導体装置の作製方法を示す図。

【図8】ボンド基板から形成される半導体膜をベース基板に貼り合わせている様子を示す図。

【図9】半導体膜のレイアウトを示す図。

【図10】半導体膜のレイアウトを示す図。

【図11】本発明の作製方法に用いられる製造装置の構成を示す図。

40

【図12】本発明の作製方法に用いられる製造装置の構成を示す図。

【図13】本発明の作製方法に用いられる製造装置の構成を示す図。

【図14】本発明の半導体装置の作製方法を示す図。

【図15】本発明の半導体装置の作製方法を用いて形成されるインバータの構成を示す図。

【図16】本発明の半導体装置の作製方法を用いて形成されるNANDの構成を示す図。

【図17】本発明の半導体装置の作製方法を示す図。

【図18】本発明の半導体装置の作製方法を示す図。

【図19】本発明の半導体装置の作製方法を示す図。

【図20】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

50

【図 2 1】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図 2 2】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図 2 3】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図 2 4】本発明の作製方法を用いて形成される半導体装置を用いた電子機器の図。

【符号の説明】

【 0 2 5 2 】

1 0 0	ボンド基板	
1 0 1	絶縁膜	
1 0 2	欠陥層	
1 0 3	凸部	10
1 0 4	マスク	
1 0 5	コレット	
1 0 6	半導体膜	
1 0 7	ベース基板	
1 0 8	半導体膜	
1 0 9	半導体膜	
1 1 0	半導体膜	
1 1 1	トランジスタ	
1 1 4	絶縁膜	
1 2 0	トレイ	20
1 2 1	収容部	
1 2 2	隔壁	
1 3 0	画素部	
1 3 1	信号線駆動回路	
1 3 2	走査線駆動回路	
2 0 0	ボンド基板	
2 0 1	絶縁膜	
2 0 2	欠陥層	
2 0 6	半導体膜	
2 1 0	マスク	30
2 1 1	欠陥層	
2 2 0	トレイ	
2 2 1	収容部	
2 2 2	隔壁	
4 0 0	画素部	
4 1 0	走査線駆動回路	
4 2 0	信号線駆動回路	
4 2 1	シフトレジスタ	
4 2 2	ラッチ	
4 2 3	ラッチ	40
4 2 4	D A 変換回路	
5 0 0	R F タグ	
5 0 1	アンテナ	
5 0 2	集積回路	
5 0 3	電源回路	
5 0 4	復調回路	
5 0 5	変調回路	
5 0 6	レギュレータ	
5 0 7	制御回路	
5 0 9	メモリ	50

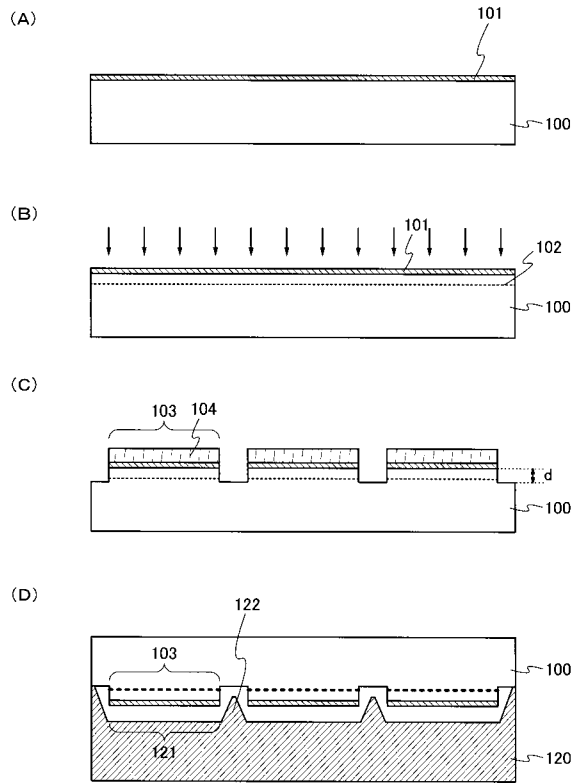
6 0 1	ベース基板	
6 0 2	絶縁膜	
6 0 3	半導体膜	
6 0 4	半導体膜	
6 0 6	ゲート絶縁膜	
6 0 7	電極	
6 0 8	不純物領域	
6 0 9	不純物領域	
6 1 0	サイドウォール	
6 1 1	高濃度不純物領域	10
6 1 2	低濃度不純物領域	
6 1 3	チャネル形成領域	
6 1 4	高濃度不純物領域	
6 1 5	低濃度不純物領域	
6 1 6	チャネル形成領域	
6 1 7	トランジスタ	
6 1 8	トランジスタ	
6 1 9	絶縁膜	
6 2 0	絶縁膜	
6 2 1	導電膜	20
6 2 2	導電膜	
6 3 0	絶縁膜	
6 3 1	絶縁膜	
8 0 0	基板	
8 0 1	演算回路	
8 0 2	演算回路用制御部	
8 0 3	命令解析部	
8 0 4	制御部	
8 0 5	タイミング制御部	
8 0 6	レジスタ	30
8 0 7	レジスタ制御部	
8 0 8	バスインターフェース	
8 0 9	メモリ	
8 2 0	メモリ用インターフェース	
9 0 1	トレイ	
9 0 1 a	トレイ	
9 0 1 b	トレイ	
9 0 1 c	トレイ	
9 0 2	ステージ	
9 0 2 a	ステージ	40
9 0 2 b	ステージ	
9 0 2 c	ステージ	
9 0 3	ベース基板	
9 0 4	ステージ	
9 0 5	コレット	
9 0 6	コレット駆動部	
9 0 7	ステージ駆動部	
9 0 7 a	ステージ駆動部	
9 0 7 b	ステージ駆動部	
9 0 8	C P U	50

1 0 6 a	半 導 体 膜	
1 0 6 b	半 導 体 膜	
1 0 6 c	半 導 体 膜	
1 6 0 0	素 子 基 板	
1 6 0 1	ト ラ ン ジ ス タ	
1 6 0 2	ト ラ ン ジ ス タ	
1 6 0 3	ス イ ッ チ ン グ 用 ト ラ ン ジ ス タ	
1 6 0 4	駆 動 用 ト ラ ン ジ ス タ	
1 6 0 5	発 光 素 子	
1 6 0 6	画 素 電 極	10
1 6 0 7	電 界 発 光 層	
1 6 0 8	対 向 電 極	
1 6 1 0	素 子 基 板	
1 6 1 1	ト ラ ン ジ ス タ	
1 6 1 2	ト ラ ン ジ ス タ	
1 6 1 3	ト ラ ン ジ ス タ	
1 6 1 4	対 向 基 板	
1 6 1 5	液 晶 セ ル	
1 6 1 6	画 素 電 極	
1 6 1 7	対 向 電 極	20
1 6 1 8	液 晶	
1 6 2 0	収 容 部	
1 6 2 1	収 容 部	
1 6 2 2	収 容 部	
1 8 0 1	半 導 体 膜	
1 8 0 2	半 導 体 膜	
1 8 0 3	走 査 線	
1 8 0 4	信 号 線	
1 8 0 5	画 素	
1 8 1 1	半 導 体 膜	30
1 8 1 2	半 導 体 膜	
1 8 1 3	走 査 線	
1 8 1 4	信 号 線	
1 8 1 5	画 素	
1 8 2 1	半 導 体 膜	
1 8 2 2	半 導 体 膜	
1 8 2 3	走 査 線	
1 8 2 4	信 号 線	
1 8 2 5	画 素	
1 8 3 1	半 導 体 膜	40
1 8 3 2	半 導 体 膜	
1 8 3 3	走 査 線	
1 8 3 4	信 号 線	
1 8 3 5	画 素	
2 0 0 1	ト ラ ン ジ ス タ	
2 0 0 2	ト ラ ン ジ ス タ	
2 0 0 3	配 線	
2 0 0 4	配 線	
2 0 0 5	配 線	
2 0 0 6	配 線	50

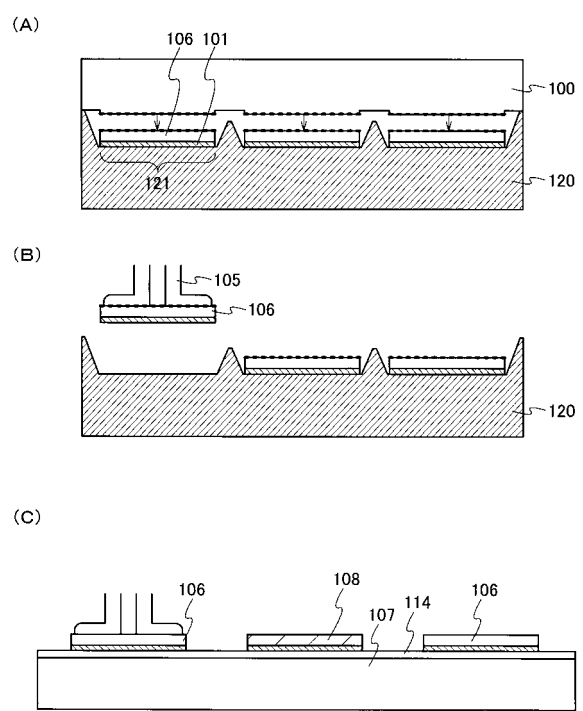
2 0 0 7	配線	
2 0 0 8	半導体膜	
2 0 1 0	半導体膜	
2 0 3 0	半導体膜	
2 0 3 1	半導体膜	
3 0 0 1	トランジスタ	
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	
3 0 0 4	トランジスタ	
3 0 0 5	半導体膜	10
3 0 0 6	半導体膜	
3 0 0 7	配線	
3 0 0 8	配線	
3 0 0 9	配線	
3 0 1 0	配線	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 3 0	半導体膜	
3 0 3 1	半導体膜	
4 0 0 1	ベース基板	20
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 6	封止用基板	
4 0 0 7	充填材	
4 0 0 8	トランジスタ	
4 0 0 9	駆動用トランジスタ	
4 0 1 0	スイッチング用トランジスタ	
4 0 1 1	発光素子	
4 0 1 2	対向電極	30
4 0 1 3	電界発光層	
4 0 1 4	配線	
4 0 1 5	配線	
4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	シール材	
5 0 0 1	筐体	
5 0 0 2	表示部	40
5 0 0 3	スピーカー部	
5 2 0 1	本体	
5 2 0 2	筐体	
5 2 0 3	表示部	
5 2 0 4	キーボード	
5 2 0 5	マウス	
5 4 0 1	本体	
5 4 0 2	筐体	
5 4 0 3	表示部	
5 4 0 4	部	50

5 4 0 5	操作キー	
5 4 0 6	スピーカー部	
6 0 0 0	トレイ	
6 0 0 1	半導体膜	
6 0 0 2	収容部	
6 0 0 3	隔壁	
6 0 0 4	開口部	
6 0 0 5	凸部	
6 1 0 0	破線	
6 1 0 1	トレイ	10
6 1 0 2	トレイ	
6 1 0 3	トレイ	
6 1 0 4	トレイ	
6 1 0 5	領域	
6 1 0 6	領域	
6 1 0 7	領域	
6 1 2 0	収容部	
6 1 2 1	収容部	
6 1 2 2	収容部	
6 1 2 3	半導体膜	20
6 1 2 4	半導体膜	
6 1 2 5	半導体膜	
6 1 2 6	隔壁	
6 1 2 7	隔壁	
6 2 0 0	半導体膜	
6 2 0 1	トレイ	
6 2 0 2	収容部	
6 2 0 3	支持体	
6 2 0 4	隔壁	
6 2 0 5	絶縁膜	30
6 2 0 6	コレット	
6 3 0 0	半導体膜	
6 3 0 1	トレイ	
6 3 0 2	収容部	
6 3 0 3	トレイ	
6 3 0 4	隔壁	
6 3 0 5	絶縁膜	
6 3 0 6	コレット	
6 3 1 0	収容部	
6 3 1 1	隔壁	40
6 3 1 2	気孔	

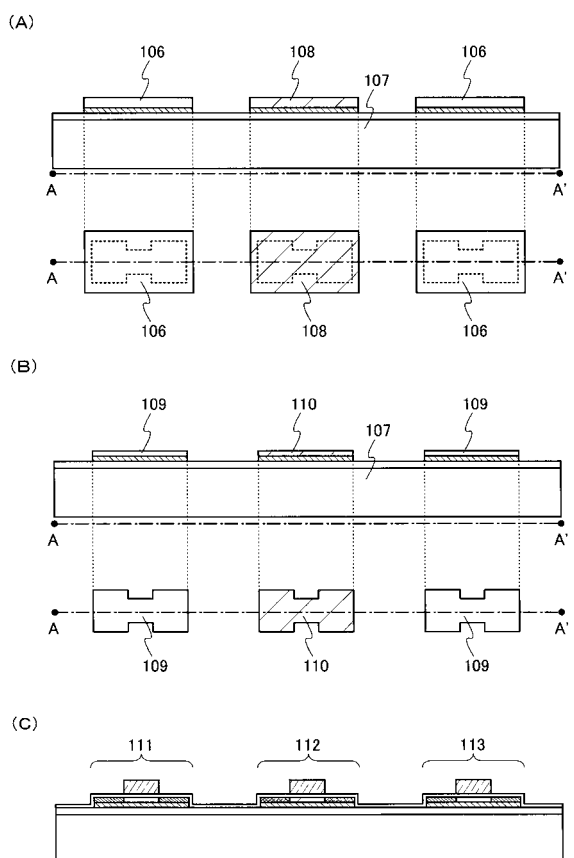
【図 1】



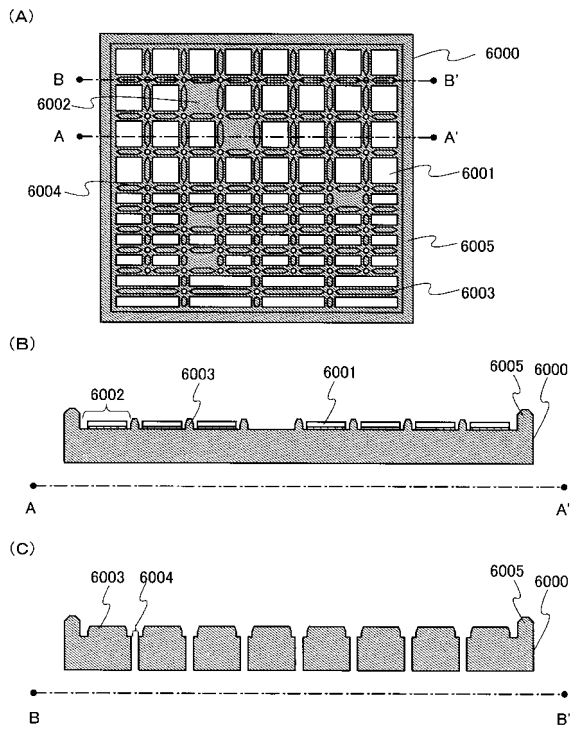
【図 2】



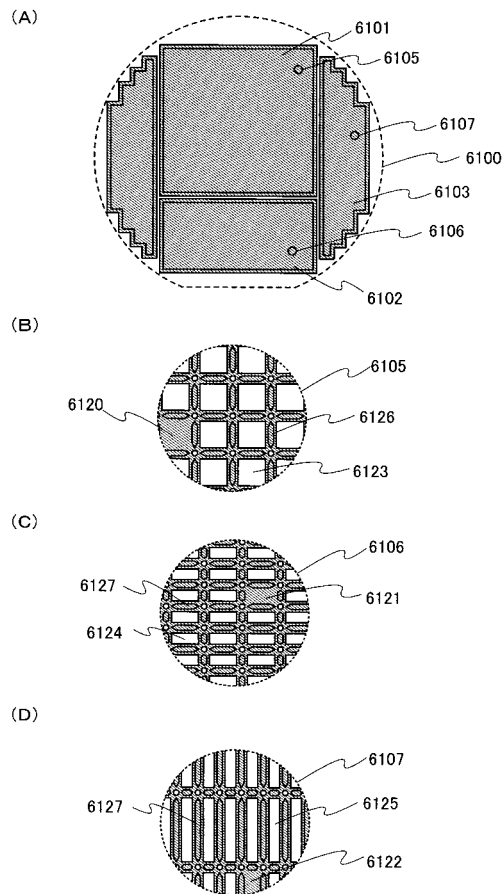
【図 3】



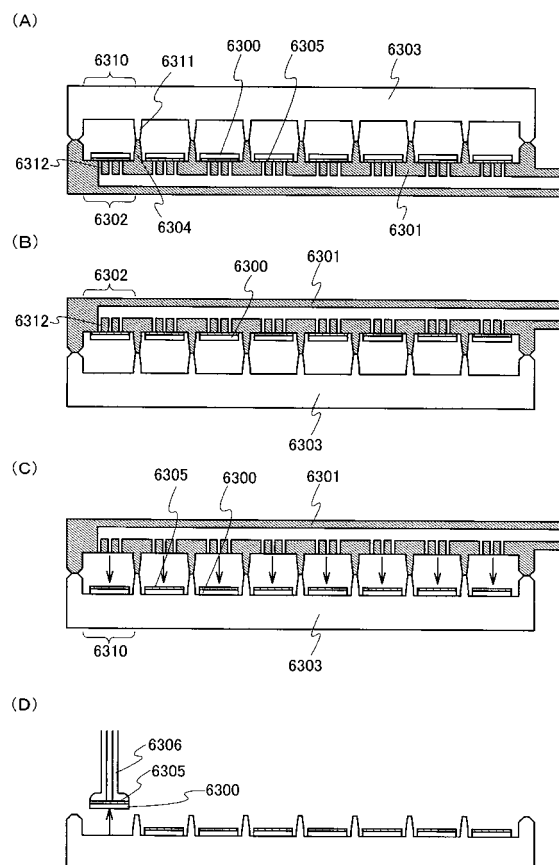
【図 4】



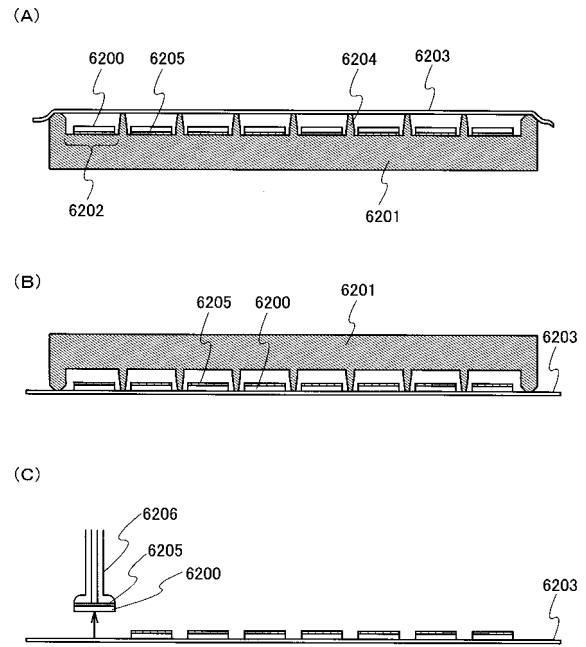
【図 5】



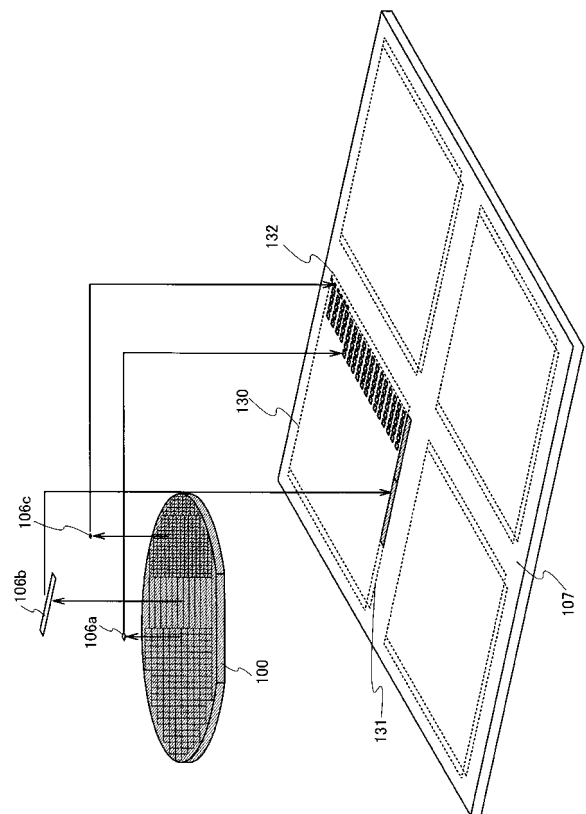
【図 7】



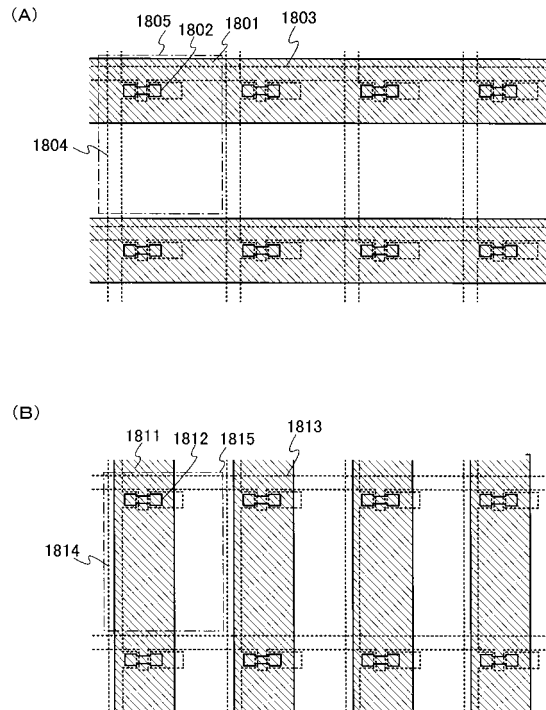
【図 6】



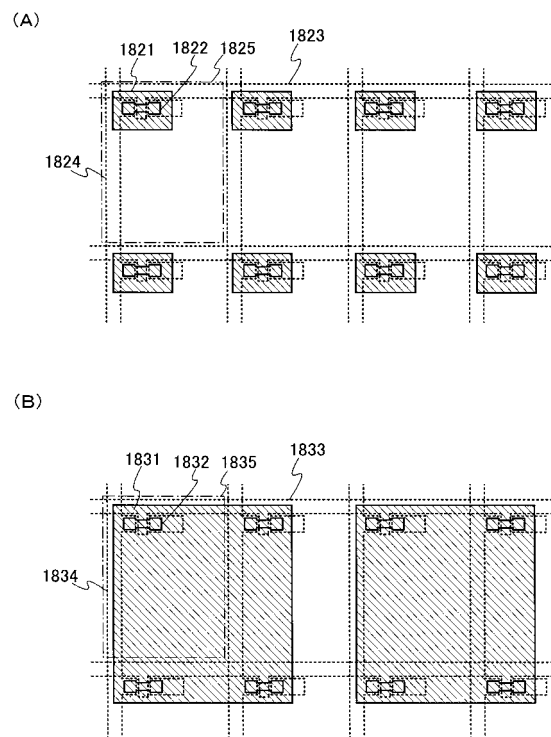
【図 8】



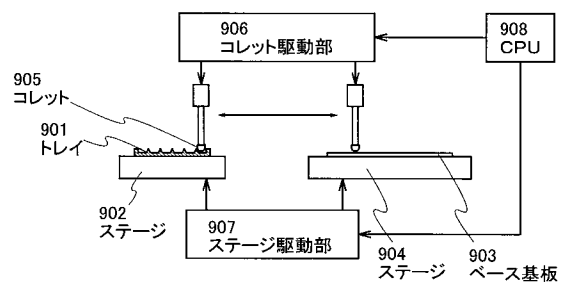
【図 9】



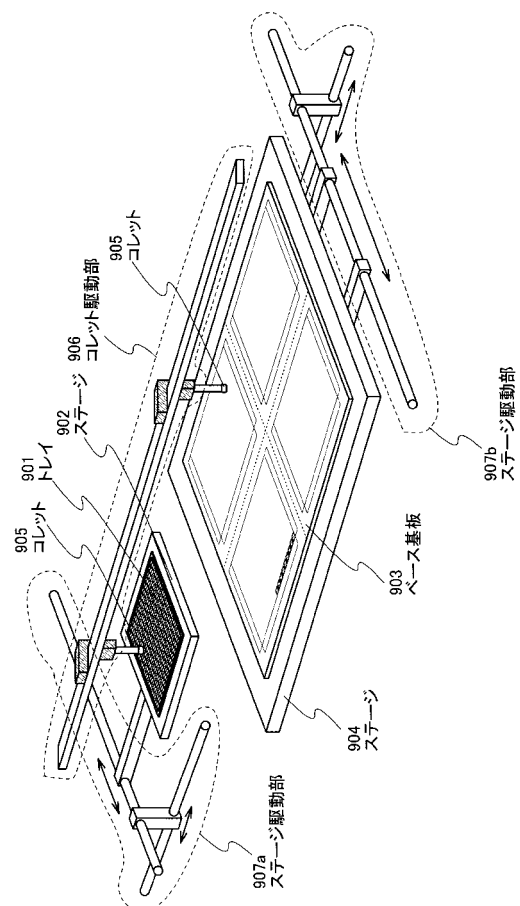
【図 10】



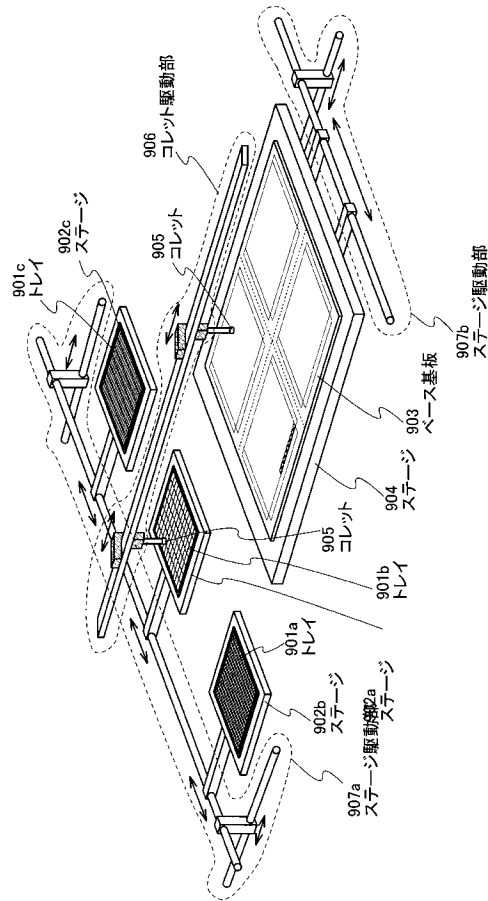
【図 11】



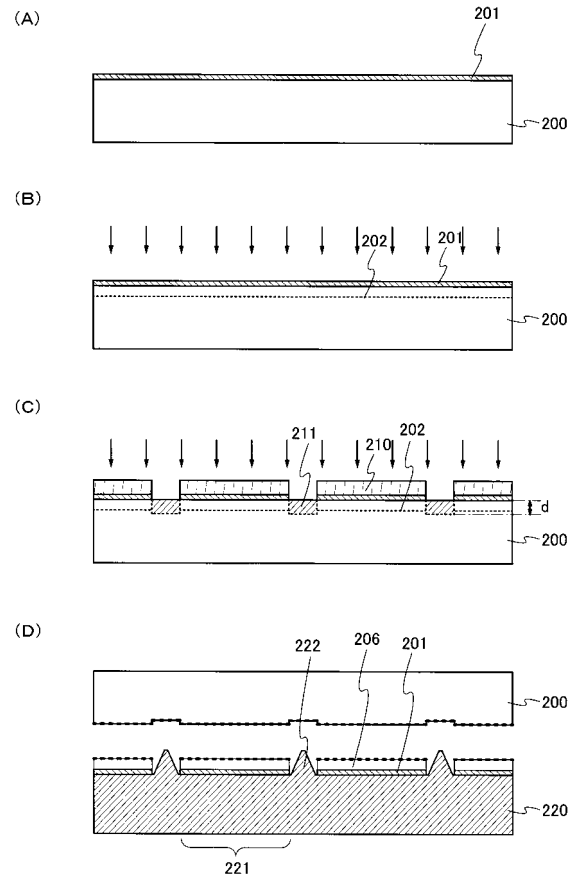
【図 12】



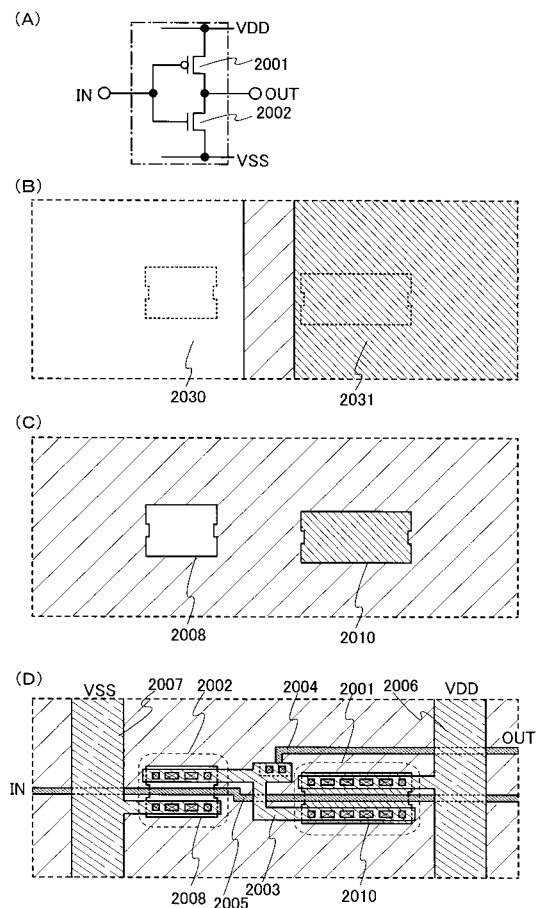
【図 13】



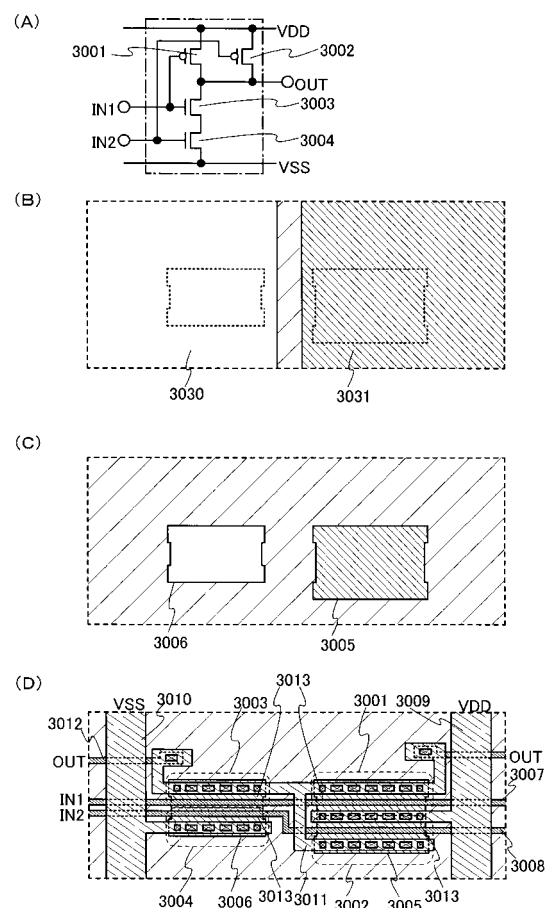
【図 14】



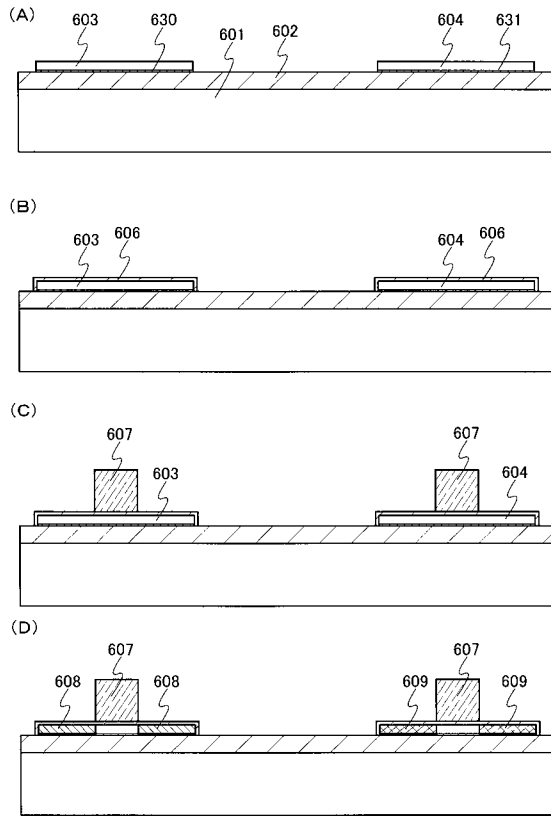
【図 15】



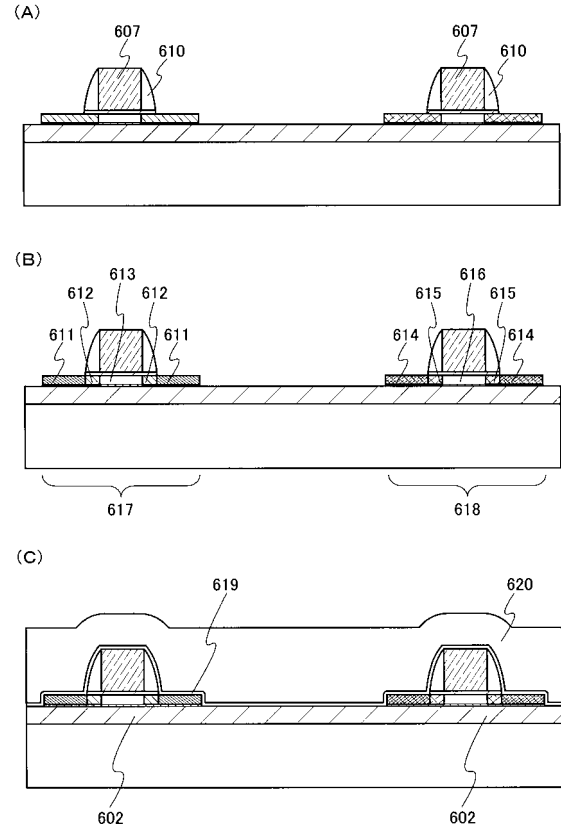
【図 16】



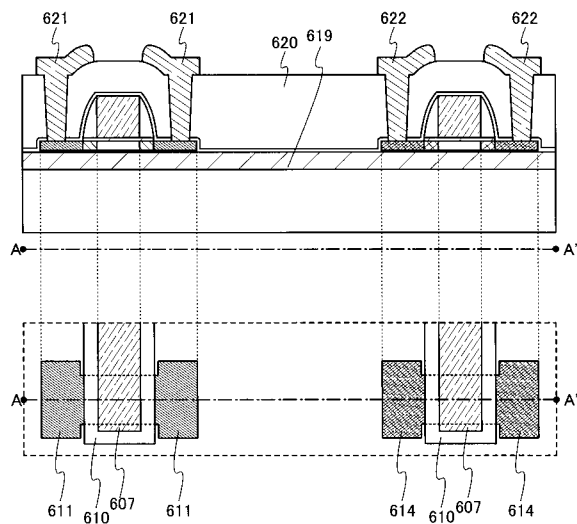
【図 17】



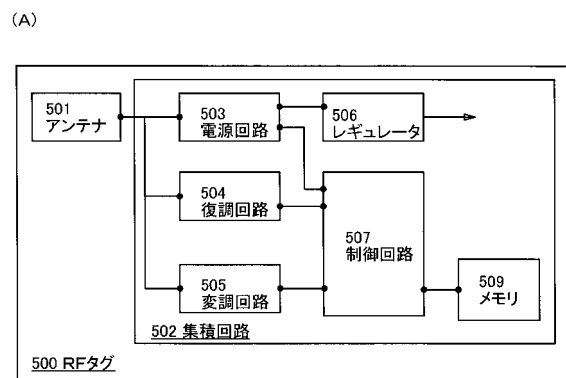
【図 18】



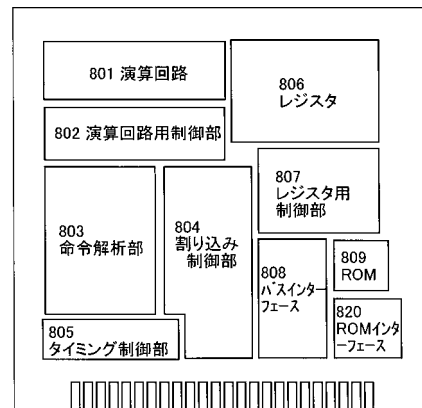
【図 19】



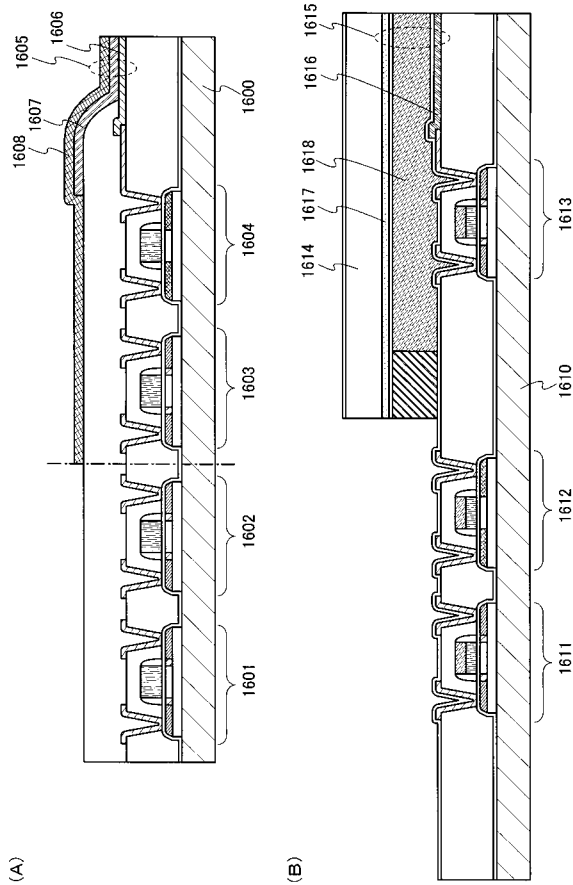
【図 20】



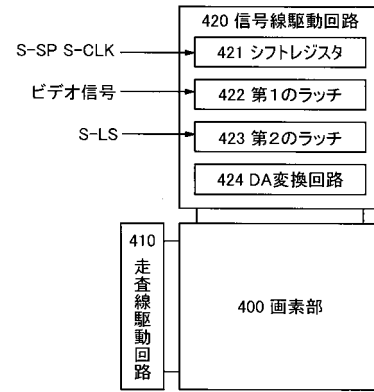
(B)



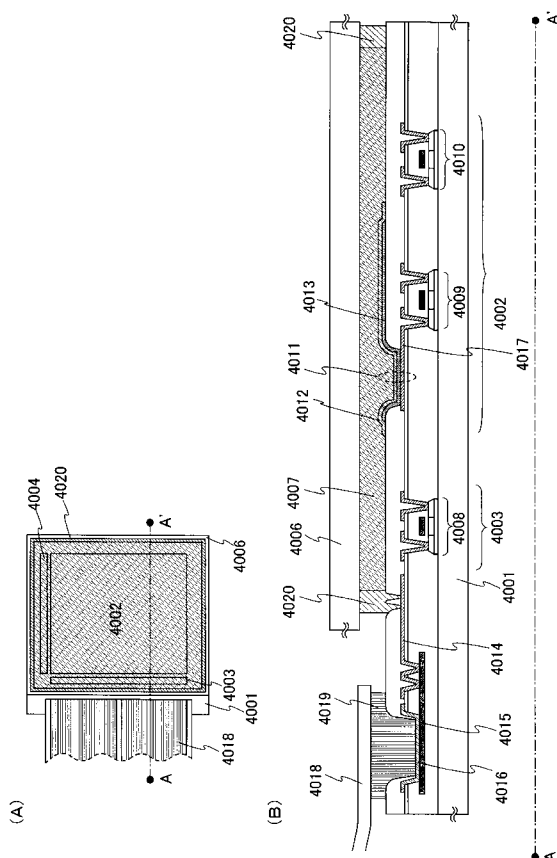
【図 2 1】



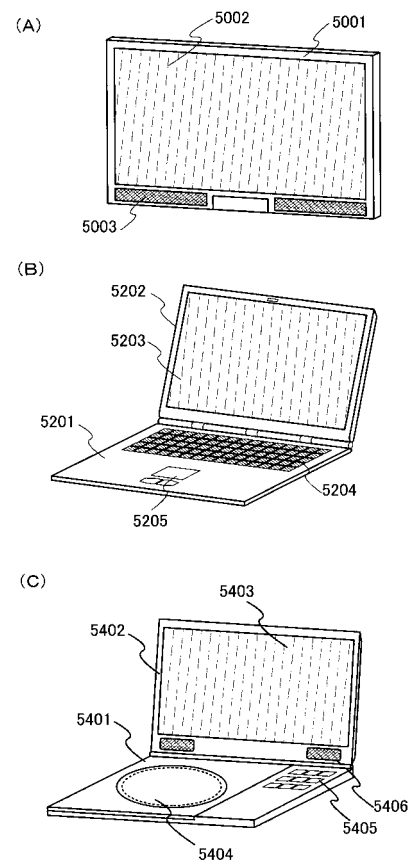
【図 2 2】



【図 2 3】



【図 2 4】



 フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 27/08 (2006.01)		H 0 5 B 33/14	A
H 0 1 L 21/8238 (2006.01)		G 0 2 F 1/1368	
H 0 1 L 27/092 (2006.01)			
H 0 1 L 51/50 (2006.01)			
G 0 2 F 1/1368 (2006.01)			

(56)参考文献 特開 2 0 0 6 - 0 8 0 2 3 7 (J P , A)
 特開 2 0 0 5 - 1 9 7 6 2 8 (J P , A)
 特開 2 0 0 7 - 1 2 3 8 9 2 (J P , A)
 特開 2 0 0 0 - 3 4 9 2 6 6 (J P , A)
 特開 2 0 0 7 - 1 0 9 7 6 3 (J P , A)
 特開 2 0 0 4 - 0 9 6 0 1 8 (J P , A)
 特開 2 0 0 4 - 1 1 9 5 9 0 (J P , A)
 特開 2 0 0 0 - 0 1 2 8 6 4 (J P , A)
 特開 2 0 0 0 - 3 1 5 7 2 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 0 2
G 0 2 F	1 / 1 3 6 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 7 6 2
H 0 1 L	2 1 / 8 2 3 8
H 0 1 L	2 7 / 0 8
H 0 1 L	2 7 / 0 9 2
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 7 8 6
H 0 1 L	5 1 / 5 0