

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 25 日(25.09.2014)



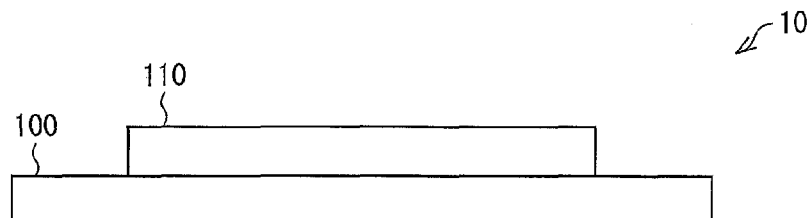
(10) 国際公開番号

WO 2014/148478 A1

- (51) 国際特許分類:
H01L 23/13 (2006.01) H01L 23/36 (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2014/057299
- (22) 国際出願日: 2014 年 3 月 18 日(18.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-055680 2013 年 3 月 18 日(18.03.2013) JP
- (71) 出願人: 株式会社フジクラ (FUJIKURA LTD.)
[JP/JP]; 〒1358512 東京都江東区木場 1 丁目 5 番
1 号 Tokyo (JP).
- (72) 発明者: 吉野 玄人(YOSHINO, Gento); 〒2858550
千葉県佐倉市六崎 1 4 4 0 番地 株式会社フジ
クラ佐倉事業所内 Chiba (JP). 阪本 真一
(SAKAMOTO, Shinichi); 〒2858550 千葉県佐倉市六
崎 1 4 4 0 番地 株式会社フジクラ佐倉事業所
内 Chiba (JP).
- (74) 代理人: 特許業務法人HARAKENZO W
ORLD PATENT & TRADEMA
R K (HARAKENZO WORLD PATENT & TRADE-
- MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁
目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: LAMINATED STRUCTURE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 積層構造体および半導体装置



(57) Abstract: In a laminated structure, the material and thickness of each layer of a substrate (100) are set in such a manner that, when the temperature at the time of creating a solder joint falls, compressive stress on a semiconductor element (110) is produced by a bending effect based on the difference between the linear expansion coefficient of each layer in the substrate (100), and an expansion and contraction effect based on the average linear expansion coefficient of the whole substrate (100).

(57) 要約: 積層構造体において、基板 (100) は、はんだ接合時の温度から低下する際に、当該基板 (100) における各層の線膨張係数の相違に基づく湾曲作用と、当該基板 (100) 全体の平均線膨張係数に基づく伸縮作用とにより、半導体素子 (110) に対して圧縮応力を生じさせるように、各層の材料および厚みが設定されている。



WO 2014/148478 A1

明 細 書

発明の名称： 積層構造体および半導体装置

技術分野

[0001] 本発明は、表面上に半導体素子のはんだ接合される積層構造体、および当該積層構造体を備える半導体装置に関する。

背景技術

[0002] 従来、基板上に半導体素子を実装された半導体装置において、半導体素子等から発せられた熱により、半導体素子に熱応力がかかり、当該半導体素子に亀裂が生じるといった問題が生じていた。そこで、従来、このような問題を解決することを目的とした技術が考案されている。

[0003] 例えば、下記特許文献1には、半導体素子（SiC）と基板（セラミック）との間に、熱応力を緩和するためのマトリックス材（Ni／CNT複合材料）を挟んで構成された積層構造体が開示されている。当該積層構造体によれば、半導体素子と基板との間に生じる熱応力による半導体素子の損傷を防止できるとされている。

先行技術文献

特許文献

[0004] 特許文献1：日本国公開特許公報「特開2010-267745号公報（2010年11月25日公開）」

発明の概要

発明が解決しようとする課題

[0005] ここで、基板の変形により半導体素子に生じる熱応力としては、圧縮応力と引張応力とが挙げられる。例えば、基板が積層構造を有している場合において、当該基板がはんだ接合等によって加熱された場合、当該基板における半導体素子との接合面には、その冷却時に、基板全体の平均線膨張係数に基づく収縮作用のみならず、各層の線膨張係数の相違に基づく湾曲作用が生じる。特に、各層の材料および厚みに応じて、基板の湾曲方向および曲率半径

が変化する。

[0006] (基板が凸状に湾曲する場合)

そして、半導体素子側の層の線膨張係数が、他の層の線膨張係数よりも小さい場合、上記冷却時において、基板が半導体素子に対して凸状に湾曲する傾向にある。(但し、半導体素子側の層の線膨張係数が、他の層の線膨張係数より小さい場合でも、必ずしも凸状に湾曲するとは限らない。正確な反りの方向は、基板が3層の場合には後述する数式(10)、基板がn層の場合には後述する数式(14)により規定される。)この場合、当該湾曲作用は、基板における半導体素子との接合面を伸張させようとするが、その伸張量が、上記平均線膨張係数に基づく収縮作用による収縮量より大きいものであれば、実際には、基板における半導体素子との接合面は伸張することとなる。反対に、その伸張量が、上記平均線膨張係数に基づく収縮作用による収縮量より小さいものであれば、実際には、基板における半導体素子との接合面は収縮することとなる。

[0007] (基板が凹状に湾曲する場合)

反対に、半導体素子側の層の線膨張係数が、他の層の線膨張係数よりも大きい場合、上記冷却時において、基板が半導体素子に対して凹状に湾曲する傾向にある。(但し、半導体素子側の層の線膨張係数が、他の層の線膨張係数より大きい場合でも、必ずしも凹状に湾曲するとは限らない。正確な反りの方向は、基板が3層の場合には後述する数式(10)、基板がn層の場合には後述する数式(14)により規定される。)この場合、当該湾曲作用は、基板における半導体素子との接合面を収縮させようとする。そして、実際にも、基板における半導体素子との接合面は、収縮することとなる。

[0008] (基板における半導体素子との接合面が伸張する場合)

そして、上記平均線膨張係数に基づく収縮作用と、上記各層の線膨張係数の相違に基づく湾曲作用との双方により、基板における半導体素子との接合面が伸張する場合、半導体素子の収縮量に関わらず、半導体素子に引張応力が生じることとなる。

[0009] (基板における半導体素子との接合面が収縮する場合)

また、上記平均線膨張係数に基づく収縮作用と、上記各層の線膨張係数の相違に基づく湾曲作用との双方により、基板における半導体素子との接合面が収縮する場合において、(a) 基板における半導体素子との接合面の収縮量が、半導体素子の収縮量を上回るとき、実際には、半導体素子に圧縮応力が生じることとなり、(b) 基板における半導体素子との接合面の収縮量が、半導体素子の収縮量を下回るとき、実際には、半導体素子に引張応力が生じることとなる。

[0010] このように半導体素子には圧縮応力および引張応力の双方が生じ得るため、半導体装置において、半導体素子に対して適切な応力を生じさせるためには、基板の上記接合面における、基板の湾曲作用による収縮量または伸長量、基板全体の平均線膨張係数による収縮量、半導体素子の収縮量のそれぞれを考慮しつつ、基板の材料および厚みを設計しなければならない。

[0011] ここで発明者らは、半導体素子に引張応力が生じると半導体表面に生じている微小な亀裂（マイクロクラック）が拡張することが原因で、半導体素子に不具合が生じる可能性があることを見出した。このことから、発明者らは、上記亀裂が拡張しないように半導体素子に対して圧縮応力を生じさせることが、半導体素子の不具合を抑制するための一手段として有効であることを導出した。

[0012] しかしながら、上記特許文献 1 に記載の技術は、半導体素子と基板との間に生じる熱応力を緩和するだけでなく、当該熱応力の方向を制御するものではない。したがって、上記特許文献 1 に記載の技術では、半導体素子に引張応力が生じる場合があり、よって、半導体素子の不具合を抑制することができない。

[0013] 本発明は、このような問題に鑑みてなされたものであり、その目的は、半導体素子に圧縮応力を生じさせることによって、半導体素子の不具合を抑制することが可能な、積層構造体および半導体装置を実現することにある。

課題を解決するための手段

[0014] 上述した課題を解決するため、本発明に係る積層構造体は、表面上に半導体素子をはんだ接合される積層構造体であって、前記表面上に前記半導体素子をはんだ接合された後、当該積層構造体の前記はんだ接合部分の温度が、前記はんだ接合時の温度から低下する際に、当該積層構造体における各層の線膨張係数の相違に基づく湾曲作用と、基板全体の平均線膨張係数に基づく伸縮作用とにより、前記半導体素子に対して圧縮応力を生じさせるように、前記各層の材料および厚みが設定されていることを特徴とする。

発明の効果

[0015] 本発明によれば、半導体素子に圧縮応力を生じさせることによって、半導体素子の不具合を抑制することが可能な、積層構造体および半導体装置を実現することができる。

図面の簡単な説明

[0016] [図1]本実施形態に係る半導体装置の構成を示す側面図である。

[図2]本実施形態に係る基板の構成例を示す断面図である。

[図3]本実施形態に係る半導体装置に生じる収縮作用を概略的に示す説明図である。

[図4]本実施形態に係る基板に生じる湾曲作用を概略的に示す説明図である。

[図5]本実施形態に係る半導体装置（実施例3）における収縮率の変化を示すグラフである。

発明を実施するための形態

[0017] 以下、添付の図面を参照して、本発明の一実施形態に係る半導体装置について説明する。

[0018] [半導体装置10の構成]

まず、図1を参照して、本実施形態に係る半導体装置10の構成について説明する。図1は、本実施形態に係る半導体装置10の構成を示す側面図である。

[0019] 半導体装置10は、基板100および半導体素子110を備えている。基板100は、平板状の部材である。半導体素子110は、底面が基板100

の表面に密着した状態で、はんだ接合によって、基板１００の表面上に固定される。

[0020] 〔基板１００の構成例〕

次に、図２を参照して、基板１００の構成について説明する。図２は、本実施形態に係る基板１００の構成例を示す断面図である。図２に示すように、基板１００は、互いに材料が異なる複数の層が積層された、積層構造体である。

[0021] 例えば、図２（ａ）に示す例では、基板１００は、第１の層１０２および第２の層１０４が積層された、２層構造を有している。また、図２（ｂ）に示す例では、基板１００は、第１の層１０２、第２の層１０４、および第３の層１０６が積層された、３層構造を有している。基板１００は、２層構造および３層構造に限らず、４層以上の積層構造を有するものであってもよい。

[0022] 上記各層は、はんだ、接着材等の接着手段（図示省略）によって、または、当該層に用いられている材料そのものが溶着することによって、他の層と貼り合せられている。

[0023] 〔基板１００の条件（第１例）〕

ここで、本実施形態の基板１００において、注目すべきは、当該基板１００の表面上に半導体素子１１０がはんだ接合された後、当該基板１００のはんだ接合部分の温度が、はんだ接合時の温度から低下する際（より好ましくは、使用時の温度へ変化する際）に、当該基板１００における各層の線膨張係数の相違に基づく湾曲作用と、当該基板１００における基板全体の平均線膨張係数に基づく伸縮作用とにより、半導体素子１１０に対して圧縮応力を生じさせるように、各層の材料および厚みが設定されている、という点である。

[0024] 上記「使用時の温度」とは、半導体装置１０の使用が想定される範囲内の温度であって、予め定められた温度を示す。上記「使用時の温度」は、単一の温度（例えば、「２５℃」等）であってもよく、範囲を有するもの（例え

ば、「 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 」等）であってもよい。後者の場合、信頼性試験に適用される温度範囲をカバーすることで、より信頼性が高い半導体装置を提供することができる。

[0025] 具体的には、基板 100 は、下記数式（1）を満たすように、各層の材料および厚みが設定されている。

[0026] [数1]

$$\frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) < (\alpha - \alpha_{chip}) T \quad \dots (1)$$

[0027] 上記数式（1）において、 t は、基板 100 の厚みを示す。また、 R は、基板 100（常温時）の中立軸の曲率半径を示す。また、 R_0 は、基板 100（はんだ接合温度時）の中立軸の曲率半径を示す。また、 α は、基板 100 全体の平均線膨張係数を示す。また、 α_{chip} は、半導体素子 110 の線膨張係数を示す。また、 T は、基板 100（はんだ接合部分）における使用時の温度とはんだ接合時の温度との温度差を示す。

[0028] 上記数式（1）は、基板 100 における基板全体の平均線膨張係数に基づく収縮作用と、基板 100 における各層の線膨張係数の相違に基づく湾曲作用との双方が考慮されたものであり、特に、上記収縮作用による上記接合面の収縮量が、上記湾曲作用による上記接合面の伸張量よりも大きくなるように、基板 100 の材料および厚みを規定するものである。よって、本実施形態の基板 100 は、上記数式（1）を満たすように構成されることにより、上記温度低下時において、半導体素子 110 に対してより確実に圧縮応力を生じさせることが可能となる。

[0029] [基板 100 の作用]

次に、図 3 および図 4 を参照して、本実施形態に係る基板 100 の作用について説明する。図 3 は、本実施形態に係る半導体装置 10 に生じる収縮作用を概略的に示す説明図である。

図 4 は、本実施形態に係る基板 100 に生じる湾曲作用を概略的に示す説明

図である。

[0030] (基板全体の平均線膨張係数に基づく圧縮作用)

図3に示すように、上記温度変化に伴う半導体素子110の収縮量は、 $\alpha_{chip}T$ によって表すことができる。また、上記温度変化に伴う基板100の収縮量は、 αT によって表すことができる。したがって、 $\alpha_{chip}T$ よりも αT が大きくなるように（すなわち、上記数式(1)における右辺の値が正となるように）、基板100の各層の材料を選択することにより、基板100は、基板全体の平均線膨張係数に基づく作用としては、半導体素子110に対して圧縮応力を生じさせることが可能となる。反対に、半導体素子110の収縮量 $\alpha_{chip}T$ よりも、基板100の収縮量 αT を小さくしてしまうと、半導体素子110に対して引張応力を生じさせてしまうこととなる。

[0031] (各層の線膨張係数の相違に基づく圧縮作用)

また、上記使用時における基板100の曲率半径Rが、上記はんだ接合時における基板100の曲率半径 R_0 よりも、小さくなるように（すなわち、上記数式(1)における左辺の値が負となるように）、基板100の各層の材料が選択された場合には、基板100は、図4(a)に示すように、半導体素子110に対して凹状に湾曲し、各層の線膨張係数の相違に基づく作用としては、半導体素子110に対して圧縮応力を生じさせることとなる。

[0032] (各層の線膨張係数の相違に基づく引張作用)

反対に、上記使用時における基板100の曲率半径Rが、上記はんだ接合時における基板100の曲率半径 R_0 よりも、大きくなるように（すなわち、上記数式(1)における左辺の値が正となるように）、基板100の各層の材料が選択された場合には、基板100は、図4(b)に示すように、半導体素子110に対して凸状に湾曲し、各層の線膨張係数の相違に基づく作用としては、半導体素子110に対して引張応力を生じさせることとなる。

[0033] (全体的な作用)

このように、基板100による作用は、基板全体の平均線膨張係数に基づく伸縮作用と、各層の線膨張係数の相違に基づく湾曲作用とに分類される。

このため、基板１００において、上記湾曲作用が、半導体素子１１０に引張応力を生じさせるものであっても、上記収縮作用が、上記引張量よりも大きな圧縮量を有するものであれば（すなわち、上記数式（１）の大小関係を満たすものであれば）、結果的に、当該基板１００は、半導体素子１１０に対して圧縮応力を生じさせることとなる。また、上記伸縮作用が、半導体素子１１０に引張応力を生じさせるものであっても、上記湾曲作用が、上記引張量よりも大きな圧縮量を有するものであれば、結果的に、当該基板１００は、半導体素子１１０に対して圧縮応力を生じさせることとなる。すなわち、本実施形態の基板１００は、上記数式（１）を満たすように各層の材料および厚みが設定されることにより、半導体素子１１０に対して、より確実に圧縮応力を生じさせることができる。

[0034] 〔基板１００の条件（第２例）〕

ここで、基板１００が下記数式（２）を満たすものである場合（すなわち、はんだ接合時における基板１００の曲率が、上記使用時における基板１００の曲率よりも大きい場合）、当該基板１００は、上記温度低下の際、各層の線膨張係数の相違に基づく作用としては、凹状に湾曲することとなる。すなわち、基板１００における半導体素子１１０との接合面は、各層の線膨張係数の相違に基づいて収縮することとなる。

[0035] [数２]

$$\frac{1}{R} - \frac{1}{R_0} < 0 \quad \dots (2)$$

[0036] よって、基板１００が上記数式（２）を満たすものである場合、当該基板１００は、さらに下記数式（３）を満たせばよい。すなわち、基板１００の線膨張係数（基板全体の平均線膨張係数）を、半導体素子１１０の線膨張係数よりも高くすればよい。

[0037] [数３]

$$\alpha - \alpha_{chip} > 0 \quad \dots (3)$$

[0038] これにより、基板１００における半導体素子１１０との接合面は、各層の線膨張係数の相違に基づく湾曲作用によって収縮するだけでなく、基板全体の平均線膨張係数に基づく収縮作用によっても収縮するため、半導体素子１１０に対して、より適切かつ確実に圧縮応力を生じさせることができる。

[0039] 既に説明したとおり、基板１００は、積層構造を有している。よって、上記数式（１）および上記数式（２）に用いた、基板１００全体としての線膨張係数 α は、各層の材料および厚みによって変化する。例えば、基板１００全体としての線膨張係数 α は、以下に説明する方法によって、求めることが可能である。

[0040] 〔基板１００の各パラメータ（２層構造の場合）〕

基板１００が２層の積層構造を有する場合、当該基板１００の線膨張係数 α は、下記数式（５）によって求めることが可能である。

[0041] [数５]

$$\alpha = \frac{t_1 E_1 \alpha_1 + t_2 E_2 \alpha_2}{t_1 E_1 + t_2 E_2} \quad \dots (5)$$

[0042] 上記数式（５）において、 t_1 は、第１の層１０２の厚みを示す。また、 E_1 は、第１の層１０２のヤング率を示す。また、 α_1 は、第１の層１０２の材料の線膨張係数を示す。また、 t_2 は、第２の層１０４の厚みを示す。また、 E_2 は、第２の層１０４のヤング率を示す。また、 α_2 は、第２の層１０４の材料の線膨張係数を示す。

[0043] 基板１００が２層の積層構造を有する場合、当該基板１００の各層の線膨張係数の相違に基づく圧縮量（上記数式（１）の左辺）は、下記数式（６）によって求められる。

[0044] [数６]

$$\frac{1}{R} - \frac{1}{R_0} = \frac{F}{G} \quad \dots (6)$$

[0045] 上記数式（６）において、 F は、下記数式（７）によって求められる。

[0046] [数7]

$$F = t_1 + t_2 + \frac{1}{3} \frac{(E_1 t_1^3 + E_2 t_2^3)(t_1 E_1 + t_2 E_2)}{t_1 E_1 t_2 E_2 (t_1 + t_2)} \dots (7)$$

[0047] 上記数式（６）において、Gは、下記数式（８）によって求められる。

[0048] [数8]

$$G = -2(\alpha_1 - \alpha_2)\Delta T \dots (8)$$

[0049] [基板１００の各パラメータ（３層構造の場合）]

基板１００が３層の積層構造を有する場合、当該基板１００の線膨張係数 α は、下記数式（９）によって求めることが可能である。

[0050] [数9]

$$\alpha = \frac{t_1 E_1 \alpha_1 + t_2 E_2 \alpha_2 + t_3 E_3 \alpha_3}{t_1 E_1 + t_2 E_2 + t_3 E_3} \dots (9)$$

[0051] 上記数式（９）において、 t_1 は、第１の層１０２の厚みを示す。また、 E_1 は、第１の層１０２のヤング率を示す。また、 α_1 は、第１の層１０２の材料の線膨張係数を示す。また、 t_2 は、第２の層１０４の厚みを示す。また、 E_2 は、第２の層１０４のヤング率を示す。また、 α_2 は、第２の層１０４の材料の線膨張係数を示す。また、 t_3 は、第３の層１０６の厚みを示す。また、 E_3 は、第３の層１０６のヤング率を示す。また、 α_3 は、第３の層１０６の材料の線膨張係数を示す。

[0052] 基板１００が３層の積層構造を有する場合、当該基板１００の各層の線膨張係数の相違に基づく圧縮量（上記数式（１）の左辺）は、下記数式（１０）によって求められる。

[0053] [数10]

$$\frac{1}{R} - \frac{1}{R_0} = \frac{F}{G} \dots (10)$$

[0054] 上記数式（１０）において、Fは、下記数式（１１）によって求められる

。

[0055] [数11]

$$F = \frac{1}{3}(t_1 E_1 + t_2 E_2 + t_3 E_3)(E_1 t_1^3 + E_2 t_2^3 + E_3 t_3^3) + t_1 t_2 (t_1 + t_2)^2 E_1 E_2 \\ + t_1 t_3 (t_1 + t_2)(t_1 + 2t_2 + t_2) E_1 E_3 + t_2 t_3 (t_2 + t_3)^2 E_2 E_3 \quad \dots (11)$$

[0056] 上記数式(10)において、Gは、下記数式(12)によって求められる

。

[0057] [数12]

$$G = -2\Delta T \left\{ \begin{array}{l} t_1 t_2 (t_1 + t_2)(\alpha_1 - \alpha_2) E_1 E_2 + t_1 t_3 (t_1 + t_3)(\alpha_1 - \alpha_3) E_1 E_3 \\ + t_2 t_3 (t_2 + t_3)(\alpha_2 - \alpha_3) E_2 E_3 \end{array} \right\} \quad \dots (12)$$

[0058] [基板100の各パラメータ(n層構造の場合)]

基板100がn層(nは4以上の自然数)の積層構造を有する場合、当該基板100の線膨張係数 α は、下記数式(13)によって求めることが可能である。

[0059] [数13]

$$\alpha = \frac{t_1 E_1 \alpha_1 + t_2 E_2 \alpha_2 + t_3 E_3 \alpha_3 + \dots}{t_1 E_1 + t_2 E_2 + t_3 E_3 + \dots} \quad \dots (13)$$

[0060] 上記数式(13)において、 t_1 は、第1の層102の厚みを示す。また、 E_1 は、第1の層102のヤング率を示す。また、 α_1 は、第1の層102の材料の線膨張係数を示す。また、 t_2 は、第2の層104の厚みを示す。また、 E_2 は、第2の層104のヤング率を示す。また、 α_2 は、第2の層104の材料の線膨張係数を示す。また、 t_3 は、第3の層106の厚みを示す。また、 E_3 は、第3の層106のヤング率を示す。また、 α_3 は、第3の層106の材料の線膨張係数を示す。

[0061] 基板100がn層の積層構造を有する場合、当該基板100の各層の線膨張係数の相違に基づく圧縮量(上記数式(1)の左辺)は、下記数式(14)によって求められる。

[0062] [数14]

$$\frac{1}{R} - \frac{1}{R_0} = \frac{F}{G} \quad \dots (14)$$

[0063] 上記数式（14）において、Gは、下記数式（15）によって求められる。
。

[0064] [数15]

$$G = -2\Delta T \sum_{j>i}^n A_{i,j} T_{i,j} X_i X_j \quad \dots (15)$$

[0065] 上記数式（14）において、Fは、下記数式（16）によって求められる。
。

[0066] [数16]

$$F = Y \sum_{i=1}^n X_i + \sum_{j>i}^n K_{i,j} T_{i,j} X_i X_j + \sum_{j<i<k}^{n-1} 2t_i T_{j,k} X_j X_k \quad \dots (16)$$

[0067] 上記数式（15）および数式（16）において、 $T_{i,j}$ は、下記数式（17）によって求められる。

[0068] [数17]

$$T_{i,j} = -K_{i,j} + \sum_{k=i}^j t_k \quad \dots (17)$$

[0069] 上記数式（15）において、 $A_{i,j}$ は、下記数式（18）によって求められる。

[0070] [数18]

$$A_{i,j} = \alpha_i - \alpha_j \quad \dots (18)$$

[0071] 上記数式（15）および数式（16）において、 X_i は、下記数式（19）によって求められる。

[0072] [数19]

$$X_i = t_i E_i \quad \dots (19)$$

[0073] 上記数式（１６）において、 $K_{i,j}$ は、下記数式（２０）によって求められる。

[0074] [数20]

$$K_{i,j} = \frac{t_i + t_j}{2} \quad \dots (20)$$

[0075] 上記数式（１６）において、 Y は、下記数式（２１）によって求められる。

[0076] [数21]

$$Y = \sum_{i=1}^n \frac{E_i t_i^3}{12} \quad \dots (21)$$

実施例

[0077] 以下、本実施形態に係る半導体装置１０の実施例を説明する。

[0078] [基板１００の条件]

各実施例では、下記数式（２２）によって求められる値を、“基板１００の温度変化時における圧縮率”として規定した。そして、当該圧縮率が、 $0 \sim 0.001$ の範囲内となる基板１００を、“半導体素子１１０に対して適切な圧縮応力を生じさせることができる基板１００”と規定し、実施例１～３では、当該圧縮率が上記範囲内に収まるように、基板１００の各層の材料および厚みを設定した。一方、比較例１～４では、上記条件の適否を検証するため、上記圧縮率が上記範囲外となるように、基板１００の各層の材料および厚みを設定した。

[0079] [数22]

$$\frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) - (\alpha - \alpha_{chip}) T \quad \dots (22)$$

[0080] そして、各実施例および各比較例では、基板１００を１０個用意し、各々について、半導体素子１１０をはんだ接合（低温のヒーター上に材料、はんだを積層し、上から圧力をかけながら加熱することにより接合）した後、基

板 1 0 0 のはんだ接合部分の温度がはんだ接合時の温度から使用時の温度へ変化する際の、半導体素子 1 1 0 の亀裂の有無を確認した。なお、各実施例および各比較例では、少なくとも 1 つの半導体素子 1 1 0 に亀裂が確認された場合は、「亀裂：あり」と判定することとした。

[0081] 〔その他実施条件〕

半導体素子の材料 : G a A s (ガリウム砒素、線膨張係数 : 5 . 8 p p m)

はんだ材料※ : A u 8 0 S n 2 0 (金錫、融点 : 2 7 3 °C)

はんだ接合時の温度 : 2 7 5 °C

使用時の温度 : 2 5 °C

※本実施例では、はんだ材料として、他の層よりも厚みが薄くなり、且つ、十分に柔らかいものを使用したため、はんだ層を 1 つの層としては考慮しない。但し、はんだ材料として、降伏応力が 5 0 M P a よりも大きいものを使用する場合、または、厚みが他の材料の 1 / 1 0 よりも大きくなる場合には、はんだ層を 1 つの層として考慮することが好ましい。

[0082] 〔実施例 1〕

(基板 1 0 0 の構成)

第 1 の層 1 0 2 の材料 : C u W (銅タングステン、線膨張係数 : 6 . 5 p p m、ヤング率 : 3 2 0 G P a)

第 1 の層 1 0 2 の厚み : 3 0 0 μ m

第 2 の層 1 0 4 の材料 : A l N (窒化アルミニウム、線膨張係数 : 4 . 5 p p m、ヤング率 : 2 8 0 G P a)

第 2 の層 1 0 4 の厚み : 3 0 0 μ m

R₀ : 4 . 5 m

R : - 0 . 9 m

圧縮率 : 0 . 0 0 0 3

(実施結果)

亀裂 : なし

〔実施例2〕

(基板100の構成)

第1の層102の材料：AlN（窒化アルミニウム、線膨張係数：4.5 ppm、ヤング率：280 GPa）

第1の層102の厚み：50 μ m

第2の層104の材料：Cu（銅、線膨張係数：16.7 ppm、ヤング率：128 GPa）

第2の層104の厚み：450 μ m

R_0 : 10.2 m

R : 0.2 m

圧縮率 : 0.0008

(実施結果)

亀裂 : なし

〔実施例3〕

(基板100の構成)

第1の層102の材料：CuW（銅タングステン、線膨張係数：6.5 ppm、ヤング率：320 GPa）

第1の層102の厚み：200 μ m

第2の層104の材料：AlN（窒化アルミニウム、線膨張係数：4.5 ppm、ヤング率：280 GPa）

第2の層104の厚み：100 μ m

第3の層106の材料：W（タングステン、線膨張係数：5.1 ppm、ヤング率：330 GPa）

第3の層106の厚み：100 μ m

R_0 : 5.5 m

R : -0.6 m

圧縮率 : 0.0001

(実施結果)

亀裂 : なし

〔比較例 1〕

(基板の構成)

第 1 の層 102 の材料 : A l N

第 1 の層 102 の厚み : 500 μ m

第 2 の層 104 の材料 : C u W

第 2 の層 104 の厚み : 300 μ m

R_0 : 9.6 m

R : 1.0 m

圧縮率 : -0.0005

(実施結果)

亀裂 : あり

〔比較例 2〕

(基板の構成)

第 1 の層 102 の材料 : C u W

第 1 の層 102 の厚み : 100 μ m

第 2 の層 104 の材料 : C u

第 2 の層 104 の厚み : 330 μ m

R_0 : -1.0 m

R : 0.1 m

圧縮率 : -0.0001

(実施結果)

亀裂 : あり

〔比較例 3〕

(基板の構成)

第 1 の層 102 の材料 : C u

第 1 の層 102 の厚み : 150 μ m

第 2 の層 104 の材料 : A l N

第2の層104の厚み：500 μm

R_0 : -1.2 m

R : -0.2 m

圧縮率 : 0.0012

(実施結果)

亀裂 : あり

[比較例4]

(基板の構成)

第1の層102の材料：CuW

第1の層102の厚み：150 μm

第2の層104の材料：AlN

第2の層104の厚み：500 μm

第3の層106の材料：Cu

第3の層106の厚み：100 μm

R : 0.2 m

R_0 : -0.2 m

圧縮率 : -0.0001

(実施結果)

亀裂 : あり

[実施例および比較例についての考察]

上記各実施例のとおり、“上記数式(22)によって求められる上記圧縮率が、0～0.001の範囲内となる”という条件を満たすように、基板100の各層の材料および厚みを設定することにより、半導体素子110に亀裂が生じないことが確認された。これは、半導体素子110に対し、適度な圧縮応力が生じたためと考えられる。

[0083] 一方、上記各比較例のとおり、“上記数式(22)によって求められる上記圧縮率が、0～0.001の範囲内となる”という条件が満たされないように、基板100の各層の材料および厚みを設定した場合には、半導体素子

110に亀裂が生じることが確認された。これは、半導体素子110に対し、引張応力または過度な圧縮応力が生じたためと考えられる。

[0084] 以上により、上記条件を満たすように、基板100の各層の材料および厚みを設定することにより、半導体素子110に亀裂を生じさせないという効果を奏することができ、すなわち、上記条件が適切であることが、明らかになった。

[0085] [補足説明]

図5は、本実施形態に係る半導体装置10（実施例3）における収縮率の変化を示すグラフである。図5に示すように、本実施形態の半導体装置10において、基板100は、僅かな温度低下により、収縮する（すなわち、半導体素子に圧縮応力を生じさせる）ことが決定づけられる。そして、その収縮率（図5において、三角形のプロットで示されている）は、温度の低下に比例して変化する。その理由は、図5に示すように、曲率半径の変形量（図5において、四角形のプロットで示されている）は温度変化に比例し、また、材料の平均的な線膨張係数による歪（図5において、他の四角形のプロットで示されている）も温度変化に比例するためである。したがって、本実施形態の半導体装置10は、はんだ接合時の温度以下において、常に半導体素子に圧縮応力を生じさせることができる。すなわち、本実施形態に係る半導体装置10は、その使用温度がいずれに設定されている場合であっても、常に半導体素子に圧縮応力を生じさせることができる。なお、図5は、実施例3に関するものであるが、他の実施例においても同様に、基板100は、僅かな温度低下により収縮することが決定づけられ、その収縮率は、温度の低下に比例して増加する。

[0086] [まとめ]

上述した課題を解決するため、本発明に係る積層構造体は、表面上に半導体素子のはんだ接合される積層構造体であって、前記表面上に前記半導体素子のはんだ接合された後、当該積層構造体の前記はんだ接合部分の温度が、前記はんだ接合時の温度から低下する際に、当該積層構造体における各層の

線膨張係数の相違に基づく湾曲作用と、基板全体の平均線膨張係数に基づく伸縮作用とにより、前記半導体素子に対して圧縮応力を生じさせるように、前記各層の材料および厚みが設定されている構成である。

[0087] 上記積層構造体によれば、温度低下時に半導体素子に圧縮応力が生じるように、当該積層構造体における各層の線膨張係数の相違に基づく湾曲作用と、基板全体の平均線膨張係数に基づく伸縮作用との双方を考慮しつつ、上記各層の材料および厚みが設定されているため、半導体素子に対してより確実に圧縮応力を生じさせることができる。特に、上記積層構造体によれば、曲率半径の変形量は温度変化に比例し、また、材料の平均的な線膨張係数による歪も温度変化に比例することから、はんだ接合時の温度以下において、常に半導体素子に圧縮応力を生じさせることができる。

[0088] 上記積層構造体において、下記数式（１）を満たすように、前記各層の材料および厚みが設定されていることが好ましい。

[0089] [数1]

$$\frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) < (\alpha - \alpha_{chip}) T \quad \dots (1)$$

[0090] 上記数式（１）において、 t は、当該積層構造体の厚みを示す。 R は、当該積層構造体の使用時の中立軸の曲率半径を示す。 R_0 は、当該積層構造体（前記はんだ接合時）の中立軸の曲率半径を示す。 α は、当該積層構造体における基板全体の平均線膨張係数を示す。 α_{chip} は、前記半導体素子の線膨張係数を示す。 T は、前記使用時の前記はんだ接合部分の温度と前記はんだ接合時の前記はんだ接合部分の温度との温度差を示す。

[0091] 上記構成の積層構造体によれば、はんだ接合後の温度低下時において、上記平均線膨張係数に基づく基材の収縮量と、湾曲作用に基づく伸縮量の合計（すなわち、実際に基板における半導体素子との接合面に生じる収縮量）が、半導体素子の収縮量を上回るため、半導体素子に圧縮応力を生じさせることができる。

[0092] 上記積層構造体において、下記数式（２）を満たし、かつ、下記数式（３）を満たすように、前記各層の材料および厚みが設定されていることが好ましい。

[0093] [数2]

$$\frac{1}{R} - \frac{1}{R_0} < 0 \quad \dots (2)$$

[0094] [数3]

$$\alpha - \alpha_{chip} > 0 \quad \dots (3)$$

[0095] 上記数式（２）において、 R は、当該積層構造体（前記使用時）の中立軸の曲率半径を示す。 R_0 は、当該積層構造体（前記はんだ接合時）の中立軸の曲率半径を示す。また、上記数式（３）において、 t は、当該積層構造体の厚みを示す。 α は、当該積層構造体における基板全体の平均線膨張係数を示す。 α_{chip} は、前記半導体素子の線膨張係数を示す。 T は、前記使用時の前記はんだ接合部分の温度と前記はんだ接合時の前記はんだ接合部分の温度との温度差を示す。

[0096] 上記構成の積層構造体によれば、上記収縮作用による上記接合面の収縮だけでなく、上記湾曲作用による上記接合面の収縮が生じるように、各層の材料および厚みが設定されているため、はんだ接合時の温度以下において、常に半導体素子に圧縮応力を生じさせることができる。

[0097] 上記積層構造体において、さらに下記数式（４）を満たすように、前記各層の材料および厚みが設定されていることが好ましい。

[0098] [数4]

$$0 \leq (\alpha - \alpha_{chip})T - \frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) < 0.001 \quad \dots (4)$$

[0099] 上記構成の積層構造体によれば、半導体素子に対して、発明者らが見出したより適切な量の圧縮応力を生じさせることができる。

[0100] 上記積層構造体において、前記半導体素子側から順に、第１の層および第

2の層を備え、前記半導体素子は、GaAs（ガリウム砒素）が材料として用いられており、前記第1の層は、CuW（銅タングステン）が材料として用いられており、前記第2の層は、AlN（窒化アルミニウム）が材料として用いられていることが好ましい。

[0101] 上記構成の積層構造体によれば、半導体素子に亀裂が生じないように、当該半導体素子に対してより適切かつ確実に圧縮応力を生じさせることができる。

[0102] 上記積層構造体において、前記半導体素子側から順に、第1の層および第2の層を備え、前記半導体素子は、GaAs（ガリウム砒素）が材料として用いられており、前記第1の層は、CuW（銅タングステン）が材料として用いられており、前記第2の層は、Cu（銅）が材料として用いられていることが好ましい。

[0103] 上記構成の積層構造体によれば、半導体素子に亀裂が生じないように、当該半導体素子に対してより適切かつ確実に圧縮応力を生じさせることができる。

[0104] 上記積層構造体において、前記半導体素子側から順に、第1の層、第2の層、および第3の層を備え、前記半導体素子は、GaAs（ガリウム砒素）が材料として用いられており、前記第1の層は、CuW（銅タングステン）が材料として用いられており、前記第2の層は、AlN（窒化アルミニウム）が材料として用いられており、前記第3の層は、W（タングステン）が材料として用いられていることが好ましい。

[0105] 上記構成の積層構造体によれば、半導体素子に亀裂が生じないように、当該半導体素子に対してより適切かつ確実に圧縮応力を生じさせることができる。

[0106] また、本発明に係る半導体装置は、上記積層構造体と、前記積層構造体の表面上にはんだ接合される半導体素子とを備えたことを特徴とする。

[0107] 上記積層構造体によれば、上記積層構造体と同様の効果を奏することができる。

[0108] 〔付記事項〕

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0109] 本発明は、半導体素子が基板にはんだ接合される半導体装置に利用することができる。例えば、本発明は、半導体レーザダイオードが基板にはんだ接合される半導体レーザ装置等に好適に利用することができる。

符号の説明

- [0110] 1 0 半導体装置
 1 0 0 基板（積層構造体）
 1 0 2 第1の層
 1 0 4 第2の層
 1 0 6 第3の層
 1 1 0 半導体素子

請求の範囲

[請求項1] 表面上に半導体素子をはんだ接合される積層構造体であって、
前記表面上に前記半導体素子をはんだ接合された後、当該積層構造体の前記はんだ接合部分の温度が、前記はんだ接合時の温度から低下する際に、当該積層構造体における各層の線膨張係数の相違に基づく湾曲作用と、基板全体の平均線膨張係数に基づく伸縮作用とにより、前記半導体素子に対して圧縮応力を生じさせるように、前記各層の材料および厚みが設定されている

ことを特徴とする積層構造体。

[請求項2] 下記数式（１）を満たすように、前記各層の材料および厚みが設定されている

ことを特徴とする請求項１に記載の積層構造体。

[数1]

$$\frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) < (\alpha - \alpha_{chip}) T \quad \dots (1)$$

上記数式（１）において、 t は、当該積層構造体の厚みを示す。 R は、当該積層構造体の使用時の中立軸の曲率半径を示す。 R_0 は、当該積層構造体（前記はんだ接合時）の中立軸の曲率半径を示す。 α は、当該積層構造体における基板全体の平均線膨張係数を示す。 α_{chip} は、前記半導体素子の線膨張係数を示す。 T は、前記使用時の前記はんだ接合部分の温度と前記はんだ接合時の前記はんだ接合部分の温度との温度差を示す。

[請求項3] 下記数式（２）を満たし、かつ、下記数式（３）を満たすように、前記各層の材料および厚みが設定されている

ことを特徴とする請求項１に記載の積層構造体。

[数2]

$$\frac{1}{R} - \frac{1}{R_0} < 0 \quad \dots (2)$$

[数3]

$$\alpha - \alpha_{chip} > 0 \quad \dots (3)$$

上記数式（２）において、 R は、当該積層構造体（前記使用時）の中立軸の曲率半径を示す。 R_0 は、当該積層構造体（前記はんだ接合時）の中立軸の曲率半径を示す。

上記数式（３）において、 t は、当該積層構造体の厚みを示す。 α は、当該積層構造体における基板全体の平均線膨張係数を示す。 α_{chip} は、前記半導体素子の線膨張係数を示す。 T は、前記使用時の前記はんだ接合部分の温度と前記はんだ接合時の前記はんだ接合部分の温度との温度差を示す。

[請求項4] さらに下記数式（４）を満たすように、前記各層の材料および厚みが設定されている

ことを特徴とする請求項２または３に記載の積層構造体。

[数4]

$$0 \leq (\alpha - \alpha_{chip})T - \frac{t}{2} \left(\frac{1}{R} - \frac{1}{R_0} \right) < 0.001 \quad \dots (4)$$

[請求項5] 前記半導体素子側から順に、第１の層および第２の層を備え、
前記半導体素子は、

GaAs（ガリウム砒素）が材料として用いられており、

前記第１の層は、

CuW（銅タングステン）が材料として用いられており、

前記第２の層は、

AlN（窒化アルミニウム）が材料として用いられている

ことを特徴とする請求項１から４のいずれか１項に記載の積層構造体。

[請求項6] 前記半導体素子側から順に、第１の層および第２の層を備え、
前記半導体素子は、

G a A s（ガリウム砒素）が材料として用いられており、
前記第 1 の層は、

C u W（銅タングステン）が材料として用いられており、
前記第 2 の層は、

C u（銅）が材料として用いられている

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の積層構造体。

[請求項 7] 前記半導体素子側から順に、第 1 の層、第 2 の層、および第 3 の層を備え、

前記半導体素子は、

G a A s（ガリウム砒素）が材料として用いられており、
前記第 1 の層は、

C u W（銅タングステン）が材料として用いられており、
前記第 2 の層は、

A l N（窒化アルミニウム）が材料として用いられており、
前記第 3 の層は、

W（タングステン）が材料として用いられている

ことを特徴とする請求項 1 から 4 のいずれか 1 項に記載の積層構造体。

[請求項 8] 請求項 1 から 7 のいずれか 1 項に記載の積層構造体と、
前記積層構造体の表面上にはんだ接合される半導体素子と
を備えたことを特徴とする半導体装置。

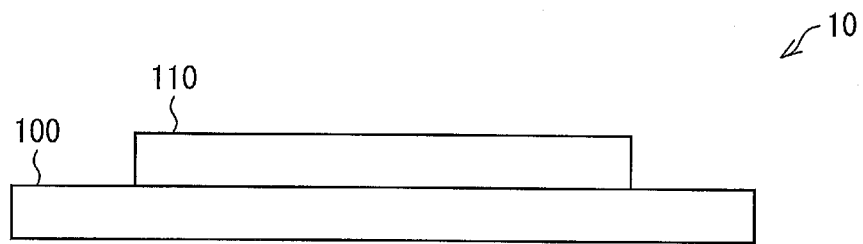
[請求項 9] 表面上に半導体素子をはんだ接合される積層構造体の製造方法であって、

前記表面上に前記半導体素子をはんだ接合した後、当該積層構造体の前記はんだ接合部分の温度が、前記はんだ接合時の温度から低下する際に、当該積層構造体における各層の線膨張係数の相違に基づく湾曲作用と、基板全体の平均線膨張係数に基づく伸縮作用とにより、前

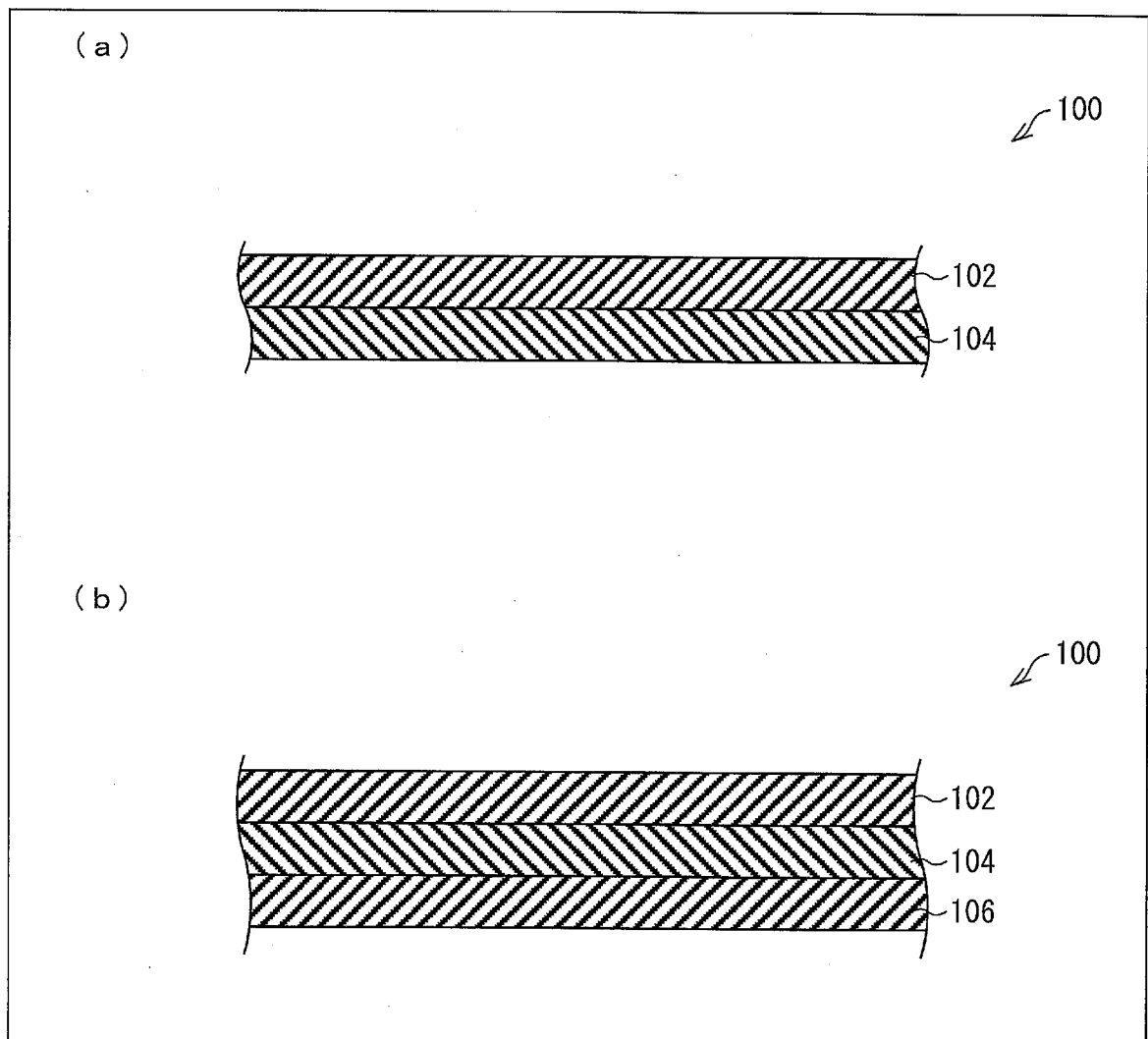
記半導体素子に対して圧縮応力を生じさせるように、前記各層の材料
および厚みを設定する

ことを特徴とする積層構造体の製造方法。

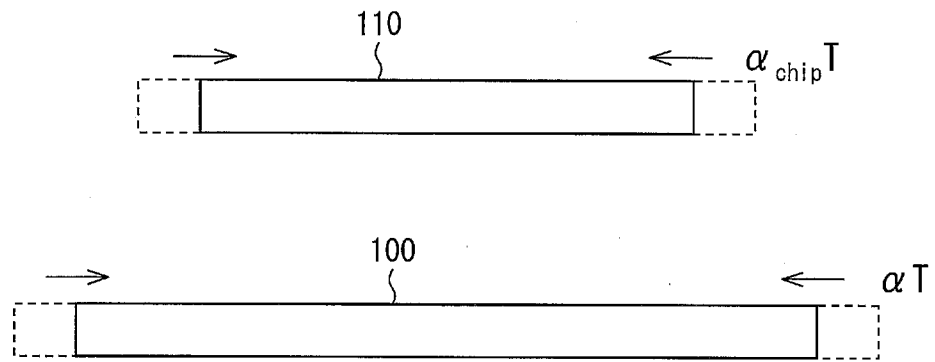
[図1]



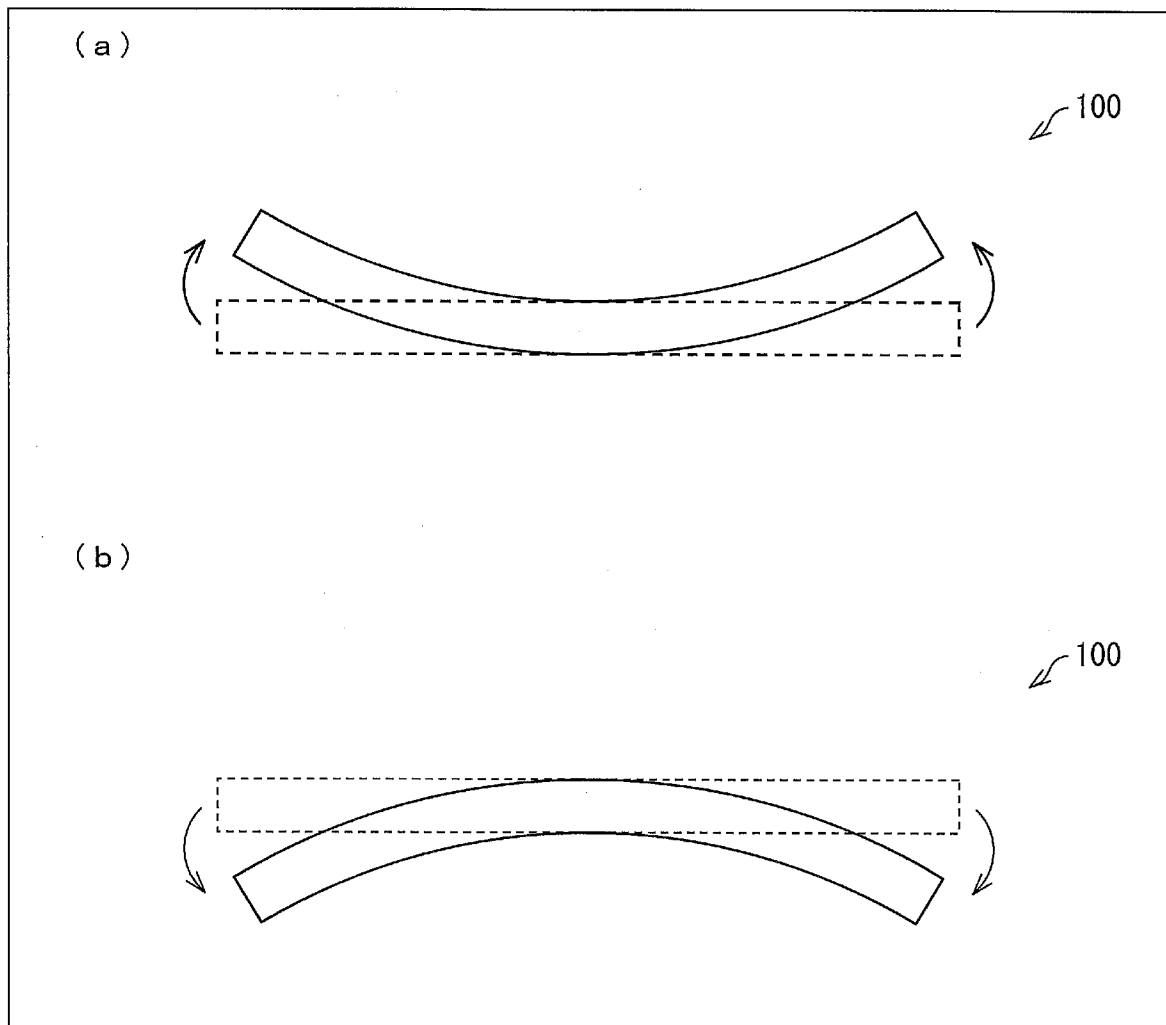
[図2]



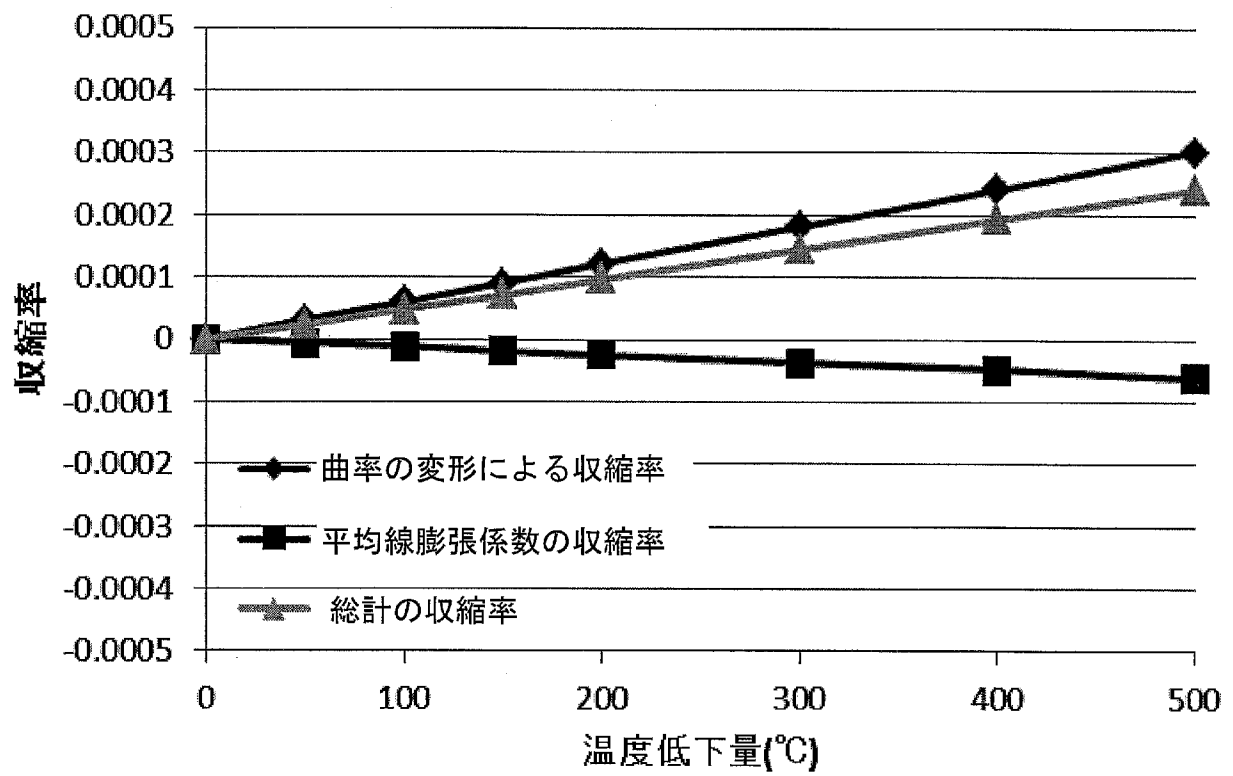
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/057299

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/13(2006.01)i, H01L23/12(2006.01)i, H01L23/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/13, H01L23/12, H01L23/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-204704 A (Sony Corp.), 30 July 1999 (30.07.1999), paragraphs [0003], [0017] to [0029]; fig. 1 (Family: none)	1, 8-9 2-7
X Y	JP 2-257660 A (Mitsubishi Electric Corp.), 18 October 1990 (18.10.1990), page 3, upper left column, line 13 to lower right column, line 17; fig. 3 & US 4984063 A & DE 4009974 A1	1, 8-9 2-7
Y	JP 2010-147101 A (TDK Corp.), 01 July 2010 (01.07.2010), paragraph [0047] & US 2010/0151217 A1 & EP 2200409 A1 & AT 550916 T	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 June, 2014 (03.06.14)

Date of mailing of the international search report
10 June, 2014 (10.06.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/057299

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-308107 A (Sumitomo Electric Industries, Ltd.), 19 November 1993 (19.11.1993), paragraph [0020] & US 5455453 A & US 5643834 A & EP 521441 A1 & DE 69207285 C & CA 2072262 A1	1-9
A	JP 2005-243819 A (NGK Spark Plug Co., Ltd.), 08 September 2005 (08.09.2005), paragraphs [0009] to [0021]; fig. 1 to 3 (Family: none)	1-9
A	JP 2004-327711 A (Toyota Motor Corp.), 18 November 2004 (18.11.2004), paragraphs [0009] to [0020]; fig. 1 to 3 (Family: none)	1-9
A	JP 2000-150741 A (NEC Corp.), 30 May 2000 (30.05.2000), paragraphs [0003] to [0008]; fig. 1 to 3 (Family: none)	1-9
P, A	JP 2013-229472 A (Denso Corp.), 07 November 2013 (07.11.2013), paragraphs [0012] to [0043]; fig. 1 to 4 (Family: none)	1-9
A	JP 2003-204020 A (Mitsubishi Electric Corp.), 18 July 2003 (18.07.2003), paragraph [0028]; fig. 4 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/13(2006.01)i, H01L23/12(2006.01)i, H01L23/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/13, H01L23/12, H01L23/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 11-204704 A（ソニー株式会社）1999.07.30, 段落【0003】、【0017】 - 【0029】、図1（ファミリーなし）	1, 8-9 2-7
X Y	JP 2-257660 A（三菱電機株式会社）1990.10.18, 第3頁左上欄第13 行目-右下欄第17行目、第3図 & US 4984063 A & DE 4009974 A1	1, 8-9 2-7
Y	JP 2010-147101 A（TDK株式会社）2010.07.01, 段落【0047】 & US 2010/0151217 A1 & EP 2200409 A1 & AT 550916 T	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 6 . 2 0 1 4

国際調査報告の発送日

1 0 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 晃洋

5 D

5 2 9 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-308107 A (住友電気工業株式会社) 1993. 11. 19, 段落【0020】 & US 5455453 A & US 5643834 A & EP 521441 A1 & DE 69207285 C & CA 2072262 A1	1-9
A	JP 2005-243819 A (日本特殊陶業株式会社) 2005. 09. 08, 段落【0009】 - 【0021】、図 1-3 (ファミリーなし)	1-9
A	JP 2004-327711 A (トヨタ自動車株式会社) 2004. 11. 18, 段落【0009】 - 【0020】、図 1-3 (ファミリーなし)	1-9
A	JP 2000-150741 A (日本電気株式会社) 2000. 05. 30, 段落【0003】 - 【0008】、図 1-3 (ファミリーなし)	1-9
P, A	JP 2013-229472 A (株式会社デンソー) 2013. 11. 07, 段落【0012】 - 【0043】、図 1-4 (ファミリーなし)	1-9
A	JP 2003-204020 A (三菱電機株式会社) 2003. 07. 18, 段落【0028】、 図 4 (ファミリーなし)	1-9