



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월21일
 (11) 등록번호 10-0847370
 (24) 등록일자 2008년07월14일

- (51) Int. Cl.
H01L 21/288 (2006.01)
- (21) 출원번호 10-2003-7017275
- (22) 출원일자 2003년12월30일
 심사청구일자 2007년05월15일
 번역문제출일자 2003년12월30일
- (65) 공개번호 10-2004-0013014
- (43) 공개일자 2004년02월11일
- (86) 국제출원번호 PCT/US2002/018857
 국제출원일자 2002년06월12일
- (87) 국제공개번호 WO 2003/005430
 국제공개일자 2003년01월16일
- (30) 우선권주장
 09/897,626 2001년07월02일 미국(US)
- (56) 선행기술조사문헌
 KR100165470 B1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 어드밴스드 마이크로 디바이시스, 인코포레이티드
 미국 캘리포니아 94088-3453 서니베일 원 에이엠
 디 플레이스 메일 스톱68
- (72) 발명자
 파사던알렉산더제이.
 미국텍사스78745오스틴단텔리온트레일8717
 손더만토마스제이.
 미국텍사스78717
 오스틴브라에스케이이트드라이브16010
- (74) 대리인
 박장원

전체 청구항 수 : 총 27 항

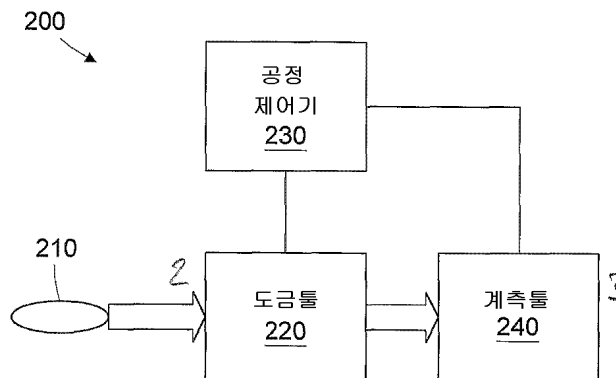
심사관 : 조천환

(54) 도금 공정을 제어하는 방법 및 장치

(57) 요약

도금 공정을 제어하는 방법이 제공되며, 상기 방법은 레시피에 따라 웨이퍼 위에 공정층(160)을 도금하는 단계와, 상기 공정층(160)의 두께를 측정하는 단계와, 그리고 상기 측정된 두께에 근거하여 후속하여 형성되는 공정층들(160)에 대한 상기 레시피의 적어도 하나의 도금 파라미터를 결정하는 단계를 포함한다. 공정 라인(200)은 도금틀(220), 계측틀(240) 및 공정 제어기(230)를 포함한다. 상기 도금틀(220)은 레시피에 따라 웨이퍼 위에 공정층(160)을 형성한다. 상기 계측틀(240)은 상기 공정층(160)의 두께를 측정한다. 상기 공정 제어기(230)는 상기 측정된 두께에 근거하여 후속하여 형성되는 공정층들(160)에 대한 상기 레시피의 적어도 하나의 도금 파라미터를 결정한다.

대표도 - 도2



특허청구의 범위

청구항 1

도금 공정을 제어하는 방법으로서,

레시피에 따라 웨이퍼 위에 공정층을 도금하는 단계와;

상기 공정층의 두께를 측정하는 단계와; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레이н 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하는 단계를 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 2

제 1 항에 있어서,

상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하는 단계는 상기 레시피에서의 도금 시간, 전해질 온도 및 전위 중 적어도 하나를 결정하는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 3

제 2 항에 있어서,

상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟(target) 값보다 작은 것에 응답하여, 상기 레시피에서의 상기 도금 시간, 상기 전해질 온도 및 상기 전위 중 적어도 하나를 증가시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 4

제 2 항에 있어서,

상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 레시피에서의 상기 도금 시간, 상기 전해질 온도 및 상기 전위 중 적어도 하나를 감소시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 5

제 1 항에 있어서,

상기 공정층을 도금하는 단계는 구리층을 도금하는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 6

도금 공정을 제어하는 방법으로서,

레시피에 따라 웨이퍼 위에 공정층을 도금하는 단계와;

상기 공정층의 두께를 측정하는 단계와; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레이н 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 전해질 온도 파라미터를 결정하는 단계를 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 7

제 6 항에 있어서,

상기 레시피의 상기 전해질 온도 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟 값보다 작은 것에 응답하여, 상기 전해질 온도 파라미터를 증가시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제

어하는 방법.

청구항 8

제 6 항에 있어서,

상기 레시피의 상기 전해질 온도 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 전해질 온도 파라미터를 감소시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 9

제 6 항에 있어서,

상기 공정층을 도금하는 단계는 구리층을 도금하는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 10

도금 공정을 제어하는 방법으로서,

레시피에 따라 웨이퍼 위에 공정층을 도금하는 단계와;

상기 공정층의 두께를 측정하는 단계와; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레인 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 전위 파라미터를 결정하는 단계를 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 11

제 10 항에 있어서,

상기 레시피의 상기 전위 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟 값보다 작은 것에 응답하여, 상기 전위 파라미터를 증가시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 12

제 10 항에 있어서,

상기 레시피의 상기 전위 파라미터를 결정하는 단계는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 전위 파라미터를 감소시키는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 13

제 10 항에 있어서,

상기 공정층을 도금하는 단계는 구리층을 도금하는 것을 더 포함하는 것을 특징으로 하는 도금 공정을 제어하는 방법.

청구항 14

레시피에 따라 웨이퍼 위에 공정층을 형성하도록 구성된 도금통과;

상기 공정층의 두께를 측정하도록 구성된 측정통과; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레인 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하도록 구성된 공정 제어기를 포함하는 것을 특징으로 하는 공정 라인.

청구항 15

제 14 항에 있어서,

상기 공정 제어기는 상기 레시피에서의 도금 시간, 전해질 온도 및 전위 중 적어도 하나를 결정하도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 16

제 15 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 작은 것에 응답하여, 상기 레시피에서의 상기 도금 시간, 상기 전해질 온도 및 상기 전위 중 적어도 하나를 증가시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 17

제 15 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 레시피에서의 상기 도금 시간, 상기 전해질 온도 및 상기 전위 중 적어도 하나를 감소시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 18

제 14 항에 있어서,

상기 공정층은 구리층을 포함하는 것을 특징으로 하는 공정 라인.

청구항 19

레시피에 따라 웨이퍼 위에 공정층을 형성하도록 구성된 도금통과;

상기 공정층의 두께를 측정하도록 구성된 계측통과; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레이н 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 전해질 온도 파라미터를 결정하도록 구성된 공정 제어기를 포함하는 것을 특징으로 하는 공정 라인.

청구항 20

제 19 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 작은 것에 응답하여, 상기 전해질 온도 파라미터를 증가시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 21

제 19 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 전해질 온도 파라미터를 감소시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 22

제 19 항에 있어서,

상기 공정층은 구리층을 포함하는 것을 특징으로 하는 공정 라인.

청구항 23

레시피에 따라 웨이퍼 위에 공정층을 형성하도록 구성된 도금통과;

상기 공정층의 두께를 측정하도록 구성된 계측통과; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범

위는 적어도 하나의 그레이н 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 전위 파라미터를 결정하도록 구성된 공정 제어기를 포함하는 것을 특징으로 하는 공정 라인.

청구항 24

제 23 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 작은 것에 응답하여, 상기 전위 파라미터를 증가시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 25

제 23 항에 있어서,

상기 공정 제어기는, 상기 공정층의 측정된 두께가 타겟 값보다 큰 것에 응답하여, 상기 전위 파라미터를 감소시키도록 더 구성되는 것을 특징으로 하는 공정 라인.

청구항 26

제 23 항에 있어서,

상기 공정층은 구리층을 포함하는 것을 특징으로 하는 공정 라인.

청구항 27

레시피에 따라 웨이퍼 위에 공정층을 도금하는 수단과;

상기 공정층의 두께를 측정하는 수단과; 그리고

상기 측정된 두께 그리고 상기 레시피의 적어도 하나의 도금 파라미터의 적어도 하나의 동적 범위-상기 동적 범위는 적어도 하나의 그레이н 크기 한계에 의해 한정됨-에 근거하여, 후속하여 형성되는 공정층들에 대한 상기 레시피의 상기 적어도 하나의 도금 파라미터를 결정하는 수단을 포함하는 것을 특징으로 하는 공정 라인.

명세서

기술분야

<1> 본 발명은 일반적으로 반도체 디바이스 제조 분야에 관한 것으로, 특히 도금 공정을 제어하는 방법 및 장치에 관한 것이다.

배경기술

- <2> 마이크로프로세서와 같은 통상적인 집적 회로 디바이스는 전형적으로 반도체 기판의 표면 위에 형성되는 수천개의 반도체 디바이스들 예를 들면, 트랜지스터들로 구성된다. 상기 집적 회로 디바이스가 기능을 행하기 위해서, 상기 트랜지스터들은 도전성 배선 구조(conductive interconnect structure)들을 통해 서로 전기적으로 접속되어야 한다. 많은 현대의 집적 회로 디바이스들은 매우 높은 밀도로 패키징(packaging)된다. 즉, 상기 기판 위에 형성된 상기 트랜지스터들 간의 간격이 매우 작다. 따라서, 이러한 도전성 배선 구조들은 반도체 기판상의 구성 공간(plot space)을 보존하도록 다수의 층들에서 이루어져야 한다.
- <3> 상기 도전성 배선 구조들은 전형적으로 상기 디바이스 상에 형성되는 유전체 물질들의 교번층들(alternative layers)로 형성되는, 보통 접촉(contact) 또는 비아(via)라 칭해지는 다수의 도전성 라인들 및 도전성 플러그들의 형성을 통해 달성된다. 이 기술분야의 당업자이면 쉽게 알 수 있는 바와 같이, 상기 도전성 플러그들은 도전성 라인들의 여러 층들 및/또는 반도체 디바이스들이 서로 전기적으로 연결될 수 있게 해주는 수단이다. 구리를 이용하여 형성된 것과 같은 어떤 타입의 배선 구조들에 대해서, 다양한 배선 구조들을 접속시키는 도전성 라인들은 보통 유전체 층들에서 정의되는 트렌치(trench)들에 형성된다.
- <4> 접촉은 일반적으로 하부 폴리실리콘 층(예를 들면, 트랜지스터의 소스/드레인 또는 게이트 영역)에 대한 배선 구조(예를 들면, 폴리실리콘 또는 금속으로 구성됨)를 정의하는데 이용되고, 비아는 금속 대 금속 배선 구조를 표시한다. 접촉들 및 비아들에 대해서, 도전성 부재(conductive member) 위에 있는 절연층에 접촉 개구부(contact opening)가 형성된다. 그 다음, 상기 접촉 개구부 위에 제 2 도전체 층이 형성되고, 그 도전성 부재로

전기적 통신이 확립된다.

- <5> 도 1A 및 1B에 예시적인 반도체 디바이스(100)가 도시된다. 상기 반도체 디바이스(100)는 도전성 라인 배선 구조들을 형성하는데 이용되는 트렌치들(110, 120) 및 기부 절연층(base insulating layer)(135)에 정의되는 도전성 플러그 배선 구조를 형성하는데 이용되는 접촉 개구부(130)를 포함한다. 상기 접촉 개구부(130)는 상기 반도체 디바이스(100)의 선행층에 형성되는 하부 도전성 피쳐(feature)(137)(예를 들면, 금속 라인)와 통신을 행한다. 상기 트렌치들(110, 120) 및 접촉 개구부(130)는 하나 또는 그 이상의 장벽층들(140) 및/또는 시드층들(seed layers)(150)로 라이닝(lining) 되고, 도전체 층(160)(예를 들면, 전기도금에 의해 형성된 구리층)으로 채워진다. 상기 시드층(150)은 도금 공정 동안에 상기 도전체 층(160)과 균질이 되기 때문에 투시선(phantom line)을 이용하여 도시된다. 도 1B에 도시된 바와 같이, 상기 트렌치들(110, 120) 및 접촉 개구부(130)를 넘어서 연장하는 도전체 층(160) 및 상기 층들(140, 150)의 부분들을 제거하는데 이용되는 후속 연마(polishing) 공정 동안에 상기 기부 절연층(135)을 보호하기 위한 정지층(stop layer)(170)이 제공된다.
- <6> 상기 장벽층(140)은 상기 트렌치들(110, 120) 및 접촉 개구부(130)에서 구리 채움층(copper fill layer)의 전자이동(electromigration)을 억제시키는 기능을 한다. 전자이동은 상기 라인에서의 전류 흐름으로 인한 상기 구리층내의 금속 이온들의 이동이다. 전달 전자(propagating electron)들의 힘은 보통 "전자 윈드(electron wind)"라 칭해진다. 긴 시간 주기를 넘으면, 이동된 이온들에 의해 뒤에 남겨진 보이드(void)들이 축적된다. 결국, 개방 회로가 발생하게 되는데, 이는 상기 반도체 디바이스가 복구할 수 없이 불량이 되게 한다. 일반적으로 이용되는 장벽층 재료들로는 탄탈 및 탄탈 나이트라이드(tantalum nitride)가 있다. 예시적인 장벽층(140) 구성은 상기 트렌치들(110, 120) 및 접촉 개구부(130)를 라이닝하는 탄탈 나이트라이드 층과 상기 탄탈 나이트라이드 층 위의 탄탈 층을 포함한다.
- <7> 전형적으로 구리 증착층 또는 구리 합금을 포함하는 상기 시드층(150)은 물리적 증기 증착 공정(즉, 스퍼터링(sputtering))에 의하여 상기 장벽층(140) 위에 형성된다. 상기 시드층(150)은 상기 도전체 층(160)의 후속하는 도금 동안에 전압원에 연결되어, 상기 트렌치들(110, 120) 및 접촉 개구부(130)를 채워서, 상기 배선 구조들을 완성한다.
- <8> 상기 도전체 층 도금 파라미터들(예를 들면, 도금 시간, 전해질 온도 및 전위)은 상기 도전체 층(160)의 그레인(grain) 크기 및 그의 무결성(즉, 균열(seam)들 또는 보이드들이 존재하는지 여부)에 영향을 미치고, 또한 완성된 디바이스의 전기적 파라미터들에 영향을 미친다. 상기 도금 파라미터들은 또한 상기 도전체 층(160)의 두께에 영향을 미친다. 상기 도전체 층(160)의 두께가 불충분한 경우, 상기 트렌치들(110, 120) 및 접촉 개구부(130)는 불충분하게 채워질 수 있다. 상기 도전체 층(160)이 필요 이상으로 두꺼운 경우, 추가적인 도전성 재료 그리고 상기 트렌치들(110, 120) 및 접촉 개구부(130)를 넘어서 연장하는 도전성 재료를 연마하는데 요구되는 추가적인 공정 시간 및 공정 재료들을 낭비하게 되어 공정 라인의 효율성 및 비용-효율을 감소시키게 된다.
- <9> 본 발명은 상기 설명된 문제점들 중 하나 또는 그 이상의 영향들을 없애거나 또는 적어도 줄이고자 하는 것이다.

발명의 상세한 설명

- <10> 본 발명의 일 양상은 도금 공정을 제어하는 방법에서 볼 수 있다. 상기 방법은 레시피(recipe)에 따라 웨이퍼 위에 공정층을 도금하는 단계와; 상기 공정층의 두께를 측정하는 단계와; 그리고 상기 측정된 두께에 근거하여 후속하여 형성되는 공정층들에 대한 상기 레시피의 적어도 하나의 도금 파라미터를 결정하는 단계를 포함한다.
- <11> 본 발명의 다른 양상은 도금률, 계측률 및 공정 제어를 포함하는 공정 라인에서 볼 수 있다. 상기 도금률은 레시피에 따라 웨이퍼 위에 공정층을 형성한다. 상기 계측률은 상기 공정층의 두께를 측정한다. 상기 공정 제어기는 상기 측정된 두께에 근거하여 후속하여 형성되는 공정층들에 대한 상기 레시피의 적어도 하나의 도금 파라미터를 결정한다.

실시 예

- <17> 이하, 본 발명의 예시적인 실시예들이 설명된다. 명확성을 위하여, 본원에서는 실제 구현시의 모든 특징들을 다 설명하지는 않는다. 물론, 어떠한 실제 실시예의 전개에 있어서, 실행마다 변하게 되는 시스템 관련 및 사업 관련 제약들과의 호환성과 같은 개발자의 특정한 목표들을 달성하기 위해서는 다수의 실시별 특정한 결정들이 이루어져야 한다는 것을 알 수 있을 것이다. 또한, 이러한 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본원의 개시의 이익을 갖는 당업자에게 있어서는 일상적인 일이라는 것을 알 수 있을 것이다.

- <18> 먼저 도 2를 참조하면, 본 발명에 따라 웨이퍼들(210)을 공정하는 예시적인 공정 라인(200)의 간략도가 제공된다. 상기 공정 라인(200)은 도금통(220), 공정 제어기(230) 및 계측통(240)을 포함한다. 상기 예시적인 실시예에 있어서, 상기 도금통(220)은 상기 반도체 웨이퍼(210) 위에 구리층을 도금하여 배선 구조들을 형성하는데 유용하다. 비록 본 발명에서는 상기 도금통(220)이 도금된 구리층의 두께를 제어하여 배선 구조를 채우도록 구현되는 것으로 설명되어 있지만은, 이것의 응용은 설명된 바로만 한정되는 것이 아니며, 다양한 타입의 피쳐들의 제조에 있어서 다른 타입의 공정층들의 도금에도 적용될 수 있다.
- <19> 상기 공정 제어기(230)는 상기 도금통(220)과 인터페이스하여, 상기 레시피 파라미터들(예를 들면, 도금 시간, 전해질 온도, 전위 등)을 상기 도금된 구리층의 두께에 관계시키는 모델에 근거하여 상기 도금통(220)의 동작 파라미터들을 수정한다. 상기 계측통(240)은 상기 공정 제어기(230)에 두께 측정들을 제공하여 상기 모델을 갱신하고 미래의 레시피 파라미터들을 예측한다.
- <20> 웨이퍼 위에 재료층을 도금하는 전형적인 도금 공정은 상기 웨이퍼를 전해질 욕(electrolyte bath)에 담그는 단계와, 이전에 형성된 시드층(예를 들면, 도 1을 참조함)에 전압을 인가하는 단계를 포함한다. 상기 시드층에 인가된 전해질 용액 전위의 온도에 대한 특정 범위들은 특정 응용, 형성된 층의 두께 및 하부 토폴로지(topology)에 따른다. 상기 공정 제어기(230)가 상기 레시피에서 온도 및 전위 파라미터들을 결정하는데 이용할 수 있는 동적 범위들은 실제 그레인 크기 한계들에 의해 한정될 수 있다. 특정 그레인 크기 한계들은 또한 응용에 종속적이고, 도금된 재료, 그 재료의 바람직한 두께 등에 근거하여 변할 수 있다.
- <21> 상기 공정 제어기(230)에 의해 이용되는 제어 모델은 상기 계측통(240)로부터의 입력 및 측정된 웨이퍼(210)를 형성하는데 이용되는 레시피 파라미터들에 근거하여 발생 및/또는 갱신될 수 있다. 상기 구리층의 두께를 측정하는 예시적인 계측통(240)로는, NJ 플란더스의 루돌프 테크놀로지즈(Rudolph Technologies)에 의해 제공되는 메타펄스 툴(Metapulse tool)이 있다. Alexander J. Pasadyn 및 Thomas J. Sonderman의 이름으로 출원된 미국 특허 출원 번호 제 09/891,898 호(대리인 사건 번호 제 2000.075900 호, 의뢰인 사건 번호 제 TT4637 호), 명칭 "METHOD AND APPARATUS FOR DETERMINING OUTPUT CHARACTERISTICS USING TOOL STATE DATA"에, 층 두께를 결정하는 다른 기술이 기술되어 있고, 이것은 그 전체가 참조로 본 명세서에 통합된다. 상기 참조된 특허 출원에 기술된 툴 상태 모니터(tool state monitor)는 본원에 설명된 실시예들과 관련하여 상기 계측통(240)의 기능을 행할 수 있다.
- <22> 상기 예시된 실시예에 있어서, 상기 공정 제어기(230)는 설명된 기능들을 구현하기 위해 소프트웨어로 프로그램되는 컴퓨터이다. 그러나, 이 기술분야의 당업자이면 알 수 있게 되는 바와 같이, 특정 기능들을 구현하도록 설계된 하드웨어 제어기가 또한 이용될 수 있다. 본 발명 부분들 및 대응하는 상세한 설명은 소프트웨어 즉, 알고리즘들 및 컴퓨터 메모리 내에서 데이터 비트들에 의한 동작의 심볼 표현들로 제공된다. 이들 설명들 및 표현들은 이 기술분야의 당업자들이 이 기술분야의 다른 당업자들에게 그들의 연구 내용을 효과적으로 전달하기 위한 것들이다. 알고리즘은, 이 용어가 본원에서 사용되는 바와 같이, 그리고 일반적으로 사용되는바와 같이, 원하는 결과에 이르는 단계들의 일관성 있는 시퀀스라고 생각된다. 상기 단계들은 물리량의 물리적 조작을 필요로 하는 것들이다. 보통, 반드시 그런 것은 아니지만, 이 물리량은 저장, 전송, 결합, 비교 및 기타 방법으로 처리될 수 있는 광, 전기 또는 자기 신호의 형태를 취한다. 주로 공통 사용의 이유로, 이들 신호들을 비트, 값, 요소, 기호, 문자, 용어, 번호 또는 이와 유사한 것들로 지칭하는 것이 흔히 편리하다고 증명되었다.
- <23> 그러나, 이들 및 유사한 용어들 모두는 적절한 물리량과 관련된 것이며, 단지 이들 물리량에 적용된 편리한 라벨일 뿐임을 명심해야 한다. 특정하게 다른 규정이 없는 한 즉, 논의로부터 명백할 때, "프로세싱" 또는 "컴퓨팅(computing)" 또는 "계산" 또는 "결정" 또는 "디스플레이" 또는 이와 유사한 용어들은, 컴퓨터 시스템의 레지스터 및 메모리 내의 물리적, 전기적 양으로 나타내진 데이터를, 그 컴퓨터 시스템의 메모리 또는 레지스터 또는 다른 이러한 정보 저장소, 전송 또는 디스플레이 장치 내의 물리적 양으로 유사하게 나타내진 다른 데이터로, 조작 및 변환시키는 컴퓨터 시스템 또는 유사한 전자 컴퓨팅 장치의 동작 및 처리를 나타낸다.
- <24> 상기 공정 제어기(230)의 기능들을 수행할 수 있는 예시적인 소프트웨어 시스템으로는 KLA-Tencor, Inc.에 의해 제공되는 촉매 시스템(Catalyst system)을 이용하여 구현될 수 있는 것과 같이, 진보된 공정 제어(advanced process control)(APC) 체제가 있다. 상기 촉매 시스템은 국제 반도체 설비 및 재료(Semiconductor Equipment and Materials International)(SEMI) 컴퓨터 집적 제조(Computer Integrated Manufacturing)(CIM) 체제 호환 시스템 기술들을 이용하고, 상기 진보된 공정 제어(APC) 체제를 기초로 한다. CIM(SEMI E81-0699 - CIM 체제 도메인 아키텍처에 대한 가 사양) 및 APC(SEMI E93-0999 - CIM 체제 진보된 공정 제어 구성요소에 대한 가 사양) 사양은 SEMI로부터 공개적으로 입수할 수 있다.

- <25> 상기 계측틀(240)에 의해 측정된 구리층 두께에 근거하여, 상기 공정 제어기(230)는 동작 레시피 파라미터들을 예측하여, 후속 웨이퍼 또는 로트(lot)에 대한 구리층 두께가 타겟 값에 가깝게 되도록 영향을 미친다. 도금된 구리층의 두께에 영향을 미치는 주요 인자(factor)들로는 도금 시간, 온도 및 전위가 있다. 온도 또는 전위가 증가되면, 주어진 도금 시간 동안 구리층 두께는 일반적으로 선형 증가되게 된다.
- <26> 상기 레시피를 변경함에 있어서, 상기 공정 제어기(230)는 파라미터 또는 파라미터들을 기준선(baseline) 레시피 내에서 변경할 수 있거나, 또는 대안적으로 상기 공정 제어기(230)는 완전히 새로운 레시피를 제공할 수 있다. 예를 들면, 상기 공정 제어기(230)는 상기 레시피에 있어 이전의 도금 시간, 전해질 온도 또는 전위를 점증적으로 증가 또는 감소시킬 수 있거나, 또는 상기 공정 제어기(230)는 측정된 구리층 두께에 근거하여 새로운 절대 도금 시간, 온도 또는 전위를 결정할 수 있다.
- <27> 도금 두께 모델은 상기 공정 제어기(230)에 의해 발생될 수 있거나, 대안적으로, 도금 두께 모델은 다른 공정 자원(processing resource)(도시되지 않음)에 의해 발생되어, 개발(develope)된 후에, 상기 공정 제어기(230)에 저장될 수 있다. 상기 도금 두께 모델은 상기 도금틀(220)을 사용하여 개발될 수 있거나 또는 유사한 동작 특성들을 갖는 다른 틀(도시되지 않음) 상에서 개발될 수 있다. 예시의 목적으로, 상기 도금 두께 모델은 상기 계측틀(240)에 의해 측정된 바와 같이 상기 도금틀(220)의 실제 성능에 근거하여 상기 공정 제어기(230) 또는 다른 공정 자원에 의해 발생되어 갱신된다고 가정한다. 상기 도금 두께 모델은 상기 도금틀(220)의 다수의 공정 런(run)들로부터 수집된 이력 데이터(historical data)에 근거하여 조작된다.
- <28> 이 기술분야의 당업자에게 잘 알려져 있는 다양한 모델링 기술들은 구리 도금 모델을 구현하는데 적합하다. 제어 모델은 일반적으로 알려진 선형 또는 비선형 기술들을 이용하여 경험적으로 개발될 수 있다. 상기 제어 모델은 비교적 간단한 방정식기반의 모델(예를 들면, 선형, 지수, 가중평균 등) 또는 신경망 모델, 주성분 분석(PCA: principal component analysis) 모델 또는 잠재 구조 투영(PLS: projection to latent structures) 모델과 같은 더 복잡한 모델일 수 있다. 상기 모델의 특정 구현은 선택된 모델링 기술에 따라 변할 수 있다.
- <29> 일단 상기 제어 모델이 충분히 테스트되고 그리고/또는 조작되면, 상기 제어 모델은 도금틀(220)의 동작을 예측하도록 생산 환경에서 이용될 수 있다. 상기 공정 제어기(230)는 도금 제어 파라미터들을 예측하고, 상기 도금틀(220)의 동작 레시피가 이에 따라 수정된다. 상기 생산 환경에서, 상기 계측틀(240)로부터의 주기적인 측정들은 도금 공정 모델을 갱신하기 위해 상기 공정 제어기(230)에 피드백으로서 제공된다.
- <30> 구리층 두께를 측정하는데 요구되는 시간으로 인해, 상기 도금틀(220)의 동작 레시피가 갱신될 수 있기 전에 하나 또는 그 이상의 로트들의 지연이 있을 수 있다. 상기 공정 제어기(230)는 상기 계측틀(240)로부터의 데이터가 입수가 가능하고, 상기 도금 두께 모델에 따라 처리되자마자, 상기 동작 레시피를 갱신한다.
- <31> 이제 도 3을 참조하면, 본 발명의 다른 실시예에 따라 도금 공정을 제어하는 방법의 흐름도가 제공된다. 블록(300)에서, 레시피에 따라 웨이퍼 위에 공정층(예를 들면, 구리)이 도금된다. 블록(310)에서, 상기 공정층의 두께가 측정된다. 블록(320)에서, 상기 측정된 두께에 근거하여 후속하여 형성되는 공정층에 대한 상기 레시피의 적어도 하나의 도금 파라미터(예를 들면, 도금 시간, 전해질 온도, 전위)가 결정된다.
- <32> 상기 설명된 바와 같은 후속하는 생산 런들에 대한 동작 레시피 파라미터들을 변경하기 위해 두께 측정 피드백을 이용하면, 많은 장점들이 생긴다. 구리층의 두께를 제어함으로써, 생산된 디바이스들의 성능의 일관성이 증가된다. 또한, 재료 낭비(예를 들면, 구리 초과량) 및 공정 비효율성들(예를 들면, 더 두꺼운 층들에 대해 요구되는 연마 시간)이 감소된다. 일반적으로, 공정 제어를 강화(tight)할수록 보다 빠른 비율로 그리고 보다 수익성이 높게 반도체 디바이스들을 생산할 수가 있다. 상기 공정 제어는 또한 런별(run-to-run) 방식으로 수행될 수 있다. 런별 제어는 상기 도금틀(220)의 성능에 있어서의 점증적인 변화들에 대처할 수 있게 함으로써 두께 일관성이 유지되게 된다.
- <33> 상기 개시된 특정 실시예들은 단지 예시적인 것으로서, 본 발명은 서로 다르지만, 본원의 가르침의 이득을 갖는 이 기술분야의 당업자들에게 명백한 등가적인 방식으로 수정 및 실행될 수 있다. 또한, 본 발명은 본원에 도시된 구조 또는 설계의 세부적인 사항들에 한정되지 않으며, 하기의 청구항들에 의해서만 정의된다. 따라서, 상기 개시된 특정 실시예들은 본 발명의 범위와 정신 내에서 변경 또는 수정될 수 있다. 그러므로, 본원에서 보호받고자 하는 권리는 하기의 청구항들에서 정의된다.

도면의 간단한 설명

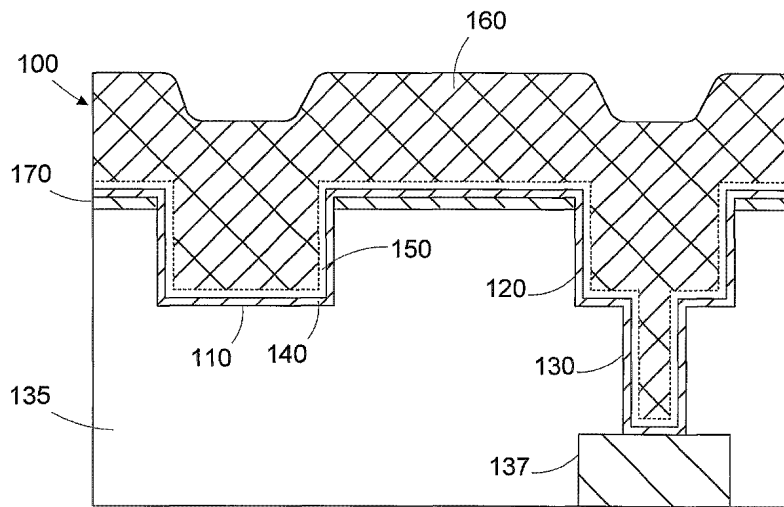
- <12> 본 발명은 첨부 도면들과 관련하여 다음의 설명을 참조함으로써 이해될 수 있으며, 첨부 도면들에서 동일한 참

조 부호들은 동일한 요소들을 나타낸다.

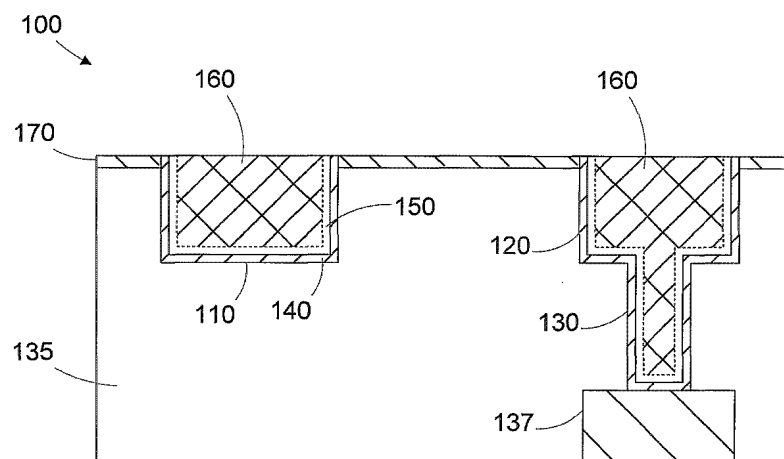
- <13> 도 1A 및 도 1B는 도전성 재료로 채워진 배선 피처들을 포함하는 예시적인 반도체 디바이스의 단면도이고;
- <14> 도 2는 본 발명의 일 실시예에 따라 웨이퍼들을 공정하는 예시적인 공정 라인의 간략도이고; 그리고
- <15> 도 3은 본 발명의 다른 실시예에 따라 도금 공정을 제어하는 방법에 대한 간략한 흐름도이다.
- <16> 본 발명은 다양한 수정들 및 변형들을 갖지만, 본원에서는 특정 실시예들을 예시적으로 도면들에 도시하여 상세하게 설명한다. 그러나, 이러한 특정 실시예들은 본 발명을 개시된 특정 형태들로만 한정하고자 하는 것이 아님을 이해해야 한다. 본 발명은 첨부된 청구항들에 의해 정의되는 본 발명의 정신과 범위내에 있는 모든 수정들, 등가물들 및 대안들을 포함한다.

도면

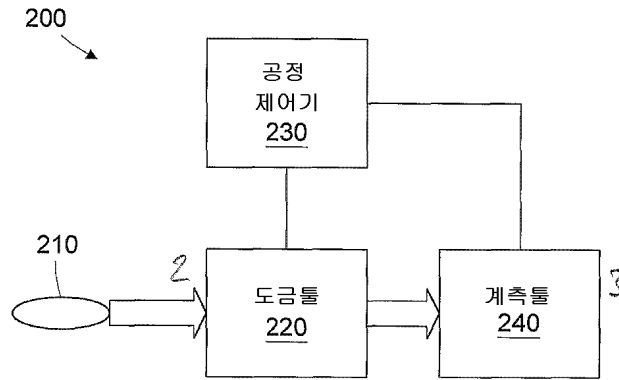
도면1A



도면1B



도면2



도면3

