(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0088693
(43) 공개일자 2009년08월20일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2008-0014125
(22) 출원일자 2008년02월15일
심사청구일자 2008년02월15일

(71) 출원인
재단법인서울대학교산학협력재단
서울특별시 관악구 봉천7동 산4의 2번지
(72) 발명자
박병국
서울특별시 서초구 방배동 1015 임광아파트 7-1004
조성재
서울 강남구 일원2동 한신아파트 104동 605호
(74) 대리인
권오준

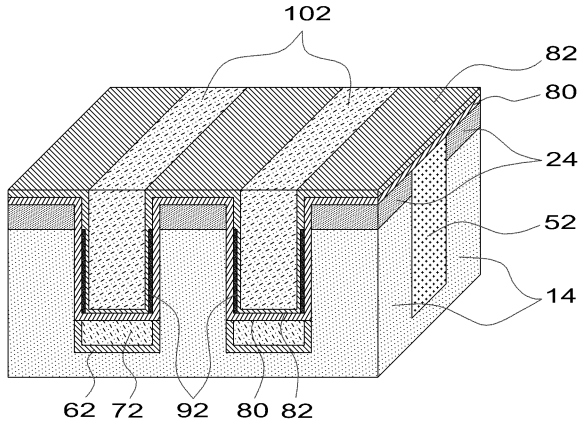
전체 청구항 수 : 총 14 항

(54) 차단 게이트 라인을 갖는 낸드 플래시 메모리 어레이와 그동작 및 제조방법

(57) 요 약

본 발명은 수직채널을 갖는 2개의 셀을 하나의 컨트롤 게이트(워드 라인)로 독립적으로 동작시키기 위하여 컨트롤 게이트 아래에 차단 게이트 라인을 갖는 낸드 플래시 메모리 어레이와 그 동작 및 제조방법에 관한 것으로, 종래 수직채널 구조보다 소요 면적을 현저히 줄일 수 있어 고집적화에 유리하고, 프로그램 동작시 공유하는 차단 게이트를 OFF시킴으로써 셀프 부스팅 효과로 반대편 셀에 프로그램되는 것을 막을 수 있고, 리드 동작시 공유하는 워드 라인(컨트롤 게이트)으로 전기적 차폐가 가능하여 반대편 셀의 저장 상태에 따른 영향을 극소화시킬 수 있는 효과 등이 있으며, 통상의 CMOS 공정으로도 제조 가능한 장점이 있다.

대 표 도 - 도9p



특허청구의 범위

청구항 1

실리콘 기판상에 일 방향으로 복수 개의 트렌치들을 형성하도록 소정의 높이를 갖는 복수 개의 실리콘 사각기둥들이 각각 절연막 사각기둥을 사이에 두고 상기 각 트렌치 방향과 수직으로 형성된 복수 개의 비트 라인들과;

상기 각 트렌치의 하측에 제1절연막을 사이에 두고 형성된 복수 개의 차단 게이트 라인들과;

상기 각 실리콘 사각기둥 및 상기 각 차단 게이트 라인의 노출된 부위에 형성된 제2절연막과;

상기 각 실리콘 사각기둥의 양 측벽 상에 상기 제2절연막을 사이에 두고 형성된 복수 개의 전하 저장층들과;

상기 각 전하 저장층 상부와 상기 제2절연막 중 노출된 부위에 형성된 제3절연막과;

상기 제3절연막 상부에 상기 각 트렌치를 채우며 형성된 복수 개의 워드 라인들을 포함하되,

상기 각 실리콘 사각기둥 상부는 특정 불순물로 도핑되어 소스 또는 드레인 기능을 하는 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 2

제 1 항에 있어서,

상기 각 비트 라인의 일단은 복수 개의 제1선택트랜지스터들 중 어느 하나를 통하여 공통소스라인에, 타단은 복수 개의 제2선택트랜지스터들 중 어느 하나를 통하여 전압공급라인에 각각 연결되고,

상기 각 제1선택트랜지스터의 게이트는 복수 개의 제1선택라인들 중 어느 하나와 전기적으로 연결되고,

상기 각 제2선택트랜지스터의 게이트는 복수 개의 제2선택라인들 중 어느 하나와 전기적으로 연결된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 3

제 1 항에 있어서,

상기 제2절연막은 상기 절연막 사각기둥의 노출된 부위에도 형성된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 각 전하 저장층은 전하 트랩 성질을 갖는 절연성 물질로 형성된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 5

제 4 항에 있어서,

상기 제1절연막 내지 상기 제3절연막은 산화막인 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 각 전하 저장층은 도전층으로 형성된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 7

제 2 항에 의한 낸드 플래시 메모리 어레이에 대하여,

상기 공통소스라인, 상기 전압공급라인, 상기 각 제1선택라인, 상기 각 제2선택라인, 상기 각 비트 라인, 상기 각 워드 라인, 상기 각 상기 차단 게이트 라인 및 상기 실리콘 기판 각각에 적정한 바이어스(bias) 전압을 인가

함으로써,

상기 비트 라인들 중 어느 하나와 상기 워드 라인들 중 어느 하나가 교차되는 위치에 형성된 2개의 메모리 셀들 중 어느 하나를 먼저 프로그램시키고,

상기 바이어스 전압 조건을 바꾸어 나머지 셀을 프로그램시키는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 8

제 7 항에 있어서,

상기 프로그램시키고자 하는 2개의 셀들 중 상기 공통소스라인 쪽에 있는 셀을 프로그램시키기 위하여,

상기 공통소스라인은 접지, 상기 전압공급라인은 Vcc를 각각 인가하고,

상기 각 제1선택라인은 상기 프로그램시키고자 하는 2개의 셀들을 지나는 비트 라인의 일단에 연결된 제1선택트랜지스터만 켜지도록 전압을 인가하고,

상기 워드 라인들 중 상기 2개의 셀들을 지나는 워드 라인은 파울러-노드하임 터널링(Fowler-Nordheim tunneling)이 일어날 수 있도록 프로그램 전압(V_{PGM})을 인가하고, 나머지 워드 라인들은 각 셀의 채널만 형성될 정도로 상기 프로그램 전압 보나 낮은 전압(V_{PASS})을 인가하고,

상기 차단 게이트 라인들 중 상기 2개의 셀들 아래에 위치한 차단 게이트 라인은 상기 제1절연막의 아래 실리콘층에 채널이 형성되지 않을 정도로 낮은 전압(V_{LOW})을 인가하고, 나머지 차단 게이트 라인들은 각 해당 실리콘층에 채널이 형성될 정도로 높은 전압(V_{HIGH})을 인가하고,

상기 프로그램시키고자 하는 2개의 셀들 중 나머지 셀을 프로그램시키기 위하여,

상기 공통소스라인은 Vcc, 상기 전압공급라인은 접지로 각각 바꾸어 바이어스 전압을 인가하고,

상기 각 제2선택라인은 상기 프로그램시키고자 하는 2개의 셀들을 지나는 비트 라인의 타단에 연결된 제2선택트랜지스터만 켜지도록 전압을 인가하고,

나머지 상기 워드 라인들 및 상기 차단 게이트 라인들에는 각각 상기 반대 측 셀에 프로그램할 경우와 동일한 조건으로 바이어스 전압을 인가하는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 9

제 8 항에 있어서,

상기 프로그램시키고자 하는 2개의 셀들 중 상기 공통소스라인 쪽에 있는 셀을 프로그램시킬 때, 상기 각 제2선택라인은 상기 각 제2선택트랜지스터가 켜질 수 있도록 Vcc와 같거나 높은 전압을 인가하고,

상기 프로그램시키고자 하는 2개의 셀들 중 나머지 셀을 프로그램시킬 때, 상기 각 제1선택라인은 상기 각 제1선택트랜지스터가 켜질 수 있도록 Vcc와 같거나 높은 전압을 인가하고,

상기 두 경우 모두 상기 실리콘 기판은 플로팅시키는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 10

제 2 항에 의한 낸드 플래시 메모리 어레이에 대하여,

상기 라인들 중 정보를 지우고자 하는 특정 셀을 지나는 워드 라인과 상기 워드 라인 밑을 지나는 상기 차단 게이트 라인에는 접지를 시키고, 나머지 라인들은 플로팅시키며,

상기 실리콘 기판에는 상기 특정 셀의 전하 저장층으로부터 전자를 빼낼 수 있거나 혹은 상기 특정 셀의 채널영역으로부터 정공을 상기 특정 셀의 전하 저장층에 주입시킬 수 있는 크기의 양의 전압을 인가함으로써,

상기 특정 셀을 지나는 워드 라인에 접속되는 블록의 메모리 셀들을 일괄적으로 한꺼번에 소거하는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 11

제 2 항에 의한 낸드 플래시 메모리 어레이에 대하여,

상기 공통소스라인, 상기 전압공급라인, 상기 각 제1선택라인, 상기 각 제2선택라인, 상기 각 비트 라인, 상기 각 워드 라인, 상기 각 상기 차단 게이트 라인 및 상기 실리콘 기판 각각에 적정한 바이어스(bias) 전압을 인가함으로써,

정보를 읽고자 하는 특정 셀을 지나는 비트 라인 양단에 연결된 제1선택트랜지스터 및 제2선택트랜지스터만 각각 켜지도록 하고,

상기 특정 셀을 지나는 워드 라인에 인가된 특정 기준 전압에 대하여 상기 전압공급라인에서 상기 공통소스라인으로 흐르는 전류를 측정하여 상기 특정 셀의 정보를 읽는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 12

제 11 항에 있어서,

상기 특정 셀을 지나는 워드 라인에 인가된 특정 기준 전압에 대하여,

상기 공통소스라인 및 상기 전압공급라인의 바이어스 전압 조건을 바꾸어 상기 공통소스라인에서 상기 전압공급라인으로 흐르는 전류를 더 측정하고,

상기 측정된 전류의 크기를 반대 방향으로 흐르는 전류의 크기와 대비함으로써 상기 특정 셀의 정보를 읽는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 동작방법.

청구항 13

준비된 실리콘 기판에 소스 또는 드레인 영역을 형성하기 위한 이온주입공정을 수행하는 제 1 단계와;

상기 기판 상부에 감광막을 도포하고 비트 라인 방향으로 감광막 패터닝을 수행하는 제 2 단계와;

상기 감광막 패턴을 마스크로 하여 상기 기판의 실리콘을 식각하여 실리콘 핀을 형성하는 제 3 단계와;

상기 기판 전면에 절연물질을 증착하고 식각하여 상기 실리콘 핀 사이에만 상기 절연물질을 남기는 제 4 단계와;

상기 기판 상부에 감광막을 도포하고 워드 라인 방향으로 감광막 패터닝을 수행하는 제 5 단계와;

상기 감광막 패턴을 마스크로 하여 노출된 상기 실리콘 핀 및 상기 절연물질을 순차적으로 식각하여 복수 개의 트렌치들을 형성하는 제 6 단계와;

상기 기판 전면 또는 노출된 실리콘 면 상에 제 1 산화막을 형성하는 제 7 단계와;

상기 기판 전면에 금속 또는 실리콘계 물질을 증착하고 상기 각 트렌치의 하측 일부에만 남아 있도록 상기 금속 또는 실리콘계 물질을 식각하여 복수 개의 차단 게이트 라인들을 형성하는 제 8 단계와;

상기 금속 또는 실리콘계 물질 식각으로 노출된 상기 제 1 산화막을 제거하여 상기 각 차단 게이트 라인 양측과 하부에만 상기 제 1 산화막이 남아 있도록 하는 제 9 단계와;

상기 기판 전면, 노출된 실리콘 면 또는 노출된 실리콘계 물질 면 상에 제 2 산화막을 형성하는 제 10 단계와;

상기 기판 전면에 전하 트랩 유전층을 증착하고 비등방성 식각을 함으로써 각 측벽에 전하 저장층을 형성하는 제 11 단계와;

상기 기판 전면에 제 3 산화막을 증착하고, 이어 상기 기판 전면에 금속 또는 실리콘계 물질을 증착하고 상기 각 트렌치에만 남아 있도록 식각함으로써, 복수 개의 워드 라인들을 형성하는 제 12 단계를 포함하여 구성된 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

청구항 14

제 13 항에 있어서,

상기 전하 트랩 유전층은 질화막층이고,

상기 제 8 단계와 제 12 단계의 상기 실리콘계 물질은 폴리 실리콘 또는 비정질 실리콘이며, 이 경우 불순물 주입공정이 추가되는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 플래시 메모리 어레이와 그 동작 및 제조방법에 관한 것으로, 더욱 상세하게는 두 개의 수직채널을 하나의 컨트롤 게이트(워드 라인)로 독립적으로 동작시키기 위하여 컨트롤 게이트 아래에 차단 게이트 라인을 갖는 낸드 플래시 메모리 어레이와 그 동작 및 제조방법에 관한 것이다.

배 경 기 술

<2> 현재 플래시 메모리는 비휘발성 메모리로서 대단한 각광을 받고 있다. 플래시 메모리는 그 응용에 따라 코드 플래시(code flash)와 데이터 플래시(data flash)로 대략적인 구분을 할 수 있는데, 전자는 랜덤 액세스의 시간이 짧은 노아(NOR) 타입 구조의 플래시 메모리가 사용되고, 후자는 쓰기 시간이 짧고 고집적이 가능한 낸드(NAND) 타입 구조의 플래시 메모리가 사용된다.

<3> 특히, 낸드 플래시 메모리는 개별 셀마다 소스(source)와 드레인(drain)의 컨택(contact)을 형성할 필요가 없다는 점에서 고집적에 유리하여 이동식 디스크, 디지털 카메라, 비디오 및 오디오 레코더 등 대용량 저장소로서 주로 사용되며 시간이 흐를수록 그 수요가 더욱 증가하고 있는 실정이다.

<4> 상기와 같은 낸드 플래시 메모리의 급증하는 수요에 부응하여 그에 따른 셀 사이즈의 축소화와 저전력, 고속 동작 등이 계속 요구되고 있다.

<5> 그런데, 지금까지 낸드 플래시 메모리 어레이의 고집적을 위한 시도는 주로 2차원 평면(planar) 구조에서 셀 사이즈의 축소화에만 의존하고 있었고, 그 결과 셀 구동 등의 문제로 상기 집적도 향상에는 일정한 한계를 직면하게 되었다.

<6> 따라서, 도 1과 같은 종래 2차원 평면(planar) 구조를 벗어나, 실리콘 기판에 트렌치(trench)를 형성하고 상기 트렌치 측벽(side wall)을 이용하여 메모리 셀 등을 구현하는 이른바 3차원 구조를 갖는 메모리 어레이 형태가 많이 연구되고 있다.

<7> 상기 3차원 구조를 갖는 어레이 형태는, 도 2와 같이, 마치 종래 평면 구조를 양측에서 밀어 접힌 구조(folden array)로 하여 워드 라인을 측벽에 구현함으로써, 전체 어레이의 필요 면적을 획기적으로 줄여 고집적을 구현할 수 있는 장점이 있다.

<8> 이를 이용한 대표적인 선행 기술로 미국 마이크론 테크놀러지 사의 미국특허 6,878,991 B1과 동일 발명자에 의한 서울대학교산학협력재단의 한국특허 제777016호가 있다.

<9> 그런데, 상기 선행 기술 중 후자는 전자가 실용화되기 어려운 점을 해결한 장점은 있으나, 도 3과 같이, 각 셀마다 컨트롤 게이트(150)를 형성하여야 하므로 고집적에 일정한 한계가 있었다.

발명의 내용

해결 하고자하는 과제

<10> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여, 접힌 3차원 기둥 구조에서 수직채널을 갖는 2개의 셀 사이에 하나의 컨트롤 게이트(워드 라인), 상기 컨트롤 게이트 아래에 차단 게이트 라인을 각각 형성함으로써, 종래 컨트롤 게이트를 이격시키기 위한 공간 면적을 줄일 수 있고, 동시에 상기 차단 게이트 라인에 의하여 각 셀을 독립적으로 동작시킬 수 있는 낸드 플래시 메모리 어레이 구조와 그 동작 및 제조방법을 각각 제공하는데 그 목적이 있다.

과제 해결수단

<11> 상기 목적을 달성하기 위하여, 본 발명에 의한 낸드 플래시 메모리 어레이는 실리콘 기판상에 일 방향으로 복수 개의 트렌치들을 형성하도록 소정의 높이를 갖는 복수 개의 실리콘 사각기둥들이 각각 절연막 사각기둥을 사이에 두고 상기 각 트렌치 방향과 수직으로 형성된 복수 개의 비트 라인들과; 상기 각 트렌치의 하측에 제1절연막을 사이에 두고 형성된 복수 개의 차단 게이트 라인들과; 상기 각 실리콘 사각기둥 및 상기 각 차단 게이트 라인의 노출된 부위에 형성된 제2절연막과; 상기 각 실리콘 사각기둥의 양 측벽 상에 상기 제2절연막을 사이에 두고 형성된 복수 개의 전하 저장층들과; 상기 각 전하 저장층 상부와 상기 제2절연막 중 노출된 부위에 형성된 제3절연막과; 상기 제3절연막 상부에 상기 각 트렌치를 채우며 형성된 복수 개의 워드 라인들을 포함하되, 상기 각 실리콘 사각기둥 상부는 특정 불순물로 도핑되어 소스 또는 드레인 기능을 하는 것을 특징으로 한다.

<12> 여기서, 상기 각 비트 라인의 일단은 복수 개의 제1선택트랜지스터들 중 어느 하나를 통하여 공통소스라인에, 타단은 복수 개의 제2선택트랜지스터들 중 어느 하나를 통하여 전압공급라인에 각각 연결되고, 상기 각 제1선택트랜지스터의 게이트는 복수 개의 제1선택라인들 중 어느 하나와 전기적으로 연결되고, 상기 각 제2선택트랜지스터의 게이트는 복수 개의 제2선택라인들 중 어느 하나와 전기적으로 연결된다.

<13> 그리고, 본 발명에 의한 낸드 플래시 메모리 어레이의 동작방법은 상기 어레이 구조에서 상기 공통소스라인, 상기 전압공급라인, 상기 각 제1선택라인, 상기 각 제2선택라인, 상기 각 비트 라인, 상기 각 워드 라인, 상기 각 상기 차단 게이트 라인 및 상기 실리콘 기판 각각에 적정한 바이어스(bias) 전압을 인가함으로써, 상기 비트 라인들 중 어느 하나와 상기 워드 라인들 중 어느 하나가 교차되는 위치에 형성된 2개의 메모리 셀들 중 어느 하나를 먼저 프로그램시키고, 상기 바이어스 전압 조건을 바꾸어 나머지 셀을 프로그램시키는 것을 특징으로 한다.

<14> 그리고, 본 발명에 의한 낸드 플래시 메모리 어레이의 제조방법은 준비된 실리콘 기판에 소스 또는 드레인 영역을 형성하기 위한 이온주입공정을 수행하는 제 1 단계와; 상기 기판 상부에 감광막을 도포하고 비트 라인 방향으로 감광막 패터닝을 수행하는 제 2 단계와; 상기 감광막 패턴을 마스크로 하여 상기 기판의 실리콘을 식각하여 실리콘 핀을 형성하는 제 3 단계와; 상기 기판 전면에 절연물질을 증착하고 식각하여 상기 실리콘 핀 사이에만 상기 절연물질을 남기는 제 4 단계와; 상기 기판 상부에 감광막을 도포하고 워드 라인 방향으로 감광막 패터닝을 수행하는 제 5 단계와; 상기 감광막 패턴을 마스크로 하여 노출된 상기 실리콘 핀 및 상기 절연물질을 순차적으로 식각하여 복수 개의 트렌치들을 형성하는 제 6 단계와; 상기 기판 전면 또는 노출된 실리콘 면 상에 제 1 산화막을 형성하는 제 7 단계와; 상기 기판 전면에 금속 또는 실리콘계 물질을 증착하고 상기 각 트렌치의 하측 일부에만 남아 있도록 상기 금속 또는 실리콘계 물질을 식각하여 복수 개의 차단 게이트 라인들을 형성하는 제 8 단계와; 상기 금속 또는 실리콘계 물질 식각으로 노출된 상기 제 1 산화막을 제거하여 상기 각 차단 게이트 라인 양측과 하부에만 상기 제 1 산화막이 남아 있도록 하는 제 9 단계와; 상기 기판 전면, 노출된 실리콘 면 또는 노출된 실리콘계 물질 면 상에 제 2 산화막을 형성하는 제 10 단계와; 상기 기판 전면에 전하 트랩 유전층을 증착하고 비등방성 식각을 함으로써 각 측벽에 전하 저장층을 형성하는 제 11 단계와; 상기 기판 전면에 제 3 산화막을 증착하고, 이어 상기 기판 전면에 금속 또는 실리콘계 물질을 증착하고 상기 각 트렌치에만 남아 있도록 식각함으로써, 복수 개의 워드 라인들을 형성하는 제 12 단계를 포함하여 구성된 것을 특징으로 한다.

효 과

<15> 본 발명은 하나의 워드 라인(컨트롤 게이트)으로 2개의 셀을 구동할 수 있어, 종래 컨트롤 게이트를 이격시키기 위한 공간 면적을 현저히 줄일 수 있고, 차단 게이트에 의하여 각 셀을 독립적으로 동작시킬 수 있으며, 특히, 프로그램 동작시 공유하는 차단 게이트를 OFF시킴으로써 셀프 부스팅 효과로 반대편 셀에 프로그램되는 것을 막을 수 있고, 리드 동작시 공유하는 워드 라인(컨트롤 게이트)으로 전기적 차폐가 가능하여 반대편 셀의 저장 상태에 따른 영향을 극소화시킬 수 있는 효과가 있다.

<16> 또한, 본 발명에 의한 제조방법에 따르면, 통상의 CMOS 공정으로도 본 발명의 낸드 플래시 메모리 어레이를 제조할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<17> 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.

<18> **[어레이 구조에 관한 실시예 1]**

<19> 본 발명에 의한 낸드 플래시 메모리 어레이는, 기본적으로, 도 4a, 도 9g 및 도 9p와 같이, 실리콘 기판(10) 상에 일 방향으로 복수 개의 트렌치들(42)을 형성하도록 소정의 높이를 갖는 복수 개의 실리콘 사각기둥들(14)이

각각 절연막 사각기둥(52)을 사이에 두고 상기 각 트렌치 방향과 수직으로 형성된 복수 개의 비트 라인들(24; BL_m, BL_{m+1})과; 상기 각 트렌치의 하측에 제1절연막(62)을 사이에 두고 형성된 복수 개의 차단 게이트 라인들(72; CG_i, CG_{i+1})과; 상기 각 실리콘 사각기둥 및 상기 각 차단 게이트 라인의 노출된 부위에 형성된 제2절연막(80)과; 상기 각 실리콘 사각기둥의 양 측벽 상에 상기 제2절연막을 사이에 두고 형성된 복수 개의 전하 저장층들(92; 92a 내지 92f)과; 상기 각 전하 저장층 상부와 상기 제2절연막 중 노출된 부위에 형성된 제3절연막(82)과; 상기 제3절연막 상부에 상기 각 트렌치를 채우며 형성된 복수 개의 워드 라인들(102; WL_n, WL_{n+1})을 포함하되, 상기 각 실리콘 사각기둥(14)의 상부(24)는 특정 불순물로 도핑되어 소스 또는 드레인 기능을 한다.

<20> 따라서, 본 실시예는 종래 한국특허 제777016호의 구조와는 컨트롤 게이트들이 즉, 워드 라인들이 분리되지 않고 하나의 워드 라인으로 두 셀을 동작할 수 있도록 되었다는 점, 소스 또는 드레인(24)이 사각 기둥 형상의 액티브 상부에만 존재한다는 점, 그리고 일반 MOSFET 구조를 가지는 별도의 차단 게이트(Cut-off Gate; CG)가 존재한다는 점등에서 근본적인 차이점이 있다.

<21> 그리고, 상기 차이점으로 인하여, 상기 종래 한국특허 제777016호에서 요구되었던 컨트롤 게이트 간의 이격 공간이 불필요하게 됨으로써, 소요되는 면적을 대폭 줄일 수 있게 되면서도, 차단 게이트(72)의 제어를 통하여 각 셀을 독립적으로 동작시킬 수 있는 장점이 있다.

<22> 상기 차단 게이트(72)는, 도 9p와 같이, 컨트롤 게이트(102) 아래에 위치하게 되므로 어레이 관점에서 볼 때 면적 측면에서의 손실이 전혀 없이 구현된다.

<23> **[어레이 구조에 관한 실시예 2]**

<24> 상기 어레이 구조에 관한 실시예 1을 보다 구체화하여, 도 4b와 같이, 상기 각 비트 라인의 일단(24a)은 복수 개의 제1선택트랜지스터들 중 어느 하나(ST1)를 통하여 공통소스라인(미도시)에, 타단(24d)은 복수 개의 제2선택트랜지스터들 중 어느 하나(ST2)를 통하여 전압공급라인(미도시)에 각각 연결되고, 상기 각 제1선택트랜지스터의 게이트는 복수 개의 제1선택라인들 중 어느 하나(GSL)와 전기적으로 연결되고, 상기 각 제2선택트랜지스터의 게이트는 복수 개의 제2선택라인들 중 어느 하나(SSL)와 전기적으로 연결된다.

<25> 그리고, 상기 제2절연막(80)은, 도 9k와 같이, 상기 절연막 사각기둥(52)의 노출된 부위에도 형성될 수 있다.

<26> 또한, 상기 각 전하 저장층(92)은 전하 트랩 성질을 갖는 절연성 물질로 형성된다.

<27> 여기서, 상기 전하 트랩 성질을 갖는 절연성 물질은 질화물(nitride) 또는 기타 전하트랩 물질(나노결정, 다수의 트랩을 갖는 고유전율 물질 등)로 구성되도록 하는 것이 바람직하다. 이는 전하트랩층 내에 존재하는 다량의 딥 레벨 트랩(deep level trap) 들을 전하저장소로 이용할 수 있고, 전하트랩층의 격리된 트랩 특성으로 인해 프로그램시 주입된 전자가 전하트랩층 내에서 수평적으로 거의 이동하지 않고 전자가 주입된 위치에 집중적으로 분포되어 그 상태를 유지할 수 있어 이웃 셀 간의 전기적 격리(isolation)가 자동으로 이루어질 수 있기 때문이다.

<28> 기타, 상기 제1절연막 내지 상기 제3절연막(62)(80)(82)은 산화막으로 하여 서로 인접되어 형성될 경우 동일 산화막으로 보이게 할 수도 있다.

<29> **[어레이 구조에 관한 실시예 3]**

<30> 상기 어레이 구조에 관한 실시예 1에서, 상기 각 전하 저장층(92)은 도전층으로 하여 플로팅 게이트 구조로 한다. 이 경우 이웃 셀간의 전기적 격리를 위하여 상기 전하 저장층(92)을 물리적으로 절단시켜야 하는 단점이 있다.

<31> 상기 도전층은 금속은 물론 불순물로 도핑된 실리콘계 물질(폴리실리콘, 비정질실리콘 등)도 가능하다.

<32> **[어레이 동작방법에 관한 실시예 1]**

<33> 우선, 상기 어레이 구조에 관한 실시예 2와 같은 낸드 플래시 메모리를 프로그램하는 방법은, 상기 공통소스라인, 상기 전압공급라인, 상기 각 제1선택라인, 상기 각 제2선택라인, 상기 각 비트 라인, 상기 각 워드 라인, 상기 각 상기 차단 게이트 라인 및 상기 실리콘 기판 각각에 적정한 바이어스(bias) 전압을 인가함으로써, 상기 비트 라인들 중 어느 하나와 상기 워드 라인들 중 어느 하나가 교차되는 위치에 형성된 2개의 메모리 셀들 중 어느 하나를 먼저 프로그램시키고, 상기 바이어스 전압 조건을 바꾸어 나머지 셀을 프로그램시키는 것을 특징으로 한다.

<34> 보다 구체적으로, 도 4b에서, 워드 라인 102b에 의하여 동작되는 2개의 메모리 셀들 중 상기 공통소스라인(미도시) 쪽에 있는 셀의 전하 저장층(92c)에 전자를 주입시켜 프로그램시키기 위하여, 상기 공통소스라인은 접지, 상기 전압공급라인은 Vcc를 각각 인가하고, 상기 각 제1선택라인(GSL)은 상기 프로그램시키고자 하는 2개의 셀들을 지나는 비트 라인의 일단에 연결된 제1선택트랜지스터(ST1)만 켜지도록 전압(ST1의 문턱전압 이상의 전압)을 인가하고(나머지 제1선택트랜지스터들은 모두 꺼지도록 각 해당 제1선택라인에 전압이 인가됨), 상기 워드 라인들 중 상기 2개의 셀들을 지나는 워드 라인(102b)은 파울러-노드하임 터널링(Fowler-Nordheim tunneling; F-N 터널링)이 일어날 수 있도록 프로그램 전압(V_{PGM})을 인가하고, 나머지 워드 라인들(102a, 102c 등)은 각 셀의 채널만 형성될 정도로 상기 프로그램 전압 보나 낮은 전압(V_{PASS})을 인가하고, 상기 차단 게이트 라인들 중 상기 2개의 셀들 아래에 위치한 차단 게이트 라인(72b)은 상기 제1절연막(62)의 아래 실리콘층에 채널이 형성되지 않을 정도로 낮은 전압(V_{LOW})을 인가하고, 나머지 차단 게이트 라인들(72a, 72c 등)은 각 해당 실리콘층에 채널이 형성될 정도로 높은 전압(V_{HIGH})을 인가하여, 도 4b에서 워드 라인 102b의 좌측 셀을 프로그램시킨다.

<35> 이어, 상기 프로그램시키고자 하는 2개의 셀들 중 나머지 셀(도 4b에서 워드 라인 102b의 우측 셀)을 프로그램시키기 위하여, 상기 공통소스라인은 Vcc, 상기 전압공급라인은 접지로 각각 바꾸어 바이어스 전압을 인가하고, 상기 각 제2선택라인(SSL)은 상기 프로그램시키고자 하는 2개의 셀들을 지나는 비트 라인의 타단(24d)에 연결된 제2선택트랜지스터(ST2)만 켜지도록 전압(ST2의 문턱전압 이상의 전압)을 인가하고, 나머지 상기 워드 라인들 및 상기 차단 게이트 라인들에는 각각 상기 반대 측 셀(도 4b에서 워드 라인 102b의 좌측 셀)에 프로그램할 경우와 동일한 조건으로 바이어스 전압을 인가한다.

<36> 여기서, 상기 프로그램시키고자 하는 2개의 셀들 중 상기 공통소스라인 쪽에 있는 셀(도 4b에서 워드 라인 102b의 좌측 셀)을 프로그램시킬 때, 상기 각 제2선택라인(SSL)은 상기 각 제2선택트랜지스터(ST2)가 켜질 수 있도록 Vcc와 같거나 높은 전압을 인가하고, 상기 프로그램시키고자 하는 2개의 셀들 중 나머지 셀(도 4b에서 워드 라인 102b의 우측 셀)을 프로그램시킬 때, 상기 각 제1선택라인(GSL)은 상기 각 제1선택트랜지스터(ST1)가 켜질 수 있도록 Vcc와 같거나 높은 전압을 인가하고, 상기 두 경우 모두 상기 실리콘 기판(10)은 플로팅시키는 것이 바람직하다.

<37> 본 실시예에 의한 프로그램 방법은 프로그램시키고자 하는 셀 밑에 있는 차단 게이트 라인(72b)에 낮은 전압 인가로, 상기 차단 게이트 라인(72b) 밑에 채널이 형성되지 않게 함으로써, 프로그램시키지 않을 셀은 접지측으로부터 플로팅되도록 하여 프로그램 동작시 워드 라인을 공유하는 이웃 셀이 프로그램되지 않도록 한 것에 그 특징이 있다.

<38> 따라서, 공유하는 워드 라인(102b)에 충분히 높은 프로그램 전압이 인가되더라도 접지측으로부터 전자를 공급받아 채널이 형성된 셀은 프로그램되는 반면, 상기 차단 게이트 라인(72b)에 의하여 채널 차단으로 접지측으로부터 전자를 공급받을 수 없게 된 반대편 셀은 프로그램되지 않게 된다.

<39> 물론, 상기 반대편 셀이 공유하는 워드 라인(102b)의 프로그램 전압에 의하여 드레인(24c)으로부터 전자 공급을 받아 약간의 채널이 형성되더라도, 상기 차단 게이트 라인(72b)에 의한 접지측과의 차단으로 플로팅 상태로 있는 한 셀프 부스팅(self-boosting) 효과로 반대편 셀의 채널의 전위가 상기 워드 라인(102b)의 프로그램 전압의 영향을 받아 올라가게 됨으로써, 채널 속의 전자를 반대편 셀의 전하 저장층(92d)으로 주입시키지 못해 반대편 셀은 결국 프로그램이 일어나지 않게 되는 것이다.

<40> 한편, 비선택 비트 라인들은 각 양단에 연결된 제1 및/또는 제2 선택트랜지스터들을 OFF시킴으로써, 각각 플로팅 되게 하여 셀프 부스팅(self-boosting) 효과에 의하여 원하지 않은 셀들에 프로그램되는 것을 막을 수 있다.

<41> 도 5는 차단 게이트를 커줄때 트렌치 양쪽에 서로 다른 전자 분포를 보여주는 시뮬레이션 결과도이다. 도 5로부터 차단 게이트에 의하여 양 셀간의 전기적 연결을 효과적으로 차단할 수 있음을 보여준다.

<42> **[어레이 동작방법에 관한 실시예 2]**

<43> 다음은, 상기 어레이 구조에 관한 실시예 2와 같은 낸드 플래시 메모리를 이레이즈하는 방법인데, 상기 라인들 중 정보를 지우고자 하는 특정 셀을 지나는 워드 라인과 상기 워드 라인 밑을 지나는 상기 차단 게이트 라인에는 접지를 시키고, 나머지 라인들은 플로팅시키며, 상기 실리콘 기판에는 상기 특정 셀의 전하 저장층으로부터 전자를 빼낼 수 있거나 혹은 상기 특정 셀의 채널영역으로부터 정공을 상기 특정 셀의 전하 저장층에 주입시킬 수 있는 크기의 양의 전압을 인가함으로써, 상기 특정 셀을 지나는 워드 라인에 접속되는 블록의 메모리 셀들을

일괄적으로 한꺼번에 소거하는 것을 특징으로 한다.

<44> 상기 이레이즈 방법은 상기 설명만으로 충분히 구현할 수 있으므로, 이에 대한 상세한 설명은 생략한다.

<45> **[어레이 동작방법에 관한 실시예 3]**

<46> 이는, 상기 어레이 구조에 관한 실시예 2와 같은 낸드 플래시 메모리를 리드(독출)하는 방법인데, 상기 공통소스라인, 상기 전압공급라인, 상기 각 제1선택라인, 상기 각 제2선택라인, 상기 각 비트 라인, 상기 각 워드 라인, 상기 각 상기 차단 게이트 라인 및 상기 실리콘 기판 각각에 적정한 바이어스(bias) 전압을 인가함으로써, 정보를 읽고자 하는 특정 셀을 지나는 비트 라인 양단에 연결된 제1선택트랜지스터 및 제2선택트랜지스터만 각각 켜지도록 하고, 상기 특정 셀을 지나는 워드 라인에 인가된 특정 기준 전압에 대하여 상기 전압공급라인에서 상기 공통소스라인으로 흐르는 전류를 측정하여 상기 특정 셀의 정보를 읽는 것을 특징으로 한다.

<47> 여기서, 상기 특정 셀을 지나는 워드 라인에 인가된 특정 기준 전압에 대하여, 상기 공통소스라인 및 상기 전압공급라인의 바이어스 전압 조건을 바꾸어 상기 공통소스라인에서 상기 전압공급라인으로 흐르는 전류를 더 측정하고, 상기 측정된 전류의 크기를 반대 방향으로 흐르는 전류의 크기와 대비함으로써 상기 특정 셀의 정보를 읽는 것이 보다 바람직하다.

<48> 본 실시예를 뒷받침하는 실험예는 하기와 같다.

<49> 도 5에 나타난 기본 소자에 대하여 워드 라인에 충분히 높은 양의 전압을 가하여 채널을 형성시킨 후 차단 게이트의 전압 변화에 따른 드레인 전류의 변화를 살펴본 결과 도 6과 같은 결과를 얻었다.

<50> 도 6으로부터 10-7A/㎛의 드레인 전류가 나타나는 차단 게이트 전압을 차단 게이트의 문턱전압으로 간주한다면, 차단 게이트는 약 6 V의 문턱전압을 가진다는 것을 확인할 수 있었다.

<51> 이를 고려하여 각 셀이 프로그램 된지 여부에 따른 컨트롤 게이트에 대한 전압-전류 특성을 살펴보기 위해, 프로그램된 상태를 1, 지워진 상태를 0이라 하면, 컨트롤 게이트를 공유하는 2개의 셀은 00, 01, 10, 11 상태로 나누어 볼 수 있다.

<52> 따라서, 차단 게이트가 켜져 있는 상태에서 워드 라인, 즉 컨트롤 게이트의 전압에 대한 상기 4가지 상태에서의 전압-전류 특성을 살펴본 결과 도 7과 같은 결과를 얻었다.

<53> 도 7의 결과는 4가지 저장상태에 대하여 순방향 읽기 동작만 시행한 것이나, 소자가 좌우 대칭이므로, 역방향 읽기 동작을 시행할 경우에도 00 및 11 상태는 순방향의 결과와 동일하고, 01 상태는 순방향의 10 상태의 결과와 같고, 10 상태는 순방향의 01 상태의 결과와 같게 된다.

<54> 도 5의 소자와 같이, 좌측에 소스, 우측에 드레인이 연결되어 있을 경우, 소스쪽 전하 저장층에 전자가 저장되어 있는 경우가 드레인 쪽에 저장되어 있는 경우보다 전류 성분에 대해 가지는 영향력이 더 크기 때문에 00 상태보다는 10 상태가, 01 상태보다는 11 상태가 낮은 전류를 보일 것을 예상하였는데, 도 7에서 이를 확인할 수 있었다.

<55> 또한, 도 7의 결과로부터, 왼쪽의 저장 상태는 유지되면서 오른쪽 저장 상태가 변할 때 즉, 00에서 01로, 혹은 10에서 11로 변화할 때에는 문턱전압의 차이는 거의 나타나지 않고 약간의 동작 전류(on-current)만 변할 뿐임을 확인할 수 있는데, 이로써, 도 5의 소자는 가운데 n+ 도핑된 폴리실리콘인 컨트롤 게이트(워드 라인)이 존재하기 때문에 상호간의 전기적 간섭(electrical interference)이 효과적으로 차폐(screening)될 수 있음을 알 수 있었다. 이는 워드 라인을 공유하는 이웃 셀간의 간격이 더욱 가까워지는 3차원 구조의 소자에서 절실히 요구되는 특성이다.

<56> 상기 어레이 동작방법에 관한 실시예 1 내지 3을 간략히 요약하여 표로 나타내면, 도 8과 같다.

<57> 도 8은 도 4b의 구조를 고려한 것인데, WL1은 102a, WL2는 102b, WL3은 102c, CG1은 72a, CG2는 72b, CG3은 72c, Source는 24a, Drain은 24d, Substrate는 10에 각각 해당된다.

<58> **[어레이 제조방법에 관한 실시예]**

<59> 이는, 상기 어레이 구조에 관한 실시예 1 내지 3을 구현하기 위한 어레이 제조 방법에 관한 것으로, 도 9a 내지 도 9p와 같은 공정단계를 거치게 되는바, 이를 상세하게 설명하면 하기와 같다.

<60> 우선, 도 9a와 같이, 실리콘 기판(10)을 준비한 다음, 도 9b와 같이, 준비된 실리콘 기판(10)에 소스 또는 드레

인 영역(20)을 형성하기 위한 이온주입공정을 수행한다(제 1 단계).

<61> 이어, 도 9c와 같이, 상기 기판(10) 상부에 감광막을 도포하고 비트 라인 방향으로 감광막 패터닝(30)을 수행한다(제 2 단계).

<62> 다음, 도 9d와 같이, 상기 감광막 패턴(30)을 마스크로 하여 상기 기판의 실리콘을 식각하여 실리콘 핀(12)을 형성한다(제 3 단계). 이때, 상기 실리콘 핀(12)은 적어도 비트 라인 수만큼 형성하며, 상기 실리콘 핀(12) 사이에는 트렌치(40)가 형성된다.

<63> 이어, 도 9e와 같이, 상기 기판 전면에 절연물질(50)을 증착하고 식각하여 상기 실리콘 핀(12) 사이에만 상기 절연물질을 남긴다(제 4 단계).

<64> 다음, 도 9f와 같이, 상기 기판 상부에 감광막을 도포하고 워드 라인 방향으로 감광막 패터닝(32)을 수행한다(제 5 단계).

<65> 이어, 도 9g와 같이, 상기 감광막 패턴(32)을 마스크로 하여 노출된 상기 실리콘 핀(12, 22) 및 상기 절연물질(50)을 순차적으로 식각하여 복수 개의 트렌치들(42)을 형성한다(제 6 단계).

<66> 다음, 도 9h와 같이, 상기 기판 전면 또는 노출된 실리콘 면 상에 제 1 산화막(60)을 형성한다(제 7 단계).

<67> 이때, 상기 제 1 산화막(60)은 차후 차단 게이트 라인의 절연막이 된다. 상기 기판 전면에 상기 제 1 산화막(60)을 형성할 경우에는 CVD 방식이, 노출된 실리콘 면 상에만 상기 제 1 산화막(60)을 형성할 경우에는 퍼니스나, RTO 등을 이용하여 열산화시키는 것이 바람직하다.

<68> 이어, 도 9i와 같이, 상기 기판 전면에 금속이나 실리콘계 물질(폴리 실리콘, 비정질 실리콘 등; 70)을 증착하고, 도 9j와 같이, 상기 각 트렌치의 하측 일부에만 상기 금속이나 실리콘계 물질(72)이 남아 있도록 상기 증착물질을 식각한다(제 8 단계). 여기서, 상기 실리콘계 물질을 사용할 경우에는 증착시 또는 식각후 불순물 주입공정을 수행함이 바람직하다. 이렇게 함으로써, 복수 개의 차단 게이트 라인들(72)이 각 트렌치 하부에 형성하게 된다.

<69> 다음, 상기 금속이나 실리콘계 물질(70) 식각으로 노출된 제 1 산화막(60)을 제거하여, 도 9j와 같이, 차단 게이트 라인(72) 양측과 하부에만 제 1 산화막(62)이 남아 있도록 한다(제 9 단계).

<70> 이어, 도 9k와 같이, 상기 기판 전면, 노출된 실리콘 면 또는 노출된 실리콘계 물질 면 상에 제 2 산화막(80)을 형성한다(제 10 단계).

<71> 이는 상기 제 2 산화막(80)으로 각 셀의 터널링 산화막으로 사용하고자 함이므로, CVD 공정보다는 열산화 공정을 이용함이 보다 바람직하다.

<72> 다음, 도 9l과 같이, 상기 기판 전면에 전하 트랩 유전층(90; 예컨대, 질화막층)을 증착하고 비등방성 식각을 함으로써, 각 측벽에 전하 저장층(92)을 형성한다(제 11 단계).

<73> 마지막으로, 도 9n과 같이, 상기 기판 전면에 제 3 산화막(82)을 CVD 공정 등으로 증착하여, 각 셀의 블로킹 산화막을 형성하고, 이어, 도 9o와 같이, 상기 기판 전면에 금속 또는 실리콘계 물질(100)을 CVD 공정 등으로 증착한 다음, 도 9p와 같이, 상기 금속 또는 실리콘계 물질(100)을 상기 각 트렌치에만 남아 있도록 식각하여, 복수 개의 워드 라인들(102)을 형성한다(제 12 단계).

<74> 여기서도, 상기 실리콘계 물질은 폴리 실리콘 또는 비정질 실리콘이며, 이들로 상기 복수 개의 워드 라인들(102)을 형성한 경우에는 워드 라인 형성 후 불순물 주입공정을 더 실시하는 것이 바람직하다.

<75> 기타, 본 실시예에 따른 각 공정은 일반적인 CMOS 공정을 따르므로, 더 이상의 설명은 생략한다.

도면의 간단한 설명

<76> 도 1은 종래 2차원 NAND 플래시 메모리 어레이의 모식도이다.

<77> 도 2는 종래 2차원 구조의 어레이와 본 발명에 의한 3차원 구조의 어레이를 대비하기 위한 개념적 비교도이다.

<78> 도 3은 종래 한국특허 제777016호의 메모리 어레이의 일 단면도이다.

<79> 도 4a 및 도 4b는 각각 본 발명의 일 실시예에 따른 개념적 어레이 구조도와 그 일 단면도이다.

<80> 도 5는 본 발명의 일 실시예에 따른 차단 게이트를 커줄때 트렌치 양쪽에 서로 다른 전자 분포를 보여주는 시

뮬레이션 결과도이다.

<81> 도 6은 본 발명의 일 실시예에 따른 차단 게이트에 대한 전압-전류 특성도이다.

<82> 도 7은 본 발명의 일 실시예에 의한 각 저장 상태에 따른 컨트롤 게이트에 대한 전압-전류 특성도이다.

<83> 도 8은 본 발명에 따른 메모리 어레이의 동작방법의 일 예를 보여주는 바이어스 전압조건 테이블이다.

<84> 도 9a 내지 도 9p는 본 발명에 따른 메모리 어레이의 제조방법의 일 예를 보여주는 개념적 공정 사시도이다.

<85> <도면의 주요부분에 대한 부호의 설명>

<86> 10 : 실리콘 기판 14 : 실리콘 사각기둥

<87> 24 : 소스 또는 드레인 영역 30, 32 : 감광막 패턴

<88> 40, 42 : 트렌치(trench) 52 : 절연막 사각기둥

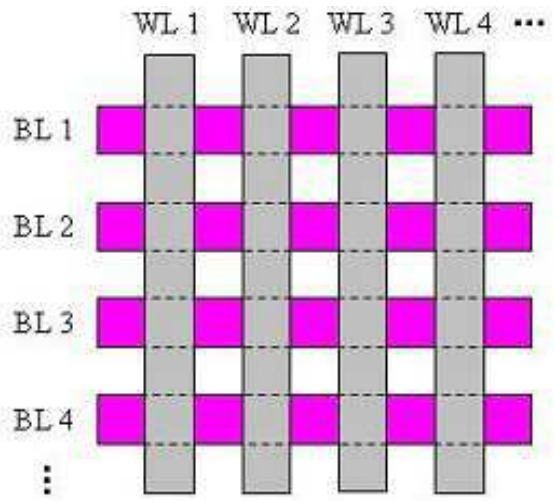
<89> 60 : 제 1 절연막 72 : 차단 게이트 라인(차단 게이트)

<90> 80 : 제 2 절연막 82 : 제 3 절연막

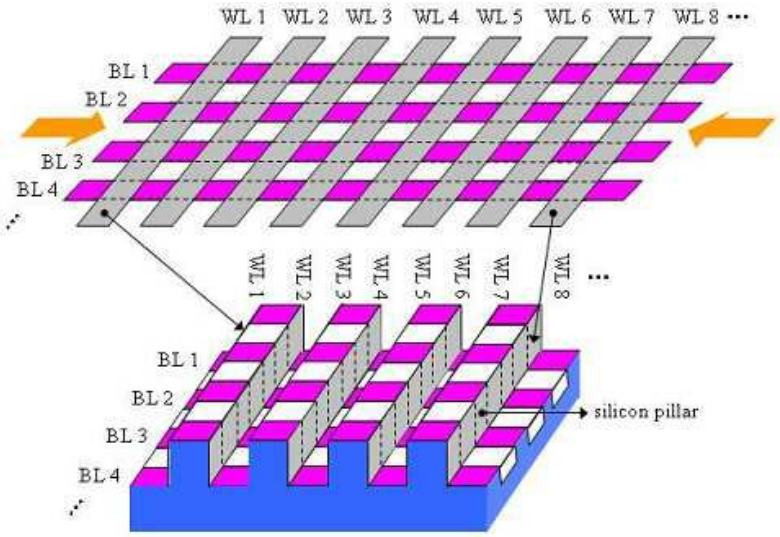
<91> 92 : 측벽 전하 저장층 102 : 워드 라인(컨트롤 게이트)

도면

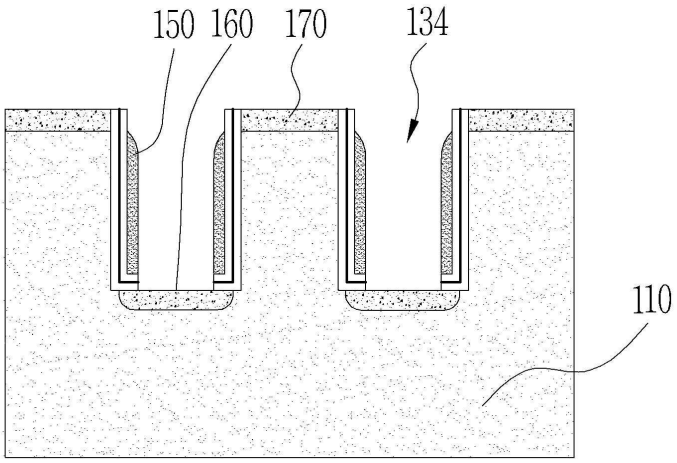
도면1



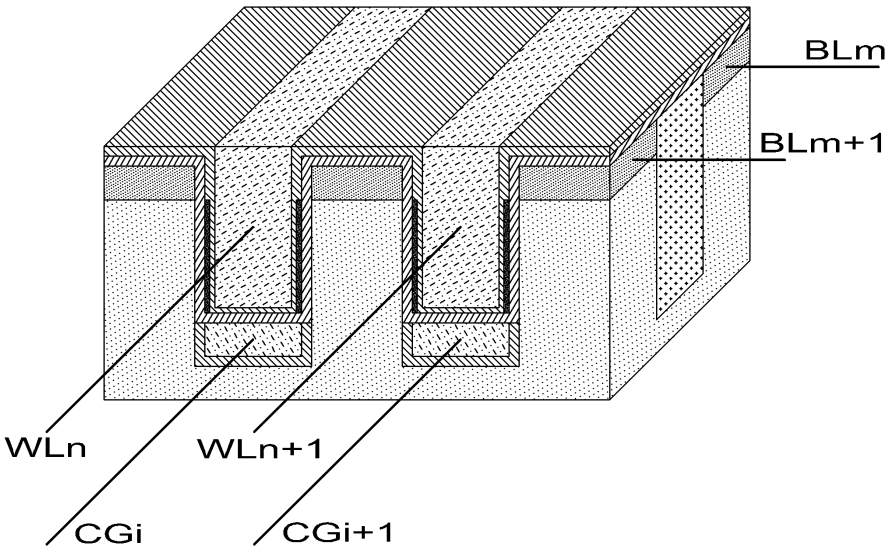
도면2


WL 1
WL 2
WL 3
WL 4
WL 5
WL 6
WL 7
WL 8
BL 1
BL 2
BL 3
BL 4
silicon pillar

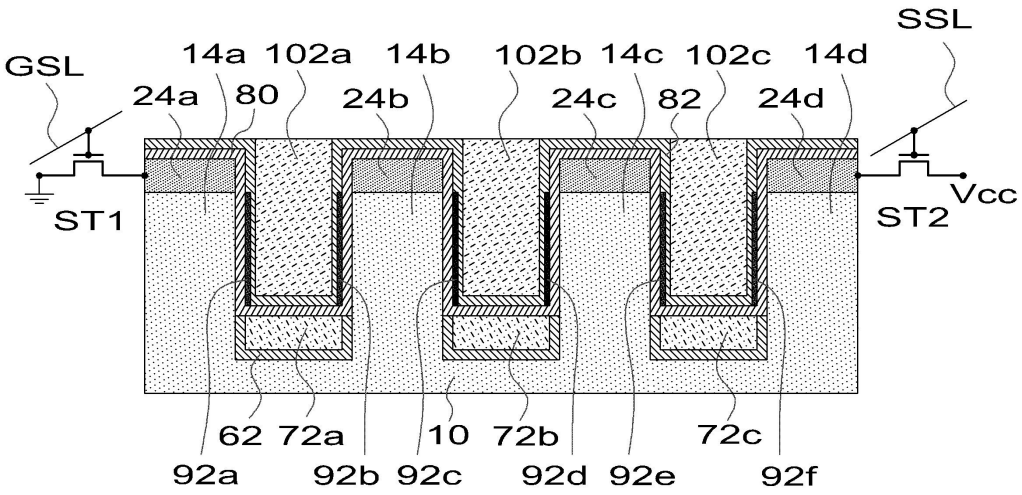
도면3


150
160
170
134
110

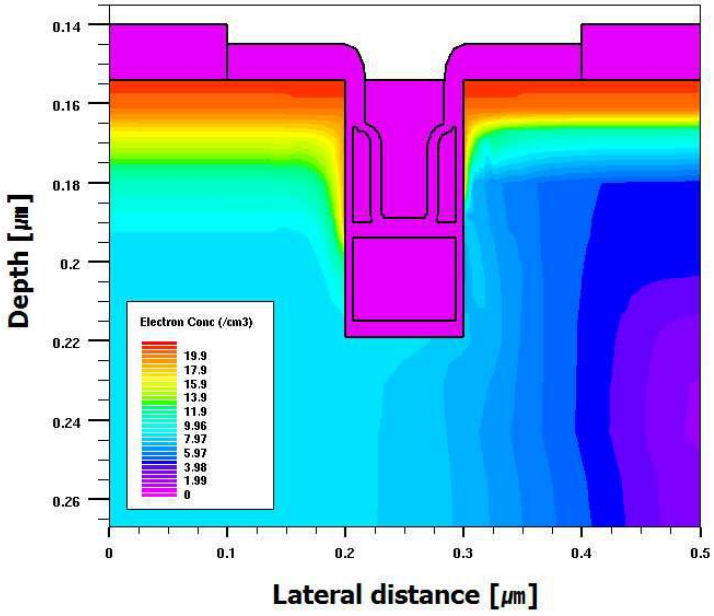
도면4a


BLm
BLm+1
WLn
WLn+1
CGi
CGi+1

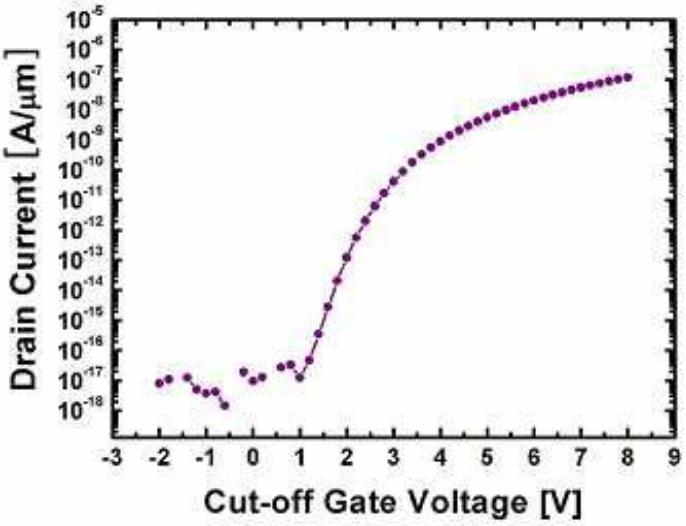
도면4b


GSL
SSL
14a
102a
14b
102b
14c
102c
14d
24a
80
24b
24c
82
24d
ST1
ST2
Vcc
62
72a
10
72b
72c
92a
92b
92c
92d
92e
92f

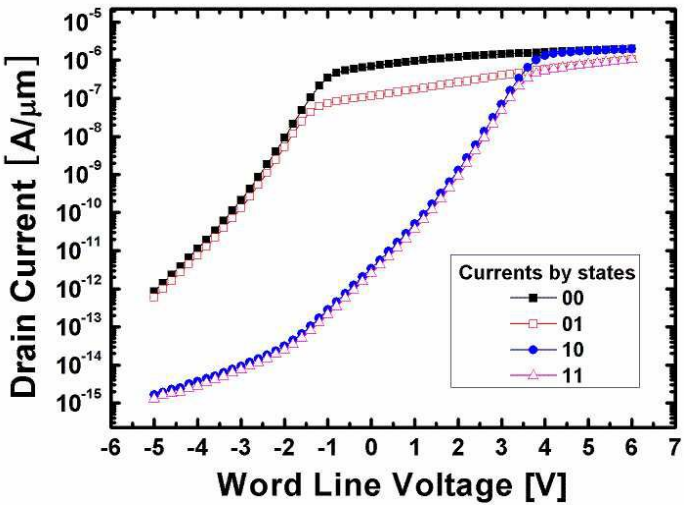
도면5


Depth [μm]
Lateral distance [μm]
Electron Conc (/cm3)
19.9
17.9
15.9
13.9
11.9
9.96
7.97
5.97
3.98
1.99
0

도면6


Drain Current [A/μm]
Cut-off Gate Voltage [V]

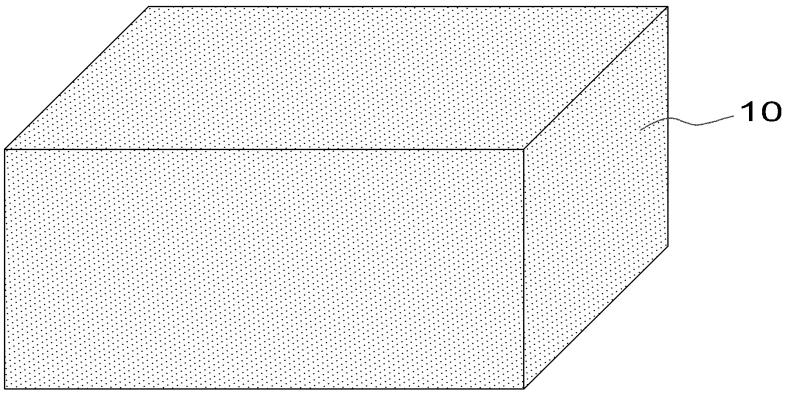
도면7



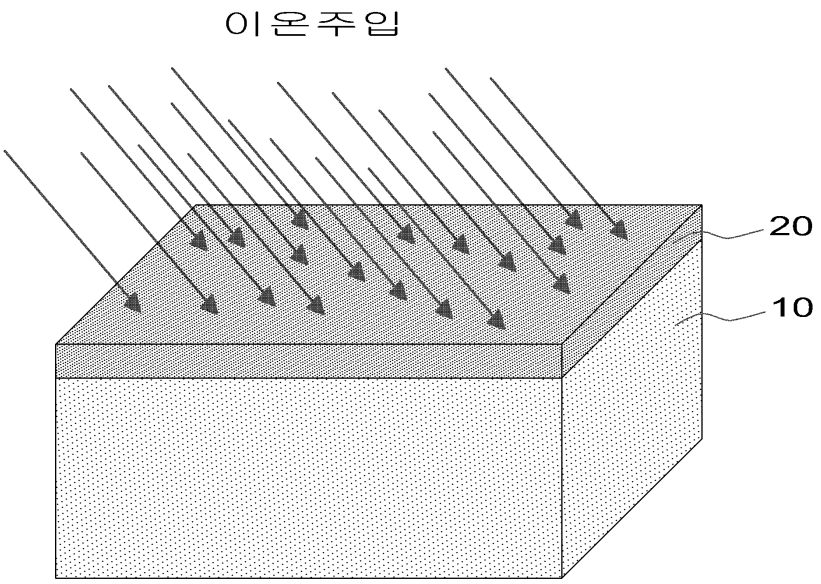
도면8

CONTROL LINE	PROGRAM	ERASE	READ	
WL1	HIGH	FLOAT	HIGH	
WL2	V_{PGM}	GND	HIGH	
WL3	HIGH	FLOAT	HIGH	
CG1	HIGH	FLOAT	HIGH	
CG2	LOW	GND	HIGH	
CG3	HIGH	FLOAT	HIGH	
GSL	V_{CC}	FLOAT	HIGH	
Source	GND	FLOAT	V_{READ}	GND
SSL	V_{CC}	FLOAT	HIGH	
Drain	V_{CC}	FLOAT	GND	V_{READ}
Substrate	FLOAT	V_{ERASE}	GND	

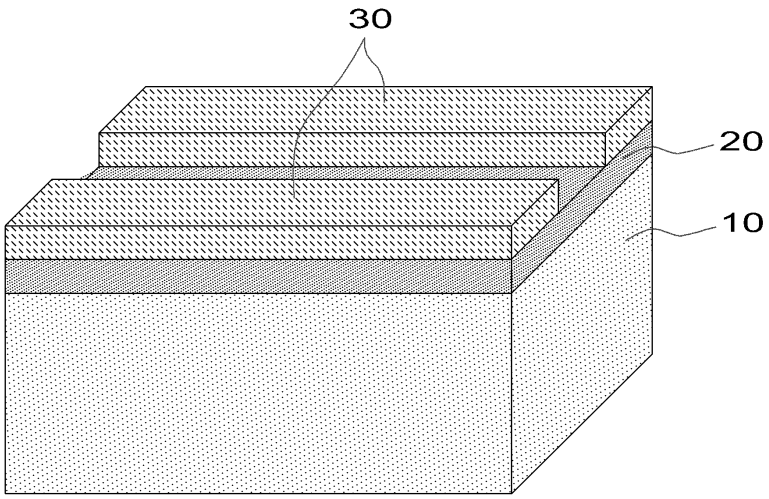
도면9a



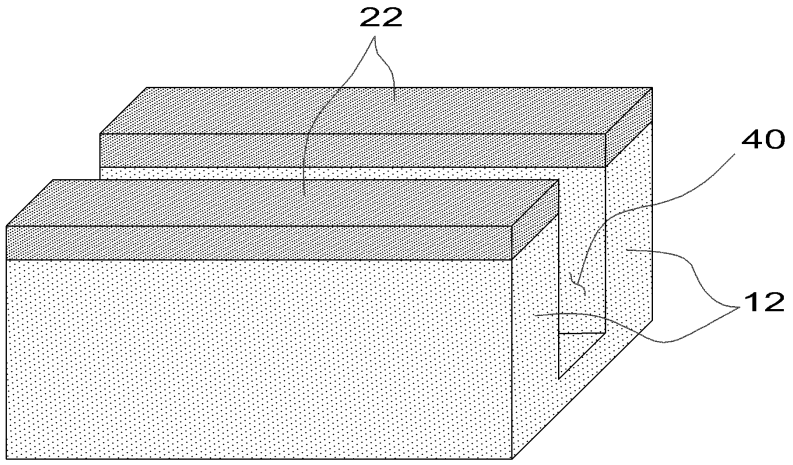
도면9b



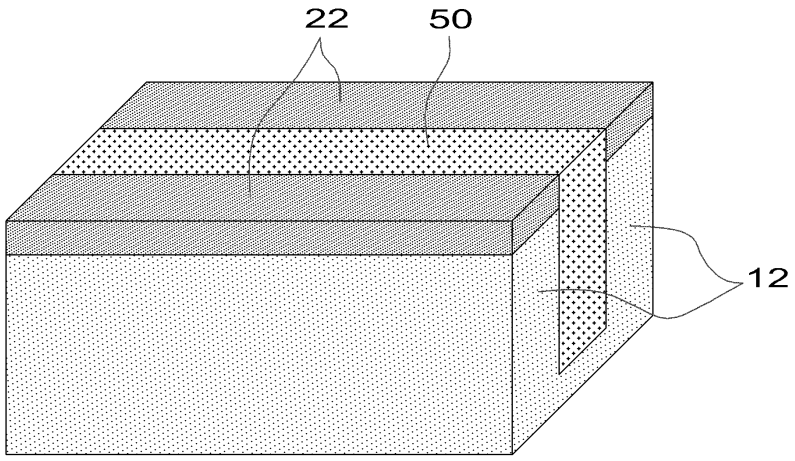
도면9c



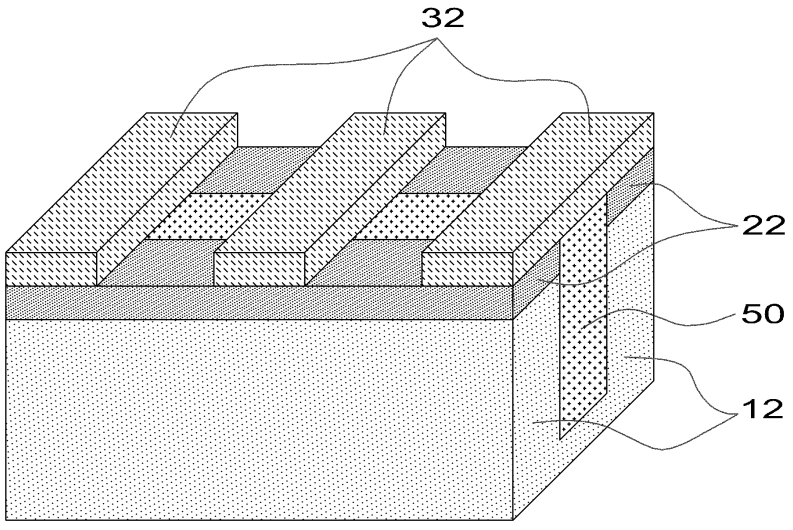
도면9d



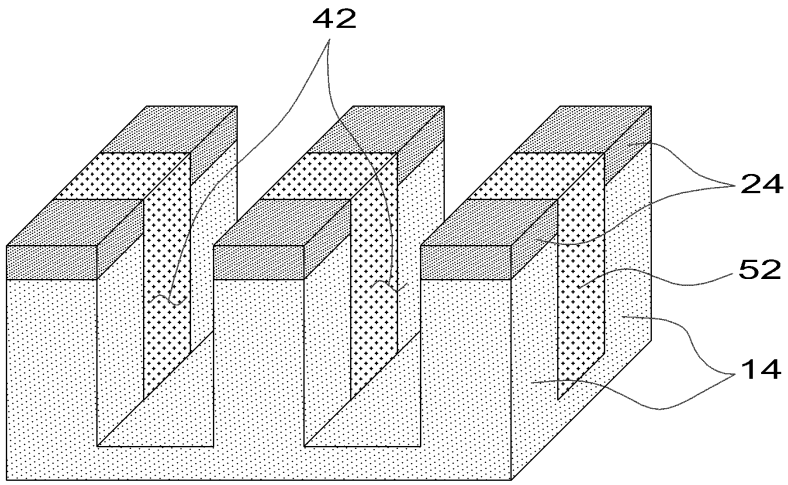
도면9e



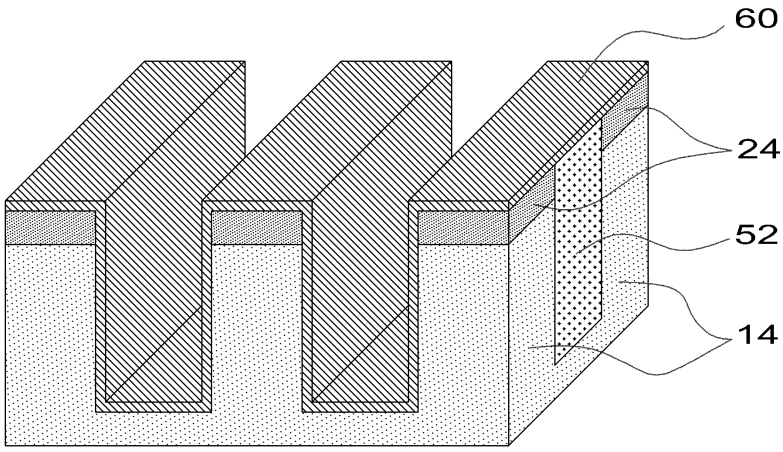
도면9f



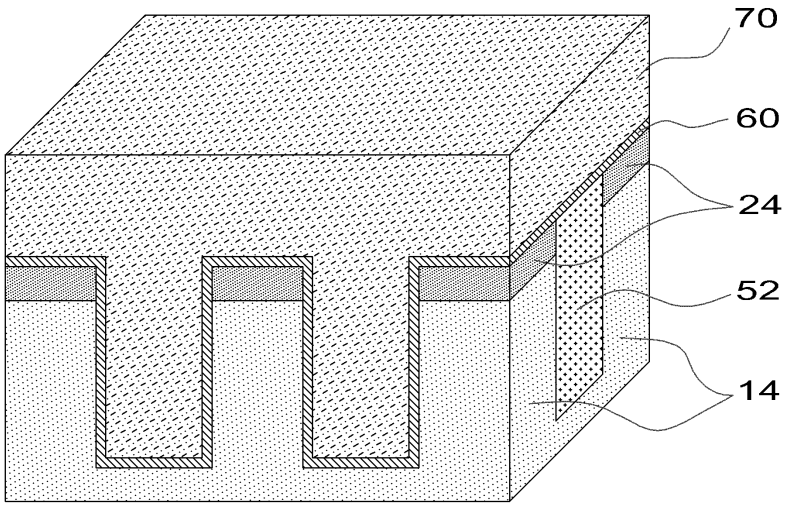
도면9g



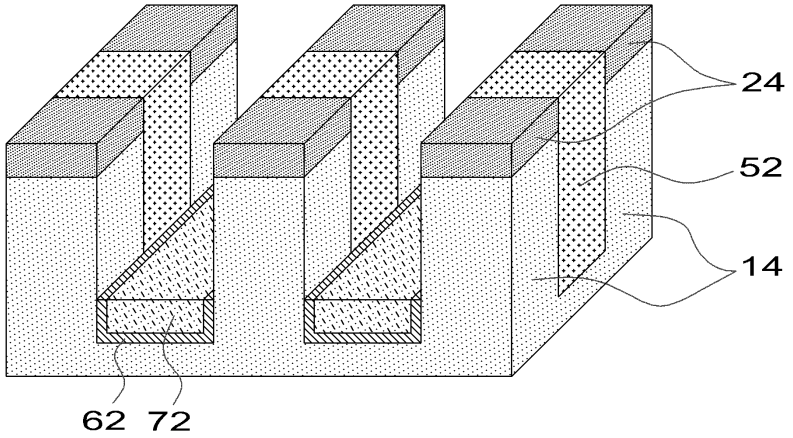
도면9h



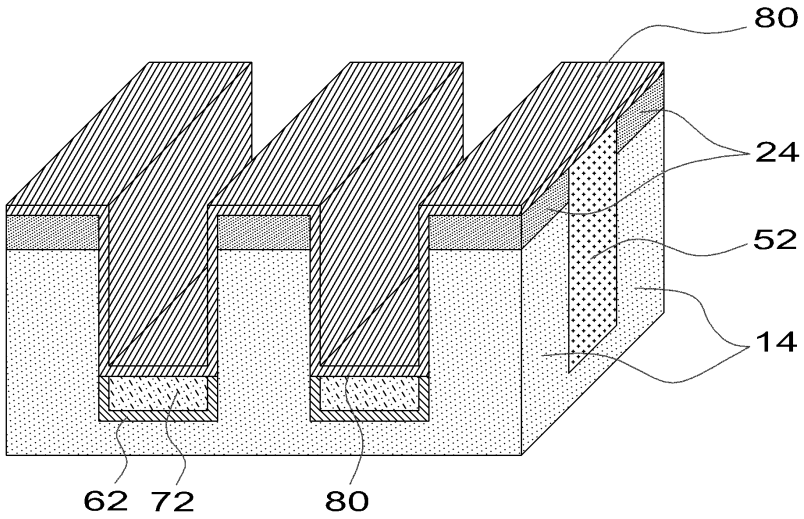
도면9i



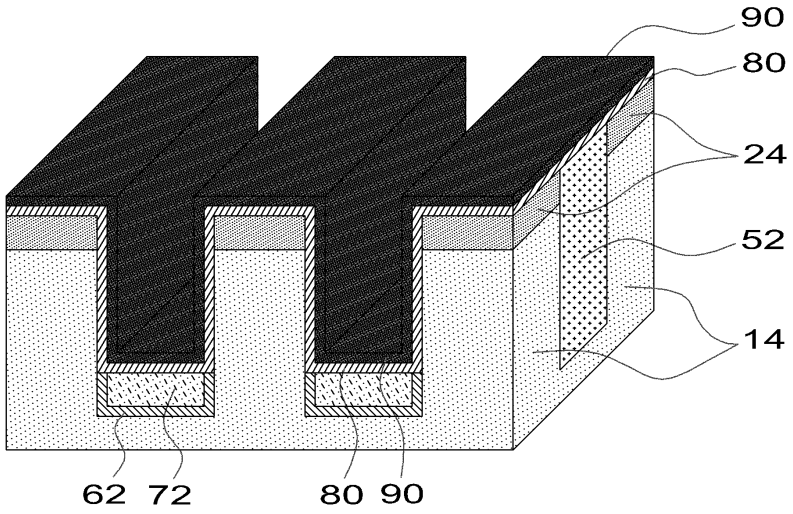
도면9j



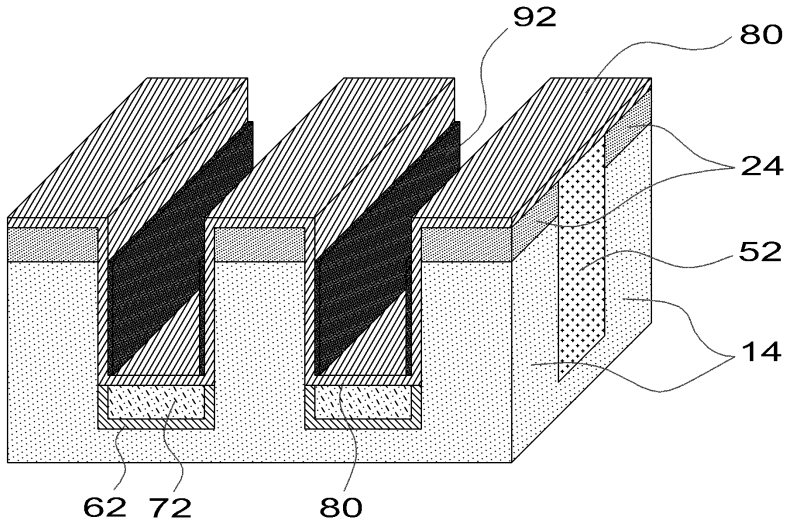
도면9k



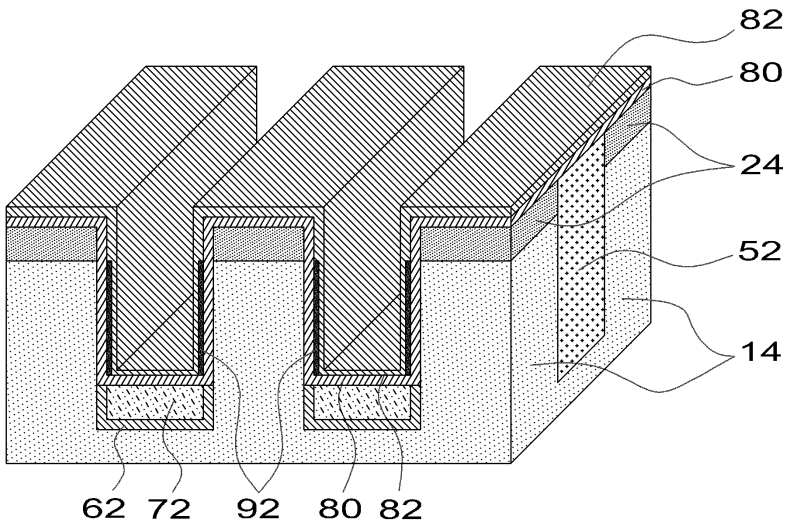
도면91



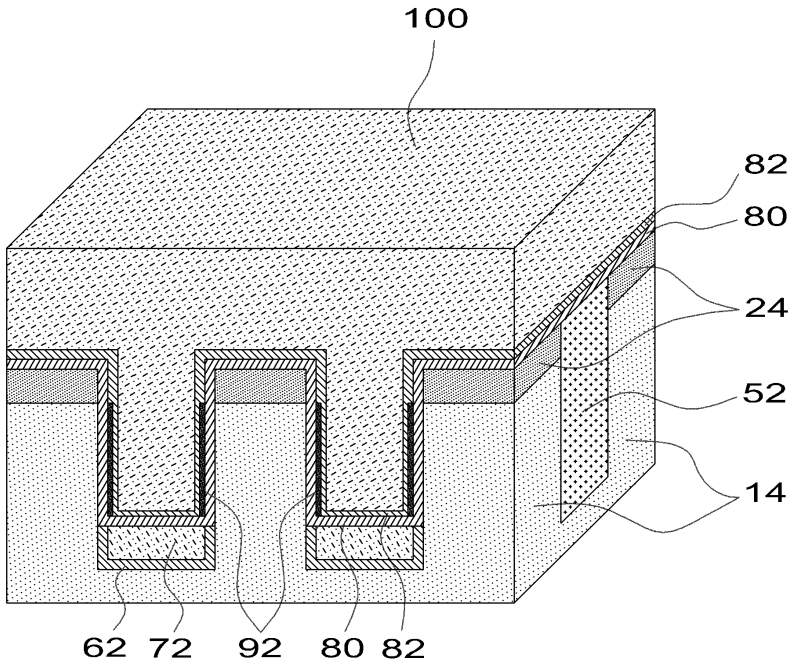
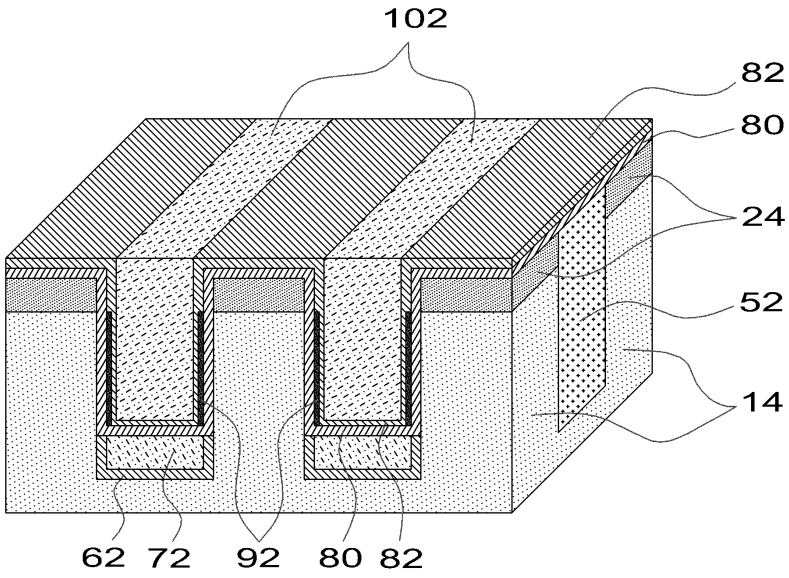
도면9m



도면9n



도면9o



도면9p