

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第6082090号  
(P6082090)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int.Cl.	F 1
G09G 3/20	(2006.01)
G09G 3/36	(2006.01)
G09G 3/38	(2006.01)
G09G 3/34	(2006.01)
	GO9G 3/20
	GO9G 3/36
	GO9G 3/20
	GO9G 3/20
	GO9G 3/38

請求項の数 5 (全 67 頁) 最終頁に続く

(21) 出願番号	特願2015-235436 (P2015-235436)
(22) 出願日	平成27年12月2日 (2015.12.2)
(62) 分割の表示	特願2015-13066 (P2015-13066) の分割
原出願日	平成22年12月10日 (2010.12.10)
(65) 公開番号	特開2016-57636 (P2016-57636A)
(43) 公開日	平成28年4月21日 (2016.4.21)
審査請求日	平成27年12月2日 (2015.12.2)
(31) 優先権主張番号	特願2009-282268 (P2009-282268)
(32) 優先日	平成21年12月11日 (2009.12.11)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	木村 肇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	梅崎 敦司 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1乃至第4のトランジスタを有し、

前記第1乃至第4のトランジスタのそれぞれは、酸化物半導体層にチャネル形成領域を有するトランジスタであり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、 10

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのゲートは、第4の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接 20

続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第4の配線と電気的に接続され、

前記第2の配線からは、第1の信号が出力され、

前記第4の配線には、第2の信号が入力され、

前記酸化物半導体層は、第1の酸化物半導体層と、前記第1の酸化物半導体層の表面に接する第2の酸化物半導体層と、を有し、

前記第1の酸化物半導体層は、前記第1の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有し、

前記第2の酸化物半導体層は、前記第2の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有することを特徴とする半導体装置。

10

### 【請求項2】

第1乃至第4のトランジスタを有し、

前記第1乃至第4のトランジスタのそれぞれは、酸化物半導体層にチャネル形成領域を有するトランジスタであり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第5の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのゲートは、第4の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第4の配線と電気的に接続され、

前記第2の配線からは、第1の信号が出力され、

前記第4の配線には、第2の信号が入力され、

前記酸化物半導体層は、第1の酸化物半導体層と、前記第1の酸化物半導体層の表面に接する第2の酸化物半導体層と、を有し、

前記第1の酸化物半導体層は、前記第1の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有し、

前記第2の酸化物半導体層は、前記第2の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有することを特徴とする半導体装置。

20

### 【請求項3】

第1乃至第4のトランジスタを有し、

前記第1乃至第4のトランジスタのそれぞれは、酸化物半導体層にチャネル形成領域を有するトランジスタであり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続さ

れ、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続さ

40

50

れ、

前記第2のトランジスタのソース又はドレインの一方は、前記第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのゲートは、第5の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのゲートは、第4の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、

前記第4のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第2の配線からは、第1の信号が出力され、

前記第4の配線には、第2の信号が入力され、

前記酸化物半導体層は、第1の酸化物半導体層と、前記第1の酸化物半導体層の表面に接する第2の酸化物半導体層と、を有し、

前記第1の酸化物半導体層は、前記第1の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有し、

前記第2の酸化物半導体層は、前記第2の酸化物半導体層の表面に対して略垂直な方向にc軸が配向する結晶を有することを特徴とする半導体装置。

#### 【請求項4】

第1乃至第4のトランジスタを有し、

前記第1乃至第4のトランジスタのそれぞれは、酸化物半導体層にチャネル形成領域を有するトランジスタであり、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第5の配線と電気的に接続され、

前記第2のトランジスタのゲートと電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第3の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第3のトランジスタのゲートは、第4の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、

前記第4のトランジスタのゲートは、前記第1の配線と電気的に接続され、

前記第2の配線からは、第1の信号が出力され、

前記第4の配線には、第2の信号が入力され、

前記酸化物半導体層は、第1の酸化物半導体層と、前記第1の酸化物半導体層の表面に接する第2の酸化物半導体層と、を有し、

10

20

30

40

50

接する第 2 の酸化物半導体層と、を有し、

前記第 1 の酸化物半導体層は、前記第 1 の酸化物半導体層の表面に対して略垂直な方向に c 軸が配向する結晶を有し、

前記第 2 の酸化物半導体層は、前記第 2 の酸化物半導体層の表面に対して略垂直な方向に c 軸が配向する結晶を有することを特徴とする半導体装置。

**【請求項 5】**

第 1 乃至第 4 のトランジスタを有し、

前記第 1 乃至第 4 のトランジスタのそれぞれは、酸化物半導体層にチャネル形成領域を有するトランジスタであり、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電気的に接続され、 10

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電気的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 5 の配線と電気的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電気的に接続され、

前記第 2 のトランジスタのゲートは、第 6 の配線と電気的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 3 の配線と電気的に接続され、 20

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電気的に接続され、

前記第 3 のトランジスタのゲートは、第 4 の配線と電気的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電気的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電気的に接続され、

前記第 4 のトランジスタのゲートは、前記第 4 の配線と電気的に接続され、

前記第 2 の配線からは、第 1 の信号が出力され、

前記第 4 の配線には、第 2 の信号が入力され、 30

前記酸化物半導体層は、第 1 の酸化物半導体層と、前記第 1 の酸化物半導体層の表面に接する第 2 の酸化物半導体層と、を有し、

前記第 1 の酸化物半導体層は、前記第 1 の酸化物半導体層の表面に対して略垂直な方向に c 軸が配向する結晶を有し、

前記第 2 の酸化物半導体層は、前記第 2 の酸化物半導体層の表面に対して略垂直な方向に c 軸が配向する結晶を有することを特徴とする半導体装置。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

開示する発明の技術分野は、半導体装置、表示装置、液晶表示装置及びそれらの駆動方法に関するものである。 40

**【背景技術】**

**【0002】**

一つの極性のトランジスタのみにより構成される半導体装置の開発が進められている。特に、N チャネル型トランジスタのみにより構成される半導体装置の開発が進められている（例えば特許文献 1 ~ 特許文献 3）。

**【0003】**

このような半導体装置は、例えば、ソースとドレインとの一方が電源線と接続され、ソースとドレインとの他方が出力と接続される第 1 のトランジスタと、第 1 のトランジスタのゲートと各配線との間に接続される 1 つ又は 2 つ以上の第 2 のトランジスタとで構成され 50

る。

#### 【0004】

そして、半導体装置の出力信号の振幅電圧を電源電圧と等しくするために、第1のトランジスタのゲートの電位を容量結合により電源電圧よりも高く（又は低く）することが多い。これを実現するために、第1のトランジスタのゲートをフローティングにする必要がある。そのために、第1のトランジスタのゲートと接続される1つ又は2つ以上の第2のトランジスタを、全てオフにする必要がある。

#### 【先行技術文献】

##### 【特許文献】

##### 【0005】

10

【特許文献1】特開2002-328643号公報

【特許文献2】特開2003-179479号公報

【特許文献3】特開2004-064528号公報

##### 【発明の概要】

##### 【発明が解決しようとする課題】

##### 【0006】

20

しかしながら、従来の技術では、第2のトランジスタがオフになっても、第2のトランジスタのオフ電流により、第1のトランジスタのゲートが保持する電荷は、時間と共に失われていた。そのため、半導体装置の駆動能力が低下していた。

##### 【0007】

20

上記問題点に鑑み、本発明の一態様は、よりよい動作を実現することを課題の一とする。または、本発明の一態様は、半導体装置の駆動能力の向上を図ることを課題の一とする。

##### 【課題を解決するための手段】

##### 【0008】

本発明の一態様は、第1のトランジスタと、第2のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、第1のトランジスタの第2の端子は、第2の配線と電気的に接続され、第2のトランジスタのゲートは、第3の配線と電気的に接続され、第2のトランジスタの第1の端子は、第3の配線と電気的に接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタ及び第2のトランジスタは、酸化物半導体によりチャネル領域が形成され、第1のトランジスタ及び第2のトランジスタのオフ電流が1aA/μm以下である半導体装置である。

30

##### 【0009】

本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、第1のトランジスタの第2の端子は、第2の配線と電気的に接続され、第2のトランジスタのゲートは、第3の配線と電気的に接続され、第2のトランジスタの第1の端子は、第3の配線と電気的に接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第3のトランジスタのゲートは、第4の配線と電気的に接続され、第3のトランジスタの第1の端子は、第5の配線と電気的に接続され、第3のトランジスタの第2の端子は、第2の配線と電気的に接続され、第4のトランジスタのゲートは、第4の配線と電気的に接続され、第4のトランジスタの第1の端子は、第5の配線と電気的に接続され、第4のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタ乃至第4のトランジスタは、酸化物半導体によりチャネル領域が形成され、第1のトランジスタ乃至第4のトランジスタのオフ電流が1aA/μm以下である半導体装置である。

40

##### 【0010】

本発明の他の一態様は、第1のトランジスタと、第2のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、第1のトランジスタの第2の端子は、第2の配線と電気的に接続され、第2のトランジスタのゲートは、第1の配線

50

と電気的に接続され、第2のトランジスタの第1の端子は、第1の配線と電気的に接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタ及び第2のトランジスタは、酸化物半導体によりチャネル領域が形成され、第1のトランジスタ及び第2のトランジスタのオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下である半導体装置である。

**【0011】**

本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、第1のトランジスタの第2の端子は、第2の配線と電気的に接続され、第2のトランジスタのゲートは、第1の配線と電気的に接続され、第2のトランジスタの第1の端子は、第1の配線と電気的に接続され、第2のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第3のトランジスタのゲートは、第3の配線と電気的に接続され、第3のトランジスタの第1の端子は、第4の配線と電気的に接続され、第3のトランジスタの第2の端子は、第2の配線と電気的に接続され、第4のトランジスタのゲートは、第3の配線と電気的に接続され、第4のトランジスタの第1の端子は、第4の配線と電気的に接続され、第4のトランジスタの第2の端子は、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタ乃至第4のトランジスタは、酸化物半導体によりチャネル領域が形成され、第1のトランジスタ乃至第4のトランジスタのオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下である半導体装置である。

**【0012】**

本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、N(Nは自然数)個の第3のトランジスタと、N個の第4のトランジスタとを有し、第1のトランジスタの第1の端子は、第1の配線と電気的に接続され、第1のトランジスタの第2の端子は、第2の配線と電気的に接続され、第2のトランジスタのゲートは、第1の配線と電気的に接続され、第2のトランジスタの第1の端子は、第1のトランジスタのゲートと電気的に接続され、N個の第3のトランジスタのゲートは、各々、N本の第3の配線と電気的に接続され、N個の第3のトランジスタの第1の端子のすべては、第4の配線と電気的に接続され、N個の第3のトランジスタの第2の端子のすべては、第2の配線と電気的に接続され、N個の第4のトランジスタのゲートは、各々、N本の第3の配線と電気的に接続され、N個の第4のトランジスタの第1の端子のすべては、第4の配線と電気的に接続され、N個の第4のトランジスタの第2の端子のすべては、第1のトランジスタのゲートと電気的に接続され、第1のトランジスタ、第2のトランジスタ、N個の第3のトランジスタ及びN個の第4のトランジスタは、酸化物半導体によりチャネル領域が形成され、第1のトランジスタ、第2のトランジスタ、N個の第3のトランジスタ及びN個の第4のトランジスタのオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下である半導体装置である。

**【0013】**

上記の半導体装置において、酸化物半導体は、非単結晶領域を有する構造とすることが好ましい。または、上記の半導体装置において、酸化物半導体の表面に対して垂直な方向にc軸が配向する非単結晶領域を有することが好ましい。

**【0014】**

また、本発明の一態様は、上記の半導体装置と、操作スイッチとを有する電子機器である。

**【0015】**

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

10

20

30

40

50

**【0016】**

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、XとYとの間に1個以上接続される構成がある。なお、「電気的に接続される」の表現を、「接続される」と同じ意味で用いる場合がある。この場合、「電気的に接続される」には、「機能的に接続される」と「直接接続される」が含まれることになる。

**【0017】**

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動增幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続される構成がある。また、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

10

**【0018】**

例えば、本明細書等において、Xの上にYが形成されている、あるいは、X上にYが形成されている、と明示的に記載する場合は、Xの上にYが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、XとYと間に別の対象物が介在する場合も含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

**【0019】**

従って例えば、層Xの上に（又は層X上に）、層Yが形成されている、と明示的に記載されている場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z）などが形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z）は、単層でもよいし、複層（積層）でもよい。

30

**【0020】**

さらに、Xの上方にYが形成されている、と明示的に記載されている場合についても同様であり、Xの上にYが直接接していることに限定されず、XとYとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Xの上方に、層Yが形成されている、という場合は、層Xの上に直接接して層Yが形成されている場合と、層Xの上に直接接して別の層（例えば層Z）などが形成されていて、その上に直接接して層Yが形成されている場合とを含むものとする。なお、別の層（例えば層Z）は、単層でもよいし、複層（積層）でもよい。

**【0021】**

なお、Xの上にYが形成されている、X上にYが形成されている、又はXの上方にYが形成されている、と明示的に記載する場合、Xの斜め上にYが形成される場合も含むこととする。

40

**【0022】**

なお、Xの下にYが、あるいは、Xの下方にYが、の場合についても、同様である。

**【0023】**

例えば、本明細書等において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

**【0024】**

例えば、本明細書等において、第1、第2、第3などの語句は、様々な要素、部材、領域

50

、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

#### 【0025】

例えば、本明細書等において、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Xの上にY、と明示的に示される場合は、YがXの上にあることに限定されない。図中のデバイスは反転、又は $180^{\circ}$ 回転することが可能なので、YがXの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

10

#### 【0026】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

20

#### 【0027】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

#### 【発明の効果】

#### 【0028】

本発明の一態様は、よりよい動作を実現することができる。または、半導体装置の駆動能力の向上を図ることができる。

#### 【図面の簡単な説明】

30

#### 【0029】

【図1】実施の形態1における半導体装置の回路図の一例、及びその半導体装置の動作を説明するための模式図の一例。

【図2】実施の形態1における半導体装置の動作を説明するための模式図の一例。

【図3】実施の形態1における半導体装置の回路図の一例。

【図4】実施の形態1における半導体装置の回路図の一例。

【図5】実施の形態2における半導体装置の回路図の一例、及びその半導体装置の動作を説明するためのタイミングチャートの一例。

【図6】実施の形態2における半導体装置の動作を説明するための模式図の一例。

【図7】実施の形態2における半導体装置の回路図の一例。

40

【図8】実施の形態2における半導体装置の回路図の一例。

【図9】実施の形態2における半導体装置の回路図の一例。

【図10】実施の形態2における半導体装置の回路図の一例。

【図11】実施の形態3における半導体装置の回路図の一例。

【図12】実施の形態3における半導体装置の動作を説明するための模式図の一例。

【図13】実施の形態3における半導体装置の回路図の一例。

【図14】実施の形態3における半導体装置の動作を説明するための模式図の一例。

【図15】実施の形態5における半導体装置の作製工程を説明するための図の一例。

【図16】実施の形態4における半導体装置の回路図の一例。

【図17】実施の形態4における半導体装置の回路図の一例。

50

【図18】実施の形態6における表示装置のブロック図の一例。  
 【図19】実施の形態6における表示装置のブロック図の一例。  
 【図20】実施の形態7における画素の回路図の一例、及びその画素の断面図の一例。  
 【図21】実施の形態7における画素の断面図の一例。  
 【図22】実施の形態7における画素の動作を説明するためのタイミングチャートの一例。

【図23】実施の形態5における半導体装置を説明するための図の一例。

【図24】実施の形態5における半導体装置を説明するための図の一例。

【図25】実施の形態5における半導体装置を説明するための図の一例。

【図26】実施の形態5における半導体装置を説明するための図の一例。

10

【図27】実施の形態8における電子機器を説明するための図の一例。

【図28】実施の形態8における電子機器を説明するための図の一例。

【図29】実施の形態9における半導体装置の作製工程を説明するための図の一例。

【発明を実施するための形態】

【0030】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を々々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

20

【0031】

なお、ある一の実施の形態において述べる内容（一部の内容でもよい）は、一又は複数の実施の形態（その実施の形態および他の実施の形態を含む）で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0032】

（実施の形態1）

本実施の形態では、半導体装置の一例及びその半導体装置の駆動方法の一例について説明する。特に、ブーストストラップ動作を用いた回路の一例及びその回路の駆動方法の一例について説明する。

30

【0033】

まず、本実施の形態の半導体装置の構成の一例について説明する。

【0034】

図1(A)は、本実施の形態の半導体装置の一例を示す。図1(A)に示す半導体装置は、トランジスタ101及びトランジスタ102を有する。トランジスタ101の第1の端子は、配線111と接続され、トランジスタ101の第2の端子は、配線112と接続される。トランジスタ102の第1の端子は、配線113と接続され、トランジスタ102の第2の端子は、トランジスタ101のゲートと接続され、トランジスタ102のゲートは、配線113と接続される。ただし、本実施の形態の半導体装置は、図1(A)に示す構成に限定されず、他にも様々な構成とすることができる。

40

【0035】

なお、トランジスタ101のゲートと、トランジスタ102の第2の端子との接続箇所を、ノード11と示す。

【0036】

なお、トランジスタ101及びトランジスタ102がNチャネル型である場合について説明する。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差が閾値電圧よりも大きい場合に、オンになる。

【0037】

なお、本実施の形態の半導体装置を構成するトランジスタの半導体層としては、酸化物半導体を用いることが好ましい。半導体層として酸化物半導体を用いることにより、トラン

50

ジスタのS値の向上、トランジスタのオフ電流の低減、及び／又はトランジスタの耐圧の向上を図ることができる。

#### 【0038】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子が接続される箇所を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。特に、端子と接続される箇所が複数のケース考えられる場合には、その端子と接続される箇所を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その端子と接続される箇所を特定することによって、発明の一態様を構成することが可能な場合がある。

10

#### 【0039】

なお、本明細書等においては、ある回路について、少なくとも端子と接続される箇所を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、端子と接続される箇所を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、端子と接続される箇所を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

#### 【0040】

20

次に、各配線に与えられる電位の一例について説明する。

#### 【0041】

配線111には、電位V1が与えられる。言い換えると、配線111には、一定の電圧（例えば電圧V1）が供給される。または、配線111には、電位V1と電位V2（電位V2 < 電位V1）とが選択的に又は交互に与えられる。言い換えると、配線111には、信号（例えばクロック信号）が入力される。配線111に電位V1が与えられる場合、配線111は電源線としての機能を有する。一方で、配線111に電位V1と電位V2とが選択的に与えられる場合、配線111は信号線（例えばクロック信号線）としての機能を有する。ただし、配線111に与えられる電位は、電位V1と電位V2とに限定されず、他にも様々な電位が与えられることが可能である。

30

#### 【0042】

また、配線112からは、信号が出力される。そのため、配線112は、信号線としての機能を有する。なお、配線112の電位は、例えば、V2以上V1以下である。

#### 【0043】

また、配線113には、電位V1と電位V2（電位V2 < 電位V1）とが選択的に与えられる。言い換えると、配線113には、信号が入力される。そのため、配線113は、信号線としての機能を有する。ただし、配線113に与えられる電位は、電位V1と電位V2とに限定されない。例えば、配線113には、一定の電圧が供給されることが可能である。別の例として、配線113には、アナログ信号、又は3つ以上の電位を有する信号が入力されることが可能である。

40

#### 【0044】

なお、電位Aがノード、配線、電極又は端子などに与えられると、これらの電位は電位Aと等しくなると仮定して説明する。

#### 【0045】

なお、本明細書等において、「等しい」又は「同じ」などの表現は、誤差の範囲での差異が存在する場合を含むことがある。例えば、「電位（又は電圧）が等しい」という場合には、少なくとも±10%の範囲を誤差として含むことがある。より好ましくは、±5%である。さらに好ましくは、±3%である。または、漏れ電流等による電位の変動の範囲、フィードスルー等による電位の変動の範囲、ノイズ等による電位の変動の範囲、測定装置等による測定誤差の範囲、又はプロセスのばらつき等による電位のばらつきの範囲などを

50

、誤差の範囲として含むものとする。

#### 【0046】

次に、本実施の形態の半導体装置の動作の一例について説明する。以下には、配線111に電位V1が与えられる場合と、配線111に電位V1と電位V2とを選択的に与える場合との2通りの動作について説明する。

#### 【0047】

配線111に電位V1が与えられる場合の本実施の形態の半導体装置の動作の一例について説明する。

#### 【0048】

ノード11の電位の初期値及び配線112の電位の初期値は、電位V2と等しいと仮定する。10  
配線113に電位V1が与えられると、トランジスタ102がオンになるので、配線113とノード11とは導通状態になる。すると、配線113の電位はノード11に供給されるので、ノード11の電位は上昇し始める。やがて、ノード11の電位が $V_2 + V_{th101}$ ( $V_{th101}$ はトランジスタ101の閾値電圧)に達すると、トランジスタ101がオンになるため、配線111と配線112とは導通状態になる。すると、配線111の電位は配線112に供給されるので、配線112の電位は上昇し始める(図1(B)参照)。

#### 【0049】

その後、ノード11の電位が $V_1 - V_{th102}$ ( $V_{th102}$ はトランジスタ102の閾値電圧： $V_2 + V_{th101} < V_1 - V_{th102}$ を満たす)に達すると、トランジスタ102がオフになるので、配線113とノード11とは非導通状態になる。すると、ノード11は、浮遊状態になる。その後も、配線112の電位は上昇し続け、やがて電位V1と等しい値まで上昇する。配線112の電位上昇に伴い、ノード11の電位は、トランジスタ101のゲートと第2の端子との間の寄生容量により、 $V_1 + V_{th101} + V_a$ ( $V_a$ は正の数)まで上昇する(図1(C)参照)。これが、いわゆるブーストストラップ動作である。20

#### 【0050】

なお、配線113に電位V2が与えられる場合、トランジスタ102はオフになるので、配線113とノード11とは非導通状態になる。つまり、ノード11は浮遊状態になる。30  
この場合、図1(A)に示す半導体装置の動作は、配線113に電位V2を与える前のノード11の電位に依存する。例えば、配線113に電位V2を与える前のノード11の電位が、 $V_2 + V_{th101}$ 未満であるとする。この状態で配線113に電位V2が与えられると、トランジスタ101はオフになるので、配線111と配線112とは非導通状態になる。そのため、配線112の電位は、配線113に電位V2を与える前の値のままとなる。また、例えば、配線113に電位V2を与える前のノード11の電位が、 $V_2 + V_{th101}$ を超えているとする。この状態で配線113に電位V2が与えられると、トランジスタ101はオンになるので、配線111と配線112とは導通状態になる。そのため、配線112の電位は、電位V1と等しい値となり、ノード11の電位は、ブーストストラップ動作によって、 $V_1 + V_{th101} + V_a$ になる。

#### 【0051】

配線111に電位V1と電位V2とを選択的に与える場合の本実施の形態の半導体装置の動作の一例について説明する。

#### 【0052】

ノード11の電位の初期値及び配線112の電位の初期値は、電位V2と等しいと仮定する。配線113に電位V1が与えられ、配線111に電位V2が与えられると、トランジスタ102がオンになるので、配線113とノード11とは導通状態になる。すると、配線113の電位はノード11に供給されるので、ノード11の電位は上昇し始める。やがて、ノード11の電位は、 $V_2 + V_{th101}$ に達すると、トランジスタ101がオンになるので、配線111と配線112とは導通状態になる。すると、配線111の電位は配線112に供給されるので、配線112の電位は、電位V2と等しくなる(図2(A)参40  
50

照)。

**【0053】**

その後、ノード11の電位は、 $V_1 - V_{th102}$ に達すると、トランジスタ102がオフになるので、配線113とノード11とは非導通状態になる。すると、ノード11は、浮遊状態になる(図2(B)参照)。

**【0054】**

その後、配線111に、電位 $V_1$ が与えられる。このとき、ノード11は、浮遊状態のままなので、ノード11の電位は、 $V_1 - V_{th102}$ のままでなる。そのため、トランジスタ101はオンのままであり、配線111と配線112とは導通状態のままでなる。つまり、配線111の電位は、配線112に供給され続ける。よって、配線111に電位 $V_1$ が与えられるタイミングと同じタイミングで、配線112の電位は上昇し始め、電位 $V_1$ と等しい値まで上昇する。配線112の電位上昇に伴い、ノード11の電位は、トランジスタ101のゲートと第2の端子との間の寄生容量により、 $V_1 + V_{th101} + V_a$ ( $V_a$ は正の数)まで上昇する(図2(C)参照)。いわゆる、ブートストラップ動作である。

**【0055】**

なお、配線113に電位 $V_2$ が与えられる場合、トランジスタ102はオフになるので、配線113とノード11とは非導通状態になる。つまり、ノード11は浮遊状態になる。この場合、図2(A)に示す半導体装置の動作は、配線113に電位 $V_2$ を与える前の、ノード11の電位に依存する。例えば、配線113に電位 $V_2$ を与える前のノード11の電位が、 $V_2 + V_{th101}$ 未満であるとする。この状態で配線113に電位 $V_2$ が与えられると、トランジスタ101はオフになるので、配線111と配線112とは非導通状態になる。そのため、配線112の電位は、配線113に電位 $V_2$ を与える前の値のままでなる。また、例えば、配線113に電位 $V_2$ を与える前のノード11の電位が、 $V_2 + V_{th101}$ を超えているとすると。この状態で配線113に電位 $V_2$ が与えられると、トランジスタ101はオンになるので、配線111と配線112とは導通状態になる。そのため、配線112の電位は、配線111の電位と等しくなる。つまり、配線111に電位 $V_1$ が与えられると、配線112の電位は電位 $V_1$ と等しくなり、配線111に電位 $V_2$ が与えられると、配線112の電位は電位 $V_2$ と等しくなる。

**【0056】**

以上のように、本実施の形態の半導体装置では、ブートストラップ動作を用いることにより、配線112の電位を配線111の電位と等しい値とすることができます。

**【0057】**

また、従来の技術では、トランジスタのS値は大きいものであった。そのため、配線113に電位 $V_1$ が与えられてからトランジスタ102がオフになるまでの時間が長くなっていた。または、ノード11の電位がブートストラップ動作により上昇し始めるタイミングが遅くなっていた。または、ノード11の電位が低くなっていた。または、トランジスタ101のゲートと第2の端子との間の電位差が小さくなっていた。または、配線112の電位の立ち上がり時間が長くなっていた。または、配線112に接続できる負荷が小さかった。または、トランジスタ101のチャネル幅が大きくなっていた。または、レイアウト面積が大きくなっていた。

**【0058】**

これに対し、本実施の形態の半導体装置では、半導体装置を構成するトランジスタの半導体層として酸化物半導体を用いるため、S値を小さくすることができる。そのため、半導体装置の駆動能力の向上を図ることができる。例えば、トランジスタ102のS値が小さいと、配線113に電位 $V_1$ が与えられてからトランジスタ102がオフになるまでの時間を短くすることができるので、ノード11の電位がブートストラップ動作により上昇し始めるタイミングを早くすることができる。ノード11の電位が上昇し始めるタイミングが早くなると、ノード11の電位を高くすることができるので、トランジスタ101のゲートと第2の端子との間の電位差を大きくすることができる。その結果、配線112の電

位の立ち上がり時間を短くすることができる。または、配線 112 に大きな負荷を接続しても、該負荷を駆動することができる。または、トランジスタ 101 のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。別の例として、トランジスタ 101 の S 値が小さいと、配線 112 の電位の立ち上がり時間を短くすることができる。

#### 【0059】

また、従来の技術では、トランジスタのオフ電流が大きかった。そのため、時間の経過と共にノード 11 から失われる電荷の量が多くかった。または、ノード 11 の電位が低下していた。または、ノード 11 の電位を  $V_1 + V_{th101}$  よりも高い値に維持できる時間が短くなっていた。または、駆動周波数を低くすることが困難であった。または、半導体装置が動作することができる駆動周波数の範囲が狭くなっていた。10

#### 【0060】

これに対し、本実施の形態の半導体装置では、半導体装置を構成するトランジスタのオフ電流は小さい。そのため、半導体装置の駆動能力の向上を図ることができる。例えば、トランジスタ 102 のオフ電流が小さいと、ノード 11 から失われる電荷の量を少なくすることができるため、ノード 11 の電位の低下を抑制することができる。つまり、ノード 11 の電位を  $V_1 + V_{th101}$  よりも高い値に維持できる時間を、長くすることができる。その結果、駆動周波数を低くすることができるので、本実施の形態の半導体装置が動作することができる駆動周波数の範囲を広くすることができます。20

#### 【0061】

また、配線 111 に電位  $V_1$  と電位  $V_2$  を選択的に与える場合、ノード 11 の電位は、 $V_1 - V_{th102}$  まで上昇した後に、ブートストラップ動作によりさらに上昇する。すなわち、トランジスタ 101 のゲートと第 2 の端子との間の電位差を大きくすることができる。その結果、配線 112 の電位の立ち上がり時間を短くすることができる。または、配線 112 に大きな負荷を接続しても、該負荷を駆動することができる。または、トランジスタ 101 のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。20

#### 【0062】

なお、配線 111 に電位  $V_1$  と電位  $V_2$  を選択的に与える場合、配線 113 に電位  $V_1$  が与えられた後において、配線 111 に電位  $V_1$  が与えられるタイミングと同時に、配線 112 の電位が上昇する。したがって、本実施の形態の半導体装置は、シフトレジスタ回路の一部として用いることができる。30

#### 【0063】

次に、各トランジスタが有する機能の一例について説明する。

#### 【0064】

トランジスタ 101 は、配線 111 と配線 112 との間の導通状態を制御する機能を有する。つまり、トランジスタ 101 は、スイッチとしての機能を有する。または、トランジスタ 101 は、配線 112 に配線 111 の電位を供給するタイミングを制御する機能を有する。または、トランジスタ 101 は、配線 112 の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ 101 は、トランジスタ 101 のゲートと第 2 の端子との間の寄生容量により、ノード 11 の電位を上昇させるタイミングを制御する機能を有する。ただし、トランジスタ 101 は、前述する機能の少なくとも 1 つを有していればよい。40

#### 【0065】

トランジスタ 102 は、配線 113 とノード 11 との間の導通状態を制御する機能を有する。つまり、トランジスタ 102 は、スイッチとしての機能を有する。または、トランジスタ 102 は、配線 113 の電位がノード 11 の電位よりも高い場合に、配線 113 とノード 11 とを導通状態とし、配線 113 の電位がノード 11 の電位よりも低い場合に、配線 113 とノード 11 とを非導通状態とする機能を有する。つまり、トランジスタ 102 は、ダイオードとしての機能を有する。または、トランジスタ 102 は、配線 113 の電50

位をノード 11 に供給するタイミングを制御する機能を有する。または、トランジスタ 102 は、ノード 11 の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ 102 は、ノード 11 を浮遊状態にするタイミングを制御する機能を有する。ただし、トランジスタ 102 は、前述する機能の少なくとも 1 つを有していればよい。

#### 【0066】

次に、各配線に与えられる電位の一例について説明する。各配線に与えられる電位を適宜制御することにより、本実施の形態の半導体装置に様々な機能を持たせること、又は半導体装置の駆動能力の向上を図ることができる。

#### 【0067】

例えば、配線 113 に電位 V1 と電位 V2 とが選択的に与えられる場合において、配線 111 に電位 V1 よりも高い電位又は電位 V1 未満の電位を与えることが可能である。配線 111 に電位 V1 よりも高い電位又は電位 V1 未満の電位を与えることにより、本実施の形態の半導体装置は、レベルシフト回路としての機能を有することができる。10

#### 【0068】

なお、配線 111 に電位 V1 よりも高い電位を与える場合、配線 111 に与える電位は、電位 V1 の 1 倍より高く、4 倍以下であることが好ましい。より好ましくは、1.2 倍以上、3 倍以下である。さらに好ましくは、1.5 倍以上、2.3 倍以下である。

#### 【0069】

なお、配線 111 に電位 V1 未満の電位を与える場合、配線 111 に与える電位は、電位 V1 の 0.2 倍以上、1 倍未満であることが好ましい。より好ましくは、0.3 倍以上、0.9 倍以下である。さらに好ましくは、0.5 倍以上、0.7 倍以下である。20

#### 【0070】

また、例えば、配線 111 に電位 V1 が与えられる場合において、配線 113 に電位 V1 よりも高い電位を与えることが可能である。具体的には、配線 113 に与えられる電位は、配線 111 に与えられる電位の 1 倍より高く、3 倍以下であることが好ましい。より好ましくは、1.3 倍以上、2.5 倍以下である。さらに好ましくは、1.5 倍以上、2 倍以下である。配線 113 に与えられる電位が高いと、配線 113 に電位 V1 が与えられてからトランジスタ 102 がオフになるまでの時間を短くすることができるので、ノード 11 の電位がブートストラップ動作により上昇し始めるタイミングを早くすることができる。ノード 11 の電位が上昇し始めるタイミングが早いと、ノード 11 の電位を高くすることができる。トランジスタ 101 のゲートと第 2 の端子との間の電位差を大きくすることができる。その結果、配線 112 の電位の立ち上がり時間を短くすることができる。または、配線 112 に大きな負荷を接続しても、該負荷を駆動することができる。または、トランジスタ 101 のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。30

#### 【0071】

次に、各トランジスタの閾値電圧の一例について説明する。各トランジスタの閾値電圧を適切な値とすることにより、半導体装置の駆動能力の向上を図ることができる。

#### 【0072】

例えば、トランジスタ 102 の閾値電圧は、小さいほど好ましい。具体的には、トランジスタ 102 の閾値電圧は、トランジスタ 101 の閾値電圧よりも小さいことが好ましい。好ましくは、トランジスタ 102 の閾値電圧は、トランジスタ 101 の閾値電圧の 0.1 倍以上、1 倍未満である。より好ましくは、0.3 倍以上、0.9 倍以下である。さらに好ましくは、0.5 倍以上、0.7 倍以下である。トランジスタ 102 の閾値電圧が小さいと、配線 113 に電位 V1 が与えられてからトランジスタ 102 がオフになるまでの時間を短くすることができるので、ノード 11 の電位がブートストラップ動作により上昇し始めるタイミングを早くすることができる。ノード 11 の電位が上昇し始めるタイミングが早いと、ノード 11 の電位を高くすることができるので、トランジスタ 101 のゲートと第 2 の端子との間の電位差を大きくすることができる。その結果、配線 112 の電位の立ち上がり時間を短くすることができる。または、配線 112 に大きな負荷を接続しても40

、該負荷を駆動することができる。または、トランジスタ101のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。

#### 【0073】

また、例えば、トランジスタ101の閾値電圧は、半導体装置の駆動電圧（例えば電位V1 - 電位V2）よりも小さいことが好ましい。特に、トランジスタ101の閾値電圧は、半導体装置の駆動電圧の1/50倍以上、1/2倍以下であることが好ましい。より好ましくは、1/40倍以上、1/7倍以下である。さらに好ましくは、1/30倍以上、1/10倍以下である。トランジスタ101の閾値電圧を半導体装置の駆動電圧よりも小さくすることにより、半導体装置の誤動作を防ぎ、半導体装置を正常に動作させることができる。

10

#### 【0074】

次に、各トランジスタのサイズの一例について説明する。各トランジスタのサイズを適切な値とすることにより、本実施の形態の半導体装置の駆動能力の向上を図ることができる。

#### 【0075】

例えば、トランジスタ101のチャネル幅は、トランジスタ102のチャネル幅よりも大きいことが好ましい。好ましくは、トランジスタ101のチャネル幅は、トランジスタ102のチャネル幅の2倍以上、100倍以下である。より好ましくは、5倍以上、50倍以下である。さらに好ましくは、10倍以上、30倍以下である。

#### 【0076】

なお、トランジスタのチャネル幅(W)によって、電流供給能力を制御することができる。具体的には、トランジスタのチャネル幅が大きいほど、トランジスタの電流供給能力は向上する。ただし、トランジスタの電流供給能力を制御する因子は、トランジスタのチャネル幅に限定されない。例えば、トランジスタのチャネル長(L)、トランジスタのW/L比、トランジスタのゲートとソースとの間の電位差(Vgs)などによっても、トランジスタの電流供給能力を制御することができる。具体的には、トランジスタのチャネル長が小さいほど、トランジスタのW/L比が大きいほど、又はトランジスタのVgsが大きいほど、トランジスタの電流供給能力は向上する。したがって、本明細書等において、「トランジスタのチャネル幅が大きい」という記載は、「トランジスタのチャネル長が小さい」、「トランジスタのW/L比が大きい」又は「トランジスタのVgsが大きい」と同義であることを付記する。

20

#### 【0077】

次に、図1(A)に示す半導体装置とは異なる構成の半導体装置について説明する。

#### 【0078】

例えば、図1(A)に示す半導体装置において、トランジスタ102のゲート及び/又は第1の端子が接続される配線は、配線113に限定されず、他の様々な配線とすることが可能である。

#### 【0079】

図3(A)は、図1(A)に示す半導体装置において、トランジスタ102のゲートが配線111と接続される場合の例を示す。図3(A)に示す半導体装置では、配線113に電位V2が与えられる場合、ノード11の電位を電位V2と等しい値にすることができる。

30

#### 【0080】

図3(B)は、図1(A)に示す半導体装置において、トランジスタ102の第1の端子が配線111と接続される場合の例を示す。図3(B)に示す半導体装置では、ノード11に配線113よりも配線抵抗が小さい配線111から電位V1を供給するため、ノード11の電位を早く上昇させることができる。

#### 【0081】

図3(C)は、図1(A)に示す半導体装置において、トランジスタ102のゲートが配線111と接続され、トランジスタ102の第1の端子が配線111と接続される場合の

40

50

例を示す。図3(C)に示す半導体装置では、配線113を省略することができるので、配線の数及び信号の数を減らすことができる。

#### 【0082】

また、例えば、図1(A)及び図3(A)～(C)に示す半導体装置において、ノード11と配線112との間の容量値を大きくすることにより、ブートストラップ動作時におけるノード11の電位を高くすることができる。

#### 【0083】

具体的には、例えば、図1(A)及び図3(A)～(C)に示す半導体装置において、ノード11と配線112との間に、容量素子を接続することが可能である。容量素子121の一方の電極は、トランジスタ101のゲートと同じ材料により構成され、ノード11と接続されることが好ましい。そして、容量素子121の他方の電極は、トランジスタ101の第2の端子と同じ材料により構成され、配線112と接続されることが好ましい。こうして、コンタクトホールなどを省略できるので、レイアウト面積を小さくすることができる。

#### 【0084】

あるいは、例えば、図1(A)及び図3(A)～(C)に示す半導体装置において、トランジスタ101のゲートを構成する材料と、トランジスタ101の第2の端子を構成する材料とが重なる面積を、トランジスタ101のゲートを構成する材料と、トランジスタ101の第1の端子を構成する材料とが重なる面積よりも大きくすることができる。特に、トランジスタ101のゲートを構成する材料と、トランジスタ101の第2の端子を構成する材料とが重なる面積は、トランジスタ101のゲートを構成する材料と、トランジスタ101の第1の端子を構成する材料とが重なる面積の1倍より大きく、5倍以下であることが好ましい。より好ましくは、1.5倍以上、4倍以下である。さらに好ましくは、2倍以上3倍以下である。

#### 【0085】

図3(D)は、図1(A)に示す半導体装置において、トランジスタ101のゲートと第2の端子との間に、容量素子121を接続した場合の例を示す。

#### 【0086】

また、例えば、図3(A)～(D)に示す半導体装置において、トランジスタ101の第1の端子と、トランジスタ102のゲート又は第1の端子とは、異なる配線と接続されることが可能である。

#### 【0087】

図4(A)は、図3(A)に示す半導体装置において、トランジスタ101の第1の端子が配線111Aと接続され、トランジスタ102のゲートが配線111Bと接続される場合の例を示す。

#### 【0088】

図4(B)は、図3(B)に示す半導体装置において、トランジスタ101の第1の端子が配線111Aと接続され、トランジスタ102の第1の端子が配線111Bと接続される場合の例を示す。

#### 【0089】

図4(C)は、図3(C)に示す半導体装置において、トランジスタ101の第1の端子が配線111Aと接続され、トランジスタ102のゲートが配線111Bと接続され、トランジスタ102の第1の端子が配線111Bと接続される場合の例を示す。

#### 【0090】

なお、配線111A及び配線111Bは、配線111と同様の機能を有する。そして、配線111A及び配線111Bには、電位V1が供給される。ただし、配線111Aと配線111Bとに与える電位は、異なる値とすることが可能である。例えば、配線111Aに、電位V1よりも高い電位又は電位V1未満の電位を与えることにより、図4(A)～(C)に示す半導体装置は、レベルシフト回路としての機能を有することになる。別の例として、配線111Bに電位V1よりも高い電位を与えることにより、ノード11の電位の

10

20

30

40

50

立ち上がり時間を短くすることができる。別の例として、配線 111B に電位 V1 よりも低い電位を与えることにより、トランジスタ 102 がオフになるタイミングを早くすることができます。

#### 【0091】

なお、本明細書等において、トランジスタの一例としては、ゲート電極が 2 個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、複数のゲート電極に対応する複数のチャネル領域が互いに直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、さらなるオフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、トランジスタが飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路などを実現することが出来る。10

#### 【0092】

なお、トランジスタの一例としては、チャネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル領域が増えるため、電流値の増加を図ることができる。または、チャネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S 値の改善を図ることができる。20

#### 【0093】

なお、トランジスタの一例としては、チャネル領域の上にゲート電極が配置されている構造、チャネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、チャネル領域を並列に接続した構造、又はチャネル領域が直列に接続する構造などのトランジスタを用いることができる。

#### 【0094】

なお、トランジスタの一例としては、チャネル領域（又はその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャネル領域の一部に電荷が溜まり、動作が不安定になることを防ぐことができる。30

#### 【0095】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することは可能であるものとする。例えば、N 個（N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M 個（M は整数で、M < N）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N 個（N は整数）の層を有して構成される断面図から、M 個（M は整数で、M < N）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N 個（N は整数）の要素を有して構成されるフローチャートから、M 個（M は整数で、M < N）の要素を抜き出して、発明の一態様を構成することは可能である。40

#### 【0096】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章におい50

て、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

#### 【0097】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。10

#### 【0098】

（実施の形態2）

本実施の形態では、半導体装置の構成の一例及びその半導体装置の駆動方法の一例について説明する。特に、実施の形態1に示す半導体装置を用いたインバータ回路及びバッファ回路の一例、並びにそのインバータ回路及びバッファ回路の駆動方法の一例について説明する。

#### 【0099】

まず、本実施の形態の半導体装置の構成の一例について説明する。20

#### 【0100】

図5(A)は、半導体装置の構成の一例を示す。図5(A)に示す半導体装置は、トランジスタ101と、トランジスタ102と、トランジスタ103と、トランジスタ104と、配線112、配線113、配線114、配線115と、から構成されている。トランジスタ101～104は、酸化物半導体材料を用いて形成されている。また、トランジスタ103及びトランジスタ104は、Nチャネル型である。

#### 【0101】

図5(A)は、図1(A)に示す半導体装置に、トランジスタ103及びトランジスタ104を加えて設ける場合の半導体装置を示す。トランジスタ103のゲートは、配線114と接続され、トランジスタ103の第1の端子は、配線115と接続され、トランジスタ103の第2の端子は、配線112に接続される。また、トランジスタ104のゲートは、配線114と接続され、トランジスタ104の第1の端子は、配線115と接続され、トランジスタ104の第2の端子は、トランジスタ101のゲートと接続される。ただし、本実施の形態の半導体装置の構成は、図5(A)に限定されず、他にも様々な構成とすることが可能である。30

#### 【0102】

次に、各配線に与えられる電位の一例について説明する。

#### 【0103】

配線114には、電位V1と電位V2とが選択的に与えられる。言い換えると、配線114には、信号が入力される。そのため、配線114は、信号線としての機能を有する。ここでは、配線114には、配線113に入力される信号の反転信号が入力されると仮定する。よって、配線113に電位V2が与えられる場合、配線114には電位V1が与えられ、配線113に電位V1が与えられる場合、配線114には電位V2が与えられる。ただし、これに限定されず、配線113と配線114とには、同じ電位が与えられることが可能である。40

#### 【0104】

配線115には、電位V2が与えられる。言い換えると、配線115には、一定の電圧（例えば電圧V2）が供給される。そのため、配線115は、電源線としての機能を有するものとする。ただし、配線115に与えられる電位は、電位V2に限定されず、他にも様々な電位が与えられることが可能である。例えば、配線115には、電位V1と電位V2

10

20

30

40

50

とを選択的に与えることが可能である。配線 115 に電位 V1 が与えられることによって、トランジスタ 103 及びトランジスタ 104 に逆バイアスを印加することができるの で、これらのトランジスタの閾値電圧のシフトを抑制することができる。

#### 【0105】

次に、図 5 (A) に示す半導体装置の動作の一例について説明する。以下には、配線 113 に電位 V2 が与えられ、配線 114 に電位 V1 が与えられる場合と、配線 113 に電位 V1 が与えられ、配線 114 に電位 V2 が与えられる場合との 2 通りの動作について説明する。

#### 【0106】

なお、図 5 (B) は、図 5 (A) に示す半導体装置の動作を説明するためのタイミングチ 10 ャートの一例を示す。図 5 (B) には、配線 113 の電位（電位 V113）、配線 114 の電位（電位 V114）、ノード 11 の電位（電位 V111）及び配線 112 の電位（電位 V112）を示す。

#### 【0107】

配線 113 に電位 V2 が与えられ、配線 114 に電位 V1 が与えられる場合の動作につい て説明する。

#### 【0108】

配線 113 に電位 V2 が与えられ、配線 114 に電位 V1 が与えられると、トランジスタ 104 はオンになるので、配線 115 とノード 11 とは導通状態になる。このとき、トランジスタ 102 はオフになり、配線 113 とノード 11 とは非導通状態になる。こうして、ノード 11 には、配線 115 の電位が供給されるので、ノード 11 の電位は、電位 V2 と等しい値になる。そのため、トランジスタ 101 はオフになり、配線 111 と配線 112 とは非導通状態になる。このとき、トランジスタ 103 はオンになり、配線 115 と配線 112 とは導通状態になる。こうして、配線 112 には、配線 115 の電位が供給されるので、配線 112 の電位は、電位 V2 と等しい値となる（図 6 (A) 参照）。 20

#### 【0109】

配線 113 に電位 V1 が与えられ、配線 114 に電位 V2 が与えられる場合の動作につい て説明する。

#### 【0110】

配線 113 に電位 V1 が与えられ、配線 114 に電位 V2 が与えられると、トランジスタ 104 はオフになり、配線 115 とノード 11 とは非導通状態になる。このとき、トランジスタ 102 はオンになり、配線 113 とノード 11 とは導通状態になる。こうして、ノード 11 には、配線 113 の電位が供給されるので、ノード 11 の電位は上昇し始める。やがて、ノード 11 の電位は、 $V_2 + V_{th101}$  まで上昇する。そのため、トランジスタ 101 はオンになり、配線 111 と配線 112 とは導通状態になる。このとき、トランジスタ 103 はオフになっているので、配線 115 と配線 112 とは非導通状態になる。こうして、配線 112 には、配線 111 の電位が供給されるので、配線 112 の電位は、上昇し始める（図 6 (B) 参照）。 30

#### 【0111】

その後、ノード 11 の電位が  $V_1 - V_{th102}$  まで上昇する。そのため、トランジスタ 102 はオフになるので、配線 113 とノード 11 とは非導通状態になる。すると、ノード 11 は、浮遊状態になる。このとき、配線 112 の電位は、上昇し続けている。そのため、ノード 11 の電位は、トランジスタ 101 のゲートと第 2 の端子との間の寄生容量により、 $V_1 + V_{th101} + V_a$  まで上昇する。いわゆる、ブーストストラップ動作である。こうして、配線 112 の電位は、電位 V1 と等しい値まで上昇する（図 6 (C) 参照）。

#### 【0112】

以上のように、本実施の形態の半導体装置は、ブーストストラップ動作を用いることにより、配線 112 の電位を、配線 111 の電位又は配線 115 の電位と等しい値とすることが 50 できる。

## 【0113】

また、従来の技術では、トランジスタのS値が大きかった。そのため、配線113に電位V1が与えられてからトランジスタ102がオフになるまでの時間が長くなっていた。または、ノード11の電位がブーストストラップ動作により上昇し始めるタイミングが遅くなっていた。または、ノード11の電位が低くなっていた。または、トランジスタ101のゲートと第2の端子との間の電位差が小さくなっていた。または、配線112の電位の立ち上がり時間が長くなっていた。または、配線112に接続できる負荷が小さかった。または、トランジスタ101のチャネル幅が大きくなっていた。または、レイアウト面積が大きくなっていた。または、配線112の電位の立ち下がり時間が長くなっていた。または、配線114に電位V1が与えられてから、トランジスタ101がオフになるまでの時間が長くなっていた。または、配線111からトランジスタ101及びトランジスタ103を介して配線115に電流が流れる時間が長かった。または、消費電力が増加していた。

10

## 【0114】

これに対し、本実施の形態の半導体装置では、半導体装置を構成するトランジスタの半導体層として酸化物半導体を用いるため、S値を小さくすることができます。そのため、半導体装置の駆動能力の向上を図ることができる。例えば、トランジスタ102のS値が小さいと、配線113に電位V1が与えられてからトランジスタ102がオフになるまでの時間を短くすることができるので、ノード11の電位がブーストストラップ動作により上昇し始めるタイミングを早くすることができる。ノード11の電位が上昇し始めるタイミングが早くなると、ノード11の電位を高くすることができるので、トランジスタ101のゲートと第2の端子との間の電位差を大きくすることができる。その結果、配線112の電位の立ち上がり時間を短くすることができる。または、配線112に大きな負荷を接続しても、該負荷を駆動することができる。または、トランジスタ101のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。別の例として、トランジスタ101のS値が小さいと、配線112の電位の立ち上がり時間を短くすることができる。別の例として、トランジスタ103のS値が小さいと、配線112の電位の立ち下がり時間を短くすることができる。別の例として、トランジスタ104のS値が小さいことにより、配線114に電位V1が与えられてから、トランジスタ101がオフになるまでの時間を短くすることができる。そのため、配線111からトランジスタ101及びトランジスタ103を介して配線115に電流が流れることを抑制することができる。これにより、消費電力の削減を図ることができる。

20

## 【0115】

なお、従来の技術では、トランジスタのオフ電流が大きかった。そのため、ノード11から漏れる電荷の量が多かった。または、ノード11の電位が低下していた。または、ノード11の電位を $V_1 + V_{th101}$ よりも高い値に維持できる時間が短くなっていた。または、駆動周波数を遅くすることが困難であった。または、半導体装置が動作することができる駆動周波数の範囲が狭くなっていた。

30

## 【0116】

これに対し、本実施の形態の半導体装置を構成するトランジスタのオフ電流は小さいという特徴がある。そのため、半導体装置の駆動能力の向上を図ることができます。例えば、トランジスタ102及びトランジスタ104のオフ電流が小さいことにより、ノード11から漏れる電荷の量を少なくすることができる。そのため、ノード11の電位の低下を抑制することができる。つまり、ノード11の電位を $V_1 + V_{th101}$ よりも高い値に維持できる時間を、長くすることができる。これにより、駆動周波数を低くすることができる。そのため、本実施の形態の半導体装置が動作することができる駆動周波数の範囲を広くすることができる。

40

## 【0117】

なお、配線112から出力される信号は、配線114に入力される信号の反転信号となる。つまり、本実施の形態の半導体装置は、インバータ回路としての機能を有することができます。

50

きる。または、配線 112 から出力される信号は、配線 113 に入力される信号の非反転信号となる。つまり、本実施の形態の半導体装置は、バッファ回路としての機能を有することができる。

#### 【0118】

次に、各トランジスタが有する機能の一例について説明する。

#### 【0119】

トランジスタ 103 は、配線 115 と配線 112 との間の導通状態を制御する機能を有する。つまり、トランジスタ 103 は、スイッチとしての機能を有する。または、トランジスタ 103 は、配線 115 の電位を配線 112 に供給するタイミングを制御する機能を有する。または、トランジスタ 103 は、配線 112 の電位を減少させるタイミングを制御する機能を有する。ただし、トランジスタ 103 は、前述する機能の少なくとも 1 つを有していればよい。

10

#### 【0120】

トランジスタ 104 は、配線 115 とノード 11 との間の導通状態を制御する機能を有する。つまり、トランジスタ 104 は、スイッチとしての機能を有する。または、トランジスタ 104 は、配線 115 の電位をノード 11 に供給するタイミングを制御する機能を有する。または、トランジスタ 104 は、ノード 11 の電位を減少させるタイミングを制御する機能を有する。ただし、トランジスタ 104 は、前述する機能の少なくとも 1 つを有していればよい。

20

#### 【0121】

次に、各配線に与えられる電位のバリエーションについて説明する。各配線に与えられる電位を適宜制御することにより、本実施の形態の半導体装置に様々な機能を持たせること、又は半導体装置の駆動能力の向上を図ることができる。

#### 【0122】

例えば、配線 113 又は配線 114 に、電位 V1 と電位 V2 とが選択的に与えられる場合、配線 111 には、電位 V1 よりも高い電位又は電位 V1 未満の電位が与えられることが可能である。これにより、本実施の形態の半導体装置は、レベルシフト回路としての機能を有することができる。

#### 【0123】

なお、配線 111 に、電位 V1 よりも高い電位を与えるとする。この場合、該電位は、電位 V1 の 1 倍より高く、4 倍以下であることが好ましい。より好ましくは、1.2 倍以上、3 倍以下である。さらに好ましくは、1.5 倍以上、2.3 倍以下である。

30

#### 【0124】

なお、配線 111 に、電位 V1 未満の電位を与えるとする。この場合、該電位は、電位 V1 の 0.2 倍以上、1 倍未満であることが好ましい。より好ましくは、0.3 倍以上、0.9 倍以下である。さらに好ましくは、0.5 倍以上、0.7 倍以下である。

#### 【0125】

また、例えば、配線 114 に、電位 V1 と電位 V2 とが選択的に与えられる場合、配線 113 には、電位 V1 未満の電位と、電位 V2 よりも高い電位とが選択的に与えられることが可能である。この場合、配線 114 の電位の立ち上がり時間は、配線 113 の電位の立ち上がり時間よりも短いことが多い。または、配線 114 の電位の立ち下がり時間は、配線 113 の電位の立ち下がり時間よりも短いことが多い。または、配線 114 は、配線 113 とインバータ回路を介して接続されることが多い。

40

#### 【0126】

また、例えば、配線 113 に、電位 V1 と電位 V2 とが選択的に与えられる場合、配線 114 には、電位 V1 未満の電位と、電位 V2 よりも高い電位とが選択的に与えられることが可能である。この場合、配線 113 の電位の立ち上がり時間は、配線 114 の電位の立ち上がり時間よりも短いことが多い。または、配線 113 の電位の立ち下がり時間は、配線 114 の電位の立ち下がり時間よりも短いことが多い。または、配線 113 は、配線 114 とインバータ回路を介して接続されることが多い。

50

**【 0 1 2 7 】**

次に、各トランジスタの閾値電圧の一例について説明する。各トランジスタの閾値電圧を適切な値とすることにより、半導体装置の駆動能力の向上を図ることができる。

**【 0 1 2 8 】**

例えば、トランジスタ 103 の閾値電圧は、トランジスタ 101 の閾値電圧及び／又はトランジスタ 102 の閾値電圧よりも大きいことが好ましい。特に、トランジスタ 103 の閾値電圧は、トランジスタ 101 の閾値電圧の 1 倍より高く、3 倍以下であることが好ましい。より好ましくは、1.2 倍以上 2.5 倍以下である。さらに好ましくは、1.5 倍以上、2 倍以下である。

**【 0 1 2 9 】**

10

また、例えば、トランジスタ 104 の閾値電圧は、トランジスタ 101 の閾値電圧及び／又はトランジスタ 102 の閾値電圧よりも大きいことが好ましい。特に、トランジスタ 104 の閾値電圧は、トランジスタ 101 の閾値電圧の 1 倍を超える、3 倍以下であることが好ましい。より好ましくは、1.2 倍以上 2.5 倍以下である。さらに好ましくは、1.5 倍以上、2 倍以下である。

**【 0 1 3 0 】**

また、例えば、トランジスタ 101 の閾値電圧とトランジスタ 103 の閾値電圧との和は、半導体装置の駆動電圧（例えば電位 V1 - 電位 V2）よりも小さいことが好ましい。特に、トランジスタ 101 の閾値電圧とトランジスタ 103 の閾値電圧との和は、半導体装置の駆動電圧の 1 / 100 倍以上、1 / 2 倍以下であることが好ましい。より好ましくは、1 / 50 倍以上、1 / 5 倍以下である。さらに好ましくは、1 / 30 倍以上、1 / 10 倍以下である。トランジスタ 101 の閾値電圧とトランジスタ 103 の閾値電圧との和が半導体装置の駆動電圧よりも小さいことにより、半導体装置の誤動作を防ぎ、半導体装置を正常に動作させることができる。

20

**【 0 1 3 1 】**

次に、各トランジスタのサイズの一例について説明する。各トランジスタのサイズを適切な値とすることにより、本実施の形態の半導体装置の駆動能力の向上を図ることができる。

**【 0 1 3 2 】**

30

例えば、トランジスタ 101 がオンになるときのゲートとソースとの間の電位差は、トランジスタ 103 がオンになるときのゲートとソースとの間の電位差よりも小さいことが多い。そのため、トランジスタ 101 のチャネル幅は、トランジスタ 103 のチャネル幅よりも大きいことが好ましい。特に、トランジスタ 101 のチャネル幅は、トランジスタ 103 のチャネル幅の 1 倍より大きく、10 倍以下であることが好ましい。より好ましくは、1.3 倍以上、5 倍以下である。さらに好ましくは、1.5 倍以上、3 倍以下である。

**【 0 1 3 3 】**

また、例えば、配線 112 の負荷は、ノード 11 の負荷よりも大きい場合が多い。そのため、トランジスタ 103 のチャネル幅は、トランジスタ 104 のチャネル幅よりも大きいことが好ましい。特に、トランジスタ 103 のチャネル幅は、トランジスタ 104 のチャネル幅の 1 倍より大きく、10 倍以下であることが好ましい。より好ましくは、1.5 倍以上、7 倍以下である。さらに好ましくは、2 倍以上、5 倍以下である。

40

**【 0 1 3 4 】**

また、例えば、トランジスタ 103 のチャネル長、及び／又はトランジスタ 104 のチャネル長は大きいことが好ましい。具体的には、トランジスタ 103 のチャネル長は、トランジスタ 101 のチャネル長及び／又はトランジスタ 102 のチャネル長よりも大きいことが好ましい。または、トランジスタ 104 のチャネル長は、トランジスタ 101 のチャネル長及び／又はトランジスタ 102 のチャネル長よりも大きいことが好ましい。トランジスタ 103 のチャネル長、及び／又はトランジスタ 104 のチャネル長を大きくすることにより、トランジスタ 103、及び／又はトランジスタ 104 の閾値電圧のシフト量を低減することができる。よって、半導体装置の信頼性の向上を図ることができる。

50

**【 0 1 3 5 】**

次に、図 5 ( A ) に示す半導体装置とは異なる構成の半導体装置について説明する。

**【 0 1 3 6 】**

例えば、トランジスタ 103 及びトランジスタ 104 は、図 1 ( A ) に示す半導体装置だけでなく、図 3 ( A ) ~ ( D ) 及び図 4 ( A ) ~ ( C ) に示す半導体装置にも設けることが可能である。トランジスタ 103 及びトランジスタ 104 を設けた図 3 ( A ) ~ ( D ) 及び図 4 ( A ) ~ ( C ) に示す半導体装置は、図 5 ( A ) に示す半導体装置と同様の機能及び同様の効果を有する。

**【 0 1 3 7 】**

図 7 ( A ) は、図 3 ( A ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。 10

**【 0 1 3 8 】**

図 7 ( B ) は、図 3 ( B ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。

**【 0 1 3 9 】**

図 7 ( C ) は、図 3 ( C ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。図 7 ( C ) に示す半導体装置では、配線 113 を省略することができるので、配線の数及び信号の数を減らすことができる。

**【 0 1 4 0 】**

図 8 ( A ) は、図 4 ( A ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。 20

**【 0 1 4 1 】**

図 8 ( B ) は、図 4 ( B ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。

**【 0 1 4 2 】**

図 8 ( C ) は、図 4 ( C ) に示す半導体装置に、トランジスタ 103 及びトランジスタ 104 を設ける場合の例を示す。

**【 0 1 4 3 】**

また、例えば、図 5 ( A ) 、図 7 ( A ) ~ ( C ) 及び図 8 ( A ) ~ ( C ) に示す半導体装置において、トランジスタ 104 を省略することが可能である。トランジスタ 104 を省略することにより、トランジスタの数を減らすことができるので、レイアウト面積を小さくすることができる。 30

**【 0 1 4 4 】**

図 9 ( A ) は、図 5 ( A ) に示す半導体装置において、トランジスタ 104 を省略する場合の例を示す。

**【 0 1 4 5 】**

図 9 ( B ) は、図 7 ( C ) に示す半導体装置において、トランジスタ 104 を省略する場合の例を示す。

**【 0 1 4 6 】**

次に、半導体装置を制御する機能を有する回路（制御回路ともいう）の一例について説明する。 40

**【 0 1 4 7 】**

図 10 は、半導体装置を制御するための回路 130 を示す。図 10 では、半導体装置として、図 5 ( A ) に示す半導体装置を用いている。ただし、半導体装置としては、図 5 ( A ) に示す半導体装置に限定されない。例えば、半導体装置としては、実施の形態 1 に示す半導体装置、本実施の形態に示す半導体装置、又はその他の実施の形態に示す半導体装置を用いることが可能である。

**【 0 1 4 8 】**

回路 130 は、半導体装置の各配線に電位を与える機能を有する。すなわち、回路 130 は、半導体装置の各配線に、信号の出力や、電圧を供給するタイミングを制御する機能を 50

有する。

**【0149】**

回路130は、回路131、回路132、回路133及び回路134を有する。回路131は、配線111に電圧V1を供給する機能を有する。または、回路131は、配線111に信号を供給する機能を有する。回路132は、配線113に信号を供給する機能を有する。回路133は、配線114に信号を供給する機能を有する。回路134は、配線115に電圧V1を供給する機能を有する。このように、回路131、回路132及び回路133は、信号生成回路又はタイミングジェネレータ回路などとしての機能を有する。回路131及び回路134は、電圧生成回路又はレギュレータ回路などとしての機能を有する。

10

**【0150】**

なお、回路131～134は、各々、增幅回路、バイポーラトランジスタ、MOSトランジスタ、容量素子、抵抗素子、コイル、直流電圧源、交流電圧源、直流電流源及びスイッチのうちの、少なくとも1つから構成されることが可能である。

**【0151】**

なお、配線113及び配線114には、保護回路140が接続されることが可能である。保護回路140は、複数のトランジスタ141及び複数のトランジスタ142を有する。トランジスタ141の第1の端子は、配線115と接続され、トランジスタ141の第2の端子は、配線113又は配線114と接続され、トランジスタ141のゲートは、配線115と接続される。トランジスタ142の第1の端子は、配線111と接続され、トランジスタ142の第2の端子は、配線113又は配線114と接続され、トランジスタ142のゲートは、配線113又は配線114と接続される。なお、トランジスタ141とトランジスタ142との一方を省略することが可能である。

20

**【0152】**

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

**【0153】**

(実施の形態3)

本実施の形態では、半導体装置の一例及びその半導体装置の駆動方法の一例について説明する。特に、実施の形態2に示す半導体装置を用いたNOR回路及びNAND回路の一例、並びにそのNOR回路及びNAND回路の駆動方法の一例について説明する。

30

**【0154】**

まず、実施の形態2に示す半導体装置にNOR回路としての機能を持たせるための構成について説明する。

**【0155】**

実施の形態2に示す半導体装置において、配線115と配線112との間に、N(Nは自然数)個のトランジスタ103(トランジスタ103\_1～103\_Nと示す)が並列に接続される。N個のトランジスタ103のゲートは、各々、N本の配線114(配線114\_1～114\_N)と接続される。そして、配線115とノード11との間に、N個のトランジスタ104(トランジスタ104\_1～104\_Nと示す)が並列に接続される。N個のトランジスタ104のゲートは、各々、N本の配線114と接続される。例えば、トランジスタ103\_i(iは1～Nのいずれか一)の第1の端子は、配線115と接続され、トランジスタ103\_iの第2の端子は、配線112と接続され、トランジスタ103\_iのゲートは、配線114\_iと接続される。トランジスタ104\_i(iは1～Nのいずれか一)の第1の端子は、配線115と接続され、トランジスタ104\_iの第2の端子は、ノード11と接続され、トランジスタ104\_iのゲートは、配線114\_iと接続される。このような構成により、実施の形態2に示す半導体装置は、N入力のNOR回路としての機能を有することができる。

40

**【0156】**

図11(A)は、図7(C)に示す半導体装置に上記の構成を追加したNOR回路の一例を示す。

50

**【0157】**

図11(B)は、図5(A)に示す半導体装置に上記の構成を追加したNOR回路の一例を示す。図11(B)に示すNOR回路において、配線113には、N本の配線114のいずれかに入力する信号の反転信号を入力すればよい。

**【0158】**

次に、実施の形態2に示す半導体装置を用いたNOR回路の動作の一例について、図11(A)に示す半導体装置を例にして説明する。ここでは、N本の配線114の少なくとも1つに電位V1が与えられる場合と、N本の配線114のすべてに電位V2が与えられる場合との2通りの動作について説明する。

**【0159】**

N本の配線114の少なくとも1つに、電位V1が与えられる場合の動作について説明する。ここでは、配線114\_1に電位V1が与えられ、他の配線(配線114\_2~114\_N)に電位V2が与えられると仮定する。また、配線111に電位V1、配線115に電位V2が与えられると仮定する。そのため、トランジスタ104\_1はオンになり、トランジスタ104\_2~104\_Nはオフになるので、配線115とノード11とが導通状態になる。このとき、トランジスタ102はオンになるので、配線111とノード11とは導通状態になる。こうして、ノード11には、配線115の電位と配線111の電位とが供給される。よって、ノード11の電位は、配線115の電位(電位V2)を超えて、配線111の電位(電位V1)未満となる。ここでは、ノード11の電位は、 $V2 + Vth101$ 未満になると仮定する。そのため、トランジスタ101はオフになるので、配線111と配線112とは非導通状態になる。このとき、トランジスタ103\_1はオンになるので、配線115と配線112とは導通状態になる。こうして、配線115の電位は、配線112に供給されるので、配線112の電位は、電位V2と等しい値となる(図12(A)参照)。

10

**【0160】**

N本の配線114のすべてに、電位V2が与えられる場合の動作について説明する。また、配線111には電位V1、配線115に電位V2が与えられる仮定する。そのため、トランジスタ104\_1~104\_Nはオフになるので、配線115とノード11とは非導通状態になる。このとき、トランジスタ102はオンになるので、配線111とノード11とは導通状態になる。すると、配線111の電位はノード11に供給されるので、ノード11の電位は上昇し始める。やがて、ノード11の電位は、 $V2 + Vth101$ まで上昇する。そのため、トランジスタ101はオフになるので、配線111と配線112とは導通状態になる。このとき、トランジスタ103\_1~103\_Nはオフになっているので、配線115と配線112とは非導通状態になる。こうして、配線112には、配線111の電位が供給されるので、配線112の電位は、上昇し始める。その後、ノード11の電位が $V1 - Vth102$ まで上昇する。そのため、トランジスタ102はオフになるので、配線111とノード11とは非導通状態になる。すると、ノード11は、浮遊状態になる。このとき、配線112の電位は、上昇し続けている。そのため、ノード11の電位は、トランジスタ101のゲートと第2の端子との間の寄生容量により、 $V1 + Vth101 + Va$ まで上昇する。いわゆる、ブーストストラップ動作である。こうして、配線112の電位は、電位V1と等しい値まで上昇する(図12(B)参照)。

20

30

**【0161】**

なお、N個のトランジスタ103のチャネル幅は、互いに等しいことが望ましい。回路配置の制限などから、N個のトランジスタ103のチャネル幅を互いに等しくすることが困難な場合には、N個のトランジスタ103の少なくとも2つのチャネル幅を互いに等しくすると良い。チャネル幅を互いに等しくすることで、回路設計が容易になり、また、動作の不具合を抑制することができるためである。トランジスタ104についても同様である。

40

**【0162】**

なお、N個のトランジスタ103は、配線112を駆動するために、駆動能力が大きいこ

50

とが好ましい。そのため、N個のトランジスタ103の少なくとも1つのチャネル幅は、N個のトランジスタ104の少なくとも1つのチャネル幅よりも大きいことが好ましい。特に、N個のトランジスタ103の少なくとも1つのチャネル幅は、N個のトランジスタ104の少なくとも1つのチャネル幅の1倍より高く、10倍以下であることが好ましい。より好ましくは、1.5倍以上、7倍以下である。さらに好ましくは、2倍以上、5倍以下である。

#### 【0163】

なお、N本の配線114に電位V2が与えられる場合に、ノード11の電位は、トランジスタ101がオフになるような値になることが好ましい。そのため、N個のトランジスタ104の少なくとも1つのチャネル幅は、トランジスタ102のチャネル幅よりも大きいことが好ましい。10特に、N個のトランジスタ104の少なくとも1つのチャネル幅は、トランジスタ102のチャネル幅の1倍より高く、10倍以下であることが好ましい。より好ましくは、2倍以上、5倍以下であることが好ましい。さらに好ましくは、2.5倍以上、3.5倍以下である。

#### 【0164】

次に、実施の形態2に示す半導体装置にNAND回路としての機能を持たせるための構成について説明する。

#### 【0165】

以下に、実施の形態2に示す半導体装置にNAND回路としての機能を持たせるための構成を示す。実施の形態2に示す半導体装置において、配線115と配線112との間に、20N(Nは自然数)個のトランジスタ103(トランジスタ103\_1~103\_Nと示す)が直列に接続される。N個のトランジスタ103のゲートは、各々、N本の配線114(配線114\_1~114\_N)と接続される。そして、配線115とノード11との間に、N個のトランジスタ104(トランジスタ104\_1~104\_Nと示す)が直列に接続される。N個のトランジスタ104のゲートは、各々、N本の配線114と接続される。例えば、トランジスタ103\_i(iは1~Nのいずれか一)の第1の端子は、トランジスタ103\_i+1の第2の端子と接続され、トランジスタ103\_iの第2の端子は、トランジスタ103\_i-1の第1の端子と接続され、トランジスタ103\_iのゲートは、配線114\_iと接続される。トランジスタ104\_i(iは1~Nのいずれか一)の第1の端子は、トランジスタ104\_i+1の第2の端子と接続され、トランジスタ104\_iの第2の端子は、トランジスタ104\_i-1の第1の端子と接続され、トランジスタ104\_iのゲートは、配線114\_iと接続される。30ただし、トランジスタ103\_1の第2の端子は、配線112と接続される。トランジスタ103\_Nの第1の端子は、配線115と接続される。トランジスタ104\_1の第2の端子は、ノード11と接続される。トランジスタ104\_Nの第1の端子は、配線115と接続される。このような構成により、実施の形態2に示す半導体装置は、N入力のNAND回路としての機能を有することができる。

#### 【0166】

図13(A)は、図7(C)に示す半導体装置に上記の構成を追加したNAND回路の一例を示す。40

#### 【0167】

図13(B)には、図5(A)に示す半導体装置に上記の構成を追加したNAND回路の一例を示す。なお、配線113には、N本の配線114のいずれかに入力する信号の反転信号を入力すればよい。

#### 【0168】

次に、実施の形態2に示す半導体装置を用いたNAND回路の動作の一例について、図13(A)に示す半導体装置を例にして説明する。ここでは、N本の配線114の少なくとも1つに電位V2が与えられる場合と、N本の配線114のすべてに電位V1が与えられる場合との2通りの動作について説明する。

#### 【0169】

N本の配線114の少なくとも1つに、電位V2が与えられる場合の動作について説明する。ここでは、配線114\_1に電位V1が与えられ、その他の配線(配線114\_2~114\_N)に電位V2が与えられると仮定する。また、配線111に電位V1、配線115に電位V2が与えられると仮定する。そのため、トランジスタ104\_1はオンになり、トランジスタ104\_2~104\_Nはオフになるので、配線115とノード11とは非導通状態になる。このとき、トランジスタ102はオンになるので、配線111とノード11とは導通状態になる。すると、配線111の電位はノード11に供給されるので、ノード11の電位は上昇し始める。やがて、ノード11の電位は、 $V_2 + V_{th101}$ まで上昇する。そのため、トランジスタ101はオンになるので、配線111と配線112とは導通状態になる。このとき、トランジスタ103\_1はオンになり、トランジスタ103\_2~103\_Nはオフになるので、配線115と配線112とは非導通状態になる。こうして、配線112には、配線111の電位が供給されるので、配線112の電位は、上昇し始める。その後、ノード11の電位が $V_1 - V_{th102}$ まで上昇する。そのため、トランジスタ102はオフになるので、配線111とノード11とは非導通状態になる。すると、ノード11は、浮遊状態になる。このとき、配線112の電位は、上昇し続けている。そのため、ノード11の電位は、トランジスタ101のゲートと第2の端子との間の寄生容量により、 $V_1 + V_{th101} + V_a$ まで上昇する。いわゆる、ブーストアップ動作である。こうして、配線112の電位は、電位V1と等しい値まで上昇する(図14(A)参照)。

## 【0170】

10

N本の配線114のすべてに、電位V1が与えられる場合の動作について説明する。また、配線111に電位V1、配線115に電位V2が与えられると仮定する。そのため、トランジスタ104\_1~104\_Nはオンになるので、配線115とノード11とは導通状態になる。このとき、トランジスタ102はオフになるので、配線111とノード11とは導通状態になる。こうして、ノード11には、配線115の電位と配線111の電位とが供給される。よって、ノード11の電位は、配線115の電位(電位V2)を超え、配線111の電位(電位V1)未満となる。ここでは、ノード11の電位は、 $V_2 + V_{th102}$ 未満とする。そのため、トランジスタ102はオフになるので、配線111と配線112とは非導通状態になる。このとき、トランジスタ103\_1~103\_Nはオフになるので、配線115と配線112とは導通状態になる。こうして、配線115の電位は、配線112に供給されるので、配線112の電位は、電位V2と等しい値となる(図14(B)参照)。

20

## 【0171】

30

なお、N個のトランジスタ103のチャネル幅は、互いに等しいことが望ましい。回路配置の制限などから、N個のトランジスタ103のチャネル幅を互いに等しくすることが困難な場合には、N個のトランジスタ103の少なくとも2つのチャネル幅を互いに等しくすると良い。チャネル幅を互いに等しくすることで、回路設計が容易になり、また、動作の不具合を抑制することができるためである。トランジスタ104についても同様である。

## 【0172】

40

なお、配線112の電位の立ち下がり時間を短くするために、N個のトランジスタ103のチャネル幅は大きいほうが好ましい。ただし、該チャネル幅が大きすぎると、レイアウト面積がおおきくなってしまう。そのため、N個のトランジスタ103のチャネル幅の少なくとも1つのチャネル幅は、トランジスタ101のチャネル幅のN倍以下であることが好ましい。より好ましくは、1/3倍以上、3倍以下である。さらに好ましくは、1/2倍以上、2倍以下である。

## 【0173】

なお、N本の配線114のすべてに電位V1を与える場合に、ノード11の電位を $V_2 + V_{th101}$ 未満とするために、N個のトランジスタ104のチャネル幅は大きいほうが好ましい。ただし、該チャネル幅が大きすぎると、レイアウト面積がおおきくなってしま

50

う。そのため、N個のトランジスタ104の少なくとも1つのチャネル幅は、トランジスタ102のチャネル幅のN倍以下であることが好ましい。より好ましくは、1/3倍以上、3倍以下である。さらに好ましくは、1/2倍以上、2倍以下である。

#### 【0174】

以上のように、実施の形態2に示す半導体装置を用いて、本実施の形態のNOR回路又はNAND回路を構成することができる。よって、本実施の形態のNOR回路及びNAND回路は、実施の形態1、2に示す半導体装置と同様の効果を得ることができる。

#### 【0175】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

#### 【0176】

(実施の形態4)

本実施の形態では、半導体装置の一例及びその半導体装置の駆動方法の一例について説明する。特に、実施の形態3に示す半導体装置を用いたデコーダ回路の一例及びそのデコーダ回路の駆動方法の一例について説明する。

#### 【0177】

まず、本実施の形態の半導体装置の構成の一例について説明する。

#### 【0178】

図16は、本実施の形態のデコーダ回路の例を示す。図16に示すデコーダ回路は、m(mは自然数)個のNOR回路201(NOR回路201\_1~201\_mと示す)を有する。

#### 【0179】

なお、m個のNOR回路201としては、各々、実施の形態3に示すNOR回路を用いるとい。

#### 【0180】

m個のNOR回路201には、各々、N(Nは自然数、 $2^N > m$ )ビットの制御信号が入力される。Nビットの制御信号は、制御信号D1~DN及び制御信号Db1~DbNから選ばれる。制御信号Db1~DbNは、制御信号D1~DNの反転信号である。そして、m個のNOR回路201には、互いに異なる制御信号が入力される。例えば、NOR回路201\_1には、制御信号D1~DNが入力される。NOR回路201\_2には、制御信号Db1及び制御信号D2~DNが入力される。NOR回路201\_3には、制御信号D1、制御信号Db2及び制御信号D3~DNが入力される。このように、m個のNOR回路201に入力される制御信号を、互いに異ならせることにより、m個のNOR回路201のいずれか1つから出力される信号のみを、他のNOR回路201から出力される信号とは異なる値とすることができる。具体的には、m個のNOR回路201のいずれか1つから出力される信号を、Hレベルとし、その他のNOR回路201から出力される信号を、Lレベルとすることができます。そして、制御信号D1~DN及び制御信号Db1~DbNの値を所定の時間(例えば1ゲート選択期間)毎に変えることにより、NOR回路201\_1からNOR回路201\_mまで順番に、Hレベルの信号を出力することができる。または、m個のNOR回路201から、任意の順番で、Hレベルの信号を出力することができる。

#### 【0181】

なお、制御信号D1~DNは、N本の配線212(配線212\_1~212\_Nと示す)を介してデコーダ回路に入力される。制御信号Db1~DbNは、N本の配線213(配線213\_1~213\_Nと示す)を介してデコーダ回路に入力される。m個のNOR回路201の出力信号は、各々、m本の配線211(配線211\_1~211\_m)に出力される。

#### 【0182】

なお、制御信号Db1~DbNは、インバータ回路などにより、制御信号D1~DNを反転させることにより生成されることが可能である。制御信号Db1~DbNを生成するためのインバータ回路としては、実施の形態1に示す半導体装置などを用いることが可能で

10

20

30

40

50

ある。

#### 【0183】

なお、デコーダ回路は、NOR回路だけでなく、NAND回路を用いても構成することができる。NAND回路としては、実施の形態3に示すNAND回路を用いるとよい。図17は、NAND回路によりデコーダ回路を構成する場合の回路図を示す。図17に示すデコーダ回路は、図16に示すデコーダ回路と比較して、m個のNOR回路201の代わりに、m個のNAND回路202(NAND回路202\_1～202\_mと示す)を用いる点で異なる。

#### 【0184】

なお、図17に示すデコーダ回路では、m個のNAND回路202のいずれか1つから出力される信号がLレベルとなり、その他のNAND回路202から出力される信号がHレベルとなる。よって、必要に応じてm個のインバータ回路203(インバータ回路203\_1～203\_mと示す)を設けることが可能である。m個のNAND回路202の出力信号は、m個のインバータ回路203を介して、m本の配線211に出力される。

10

#### 【0185】

以上のように、実施の形態3に示すNOR回路又はNAND回路を用いて、本実施の形態のデコーダ回路を構成することができる。よって、本実施の形態のデコーダ回路は、実施の形態1、2に示す半導体装置と同様の効果を得ることができる。

#### 【0186】

本実施の形態は、他の実施の形態と適宜組み合わせができる。

20

#### 【0187】

##### (実施の形態5)

本実施の形態では、半導体装置の構成の一例及びその半導体装置の作製工程の一例について説明する。特に、チャネル形成領域が酸化物半導体によって構成される薄膜トランジスタの一例及びその薄膜トランジスタの作製工程の一例について説明する。

#### 【0188】

##### <トランジスタの構成例>

図15(D)は、半導体装置の構成の一例であるトランジスタ450(例えば薄膜トランジスタ)を示す断面図である。図15(D)に示すトランジスタ450は、逆スタガ型薄膜トランジスタである。また、図15(D)には、シングルゲート構造の薄膜トランジスタを示すが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタとすることができる。薄膜トランジスタは、n型トランジスタであるものとして説明するが、p型トランジスタとしてもよい。

30

#### 【0189】

トランジスタ450は、基板400上に設けられたゲート電極層411と、ゲート電極層411を覆うゲート絶縁層402と、ゲート電極層411上に設けられた酸化物半導体層406aと、酸化物半導体層406aと電気的に接続するソース電極層及びドレイン電極層408a、408bと、を有する。また、トランジスタ450上には、絶縁層412および絶縁層418が設けられている。なお、絶縁層412および絶縁層418は、必須の構成要素ではないから、適宜省略することができる。

40

#### 【0190】

酸化物半導体層406aには、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などが用いられる。

#### 【0191】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体

50

装置に用いる半導体材料としては好適である。

**【0192】**

In - Ga - Zn - O 系の酸化物半導体材料の代表例としては、 $InGaO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、且つ  $m$  は自然数でない) で表記されるものがある。また、Ga に代えて M を用い、 $InMO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、且つ  $m$  は自然数でない) のように表記される酸化物半導体材料がある。ここで、M は、ガリウム (Ga)、アルミニウム (Al)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn)、コバルト (Co) などから選ばれた一の金属元素または複数の金属元素を示す。例えば、M としては、Ga および Al、Ga および Fe、Ga および Ni、Ga および Mn、Ga および Coなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。また、本明細書でいう In - Ga - Zn - O で表記される酸化物半導体材料は、 $InGaO_3$  ( $ZnO$ )<sub>m</sub> ( $m > 0$ 、且つ  $m$  は自然数でない) であり、m が自然数でないことは、ICP - MS 分析や、RBS 分析を用いて確認することができる。10

**【0193】**

酸化物半導体層の水素濃度は、 $5 \times 10^{-9}$  (atoms / cm<sup>3</sup>) 以下とすることが好みしい。

**【0194】**

<トランジスタの作製方法>

次に、上述した薄膜トランジスタの作製方法について図 15 (A) 乃至図 15 (D) を参考して説明する。20

**【0195】**

まず、基板 400 上にゲート電極層 411 を形成した後、該ゲート電極層 411 を覆うようにゲート絶縁層 402 を形成する。その後、ゲート絶縁層 402 上に、酸化物半導体層 406 を形成する (図 15 (A) 参照)。

**【0196】**

基板 400 として、例えば、ガラス基板を用いることができる。ガラス基板は、無アルカリガラス基板であることが望ましい。無アルカリガラス基板として、例えば、アルミニオシリケートガラス、アルミニノホウケイ酸ガラス、バリウムホウケイ酸ガラス等のガラス材料が用いられる。基板 400 は、ガラス基板の他にも、セラミック基板、石英基板、サファイア基板等の絶縁体でなる絶縁性基板や、シリコン等の半導体材料でなる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレス等の導電体でなる導電性基板の表面を絶縁材料で被覆したもの、を用いることができる。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、耐熱温度が一般的に低い傾向があるが、後の作製工程における処理温度に耐えられるのであれば、基板 400 として用いることが可能である。30

**【0197】**

ゲート電極層 411 は、基板 400 上に導電層を形成し、該導電層を選択的にエッチングすることで形成することができる。ゲート電極層 411 は、スパッタリング法をはじめとする PVD (Physical Vapor Deposition) 法や、プラズマ CVD (Chemical Vapor Deposition) 法などの CVD 法を用いて形成することができる。また、ゲート電極層 411 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた金属材料や、上述した元素を成分とする合金材料等を用いて形成することができる。マンガン、マグネシウム、ジルコニアム、ベリリウムのいずれか一または複数を含む材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タンクステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を一または複数含有させた材料を用いてもよい。40

**【0198】**

また、ゲート電極層 411 は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 ( $ZnO$ )、酸化インジウム酸化スズ合金 ( $In_2O_3 - SnO_2$ 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 ( $In_2O_3 - ZnO$ )、または、これらの金属酸50

化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

#### 【0199】

ゲート電極層411は、単層構造としてもよいし、2層以上の積層構造としてもよい。なお、本実施の形態では、ゲート電極層411の形成後に、比較的高い温度で熱処理が行われるため、ゲート電極層411は、この熱処理に耐えうる程度の耐熱性を有する材料を用いて形成することが望ましい。耐熱性を有する材料としては、例えば、チタン、タンタル、タングステン、モリブデンなどである。また、不純物元素を添加することにより導電性を高めたポリシリコンなども用いることができる。

#### 【0200】

ゲート絶縁層402は、CVD法やスパッタリング法などを用いて形成することができる。  
10 また、ゲート絶縁層402は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成することが好ましい。ゲート絶縁層402は、単層構造としてもよいし、二層以上の積層構造としてもよい。  
。ゲート絶縁層の膜厚は、例えば、10nm以上500nm以下とすることができます。

#### 【0201】

また、ゲート絶縁層402として、ハフニウムシリケート( $HfSiO_x$ )、窒素が添加されたハフニウムシリケート( $HfSi_{x-y}O_yN_z$ )、窒素が添加されたハフニウムアルミネート( $HfAl_xO_yN_z$ )、酸化ハフニウム、酸化イットリウムなどのhig h-k材料を用いることでゲートリークを低減できる。さらには、hig h-k材料を用いた層と、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、または酸化アルミニウム層のいずれか一以上との積層構造とすることができます。  
20

#### 【0202】

なお、ゲート絶縁層402は、できるだけ、水素や水などの不純物を含まないように形成することが好ましい。ゲート絶縁層402に水素や水が含まれると、水素の酸化物半導体層406aへの侵入や、水素による酸化物半導体層406a中の酸素の引き抜きが生じ、トランジスタの特性が悪化するおそれがあるからである。

#### 【0203】

例えば、スパッタリング法などを用いてゲート絶縁層402を形成する場合には、処理室内の残留水分を除去した状態で形成することが望ましい。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気した処理室は、水素や水などが十分に除去されているため、ゲート絶縁層402に含まれる不純物の濃度を低減することができます。  
30

#### 【0204】

また、マイクロ波(例えば、周波数2.45GHz)を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層402を形成できる点で好適である。また、酸化物半導体層406aと高品質なゲート絶縁層402とが密接することにより、界面準位を低減して界面特性を良好なものとすることができる。特に、 $1 \times 10^{11} / cm^3$ 以上のプラズマ密度を達成できる高密度プラズマ装置を用いるのが好ましい。このようにゲート絶縁層402との界面特性を良好にするとともに、酸化物半導体の不純物、特に水素や水などを排除することで、ゲートバイアス・熱ストレス試験(BT試験:例えば、85°、 $2 \times 10^6 V / cm$ 、12時間など)に対しても、しきい値電圧(Vth)が変動しない安定なトランジスタを得ることが可能である。  
40

#### 【0205】

また、ゲート電極層411を形成する際には、水素や水などの不純物が、濃度数ppm程度、濃度数ppb程度にまで、低減された高純度ガスを用いることが望ましい。

#### 【0206】

なお、後の工程でi型化又は実質的にi型化される酸化物半導体層(高純度化された酸化物半導体層)は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界  
50

面は重要である。そのため高純度化された酸化物半導体層に接するゲート絶縁層（G I）は、高品質化が要求される。従ってμ波（2.45 GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができます。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できることが重要である。

#### 【0207】

酸化物半導体層406は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下においてスパッタリング法により形成することができる。酸化物半導体層406の形成雰囲気は、例えば、水素、水、水酸基、水素化物などの不純物が、濃度数ppm程度（望ましくは濃度数ppb程度）にまで除去された高純度ガス雰囲気を用いるのが好適である。10

#### 【0208】

酸化物半導体層406をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質（パーティクル、ゴミともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。20

#### 【0209】

酸化物半導体層406は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などを用いて形成することができる。

#### 【0210】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。30

#### 【0211】

本実施の形態では、酸化物半導体層406としてIn-Ga-Zn-O系の酸化物半導体ターゲットを用いて、非晶質の酸化物半導体層406をスパッタリング法により形成することとする。

#### 【0212】

In-Ga-Zn-O系の酸化物半導体層406をスパッタリング法で形成するためのターゲットとしては、In:Ga:Zn = 1:x:y（xは0以上、yは0.5以上5以下）の組成比で現されるターゲットを用いればよい。例えば、In:Ga:Zn = 1:1:1 [atom比]（x=1、y=1）、（すなわち、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:2 [mol数比]）の組成比を有するターゲットなどを用いても良い。また、酸化物半導体ターゲットとしてIn:Ga:Zn = 1:1:0.5 [atom比]の組成比を有するターゲット、またはIn:Ga:Zn = 1:1:2 [atom比]、In:Ga:Zn = 1:0:1 [atom比]（x=0、y=1）の組成比を有するターゲットを用いることもできる。また、SiO<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体層406にSiO<sub>x</sub>（X>0）を含ませることもできる。40

#### 【0213】

酸化物半導体ターゲット中の酸化物半導体の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い酸化物半導体ターゲットを用いることにより、緻密な構造の酸化物半導体層406を形成することが可能である。50

**【0214】**

酸化物半導体層406の形成の際には、例えば、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下に熱する。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層406を形成する。基板を熱しながら酸化物半導体層406を形成することにより、酸化物半導体層406に含まれる不純物を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、上述の吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプを用いて排気した処理室は、水素や水などが除去されているため、酸化物半導体層406に含まれる不純物の濃度を低減することができる。

10

**【0215】**

酸化物半導体層406の形成条件としては、例えば、基板とターゲットとの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、ごみ(成膜時に形成される粉状もしくはフレーク状の物質)が軽減でき、膜厚分布も均一となるため好ましい。酸化物半導体層406の膜厚は、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。ただし、適用する酸化物半導体材料や用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

20

**【0216】**

次に、酸化物半導体層406を選択的にエッチングして、島状の酸化物半導体層406aを形成する。その後、ゲート絶縁層402及び酸化物半導体層406aを覆うように導電層を形成し、該導電層をエッチングすることで、ソース電極層及びドレイン電極層408a、408bを形成する(図15(B)参照)。

**【0217】**

酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれか、または両方を組み合わせて行うことができる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)は適宜設定する。

30

**【0218】**

ドライエッチングとしては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法などを用いることができる。この場合にも、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する必要がある。

**【0219】**

ドライエッチングに用いることができるエッチングガスには、例えば、塩素を含むガス(塩素系ガス、例えば塩素(Cl<sub>2</sub>)、塩化硼素(BCl<sub>3</sub>)、塩化珪素(SiCl<sub>4</sub>)、四塩化炭素(CCl<sub>4</sub>)など)などがある。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF<sub>4</sub>)、六弗化硫黄(SF<sub>6</sub>)、三弗化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)など)、臭化水素(HBr)、酸素(O<sub>2</sub>)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いてもよい。

40

**【0220】**

ウェットエッチングに用いることができるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などがある。また、ITOON(関東化学社製)などのエッチング液を用いてもよい。

**【0221】**

次に、酸化物半導体層406aに対して、第1の熱処理を行うことが好ましい。第1の熱

50

処理を行うことによって、酸化物半導体層406a中の、過剰な水（水酸基を含む）や水素などを除去することができる。第1の熱処理の温度は、例えば、400以上750以下、または400以上基板の歪み点未満とする。第1の熱処理は、例えば、抵抗発熱体などを用いた電気炉に基板400を導入し、窒素雰囲気下、450、1時間で行うことができる。この間、酸化物半導体層406aは、大気に触れさせず、水や水素の混入を防ぐことが好ましい。

#### 【0222】

熱処理装置は、電気炉に限らず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であってもよい。例えば、ランプ加熱式のRTA (LRTA; Lamp Rapid Thermal Anneal) 装置、加熱された気体を用いるガス加熱式のRTA (GRTA; Gas Rapid Thermal Anneal) 装置、又はランプ加熱式とガス加熱式の両方を備えたRTA装置等を用いることができる。また、ガス加熱式の装置を用いる場合、ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

10

#### 【0223】

例えば、第1の熱処理として、650～700の高温に熱した不活性ガス雰囲気中に基板を投入し、数分間熱した後、当該不活性ガス雰囲気から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の耐熱温度を超える温度条件であっても適用が可能となる。例えば、ガラス基板を用いる場合、耐熱温度（歪み点）を超える温度では基板のシュリンクが問題となるが、短時間の熱処理の場合にはこれは問題とならない。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えてても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因する欠陥を低減することができる。

20

#### 【0224】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.9999%) 以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。また、H<sub>2</sub>Oが20ppm以下の超乾燥空气中で、さらに好ましくは、H<sub>2</sub>Oが1ppm以下の超乾燥空气中で、第1の熱処理を行っても良い。このような第1の熱処理によって第1の酸化物半導体層406中の水（水酸基を含む）や水素などを除去することができる。

30

#### 【0225】

以上のような第1の熱処理を行うことにより、酸化物半導体層406に含まれる水素を低減し、好ましくは、酸化物半導体層406に含まれる水素を除去し、酸化物半導体層の主成分以外の不純物が極力含まれないように高純度化することができる。

#### 【0226】

なお、酸化物半導体層に行う第1の熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体層406に対して行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出した後、マスクを用いたエッチングなどを行う。

40

#### 【0227】

酸化物半導体層に対する脱水化、脱水素化のための熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれの工程で行っても良い。

#### 【0228】

ソース電極層及びドレイン電極層408a、408bは、酸化物半導体層406aを覆うように、導電層を形成した後、導電層を選択的にエッチングして形成する。導電層は、スパッタリング法や真空蒸着法を用いて形成することができる。導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた金

50

属材料、上述した元素を成分とする合金材料、又は上述した元素を組み合わせた合金材料等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を一または複数含有させた材料を用いてもよい。

#### 【0229】

また、ソース電極層及びドレイン電極層408a、408bは、単層構造としてもよいし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜上のアルミニウム膜を積層し、さらにアルミニウム膜上のチタン膜を積層する3層構造などが挙げられる。

10

#### 【0230】

導電層に、酸化物半導体層406aの脱水化、脱水素化のための熱処理を行う場合には、この熱処理に耐えうる程度の耐熱性を有する導電層を用いることが好ましい。

#### 【0231】

導電層のエッティングの際に、酸化物半導体層406aは除去されないようにそれぞれの材料及びエッティング条件を適宜調節する。

#### 【0232】

本実施の形態では、導電層としてチタン膜を用いて、酸化物半導体層406aにはIn-Ga-Zn-O系酸化物を用いて、エッチャントとして過水アンモニア水（アンモニア、水、過酸化水素水の混合液）を用いる。

20

#### 【0233】

なお、導電層のエッティングの際に、酸化物半導体層406aは一部のみがエッティングされ、溝部（凹部）を有する酸化物半導体層406aとなることもある。また、当該工程において用いるマスクをインクジェット法で形成してもよい。マスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0234】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッティング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッティング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

30

#### 【0235】

次に、亜酸化窒素（N<sub>2</sub>O）、窒素（N<sub>2</sub>）、またはアルゴン（Ar）などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

#### 【0236】

次に、酸化物半導体層406a、及びソース電極層及びドレイン電極層408a、408bを覆うように、絶縁層412を形成する（図15（C）参照）。

40

#### 【0237】

絶縁層412は、スパッタリング法やCVD法など、絶縁層412に水や水素などの不純物を混入させない方法を適宜用いて形成することができる。絶縁層412に水素が含まれると、水素の酸化物半導体層406aへの侵入が生じ、酸化物半導体層406aのバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成される。よって、絶縁層412はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

#### 【0238】

50

絶縁層412は、酸化珪素、酸化窒化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。特にスパッタリング法を用いて形成される酸化珪素膜が好ましい。なお、絶縁層412は、単層構造としてもよいし、積層構造としてもよい。絶縁層412の厚さは特に限定されないが、例えば、10nm以上500nm以下、好ましくは、50nm以上200nm以下とすることができる。

#### 【0239】

次に、酸化物半導体層406aに対して、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うことが好ましい。第2の熱処理を行うことによって、該酸化物半導体層406aの酸素欠損に酸素を供給して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することができる。また、第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを低減することができる。第2の熱処理の温度は、200以上450以下、望ましくは250以上350以下とする。第2の熱処理は、例えば、窒素雰囲気下で250、1時間の熱処理を行うことができる。

10

#### 【0240】

以上の工程により、トランジスタ450を形成することができる。

#### 【0241】

絶縁層412上に、さらに、絶縁層418を形成してもよい。絶縁層418は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁材料を用いることが好ましく、例えば、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、例えば、RFスパッタリング法を用いて窒化珪素膜を形成する。RFスパッタリング法は、量産性がよいため、絶縁層418の成膜方法として好ましい(図15(D)参照)。

20

#### 【0242】

なお、第1の熱処理及び第2の熱処理の条件、または酸化物半導体層406aの材料によつては、酸化物半導体層406aの一部が結晶化し、酸化物半導体層406a中に微結晶または多結晶が形成される場合もある。このように、酸化物半導体層406aを、非単結晶領域を有する構造とすることによって、より電界効果移動度及びオン電流の高いトランジスタとすることができます。また、酸化物半導体層406aが非晶質構造の場合は、複数の素子間における特性のばらつきを低減することができる。

#### 【0243】

30

以上のような第1の熱処理を行うことにより、酸化物半導体層406に含まれる水素を低減し、好ましくは、酸化物半導体層406に含まれる水素を除去し、酸化物半導体層406の主成分以外の不純物が極力含まれないように高純度化することができる。これにより、過剰な水素原子により形成される欠陥準位を低減することができる。このときの酸化物半導体層406の水素濃度は、 $5 \times 10^{19}$ (atoms/cm<sup>3</sup>)以下が好ましい。また、酸化物半導体層406のキャリア密度が $1 \times 10^{14}$ cm<sup>-3</sup>未満、好ましくは $1 \times 10^{12}$ cm<sup>-3</sup>未満、さらに好ましくは $1.45 \times 10^{10}$ cm<sup>-3</sup>未満が好ましい。即ち、酸化物半導体層406のキャリア密度は、限りなくゼロに近い。また、バンドギャップは2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。

#### 【0244】

40

このような高純度化された酸化物半導体層406をチャネル形成領域に用いると、トランジスタのオフ電流を低減することができる。オフ電流は、直接再結合または間接再結合による正孔と電子の生成・再結合によって流れるが、酸化物半導体層はバンドギャップが広く、電子の励起のために大きな熱エネルギーが必要であるため、直接再結合及び間接再結合が生じにくい。オフ状態では、少数キャリアであるホールは実質的にゼロであるため、直接再結合及び間接再結合が生じにくく、オフ電流は限りなく低減できる。このため、オフ電流を低減し、且つオン電流及び電界効果移動度を向上させた、優れた特性を有するトランジスタとなる。

#### 【0245】

以上のように、高純度化された酸化物半導体層は通路(パス)として機能し、キャリアは

50

電極のソース、ドレインにより供給される。酸化物半導体の電子親和力 およびフェルミレベル、理想的には真性フェルミレベルと一致したフェルミレベルと、ソース、ドレインの電極の仕事関数とを適宜選択することで、酸化物半導体層のキャリア密度を低減したまま、ソース電極及びドレイン電極からキャリアを注入させることができることが可能となり、n型トランジスタ及びp型トランジスタを適宜作製することができる。

#### 【0246】

また、高純度化された酸化物半導体の真性キャリア密度は、シリコンと比較して、極端に低い。シリコン及び酸化物半導体の真性キャリア密度は、フェルミ・ディラック分布及びボルツマン分布の近似式から求めることができあり、シリコンの真性キャリア密度 $n_i$ は $1.45 \times 10^{10} \text{ cm}^{-3}$ 、酸化物半導体（ここでは、In-Ga-Zn-O層）の真性キャリア密度 $n_i$ は $1.2 \times 10^{-7} \text{ cm}^{-3}$ となり、前者は後者より真性キャリア密度が $10^{17}$ 倍大きい。即ち、シリコンと比較して、酸化物半導体の真性キャリア密度が極端に低いことが分かる。

10

#### 【0247】

本実施の形態では、ボトムゲート構造の薄膜トランジスタを作製する場合について説明したが、本発明の一態様はこれに限定されず、トップゲート構造の薄膜トランジスタを作製することもできる。

#### 【0248】

##### 酸化物半導体を用いたトランジスタの電動機構

次に、酸化物半導体を用いたトランジスタの電導機構につき、図23乃至図26を用いて説明する。なお、以下の説明では、理解の容易にするため理想的な状況を仮定しており、そのすべてが現実の様子を反映しているとは限らない。また、以下の説明はあくまでも一考察に過ぎないことを付記する。

20

#### 【0249】

図23は、酸化物半導体を用いた逆スタガー型のトランジスタ（薄膜トランジスタ）の断面図である。ゲート電極層（GE）上にゲート絶縁層（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極層（S）及びドレイン電極層（D）が設けられている。

#### 【0250】

図24（A）、図24（B）には、図23のA-A'断面におけるエネルギーバンド図（模式図）を示す。図24（A）はソースとドレインの間の電位差をゼロ（等電位、 $V_D = 0 \text{ V}$ ）とした場合を示しており、図24（B）はソースに対しドレインの電位を高くした場合（ $V_D > 0$ ）を示している。

30

#### 【0251】

図25（A）、図25（B）には、図23におけるB-B'の断面におけるエネルギーバンド図（模式図）を示す。図25（A）は、ゲート（GE1）に正の電位（ $+V_G$ ）が与えられた状態であり、ソースとドレインとの間にキャリア（電子）が流れるオン状態を示している。また、図25（B）は、ゲート（GE1）に負の電位（ $-V_G$ ）が印加された状態であり、オフ状態（少数キャリアは流れない状態）である場合を示す。

40

#### 【0252】

図26は、真空準位と金属の仕事関数（M）、酸化物半導体の電子親和力（）の関係を示す。

#### 【0253】

金属中の電子は縮退しているため、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位（ $E_f$ ）は、バンドギャップ中央に位置する真性フェルミ準位（ $E_i$ ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーでありn型化する要因の一つであることが知られている。また、酸素欠損もn型化する一つの要因であることが知られている。

#### 【0254】

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸

50

化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化し、かつ、酸素欠損を除去することにより真性（i型）とし、または真性に近づけた酸化物半導体である。すなわち、不純物元素を添加してi型化するのではなく、水素や水等の不純物や酸素欠損を極力除去することにより、高純度化されたi型（真性半導体）またはそれに近づけることを特徴としている。これにより、フェルミ準位（ $E_f$ ）は真性フェルミ準位（ $E_i$ ）と同程度とすることができます。

#### 【0255】

酸化物半導体のバンドギャップ（ $E_g$ ）が3.15 eVである場合、電子親和力（ $\chi$ ）は4.3 eVと言われている。ソース電極やドレイン電極を構成するチタン（Ti）の仕事関数は、酸化物半導体の電子親和力（ $\chi$ ）とほぼ等しい。この場合、金属・酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。10

#### 【0256】

すなわち、金属の仕事関数（M）と酸化物半導体の電子親和力（ $\chi$ ）が等しい場合、両者が接触すると図24（A）で示すようなエネルギー・バンド図（模式図）が示される。

#### 【0257】

図24（B）において黒丸（●）は電子を示す。ドレインに正の電位が与えられると、電子はバリア（h）をこえて酸化物半導体に注入され、ドレインに向かって流れる。バリア（h）の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加される場合には、電圧印加のない図24（A）のバリアの高さ、すなわちバンドギャップ（ $E_g$ ）の1/2、より低くなる。20

#### 【0258】

このとき電子は、図25（A）で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近（酸化物半導体のエネルギー的に安定な最低部）を移動する。

#### 【0259】

また、図25（B）に示すように、ゲート電極（G E 1）に負の電位（逆バイアス）が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

#### 【0260】

例えば、薄膜トランジスタのチャネル幅Wが $1 \times 10^{-4} \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、室温においてオフ電流が $10^{-13} \text{ A}$ 以下であり、サブスレッショルドスイシング値（S値）が $0.1 \text{ V / dec}$ .（ゲート絶縁層膜厚 $100 \text{ nm}$ ）が得られる。30

#### 【0261】

このように、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、薄膜トランジスタの動作を良好なものとすることができます。例えば、室温に置けるオフ電流を $1 \times 10^{-20} \text{ A}$ （ $10 \text{ zA}$ （ゼプトアンペア））から、 $1 \times 10^{-19} \text{ A}$ （ $100 \text{ zA}$ ）程度にまで低減することも可能である。

#### 【0262】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、高純度化及び電気的にI型（真性）化された酸化物半導体である。40

#### 【0263】

よって酸化物半導体中の水素は少なければ少ないほどよく、酸化物半導体に含まれる水素濃度は、 $5 \times 10^{19} (\text{atoms/cm}^3)$ 以下として、酸化物半導体に含まれる水素をゼロに近いほど極力除去する。なお、酸化物半導体の水素濃度測定は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で行えばよい。

#### 【0264】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャ50

リア密度は  $1 \times 10^{12} \text{ cm}^{-3}$  未満、好ましくは  $1.45 \times 10^{10} \text{ cm}^{-3}$  未満である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロにする。酸化物半導体層中にキャリアが極めて少ないため、薄膜トランジスタでは、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。薄膜トランジスタは、チャネル幅 ( $w$ ) が  $1 \mu\text{m}$ あたりの電流値が  $100 \text{ aA}$  (つまり、 $100 \text{ aA} / \mu\text{m}$ ) 以下、好ましくは  $10 \text{ aA}$  (つまり、 $10 \text{ aA} / \mu\text{m}$ ) 以下、さらに好ましくは  $1 \text{ aA}$  (つまり、 $1 \text{ aA} / \mu\text{m}$ ) 以下である。さらに、p-n接合がなく、ホットキャリア劣化がないため、これらに薄膜トランジスタの電気的特性が影響を受けない。

#### 【0265】

このように、酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体層を薄膜トランジスタのチャネル形成領域に用いた薄膜トランジスタは、オフ電流を極めて小さくすることができる。つまり、薄膜トランジスタの非導通状態において、酸化物半導体層を絶縁体と見なして回路設計を行うことができる。一方で、酸化物半導体層は、薄膜トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。10

#### 【0266】

また、低温ポリシリコンを具備する薄膜トランジスタでは、酸化物半導体を用いて作製された薄膜トランジスタと比べて、オフ電流が  $10000$  倍程度大きい値であると見積もって設計等行っている。そのため、酸化物半導体を有する薄膜トランジスタでは、低温ポリシリコンを具備する薄膜トランジスタに比べて、保持容量が同等 (0.1 pF 程度) である際、電圧の保持期間を  $10000$  倍程度に引き延ばすことができる。一例として、動画表示を毎秒  $60$  フレームで行う場合、1回の信号書き込みによる保持期間を  $10000$  倍の  $160$  秒程度とすることができます。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。20

#### 【0267】

本実施の形態に示すトランジスタを、実施の形態1乃至実施の形態3に示す半導体装置に適用することにより、半導体装置の駆動能力の向上を図ることができる。

#### 【0268】

##### (実施の形態6)

本実施の形態では、表示装置の一例について説明する。30

#### 【0269】

図18(A)は、表示装置の一例を示す。図18(A)に示す表示装置は、回路5361、回路5362、回路5363\_1、回路5363\_2及び画素部5364を有するものとする。画素部5364には、回路5362から複数の配線5371が延伸して配置され、回路5363\_1、及び回路5363\_2から複数の配線5372が延伸して配置されている。そして、複数の配線5371と複数の配線5372との交差領域には、各々、画素5367がマトリクス状に配置されている。

#### 【0270】

回路5361は、回路5362、回路5363\_1及び回路5363\_2が動作するタイミングを制御する機能を有するものとする。そのために、回路5361は、映像信号5360に応じて、回路5362、回路5363\_1及び回路5363\_2に、信号、電圧又は電流などを供給する。例えば、回路5361は、回路5362に、ソースドライバ回路用スタート信号(SSP)、ソースドライバ回路用クロック信号(SCK)、ソースドライバ回路用反転クロック信号(SCKB)、ビデオ信号用データ(DATA)、ラッチ信号(LAT)を供給するものとする。また、回路5361は、回路5363\_1、及び回路5363\_2に、ゲートドライバ回路用スタート信号(GSP)、ゲートドライバ回路用クロック信号(GCK)、及びゲートドライバ回路用反転クロック信号(GCKB)を供給するものとする。このように、回路5361は、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとしての機能を有するものとする。40

#### 【0271】

回路 5362 は、回路 5361 から供給される信号（例えば、SSP、SCK、SCKB、DATA、LAT）に応じて、ビデオ信号を複数の配線 5371 に出力する機能を有するものとする。つまり、回路 5362 は、ソースドライバ回路としての機能を有するものとする。

#### 【0272】

回路 5363\_1 及び回路 5363\_2 は、回路 5361 から供給される信号（GSP、GCK、GCKB）に応じて、ゲート信号を複数の配線 5372 に出力する機能を有するものとする。つまり、回路 5363\_1 及び回路 5363\_2 は、ゲートドライバ回路として機能することが可能である。

#### 【0273】

なお、図 18 (A) に示す表示装置では、回路 5363\_1 と回路 5363\_2 とに、同じ信号が供給されているので、回路 5363\_1 と回路 5363\_2 とは、おおむね等しいタイミングで、ゲート信号を複数の配線 5372 に出力することが多い。これにより、回路 5363\_1 及び回路 5363\_2 の負荷を小さくすることができる。ただし、本実施の形態の一例は、これに限定されない。例えば、図 18 (B) に示すように、回路 5363\_1 と回路 5363\_2 とには、別々の信号が入力されることが可能である。これにより、複数の配線 5372 の一部（例えば奇数行）を回路 5363\_1 が制御し、複数の配線 5372 の別の一部（例えば偶数行）を回路 5363\_2 が制御することができる。そのため、回路 5363\_1 及び回路 5363\_2 の駆動周波数を小さくすることができる。

10

#### 【0274】

なお、図 18 (B) に示すように、表示装置は、回路 5365 及び照明装置 5366 を有することができる。回路 5365 は、回路 5361 から供給されるバックライト制御信号（BLC）に応じて、照明装置 5366 に供給する電力の量、又は時間などを制御する機能を有するものとする。これにより、照明装置 5366 の輝度（又は平均輝度）を映像信号 5360 に応じて制御することができる。そのため、バックライトエリア制御を実現することができる。または、画像が全体的に暗いときには、照明装置 5366 の輝度を低くし、画像が全体的に明るい場合には、照明装置 5366 の輝度を高くすることができます。こうして、コントラスト比の向上、又は消費電力の削減を図ることができる。

20

#### 【0275】

なお、複数の配線 5371 及び複数の配線 5372 は、信号線としての機能を有するものとする。特に、複数の配線 5371 は、ソース信号線（ビデオ信号線ともいう）としての機能を有するものとする。特に、複数の配線 5372 は、ゲート信号線（走査信号線又は選択信号線ともいう）としての機能を有するものとする。

30

#### 【0276】

なお、回路 5363\_1 と回路 5363\_2 との一方を省略することができる。または、回路 5363\_1 及び回路 5363\_2 と同様の機能を有する回路を新たに設けることが可能である。

#### 【0277】

なお、画素部 5364 には、画素 5367 の構成に応じて、一つ又は複数の配線（例えば、容量線、電源線、ゲート信号線及び / 又はソース信号線など）を配置することが可能である。このような場合、新たに設ける配線の電位を制御するための回路も、新たに設けることが可能である。特に、表示素子として、液晶素子又は電気泳動素子などを用いる場合、画素部 5364 には容量線を設けることが好ましい。特に、表示素子として、EL 素子を用いる場合、電源を画素部 5364 に設けることが好ましい。

40

#### 【0278】

次に、図 18 (A) に示す表示装置は、図 19 (A) に示すように、回路 5362、回路 5363\_1 及び回路 5363\_2 は、画素部 5364 と同じ基板 5380 に形成されることが可能である。そして、図 18 (A) に示す表示装置の回路 5361 は、画素部 5364 とは別の基板に形成されることが可能である。

50

**【0279】**

なお、図18(A)に示す表示装置は、図19(B)に示すように、回路5361及び回路5362は、画素部5364とは別の基板に形成されることが可能である。回路5363\_1及び回路5363\_2の駆動周波数は、回路5361及び回路5362と比較して、低い場合が多いので、回路5361及び回路5362は、回路5363\_1及び回路5363\_2と別の基板に形成するのが好ましい。この結果、回路5361及び回路5362の駆動周波数を高くすることができるので、表示装置を大きくすることができる。また、回路5363\_1及び回路5363\_2を画素部5364と同一基板上に形成できるので、表示装置を安価に製造することができる。

**【0280】**

10

なお、図18(A)に示す表示装置は、図19(C)に示すように、回路5362a(回路5362の一部)が画素部5364と同じ基板に形成され、回路5361及び回路5362b(回路5362の別の一部)が画素部5364とは別の基板に形成されることが可能である。回路5362aとしては、スイッチ、シフトレジスタ及びノアセレクタなどの比較的駆動周波数が低い回路を用いることが可能である。そのため、回路5361及び回路5362bの駆動周波数を高くすることができるので、表示装置を大きくすることができる。または、回路5362a、回路5363\_1及び回路5363\_2を画素部5364と同一基板上に形成できるので、表示装置を安価に製造することができる。

**【0281】**

20

なお、図18(A)に示す表示装置は、図19(D)に示すように、回路5361a(回路5361の一部)が画素部5364と同じ基板に形成され、回路5361b(回路5361の別の一部)が画素部5364とは別の基板に形成されることが可能である。

**【0282】**

なお、画素部5364とは別の基板に形成される回路(外部回路ともいう)は、入力端子5381を介して、画素部5364と同じ基板に形成される回路又は配線に、信号、電圧、又は電流などを供給することが多い。

**【0283】**

30

なお、外部回路は、TAB(Tape Automated Bonding)方式を用いて、FPC(Flexible Printed Circuit)に実装することができる。または、当該外部回路は、COG(Chip on Glass)方式によって画素部5364と同じ基板5380に実装することができる。

**【0284】**

なお、外部回路は、単結晶基板又はSOI基板などに形成されることが好ましい。これにより、駆動周波数の向上、駆動電圧の向上又は出力信号のばらつきの低減などを図ることができる。

**【0285】**

なお、本実施の形態の表示装置は、実施の形態1～実施の形態4に示す半導体装置を適用することができる。特に、回路5362及び回路5363として、実施の形態1～実施の形態4に示す半導体装置を用いることが可能である。これにより、画素部5364を駆動する回路(例えば回路5362及び回路5363)の駆動能力の向上を図ることができる。したがって、画素の解像度の向上を図ることができる。または、表示装置を大型にすることができる。

40

**【0286】**

なお、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置の一例としては、EL(エレクトロルミネッセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、LED(白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ

50

パネル( PDP )、デジタルマイクロミラーデバイス( DMD )、圧電セラミックディスプレイなど、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッショニンディスプレイ( FED )又はSED方式平面型ディスプレイ( SED : Surface-conduction Electron-emitter Display )などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ( 透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ )などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

10

### 【 0287 】

EL素子の一例としては、陽極と、陰極と、陽極と陰極との間に挟まれたEL層と、を有する素子などがある。EL層の一例としては、1重項励起子からの発光( 蛍光 )を利用するものの、3重項励起子からの発光( 燐光 )を利用するもの、1重項励起子からの発光( 蛍光 )を利用するものと3重項励起子からの発光( 燐光 )を利用するものとを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものとを含むもの、高分子の材料を含むもの、低分子の材料を含むもの、又は高分子の材料と低分子の材料とを含むもの、などがある。ただし、これに限定されず、EL素子として様々なものを用いることができる。

20

### 【 0288 】

なお、液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子は一対の電極と液晶層により構造されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界( 横方向の電界、縦方向の電界又は斜め方向の電界を含む )によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スマートチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶( PDLC )、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶( PALC )、バナナ型液晶などを挙げることができる。また液晶の駆動方法としては、TN( Twisted Nematic )モード、STN( Super Twisted Nematic )モード、IPS( In-Plane-Switching )モード、FFS( Fringe Field Switching )モード、MVA( Multi-domain Vertical Alignment )モード、PVA( Patterned Vertical Alignment )モード、ASV( Advanced Super View )モード、ASM( Axially Symmetric aligned Micro-cell )モード、OCB( Optically Compensated Birefringence )モード、ECB( Electrically Controlled Birefringence )モード、FLC( Ferroelectric Liquid Crystal )モード、AFLC( Anti-Ferroelectric Liquid Crystal )モード、PDLC( Polymer Dispersed Liquid Crystal )モード、PNLC( Polymer Network Liquid Crystal )モード、ゲストホストモード、ブルー相( Blue Phase )モードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

30

### 【 0289 】

なお、電子ペーパーの表示方法の一例としては、分子により表示されるもの( 光学異方性、染料分子配向など )、粒子により表示されるもの( 電気泳動、粒子移動、粒子回転、相変化など )、フィルムの一端が移動することにより表示されるもの、分子の発色 / 相変化により表示されるもの、分子の光吸収により表示されるもの、又は電子とホールが結合して自発光により表示されるものなどを用いることができる。具体的には、電子ペーパーの表示方法の一例としては、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動

40

50

型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体（登録商標）、磁気泳動型、磁気感熱式、エレクトロウェッティング、光散乱（透明／白濁変化）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料による発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどがある。ただし、これに限定されず、電子ペーパー及びその表示方法として様々なものを用いることができる。ここで、電子ペーパーの表示方法としてマイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。また、電子ペーパーの表示方法として電子粉流体（登録商標）を用いることによって、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

#### 【0290】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（GLV）を用いた表示装置、デジタルマイクロミラーデバイス（DMD）を用いた表示装置などの光源の一例としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

#### 【0291】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。トランジスタを形成する基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タンクステン基板、タンクステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニオホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルファン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエチル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエチル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

#### 【0292】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエチル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエチル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

#### 【0293】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。

10

20

30

40

50

**【0294】**

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。10

**【0295】**

なお、駆動回路（例えば回路5362及び回路5363）を構成するトランジスタ、及び/又は画素部5354を構成するトランジスタとして、実施の形態5に示すトランジスタを用いることができる。

**【0296】****(実施の形態7)**

本実施の形態では、画素の一例及びその画素の駆動方法について説明する。特に、メモリ性を有する表示素子を含む画素の一例及びその画素の駆動方法の一例について説明する。20

**【0297】**

図20(A)は、画素の回路図の一例を示す。画素5450は、トランジスタ5451、容量素子5452及び表示素子5453を有する。トランジスタ5451の第1の端子は、配線5461と接続される。トランジスタ5451の第2の端子は、容量素子5452の一方の電極及び表示素子5453の一方の電極（画素電極ともいう）と接続される。トランジスタ5451のゲートは、配線5462と接続される。容量素子5452の他方の電極は、配線5463と接続される。表示素子5453の他方の電極は、電極5454（コモン電極、共通電極、対向電極、カソード電極ともいう）と接続される。

**【0298】**

なお、表示素子5453の一方の電極を、電極5455と示す。30

**【0299】**

表示素子5453は、メモリ性を有することが好ましい。表示素子5453又は表示素子の駆動方式としては、マイクロカプセル型電気泳動方式、マイクロカップ型電気泳動方式、水平移動型電気泳動方式、垂直移動型電気泳動方式、ツイストボール方式、粉体移動方式、電子粉流体（登録商標）方式、コレステリック液晶素子、カイラルネマチック液晶、反強誘電性液晶、高分子分散型液晶、帯電トナー、エレクトロウェッティング方式、エレクトロクロミズム方式、エレクトロデポジション方式などがある。

**【0300】**

図20(B)は、マイクロカプセル型の電気泳動方式を用いた画素の断面図を示す。電極5454と電極5455との間に、複数のマイクロカプセル5480が配置される。複数のマイクロカプセル5480は、樹脂5481により固定される。樹脂5481は、バインダとしての機能を有する。樹脂5481は、透光性を有するとよい。ただし、電極5454と電極5455とマイクロカプセル5480とによって形成される空間には、空気又は不活性ガスなどの気体が充填されうる。なお、電極5454と電極5455との一方又は両方の表面に粘着剤等を含む層を形成して、マイクロカプセル5480を固定することもできる。

**【0301】**

マイクロカプセル5480は、膜5482と、液体5483と、粒子5484と、粒子5485とを有する。液体5483と、粒子5484と、粒子5485とは、膜5482の4050

中に封入されている。膜 5 4 8 2 は、透光性を有する。液体 5 4 8 3 は、分散液としての機能を有する。液体 5 4 8 3 により、粒子 5 4 8 4 及び粒子 5 4 8 5 を膜 5 4 8 2 内に分散させることができる。なお、液体 5 4 8 3 は、透光性を有し、無着色であるとよい。粒子 5 4 8 4 及び粒子 5 4 8 5 とは、互いに異なる色である。例えば、粒子 5 4 8 4 及び粒子 5 4 8 5 の一方は、黒色であり、粒子 5 4 8 4 及び粒子 5 4 8 5 の他方は、白色であるとよい。なお、粒子 5 4 8 4 及び粒子 5 4 8 5 は、互いの電荷密度が異なるように、帯電されている。例えば、粒子 5 4 8 4 及び粒子 5 4 8 5 の一方は、正に帯電され、粒子 5 4 8 4 及び粒子 5 4 8 5 の他方は、負に帯電される。これにより、電極 5 4 5 4 と電極 5 4 5 5 との間に電位差が生じると、粒子 5 4 8 4 及び粒子 5 4 8 5 は、電界方向に応じて移動する。こうして、表示素子 5 4 5 3 の反射率が変化することにより、階調を制御することができる。ただし、マイクロカプセル 5 4 8 0 の構造は、前述したものに限定されない。  
10 例えば、液体 5 4 8 3 は、着色されることが可能である。別の例として、膜 5 4 8 2 の中に封入される粒子は、1種類であることが可能である。または、3種類以上であることが可能である。別の例として、粒子 5 4 8 4 及び粒子 5 4 8 5 は、白色及び黒色だけでなく、赤色、緑色、青色、シアン、マゼンダ、イエローエメラルドグリーン、朱色などの中から選択することが可能である。

### 【0302】

膜 5 4 8 2 としては、透光性を有する材料（例えばアクリル樹脂（例えばポリメタクリル酸メチル、ポリメタクリル酸エチルなど）、ユリア樹脂又はアラビアゴムなどの高分子樹脂）などがある。なお、膜 5 4 8 2 は、ゼラチン状であるとよい。これにより、柔軟性、曲げ強度及び機械的強度などの向上を図ることができるために、フレキシビリティの向上を図ることができる。または、マイクロカプセル 5 4 8 0 を隙間なく且つ均一に、フィルムなどの基板に配置することができる。  
20

### 【0303】

液体 5 4 8 3 としては、透光性を有する油性の液体を用いるとよい。具体的には、液体 5 4 8 3 としては、アルコール系溶媒（例えばメタノール、エタノール、イソプロパノール、ブタノール、オクタノール又はメチルセロソルブなど）、エステル（例えば酢酸エチル又は酢酸ブチルなど）、脂肪族炭化水素（例えばアセトン、メチルエチルケトン、メチルイソブチルケトン等のケトン類、ペンタン、ヘキサン又はオクタンなど）、脂環式炭化水素（例えばシクロヘキサン又はメチルシクロヘキサンなど）、長鎖アルキル基を有するベンゼン類等の芳香族炭化水素（例えばベンゼン、トルエン、キシレン、ヘキシルベンゼン、ブチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン又はテトラデシルベンゼンなど）、ハロゲン化炭化水素（例えば塩化メチレン、クロロホルム、四塩化炭素又はジクロロエタンなど）、カルボン酸塩、水、若しくはその他の油類などがある。または、これらの材料の中の少なくとも2つ以上の混合物がある。または、これらの材料又はこれらの材料の中の少なくとも2つ以上の混合物に、界面活性剤などを配合したものなどがある。  
30

### 【0304】

粒子 5 4 8 4 及び粒子 5 4 8 5 は、各々、顔料により構成される。粒子 5 4 8 4 及び粒子 5 4 8 5 を構成する顔料は、互いに異なる色であることが好ましい。例えば、粒子 5 4 8 4 は、黒色の顔料により構成され、粒子 5 4 8 5 は、白色の顔料により構成されるとよい。黒色の顔料としては、アニリンブラック又はカーボンブラックなどがある。白色の顔料としては、二酸化チタン、亜鉛華（酸化亜鉛）又は三酸化アンチモンなどがある。なお、これらの顔料には、荷電制御剤（例えば電解質、界面活性剤、金属石鹼、樹脂、ゴム、油、ワニス又はコンパウンドなど）、分散剤（例えばチタン系カップリング剤、アルミニウム系カップリング剤又はシラン系カップリング剤など）、潤滑剤又は安定化剤などを添加することが可能である。  
40

### 【0305】

図 21 (A) は、表示素子 5 4 5 3 の方式として、ツイストボール方式を用いる場合の画素の断面図を示す。ツイストボール方式は、表示素子の回転により、反射率を変化させ、  
50

階調を制御するものである。図 20 (B)との違いは、電極 5454 と電極 5455との間に、マイクロカプセル 5480 の代わりに、ツイストボール 5486 が配置されているところである。ツイストボール 5486 は、粒子 5487 と、粒子 5487 の周りに形成されるキャビティ 5488 とにより構成される。粒子 5487 は、半球面をそれぞれある色と該ある色とは異なる色とに塗り分けた球状粒子である。ここでは、粒子 5487 は、半球面をそれぞれ白色と黒色とに塗り分けられているとする。なお、2つの半球面には電荷密度差が設けられている。そのため、電極 5454 と電極 5455 との間に電位差を生じさせることにより、粒子 5487 を電界方向に応じて回転させることができる。キャビティ 5488 は、液体で満たされている。該液体は、液体 5483 と同様なものを用いることができる。ただし、ツイストボール 5486 は、図 21 (A) に示す構造に限定されない。例えば、ツイストボール 5486 の構造は、円柱又は橍円などとすることが可能である。

### 【0306】

図 21 (B) は、表示素子 5453 の方式として、マイクロカップ型の電気泳動方式を用いる場合の画素の断面図を示す。マイクロカップアレイは、UV 硬化樹脂等からなり複数の凹部を有するマイクロカップ 5491 に、誘電性溶媒 5492 に分散させた帯電色素粒子 5493 を充填し、封止層 5494 で封止することにより作製できる。封止層 5494 と電極 5455との間には、粘着層 5495 を形成するとよい。誘電性溶媒 5492 としては、無着色溶媒を用いることが可能であるし、赤や青などの着色溶媒を用いることも可能である。ここでは、帯電色素粒子を1種類有する場合を図示したが、帯電色素粒子を2種類以上有していてもよい。マイクロカップはセルを区切る壁構造を有するため、衝撃や圧力にも十分な耐久性がある。または、マイクロカップの内容物は密閉されているため、環境変化の影響を低減することができる。

### 【0307】

図 21 (C) は、表示素子 5453 の方式として、電子粉流体（登録商標）方式を用いる場合の画素の断面図を示す。電子粉流体（登録商標）は流動性を示し、流体と粒子の特性を兼ね備えた物質である。この方式では、隔壁 5504 でセルを区切り、セル内に電子粉流体（登録商標）5502 及び電子粉流体（登録商標）5503 を配置する。電子粉流体（登録商標）5502 及び電子粉流体（登録商標）5503 として、白色粒子と黒色粒子とを用いるとよい。ただし、電子粉流体（登録商標）5502 及び電子粉流体（登録商標）5503 の種類は、これに限定されない。例えば、電子粉流体（登録商標）5502 及び電子粉流体（登録商標）5503 としては、白及び黒以外の2色の有色粒子を用いることが可能である。別の例として、電子粉流体（登録商標）5502 と電子粉流体（登録商標）5503 との一方を省略することが可能である。

### 【0308】

配線 5461 には、信号が入力されるものとする。特に、配線 5461 には、表示素子 5453 の階調を制御するための信号（例えばビデオ信号）が入力されるものとする。このように、配線 5461 は、信号線又はソース信号線（ビデオ信号線又はソース線ともいう）としての機能を有するものとする。配線 5462 には、信号が入力されるものとする。特に、配線 5462 には、トランジスタ 5451 の導通状態を制御するための信号（例えばゲート信号、走査信号、選択信号など）が入力されるものとする。このように、配線 5462 は、信号線又はゲート信号線（走査信号線又はゲート線ともいう）としての機能を有するものとする。配線 5463 には、一定の電圧が供給されるものとする。配線 5463 は、容量素子 5452 と接続されている。そのため、配線 5463 は、電源線又は容量線としての機能を有するものとする。電極 5454 には、一定の電圧が供給されているものとする。電極 5454 は、複数の画素又は全ての画素間において、共通である場合が多い。そのため、電極 5454 は、コモン電極（共通電極、対向電極又はカソード電極ともいう）としての機能を有するものとする。

### 【0309】

なお、配線 5461、配線 5462、配線 5463 及び電極 5454 に入力される信号又

10

20

30

40

50

は電圧は、上述したものに限定されず、他にも様々な信号又は様々な電圧などを入力することが可能である。例えば、配線 5463 に、信号を入力することが可能である。これにより、電極 5455 の電位を制御することができるので、配線 5461 に入力される信号の振幅電圧を小さくすることができる。そのため、配線 5463 は、信号線としての機能を有することができる。別の例として、電極 5454 に供給する電圧を変化させることにより、表示素子 5453 に印加される電圧を調整することができる。これにより、配線 5461 に入力される信号の振幅電圧を小さくすることができる。

#### 【0310】

トランジスタ 5451 は、配線 5461 と電極 5455との間の導通状態を制御する機能を有する。または、トランジスタ 5451 は、配線 5461 の電位を、電極 5455 に供給するタイミングを制御する機能を有する。または、トランジスタ 5451 は、画素 5450 を選択するタイミングを制御する機能を有する。このように、トランジスタ 5451 は、スイッチ又は選択用トランジスタとしての機能を有するものとする。なお、トランジスタ 5451 は、N チャネル型とする。そのため、トランジスタ 5451 は、配線 5462 に H 信号が入力されるとオンになり、配線 5462 に L 信号が入力されるとオフになるものとする。ただし、トランジスタ 5451 の極性は、N チャネル型に限定されず、トランジスタ 5451 は、P チャネル型であることが可能である。この場合、トランジスタ 5451 は、配線 5462 に L 信号が入力されるとオンになり、配線 5462 に H 信号が入力されるとオフになるものとする。容量素子 5452 は、電極 5455 と、配線 5463 との間の電位差を保持する機能を有する。または、容量素子 5452 は、電極 5455 の電位を所定の値に維持する機能を有する。これにより、トランジスタ 5451 がオフになつても、表示素子 5453 に電圧が印加し続けることができる。このように、容量素子 5452 は、保持容量としての機能を有するものとする。ただし、トランジスタ 5451 及び容量素子 5452 が有する機能は、前述したものに限定されず、他にも様々な機能を有することが可能である。

#### 【0311】

次に、本実施の形態の画素の動作の概略について説明する。表示素子 5453 の階調の制御は、表示素子 5453 に電圧を印加し、表示素子 5453 に電界を発生させることにより行われる。表示素子 5453 に印加される電圧の制御は、電極 5454 の電位及び電極 5455 の電位を制御することにより行われる。具体的には、電極 5454 の電位の制御は、電極 5454 に供給する電圧を制御することにより行われる。電極 5455 の電位の制御は、配線 5461 に入力される信号を制御することにより行われる。なお、配線 5461 に入力される信号は、トランジスタ 5451 がオンになることにより、電極 5455 に供給される。

#### 【0312】

なお、表示素子 5453 にかかる電界の強度、表示素子 5453 にかかる電界の向き、表示素子 5453 に電界をかける時間などを制御するにより、表示素子 5453 の階調を制御することができる。なお、電極 5454 と電極 5455との間に、電位差を生じさせないことにより、表示素子 5453 の階調を保持することができる。

#### 【0313】

次に、本実施の形態の画素の動作の一例について説明する。図 22 (A) に示すタイミングチャートは、選択期間と非選択期間とを有する期間 T について示す。期間 T は、選択期間の開始時刻から、次の選択期間の開始時刻までの間の期間のことを行う。

#### 【0314】

選択期間では、配線 5462 に H 信号が入力されるので、配線 5462 の電位（電位 V5462 と示す）は、H レベルとなる。そのため、トランジスタ 5451 はオンになるので、配線 5461 と電極 5455 とは導通状態になる。これにより、配線 5461 に入力される信号は、トランジスタ 5451 を介して、電極 5455 に供給される。そして、電極 5455 の電位（電位 V5455 と示す）は、配線 5461 に入力される信号と等しい値となる。このとき、容量素子 5452 は、電極 5455 と、配線 5463 との間の電位差

10

20

30

40

50

を保持する。非選択期間では、配線 5462 に L 信号が入力されるため、配線 5462 の電位は、L レベルになる。そのため、トランジスタ 5451 はオフになるので、配線 5461 と電極 5455 とは非導通状態になる。すると、電極 5455 は浮遊状態になる。このとき、容量素子 5452 は、選択期間における、電極 5455 と配線 5463 との間の電位差を保持している。そのため、電極 5455 の電位は、選択期間における配線 5461 に入力される信号と等しい値のままとなる。こうして、非選択期間において、トランジスタ 5451 がオフになつても、表示素子 5453 に電圧を印加し続けることができる。以上のように、選択期間における配線 5461 に入力される信号を制御することにより、表示素子 5453 に印加される電圧を制御することができる。つまり、表示素子 5453 の階調の制御は、選択期間における配線 5461 に入力される信号を制御することにより行うことができる。10

#### 【0315】

なお、非選択期間における電極 5455 の電位は、トランジスタ 5451 のオフ電流、トランジスタ 5451 のフィードスルー、トランジスタ 5451 のチャージインジェクションなどの影響により、選択期間における配線 5461 に入力される信号と異なることがある。

#### 【0316】

なお、図 22 (B) に示すように、選択期間の一部において、電極 5455 の電位を、電極 5454 と等しい値とすることが可能である。よって、配線 5461 に同じ信号が連続して入力され続けても、選択期間の一部において電極 5455 の電位を変化させることにより、表示素子 5453 の電界強度を変化させることができる。そのため、残像を低減することができる。または、応答速度を早くすることができる。または、画素間の応答速度のばらつきを小さくすることができ、ムラ又は残像を防止することができる。このような駆動方法を実現するためには、選択期間を、期間 T1 と期間 T2 とに分割するとよい。そして、期間 T1 において、配線 5461 に入力される信号を、電極 5454 と等しい値とするとよい。なお、期間 T2 においては、配線 5461 に入力される信号は、表示素子 5453 の階調を制御するために様々な値とするとよい。なお、期間 T1 の時間が長すぎると、表示素子 5453 の階調を制御するための信号を、画素 5450 に書き込む時間が短くなってしまう。したがって、期間 T1 は、期間 T2 よりも短いことが好ましい。特に、期間 T1 は、選択期間の 1% 以上 20% 以下であることが好ましい。より好ましくは、3% 以上 15% 以下である。さらに好ましくは 5% 以上 10% 以下である。2030

#### 【0317】

次に、表示素子 5453 に電圧を印加する時間により、表示素子 5453 の階調を制御する、本実施の形態の画素の動作の一例について説明する。図 22 (C) に示すタイミングチャートは、期間 Ta と期間 Tb を有する。そして、期間 Ta は、N (N は自然数) 個の期間 T を有する。N 個の期間 T は、各々、図 22 (A) ~ (B) に示す期間 T と同様である。期間 Ta は、表示素子 5453 の階調を変化させるための期間 (例えば、アドレス期間、書込期間、画像書き換え期間など) である。期間 Tb は、期間 Ta における表示素子 5453 の階調を保持する期間 (保持期間) である。

#### 【0318】

電極 5454 には、電圧 V0 が供給されるものとする。そのため、電極 5454 には、電位 V0 が与えられるものとする。配線 5463 には、少なくとも 3 つの値を有する信号が入力されるものとする。該信号の 3 つの値の電位は、各々、電位 VH (VH > V0) と、電位 V0 と、電位 VL (VL < V0) とする。そのため、電極 5455 には、電位 VH と電位 V0 と電位 VL とが選択的に与えられるものとする。40

#### 【0319】

期間 Ta が有する N 個の期間 T において、各々、電極 5455 に与える電位を制御することにより、表示素子 5453 に印加される電圧を制御することができる。例えば、電極 5455 に電位 VH が与えられることにより、電極 5454 と電極 5455 との電位差は、VH - VL となる。これにより、表示素子 5453 に、正の電圧を印加することができる50

。電極 5455 に電位 V0 が与えられることにより、電極 5454 と電極 5455 との電位差は、ゼロとなる。これにより、表示素子 5453 に、電圧ゼロを印加することができる。電極 5455 に電位 VL が与えられることにより、電極 5454 と電極 5455 との電位差は、VL - VH となる。これにより、表示素子 5453 に、負の電圧を印加することができる。以上のように、期間 Ta では、表示素子 5453 に、正の電圧 (VH - VL) と負の電圧 (VL - VH) とゼロとを様々な順番で印加することができる。これにより、表示素子 5453 の階調を細かく制御することができる。または、残像を低減することができる。または、応答速度を早くすることができます。

#### 【0320】

なお、本実施の形態では、表示素子 5453 に正の電圧が印加されると、表示素子 5453 の階調は、黒（第1の階調ともいう）に近づくものとする。表示素子 5453 に負の電圧が印加されると、表示素子 5453 の階調は、白（第2の階調ともいう）に近づくものとする。表示素子 5453 に電圧ゼロが印加されると、表示素子 5453 の階調は、保持されるものとする。10

#### 【0321】

期間 Tb では、配線 5461 に入力される信号は、画素 5450 に書き込まれないものとする。そのため、期間 Tb では、期間 Ta の N 番目の期間 T において電極 5455 に与えられる電位が、電極 5455 に与えられ続ける。特に、期間 Tb では、表示素子 5453 に電界を生じさせないことにより、表示素子 5453 の階調を保持することが好ましい。そのために、期間 Ta の N 番目の期間 T において、電極 5455 に電位 V0 が与えられることが好ましい。これにより、期間 Tb においても、電極 5455 には電位 V0 が与えられるので、表示素子 5453 には電圧ゼロが印加される。そのため、表示素子 5453 の階調を保持することができる。20

#### 【0322】

なお、表示素子 5453 が次に表示する階調が、第1の階調に近いほど、期間 Ta のうち、電位 VH が電極 5455 に与えられる時間を長くするとよい。または、N 個の期間 T のうち、電位 VH が電極 5455 に与えられる回数を多くするとよい。または、期間 Ta のうち、電位 VH が電極 5455 に与えられる時間から電位 VL が電極 5455 に与えられる時間を引いた時間を長くするとよい。または、N 個の期間 T のうち、電位 VH が電極 5455 に与えられる回数から電位 VL が電極 5455 に与えられる回数を引いた回数を、多くするとよい。30

#### 【0323】

なお、表示素子 5453 が次に表示する階調が、第2の階調に近いほど、期間 Ta のうち、電位 VL が電極 5455 に与えられる時間を長くするとよい。または、N 個の期間 T のうち、電位 VL が電極 5455 に与えられる回数を多くするとよい。または、期間 Ta のうち、電位 VL が電極 5455 に与えられる時間から電位 VH が電極 5455 に与えられる時間を引いた時間を長くするとよい。または、N 個の期間 T のうち、電位 VL が電極 5455 に与えられる回数から電位 VH が電極 5455 に与えられる回数を引いた回数を、多くするとよい。

#### 【0324】

なお、期間 Ta において、電極 5455 に与えられる電位（電位 VH、電位 V0、電位 VL）の組み合わせは、表示素子 5453 が次に表示する階調に依存するだけでなく、表示素子 5453 が既に表示している階調に依存することが可能である。そのため、次に表示素子 5453 が表示する階調が同じ場合でも、既に表示素子 5453 が表示している階調が異なると、電極 5455 に与えられる電位の組み合わせが異なることがある。40

#### 【0325】

例えば、表示素子 5453 が既に表示している階調を、表示するための期間 Ta において、電位 VH が電極 5455 に与えられる時間が長いほど、電位 VH が電極 5455 に与えられる時間から電位 VL が電極 5455 に与えられる時間を引いた時間が長いほど、N 個の期間 T のうち、電位 VH が電極 5455 に与えられる回数が多いほど、又は N 個の期間50

Tのうち、電位VHが電極5455に与えられる回数から電位VLが電極5455に与えられる回数を引いた値が多いほど、期間Taのうち、電位VLが電極5455に与えられる時間を長くするとよい。または、N個の期間Tのうち、電位VLが電極5455に与えられる回数を多くするとよい。または、期間Taのうち、電位VLが電極5455に与えられる時間から電位VHが電極5455に与えられる時間を引いた時間を長くするとよい。または、N個の期間Tのうち、電位VLが電極5455に与えられる回数から電位VHが電極5455に与えられる回数を引いた回数を、多くするとよい。これにより、残像を低減することができる。

### 【0326】

別の例として、表示素子5453が既に表示している階調を、表示するための期間Taにおいて、電位VLが電極5455に与えられる時間が長いほど、電位VLが電極5455に与えられる時間から電位VHが電極5455に与えられる時間を引いた時間が長いほど、N個の期間Tのうち、電位VLが電極5455に与えられる回数が多いほど、又はN個の期間Tのうち、電位VLが電極5455に与えられる回数を引いた値が多いほど、期間Taのうち、電位VHが電極5455に与えられる時間を長くするとよい。または、N個の期間Tのうち、電位VHが電極5455に与えられる回数を多くするとよい。または、期間Taのうち、電位VHが電極5455に与えられる時間から電位VLが電極5455に与えられる時間を引いた時間を長くするとよい。または、N個の期間Tのうち、電位VHが電極5455に与えられる回数から電位VLが電極5455に与えられる回数を引いた回数を、多くするとよい。これにより、残像を低減することができる。

10

### 【0327】

なお、N個の期間Tは、各々、等しい長さであるものとする。ただし、N個の期間Tの長さは、これに限定されない。例えば、N個の期間Tのうちの少なくとも2つは、互いに異なる長さがあることが可能である。特に、N個の期間Tの長さを重み付けするとよい。例えば、N = 4である場合、1番目の期間Tの長さを時間hとすると、2番目の期間Tの長さを時間h × 2とするとよい。3番目の期間Tの長さを時間h × 4とするとよい。4番目の期間Tの長さを時間h × 8とするとよい。このように、N個の期間Tの長さに重み付けを行うことにより、画素5450を選択する回数を減らすことができ、且つ表示素子5453に電圧を印加する時間を細かく制御することができる。よって、消費電力の削減を図ることができる。

20

### 【0328】

なお、電極5454には、電位VHと電位VLと選択的に与えることが可能である。この場合、電極5455にも、電位VHと電位VLとを選択的に与えることが好ましい。例えば、電極5454に電位VHが与えられる場合、電極5455に電位VHが与えられる、表示素子5453には電圧ゼロが印加される。電極5455に電位VLが与えられる、表示素子5453には負の電圧が印加される。一方で、電極5454に電位VLが与えられる場合、電極5455に電位VHが与えられると、表示素子5453には正の電圧が印加される。電極5455に電位VLが与えられると、表示素子5453には電圧ゼロが印加される。このようにして、配線5461に入力される信号を2値（デジタル信号）とすることができる。そのため、配線5461に信号を出力する回路を簡単にすることができます。

30

### 【0329】

なお、期間Tb又は期間Tbの一部において、配線5461及び配線5462には、信号を入力しないことが可能である。つまり、配線5461及び配線5462を浮遊状態にすることができる。なお、期間Tb又は期間Tbの一部において、配線5463には、信号を入力しないことが可能である。つまり、配線5463を浮遊状態にすることができる。なお、期間Tb又は期間Tbの一部において、電極5454には、電圧を供給しないことが可能である。つまり、電極5454を浮遊状態にすることが可能である。

40

### 【0330】

50

本実施の形態で示した、メモリ性を有する表示素子は、通常の液晶素子（例えば、T N 液晶）と比較して、大きい電圧を印加する必要がある。メモリ性を有する表示素子を駆動する回路として、実施の形態 5 のトランジスタを用いた実施の形態 1 ~ 4 の半導体装置を適用することによって、駆動電圧を大きくすることができる。なぜなら、実施の形態 5 に示すトランジスタの耐圧は、a - Si TFT（非晶質シリコン薄膜トランジスタ）又は p - Si TFT（多結晶シリコン薄膜トランジスタ）などと比較して高いからである。

### 【0331】

さらに、メモリ性を有する表示素子を駆動する回路に、実施の形態 5 に示すトランジスタを適用すると共に、メモリ性を有する表示素子とともに画素を構成するトランジスタ 5451 として、実施の形態 5 に示すトランジスタを用いることが好ましい。これにより、トランジスタ 5451 のオフ電流を小さくすることができるので、トランジスタ 5451 のチャネル幅を小さくすることができる。または、容量素子 5452 の面積を小さくすることができる。したがって、画素の面積を小さくすることができる。よって、本実施の形態の画素を表示装置の画素部に設けることにより、該表示装置を高精細にすることができる。また、メモリ性を有する表示素子を駆動する回路とメモリ性を有する表示素子を含む画素部を容易に同一基板上に形成することができる。

### 【0332】

#### (実施の形態 8 )

本実施の形態においては、電子機器の例について説明する。

### 【0333】

図 27 (A) 乃至 図 27 (H)、図 28 (A) 乃至 図 28 (D) は、電子機器を示す図である。これらの電子機器は、筐体 5000、表示部 5001、スピーカ 5003、LED ランプ 5004、操作キー 5005（電源スイッチ、又は操作スイッチを含む）、接続端子 5006、センサ 5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 5008、等を有することができる。

### 【0334】

図 27 (A) は携帯端末であり、上述したものその他に、スイッチ 5009、赤外線ポート 5010、等を有することができる。図 27 (B) は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD 再生装置）であり、上述したものその他に、第 2 表示部 5002、記録媒体読込部 5011、等を有することができる。図 27 (E) は携帯型テレビであり、上述したものその他に、アンテナ 5014 等を有することができる。図 27 (D) は携帯型遊戯機であり、上述したものその他に、記録媒体読込部 5011、等を有することができる。図 27 (C) はプロジェクタであり、上述したものその他に、光源 5033、投射レンズ 5034、等を有することができる。図 27 (F) は携帯型遊戯機であり、上述したものその他に、第 2 表示部 5002、記録媒体読込部 5011、等を有することができる。図 27 (G) はテレビ受像器であり、上述したものその他に、チューナ、画像処理部、等を有することができる。図 27 (H) は持ち運び型テレビ受像器であり、上述したものその他に、信号の送受信が可能な充電器 5017、等を有することができる。図 28 (A) はディスプレイであり、上述したものその他に、支持台 5018、等を有することができる。図 28 (B) はカメラであり、上述したものその他に、外部接続ポート 5019、シャッターボタン 5015、受像部 5016、等を有することができる。図 28 (C) はコンピュータであり、上述したものその他に、ポインティングデバイス 5020、外部接続ポート 5019、リーダ / ライタ 5021、等を有することができる。図 28 (D) は携帯電話機であり、上述したものその他に、アンテナ 5014、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

### 【0335】

図 27 (A) 乃至 図 27 (H)、図 28 (A) 乃至 図 28 (D) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）

10

20

30

40

50

を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図27(A)乃至図27(H)、図28(A)乃至図28(D)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。10

#### 【0336】

次に、半導体装置の応用例を説明する。

#### 【0337】

図28(E)に、半導体装置を、建造物と一体にして設けた例について示す。図28(E)は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。20

#### 【0338】

図28(F)に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一緒に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

#### 【0339】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

#### 【0340】

次に、半導体装置を、移動体と一体にして設けた例について示す。

#### 【0341】

図28(G)は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。30

#### 【0342】

図28(H)は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図28(H)は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一緒に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。40

#### 【0343】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

#### 【0344】

本実施の形態に示す電子機器に、実施の形態1～実施の形態4の半導体装置を搭載することが好ましい。特に、電子機器の表示部を駆動するための回路として、実施の形態1～実施の形態4の半導体装置を搭載することが好ましい。実施の形態1～実施の形態4の半導体装置を電子機器の表示部を駆動するための回路として搭載することで、駆動回路の面積50

を縮小することができ、表示部を大型化することができる。または、表示部の解像度の向上を図ることができる。

### 【0345】

#### (実施の形態9)

本実施の形態では、実施の形態5に係る半導体装置の構造及び作製方法の他の一例について、図29を用いて説明する。本実施の形態では、実施の形態5と異なる点について詳細に説明し、同様な点は実施の形態5の説明を援用するものとする。

### 【0346】

まず、基板400上にゲート電極層411を形成した後、該ゲート電極層411を覆うようにゲート絶縁層402を形成する。その後、ゲート絶縁層402上に、第1の酸化物半導体層404を形成する。  
10

### 【0347】

第1の酸化物半導体層404は、三元系金属酸化物であり、 $In - M_x - Zn_y - O_z$  ( $Y = 0.5 \sim 5$ ) で表現される酸化物半導体材料を用いることができる。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、ボロン(B)などの13族元素から選択される一または複数種類の元素を表す。なお、In、M、Zn、及びOの含有量は任意であり、Mの含有量がゼロ(即ち、 $x = 0$ )の場合を含む。一方、InおよびZnの含有量はゼロではない。すなわち、上述の表記には、In-Ga-Zn-OやIn-Zn-Oなどが含まれる。

### 【0348】

また、第1の酸化物半導体層404は、実施の形態5の酸化物半導体層406と同様、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などを用いることもできる。  
20

### 【0349】

本実施の形態では、第1の酸化物半導体層404を、In-Ga-Zn-O系の酸化物半導体ターゲットを用いて、スパッタリング法により形成することとする。  
30

### 【0350】

In-Ga-Zn-O系の第1の酸化物半導体層404をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、およびZnを含む酸化物半導体ターゲットの組成比は、 $In : Ga : Zn = 1 : x : y$  ( $x$ は0以上、 $y$ は0.5以上5以下)とする。例えば、 $In : Ga : Zn = 1 : 1 : 1$  [atom比] ( $x = 1$ 、 $y = 1$ ) (すなわち、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [mole数比]) の組成比を有するターゲットなどを用いても良い。また、酸化物半導体ターゲットとして、 $In : Ga : Zn = 1 : 1 : 0.5$  [atom比] の組成比を有するターゲット、または $In : Ga : Zn = 1 : 1 : 2$  [atom比]、 $In : Ga : Zn = 1 : 0 : 1$  [atom比] ( $x = 0$ 、 $y = 1$ ) の組成比を有するターゲットを用いることもできる。本実施の形態では、後に熱処理を行い第1の酸化物半導体層404を意図的に結晶化させるため、結晶が生じやすい酸化物半導体ターゲットを用いることが好ましい。  
40

### 【0351】

次に、第1の酸化物半導体層404に対して第1の熱処理を行うことによって、少なくとも第1の酸化物半導体層404の表面を含む領域を結晶化させる(図29(A)参照)。また、第1の酸化物半導体層404に対して第1の熱処理を行うことによって、第1の酸化物半導体層404中の過剰な水(水酸基を含む)や水素などを除去することができる。第1の熱処理温度は、450以上850以下、好ましくは、550以上750以下とする。また、第1の熱処理の時間は、1分以上24時間以下とする。  
50

**【0352】**

本実施の形態では、第1の熱処理として、窒素雰囲気下で700、1時間の熱処理を行い、脱水または脱水素化が行われた後、雰囲気を切り替えて酸素雰囲気にすることで第1の酸化物半導体層404内部に酸素を供給する。

**【0353】**

その他の熱処理の条件に関しては、実施の形態5の第1の熱処理を参照すればよいため、詳細な説明は省略する。

**【0354】**

第1の酸化物半導体層404に対して、第1の熱処理を行うことによって、第1の酸化物半導体層404の少なくとも表面を含む領域に非単結晶領域を形成することができる。第1の酸化物半導体層404の表面を含む領域に形成される非単結晶領域は、表面から内部に向かって結晶成長することで形成される。当該非単結晶領域は、平均厚さが2nm以上10nm以下の板状の非単結晶層である。また、当該非単結晶領域は、第1の酸化物半導体層404の表面に対して略垂直な方向にc軸が配向する非単結晶層を有する領域である。ここで、略平行とは、平行方向から±10°以内の状態をいうものとする。また、略垂直とは、垂直方向から±10°以内の状態をいうものとする。

10

**【0355】**

次に、第1の酸化物半導体層404上に、第2の酸化物半導体層405を形成する（図29（B）参照）。

20

**【0356】**

第2の酸化物半導体層405は、第1の酸化物半導体層404と同様に、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などを用いて形成することができる。

20

**【0357】**

第2の酸化物半導体層405は、第1の酸化物半導体層404と同一主成分の材料を用いること、または同一の結晶構造かつ近接した格子定数（ミスマッチが1%以下）を有することが好ましい。第2の酸化物半導体層405及び第1の酸化物半導体層404に同一主成分の材料を用いる場合、後に行われる第2の熱処理において、第1の酸化物半導体層404の非単結晶領域を種として結晶成長させる際、第2の酸化物半導体層405を結晶化し易くなる。また、同一主成分である場合には、第2の酸化物半導体層405と第1の酸化物半導体層404との密着性などの界面物性や、電気的特性も良好となる。

30

**【0358】**

または、第2の酸化物半導体層405は、第1の酸化物半導体層404とは異なる主成分の材料を用いて形成してもよい。異なる主成分の材料を用いる場合、各層の電気特性を異ならせることができる。これにより、例えば、第2の酸化物半導体層405に電気伝導率が高い材料を用い、第1の酸化物半導体層404に電気伝導率が低い材料を用いることでの下地界面の影響を低減した半導体装置を実現することが可能である。また、第1の酸化物半導体層404に結晶化が容易な材料を用いて良好な種結晶を形成し、その後、第2の酸化物半導体層405を形成し結晶化することで、第2の酸化物半導体層405の結晶化し易さにかかわらず、第2の酸化物半導体層405の結晶性を良好にすることができます。

40

**【0359】**

本実施の形態では、第2の酸化物半導体層405は、In-Ga-Zn-O系の酸化物半導体ターゲットを用いて、スパッタリング法により成膜する。第2の酸化物半導体層405の成膜は、第1の酸化物半導体層404の成膜と同様の方法で行えばよい。ただし、第2の酸化物半導体層405の厚さは、第1の酸化物半導体層404の厚さより厚くすることが好ましい。また、第1の酸化物半導体層404と第2の酸化物半導体層405の厚さ

50

の和が 3 nm 以上 50 nm 以下となるように、第 2 の酸化物半導体層 405 を形成することが好ましい。なお、適用する酸化物半導体材料や用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

#### 【0360】

次に、第 2 の酸化物半導体層 405 に第 2 の熱処理を行い、第 1 の酸化物半導体層 404 の非単結晶領域を種として結晶成長させて、結晶化した第 2 の酸化物半導体層 405 を形成する（図 29（C）参照）。

#### 【0361】

第 2 の酸化物半導体層 405 に対して、第 2 の熱処理を行うことによって、第 1 の酸化物半導体層 404 と、第 2 の酸化物半導体層 405 との界面に形成された非単結晶領域から、第 2 の酸化物半導体層 405 全体を結晶成長させ、結晶化した第 2 の酸化物半導体層 405 を形成することができる。また、第 2 の熱処理を行うことによって、第 1 の酸化物半導体層 404 を、さらに高い配向性を有する非単結晶層とすることができます。10

#### 【0362】

なお、第 1 の酸化物半導体層 404 のうち、ゲート絶縁層 402 の凹凸と重なる領域は結晶粒界があり、非単結晶体となる。また、第 2 の酸化物半導体層 405 のうち、チャネル形成領域となる領域は、少なくとも平坦面を有する。また、第 2 の酸化物半導体層 405 のうち、チャネル形成領域となる領域は、第 1 の酸化物半導体層 404 と同じ c 軸配向している非単結晶体を含む。なお、第 2 の酸化物半導体層 405 表面の高低差は、ゲート電極層 411 と重疊する領域（チャネル形成領域）において、1 nm 以下（好ましくは 0.2 nm 以下）であることが好ましい。また、第 2 の酸化物半導体層 405 のうち、チャネル形成領域も非単結晶体の a 軸及び b 軸がずれる。20

#### 【0363】

例えば、In - Ga - Zn - O 系の酸化物半導体材料を第 2 の酸化物半導体層 405 に用いる場合、第 2 の酸化物半導体層 405 は、 $InGaO_3 (ZnO)_m$  ( $m > 0$ 、且つ  $m$  は自然数でない) で表される結晶や、 $In_2Ga_2ZnO_7$  ( $In : Ga : Zn : O = 2 : 2 : 1 : 7$ ) で表される結晶などを含み得る。このような結晶は、第 2 の熱処理によって、その c 軸が、第 2 の酸化物半導体層 405 の表面と略垂直な方向をとるように配向する。

#### 【0364】

ここで、上述の結晶は、In、Ga、Zn のいずれかを含有し、a 軸 (a-axis) および b 軸 (b-axis) に平行なレイヤーの積層構造として捉えることができる。具体的には、上述の結晶は、In を含有するレイヤーと、In を含有しないレイヤー (Ga または Zn を含有するレイヤー) が、c 軸方向に積層された構造を有する。30

#### 【0365】

In - Ga - Zn - O 系の酸化物半導体では、In を含有するレイヤーの、a 軸および b 軸に平行な方向の導電性は良好である。これは、In - Ga - Zn - O 系の酸化物半導体では電気伝導が主として In によって制御されること、および、一の In の 5s 軌道が、隣接する In の 5s 軌道と重なりを有することにより、キャリアパスが形成されることによる。40

#### 【0366】

また、第 1 の酸化物半導体層 404 がゲート絶縁層 402 との界面に非晶質領域を有するような構造の場合、第 2 の熱処理を行うことにより、第 1 の酸化物半導体層 404 の表面に形成されている結晶領域から第 1 の酸化物半導体層 404 の下面に向かって結晶成長し、該非晶質領域が結晶化される場合もある。なお、ゲート絶縁層 402 を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

#### 【0367】

第 1 の酸化物半導体層 404 と第 2 の酸化物半導体層 405 とに、同一主成分の酸化物半導体材料を用いる場合、図 29（C）に示すように、第 1 の酸化物半導体層 404 を結晶成長の種として、第 2 の酸化物半導体層 405 の表面に向かって上方に結晶成長させると

、第1の酸化物半導体層404と第2の酸化物半導体層405とが、同一結晶構造を有する。そのため、図29(C)では点線で示したが、第1の酸化物半導体層404と第2の酸化物半導体層406の境界が判別できなくなり、第1の酸化物半導体層404と第2の酸化物半導体層406を同一の層と見なせることもある。

#### 【0368】

このように、第2の熱処理を行うことにより、第2の酸化物半導体層405と第1の酸化物半導体層404の界面に形成された非単結晶領域から、第2の酸化物半導体層405全體を結晶化させることができる。また、第2の熱処理を行うことによって、第1の酸化物半導体層404を、さらに高い配向性を有する非単結晶層とすることができる。

#### 【0369】

第2の熱処理の温度は、450以上850以下、好ましくは600以上700以下とする。第2の熱処理の時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。

#### 【0370】

また、第2の熱処理においても、窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、酸素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N以上、好ましくは7N以上、とすることが好ましい。また、H<sub>2</sub>Oが20ppm以下の超乾燥空气中で、さらに好ましくは、H<sub>2</sub>Oが1ppm以下の超乾燥空气中で、第2の熱処理を行っても良い。このような第2の熱処理によって第2の酸化物半導体層405中の水(水酸基を含む)や水素などを除去することができる。よって不純物を低減して高純度化し、i型化または実質的にi型化された第1の酸化物半導体層404及び第2の酸化物半導体層405を形成することができる。

#### 【0371】

また、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えてよく、窒素雰囲気で脱水または脱水素化が行われた後、雰囲気を切り替えて酸素雰囲気にすることで第2の酸化物半導体層405内部に酸素を供給することができる。

#### 【0372】

第2の熱処理に用いる熱処理装置も、実施の形態5の熱処理装置を参照すればよいため、詳細な説明は省略する。

#### 【0373】

これ以降の工程については、実施の形態5(図15(B)～(D))を参照することができる。

#### 【0374】

以上により、酸化物半導体層406aを用いたトランジスタ450が完成する(図29(D)参照)。

#### 【0375】

以上のように、酸化物半導体層406aに非単結晶領域を形成することで、トランジスタの移動度を向上させることができる。このように、移動度が向上したトランジスタを、高速動作が要求される回路に適用することで、回路の駆動能力を向上させることができる。

#### 【0376】

本実施の形態に示すトランジスタを、実施の形態1乃至実施の形態3に示す半導体装置に適用することにより、半導体装置の駆動能力の向上を図ることができる。

#### 【0377】

また、本実施の形態に示すトランジスタと、実施の形態5に示すトランジスタとを組み合わせて、実施の形態1乃至実施の形態4に示す半導体装置に適用することもできる。

#### 【符号の説明】

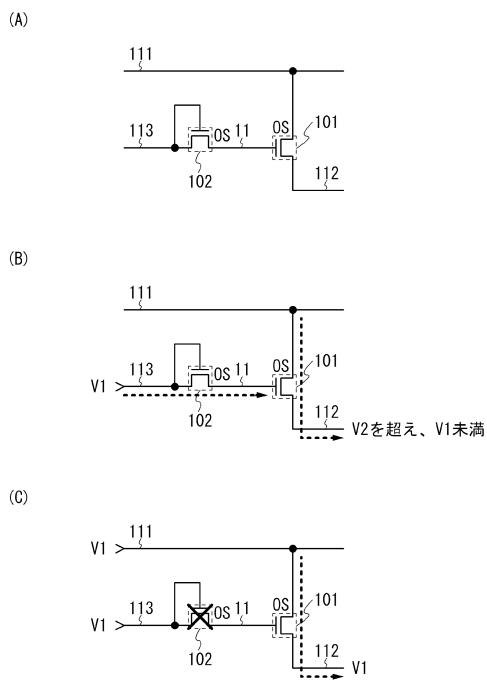
#### 【0378】

1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	
1 2 1	容量素子	
1 3 0	回路	10
1 3 1	回路	
1 3 2	回路	
1 3 3	回路	
1 3 4	回路	
1 4 0	保護回路	
1 4 1	トランジスタ	
1 4 2	トランジスタ	
2 0 1	N O R 回路	
2 0 2	N A N D 回路	
2 0 3	インバータ回路	20
2 1 1	配線	
2 1 2	配線	
2 1 3	配線	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 4	酸化物半導体層	
4 0 5	酸化物半導体層	
4 0 6	酸化物半導体層	
4 0 6 a	酸化物半導体層	
4 0 8 a	ソース電極層及びドレイン電極層	30
4 0 8 b	ソース電極層及びドレイン電極層	
4 1 1	ゲート電極層	
4 1 2	絶縁層	
4 1 8	絶縁層	
4 5 0	トランジスタ	
1 1 1 A	配線	
1 1 1 B	配線	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	40
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 4	アンテナ	50

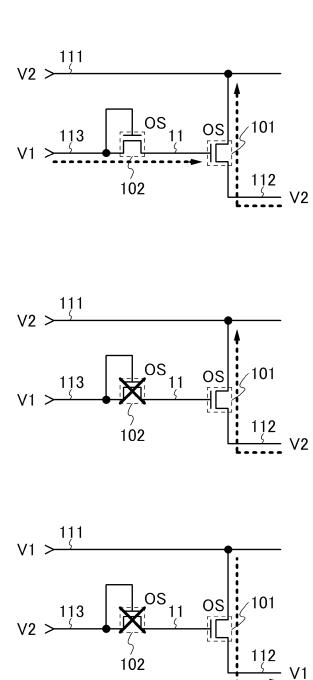
5 0 1 5	シャッター ボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ / ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	10
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	20
5 3 5 4	画素部	
5 3 6 0	映像信号	
5 3 6 1	回路	
5 3 6 2	回路	
5 3 6 3	回路	
5 3 6 4	画素部	
5 3 6 5	回路	
5 3 6 6	照明装置	
5 3 6 7	画素	
5 3 7 1	配線	30
5 3 7 2	配線	
5 3 8 0	基板	
5 3 8 1	入力端子	
5 4 5 0	画素	
5 4 5 1	トランジスタ	
5 4 5 2	容量素子	
5 4 5 3	表示素子	
5 4 5 4	電極	
5 4 5 5	電極	
5 4 6 1	配線	40
5 4 6 2	配線	
5 4 6 3	配線	
5 4 8 0	マイクロカプセル	
5 4 8 1	樹脂	
5 4 8 2	膜	
5 4 8 3	液体	
5 4 8 4	粒子	
5 4 8 5	粒子	
5 4 8 6	ツイストボール	
5 4 8 7	粒子	50

5 4 8 8	キャビティ	
5 4 9 1	マイクロカップ	
5 4 9 2	誘電性溶媒	
5 4 9 3	帶電色素粒子	
5 4 9 4	封止層	
5 4 9 5	粘着層	
5 5 0 2	電子粉流体(登録商標)	
5 5 0 3	電子粉流体(登録商標)	
5 5 0 4	隔壁	
5 3 6 1 a	回路	10
5 3 6 1 b	回路	
5 3 6 2 a	回路	
5 3 6 2 b	回路	

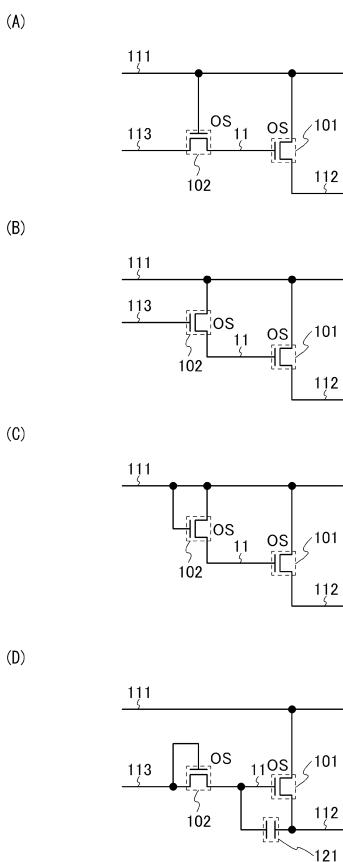
【図1】



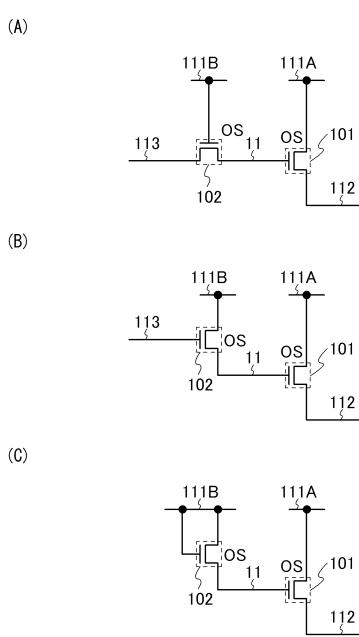
【図2】



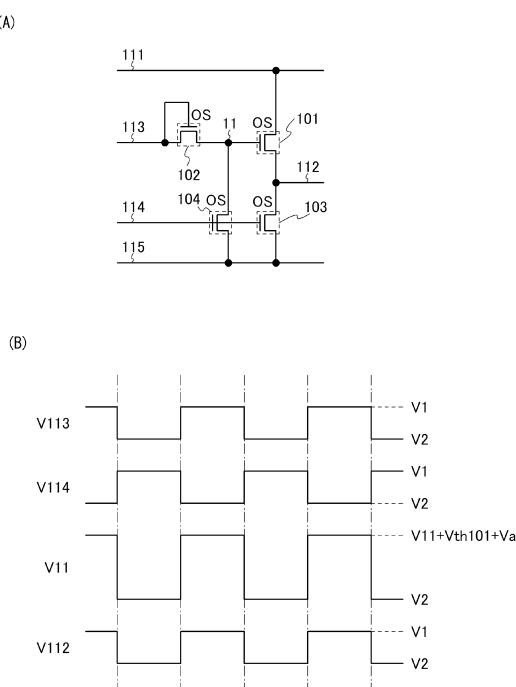
【図3】



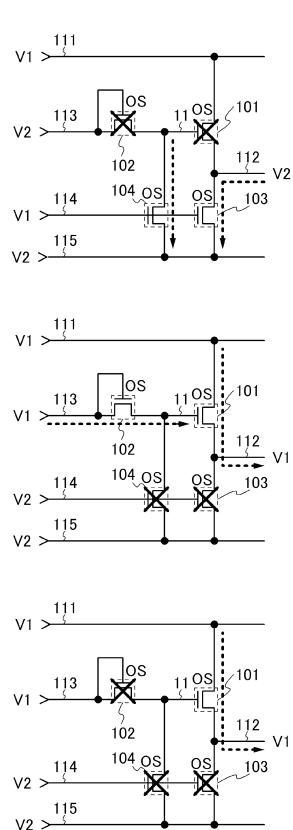
【図4】



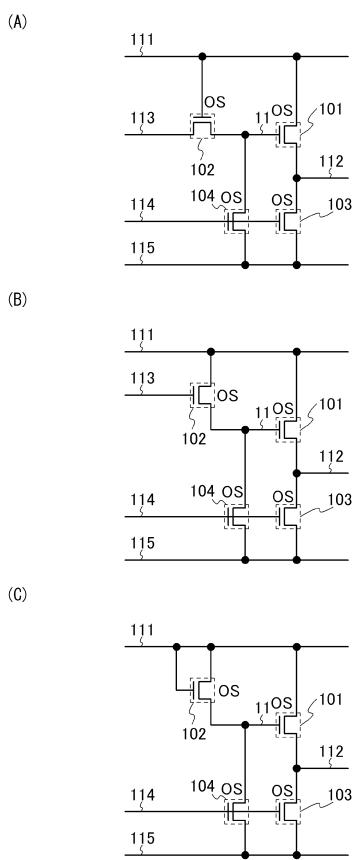
【図5】



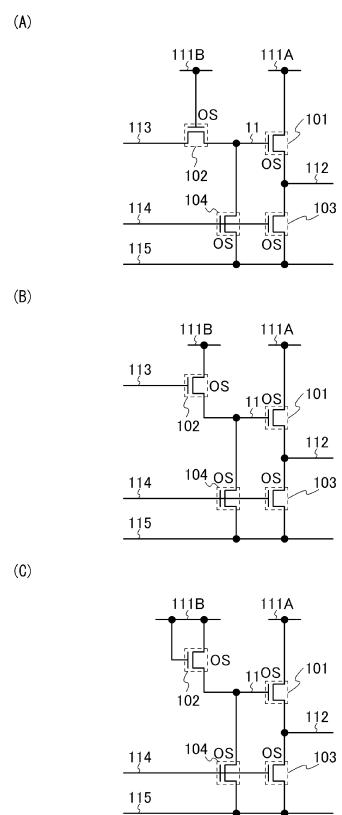
【図6】



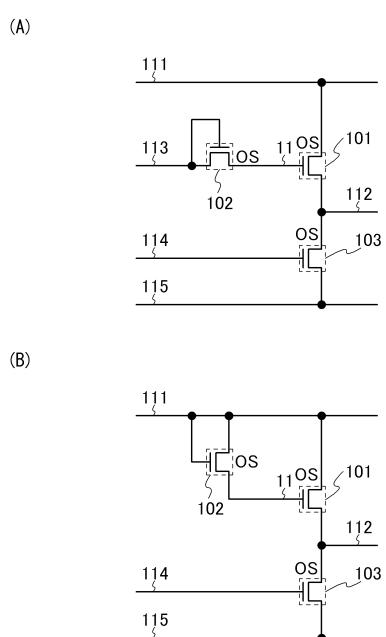
【図7】



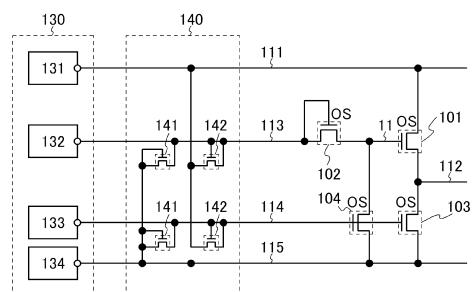
【図8】



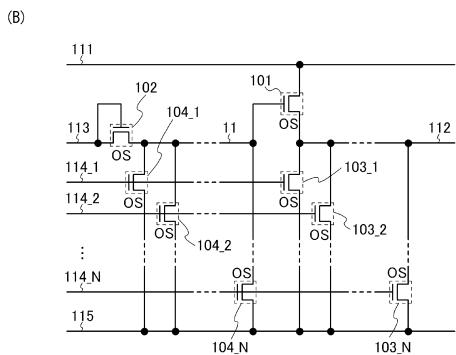
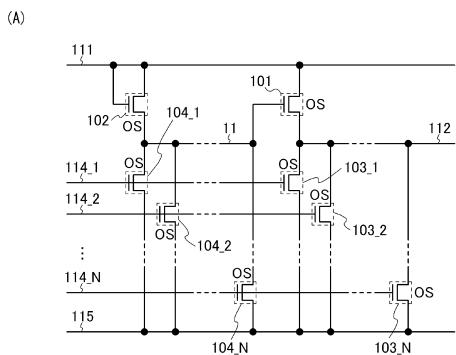
【図9】



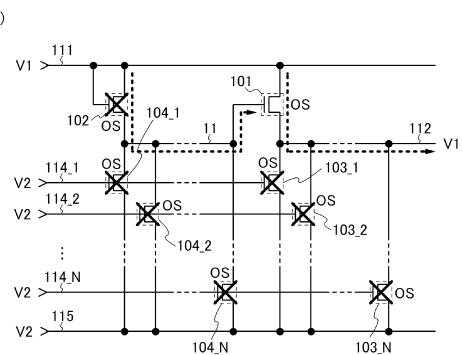
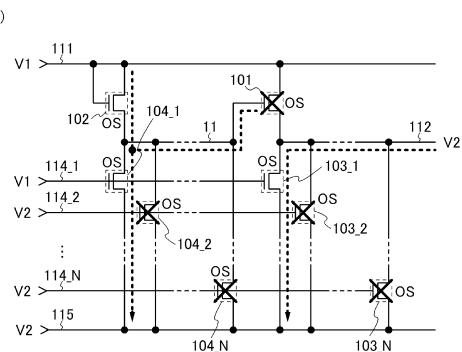
【図10】



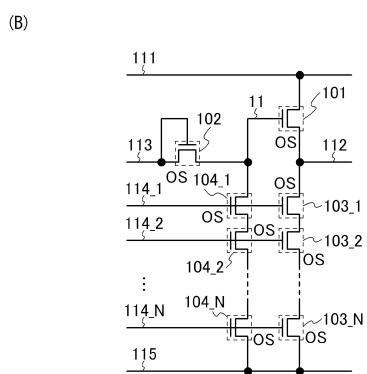
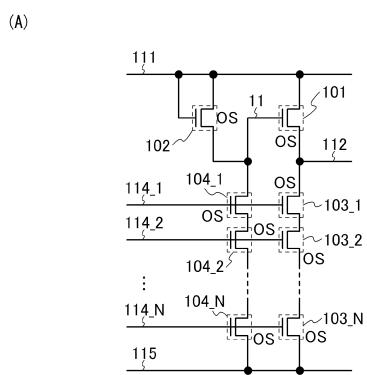
【図11】



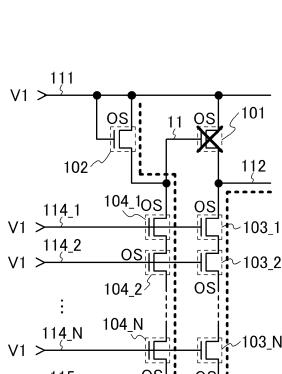
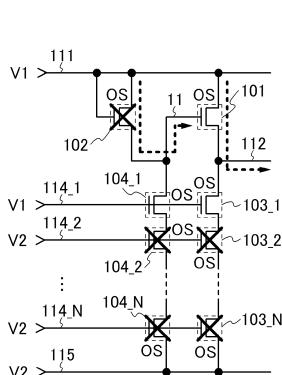
【図12】



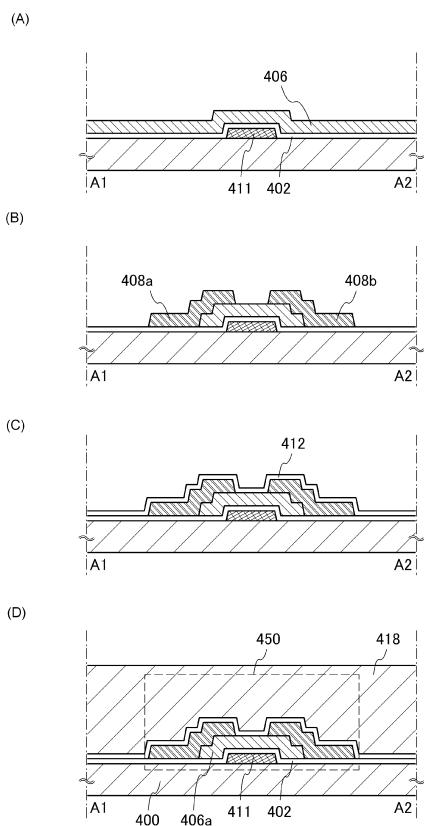
【図13】



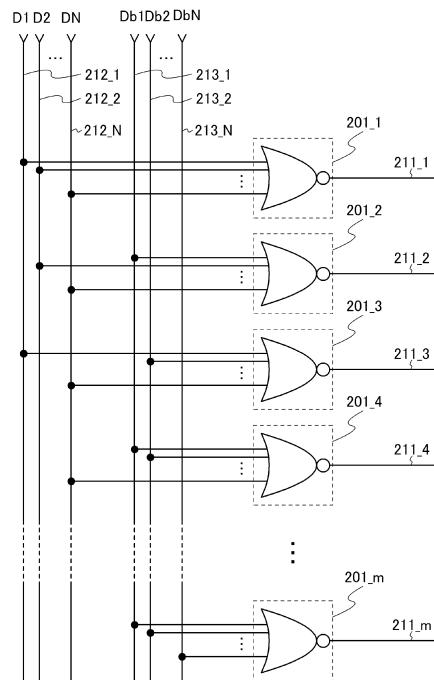
【図14】



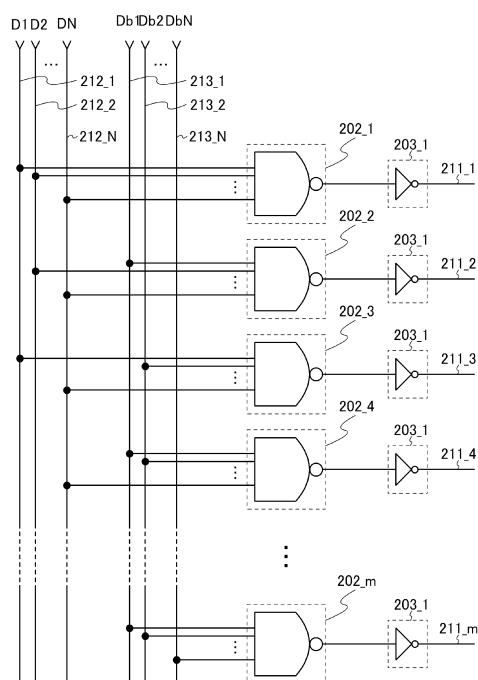
【図15】



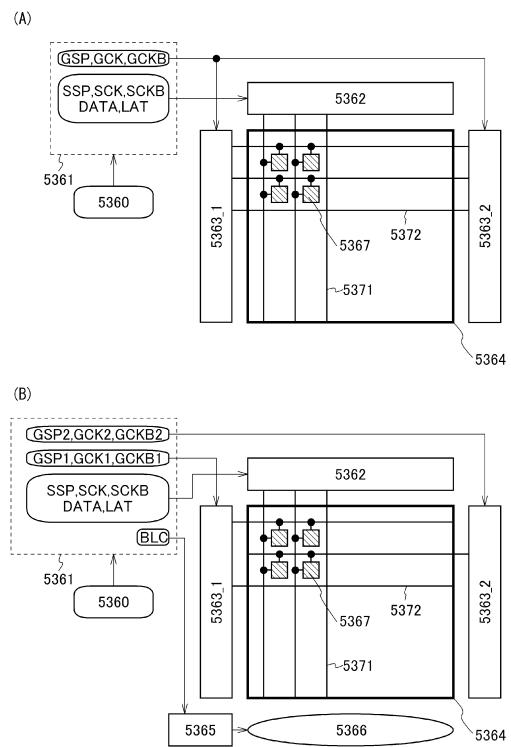
【図16】



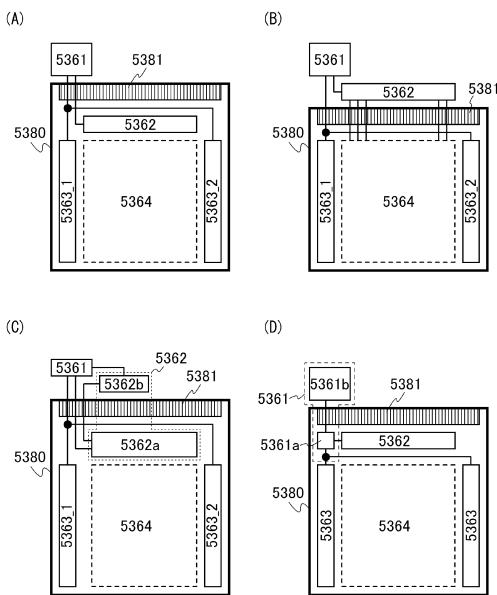
【図17】



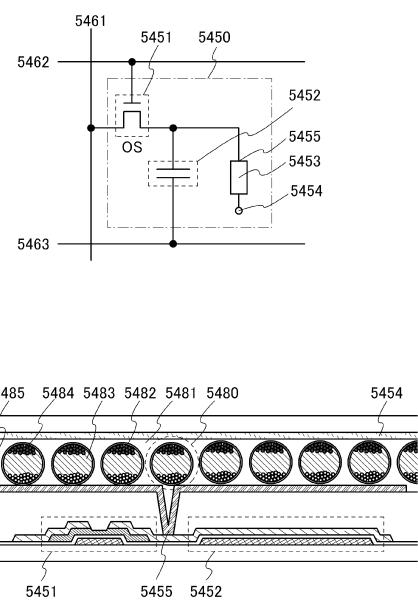
【図18】



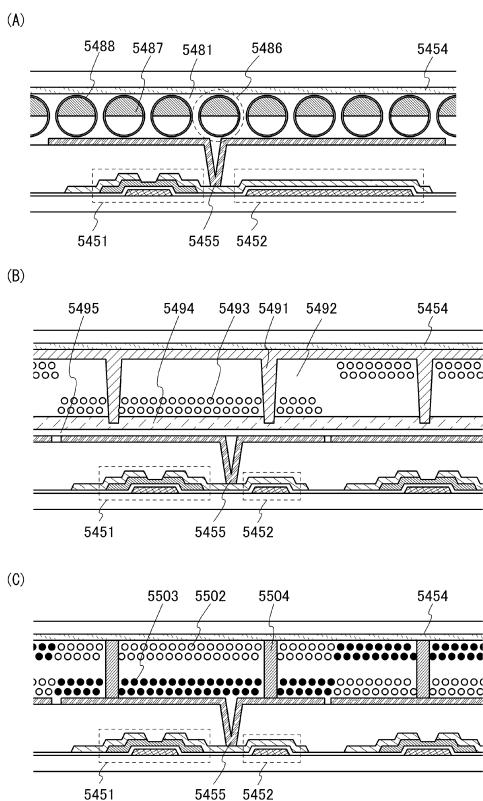
【図19】



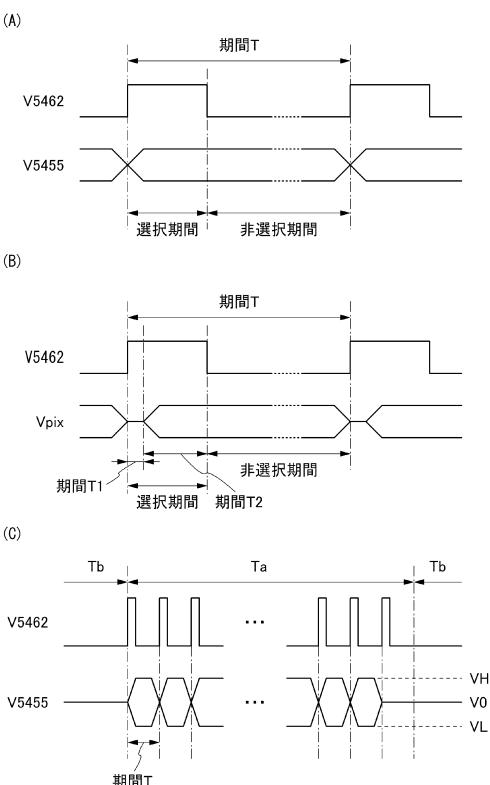
【図20】



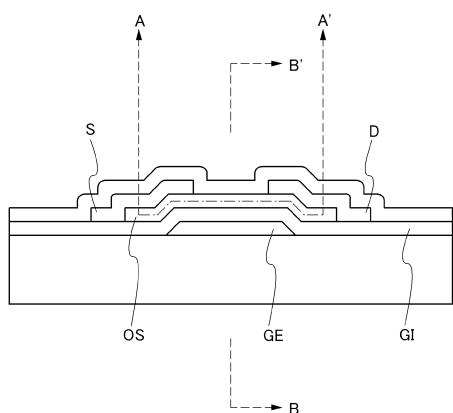
【図21】



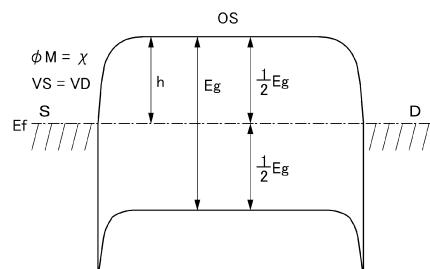
【図22】



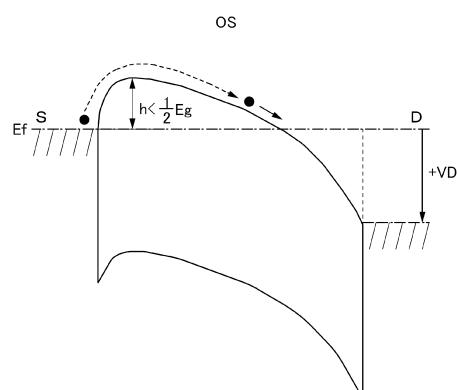
【図23】



【図24】

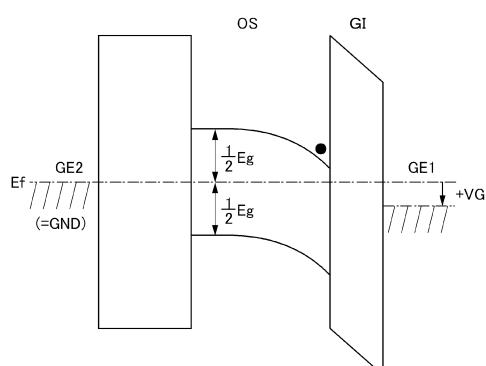


(A)A-A'断面エネルギー-band図

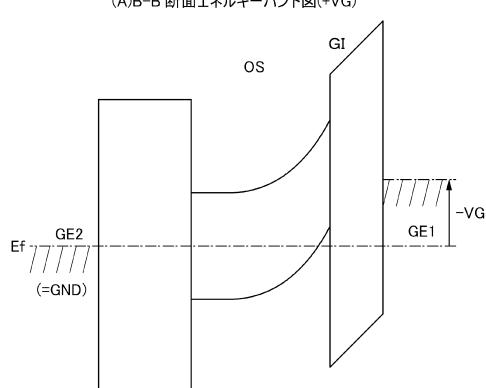


(B)電圧印加時のエネルギー-band図

【図25】

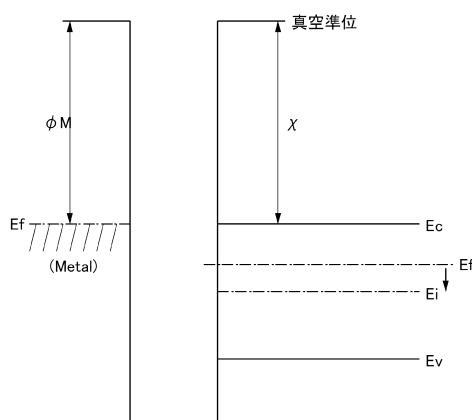


(A)B-B'断面エネルギー-band図(+VG)

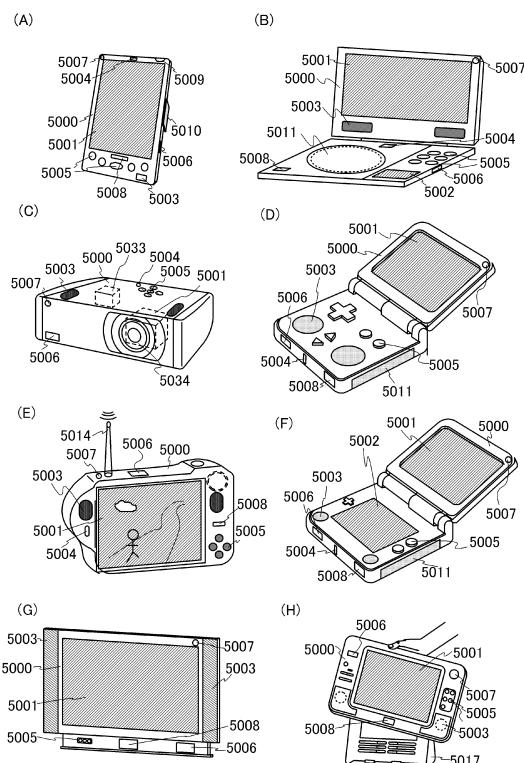


(B)B-B'断面エネルギー-band図(-VG)

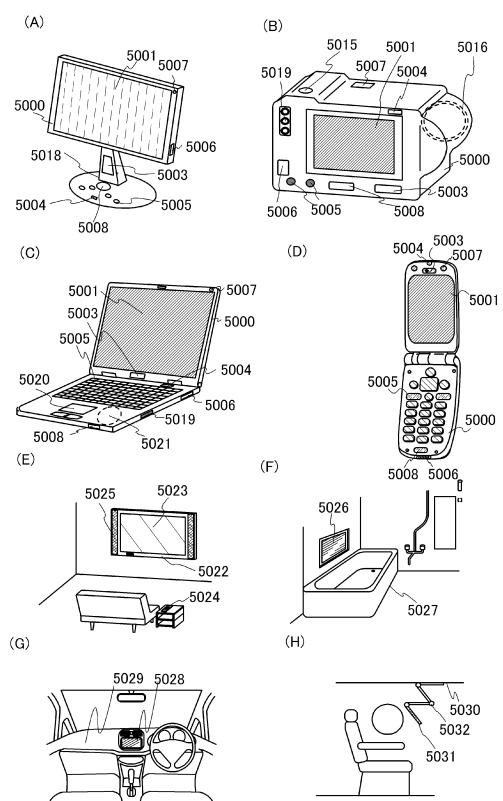
【図26】



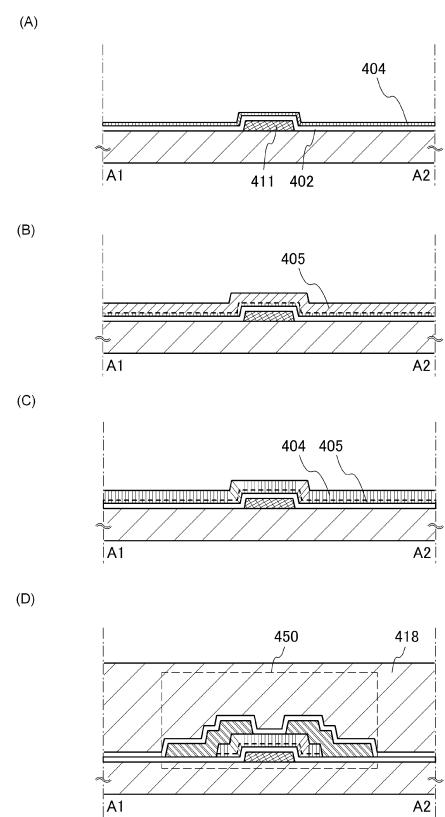
【図27】



【図28】



【図29】



---

フロントページの続き

(51)Int.Cl.

F I  
G 09 G 3/34 C  
G 09 G 3/20 611A

(56)参考文献 特開2006-165532(JP,A)  
特開2008-107807(JP,A)  
特開2008-098637(JP,A)  
特開平10-045496(JP,A)  
特開2003-298062(JP,A)  
特開2004-222256(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 00 - 3 / 38