



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월26일
(11) 등록번호 10-1203965
(24) 등록일자 2012년11월16일

(51) 국제특허분류(Int. Cl.)
H05K 3/20 (2006.01) H05K 3/06 (2006.01)
(21) 출원번호 10-2009-0114286
(22) 출원일자 2009년11월25일
심사청구일자 2009년11월25일
(65) 공개번호 10-2011-0057746
(43) 공개일자 2011년06월01일
(56) 선행기술조사문헌
KR1020080096985 A*
KR1020090085240 A*
KR1020090042668 A
KR100689018 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
(72) 발명자
서영욱
인천광역시 연수구 옥련로 33, 406동 502호 (옥련동, 현대아파트)
이상명
경기도 안산시 상록구 사1동 푸르지오아파트 6차 621동 401호
(뒷면에 계속)
(74) 대리인
박용순, 김인한, 김희곤

전체 청구항 수 : 총 16 항

심사관 : 나선희

(54) 발명의 명칭 인쇄회로기판 및 그 제조방법

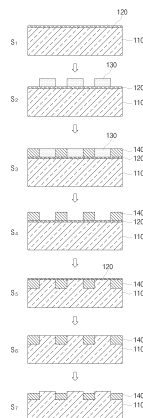
(57) 요약

본 발명은 인쇄회로기판의 구조 및 그 제조방법에 관한 것으로, 구체적으로는 (a) 시드층이 형성된 절연층상에 회로패턴을 형성하는 단계 (b) 상기 회로패턴을 프레스 방식을 통해 절연층 내부로 매립하는 단계 (c) 상기 시드층을 제거하는 단계를 포함하여 구성될 수 있다.

본 발명에 의하면, 절연층상에 회로패턴을 바로 형성하여 별도의 정렬문제를 포함하지 않고 미세회로를 형성할 수 있고 돌출된 회로를 절연층 내부로 매립하는 공정을 포함하여 진행함으로써 형성된 미세회로의 신뢰성을 높일 수 있는 효과가 있다.

나아가, 시드층을 제거하는 에칭공정을 진행함에 있어 회로패턴이 절연층의 표면보다 낮게 형성되도록 오버에칭을 함으로써 인접회로간의 이온이동(Ion Migration)의 발생으로 인한 회로 불량 가능성을 줄일 수 있는 효과를 가지게 된다.

대표도 - 도3b



(72) 발명자

안치희

경기도 화성시 능동 1134 동탄푸른마을포스코더샵
아파트 908동 170호

김진수

경기도 군포시 산본로 296, 무궁화주공아파트
108-1216 (금정동)

윤성운

부산광역시 부산진구 전포1동 대동아파트 509호

남명화

경기도 수원시 팔달구 화양로50번길 30, 벽산블루
밍푸른숲 아파트 112동 704호 (화서동, 블루밍 푸
른숲 아파트)

특허청구의 범위

청구항 1

- (a) 절연층 상에 형성된 시드층 상에 상기 시드층과 상이한 물질로 회로패턴을 형성하는 단계;
 - (b) 상기 회로패턴을 프레스 방식을 통해 절연층 내부로 매립하는 단계;
 - (c) 상기 시드층을 제거하는 단계; 및
 - (d) 상기 매립된 회로의 높이가 절연층의 표면보다 낮게 형성되도록 상기 회로패턴의 표면을 오버에칭하는 단계;
- 를 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 2

청구항 1에 있어서,

상기 (a)단계는,

- (a-1) 절연층상에 시드층을 형성하는 단계;
- (a-2) 상기 시드층상에 감광물질을 도포하여 노광, 현상을 통해 패터닝하는 단계;
- (a-3) 상기 패터닝된 감광물질층에 금속물질을 증진하여 회로패턴을 형성하는 단계;
- (a-4) 상기 패터닝된 감광물질을 제거하는 단계;

를 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 3

청구항 2에 있어서,

상기 (a-1)단계의 시드층은,

구리(Cu), 금(Au), 니켈(Ni), 팔라듐(Pd), 인듐(In), 티타늄(Ti), 주석(Sn) 중 적어도 1 이상을 포함하는 금속층인 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 4

청구항 2에 있어서,

상기 (a-1)단계의 시드층은,

아닐린, 피롤, 싸이오펜 및 아세틸렌을 포함하는 알켄 및 그 유도체를 단량체로 사용되어 지는 전도성 고분자인 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 5

청구항 2에 있어서,

상기 (a-1)단계의 시드층은,

금속성 입자 및 이온을 포함하는 고분자복합체인 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 6

청구항 2에 있어서,

상기 (a-1)단계의 시드층은,

그래파이트, 카본나노튜브 및 카본블랙을 포함하는 카본계와 인듐(In), 주석(Sn) 및 이산화티타늄(TiO₂)을 포함하는 무기물질 중 적어도 1 이상을 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 7

청구항 2에 있어서,

상기 (a-3)단계는,

상기 금속물질을 증진하는 방법으로서 무전해 도금, 전해 도금, 스크린 프린팅, 디스펜싱, 잉크 분사법, 드라이 방식 중 적어도 어느 하나인 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 8

청구항 2에 있어서,

상기 (a-3)단계의 금속물질은,

구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 팔라듐(Pd) 중 적어도 1 이상을 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 9

청구항 2에 있어서,

상기 (b)단계의 프레스 방식은,

열과 압력을 동시에 가하는 프레스 방식, 초음파를 이용한 프레스 방식, 또는 써멀 레이저(Thermal Lazer)를 이용한 프레스 방식 중 어느 하나인 것을 특징으로 하는 인쇄회로기판의 제조방법.

청구항 10

삭제

청구항 11

절연층;

상기 절연층 내부로 프레스 방식을 통해 매립되는 회로패턴; 및

상기 회로패턴과 상이한 물질층으로 이루어지며, 상기 절연층 상에 형성되고, 그 위에 회로패턴이 형성되는 박막의 시드층;을 구비하되,

상기 절연층 상의 시드층이 제거된 후 상기 회로패턴의 표면은 오버에칭에 의해 상기 절연층의 표면 이하의 높이에 노출되는 구조로 형성하는, 청구항 1의 인쇄회로기판의 제조방법에 의해 제조되는 인쇄회로기판.

청구항 12

청구항 11에 있어서,

상기 회로패턴은,

상부면에서 하부면으로 테이퍼진 형상으로 구현되는 인쇄회로기판.

청구항 13

청구항 12에 있어서,

상기 회로패턴은,

구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 팔라듐(Pd) 중 어느 하나 또는 적어도 2이상의 물질로 이루어지는 인쇄회로기판.

청구항 14

삭제

청구항 15

청구항 11에 있어서,

상기 시드층은, 구리(Cu), 금(Au), 니켈(Ni), 팔라듐(Pd), 인듐(In), 티타늄(Ti), 주석(Sn) 중 적어도 1 이상을 포함하는 금속층인 인쇄회로기판.

청구항 16

청구항 11에 있어서,

상기 시드층은, 아닐린, 피롤, 싸이오펜 및 아세틸렌을 포함하는 알켄 및 그 유도체를 단량체로 사용되어 지는 전도성 고분자인 인쇄회로기판.

청구항 17

청구항 11에 있어서,

상기 시드층은, 금속성 입자 및 이온을 포함하는 고분자복합체인 인쇄회로기판.

청구항 18

청구항 11에 있어서,

상기 시드층은, 그래파이트, 카본나노튜브 및 카본블랙을 포함하는 카본계와 인듐(In), 주석(Sn) 및 이산화티타늄(TiO2)을 포함하는 무기물질 중 적어도 1 이상을 포함하는 물질로 구현되는 인쇄회로기판.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 기판의 내부에 회로패턴이 매립되는 구조의 인쇄회로기판 및 그 제조방법에 관한 것이다.

배경기술

[0002] 인쇄회로기판은 전기 절연성 기판에 구리와 같은 전도성 재료로 회로 라인 인쇄회로기판을 인쇄 형성시킨 것으로, 전자 부품을 탑재하기 직전의 기판을 말한다. 즉 여러 종류의 많은 전자 부품을 평판 위에 밀집 탑재시키기 위해 각 부품의 장착 위치를 확정하고, 부품을 연결하는 회로 라인을 평판 표면에 인쇄하여 고정시킨 회로기판을 뜻한다.

[0003] 통상적으로, 인쇄회로기판의 제조방법은 높은 생산성과 저렴한 제조비용의 장점이 있는 포토 리소그래피법(Photo-Lithography Process)을 이용하고 있다. 이러한 포토 리소그래피법을 이용하여 인쇄회로기판을 제조하는 방법으로 서브트랙티브법(subtractive process), 세미어디티브법(Semi-Additive Process : SAP)등을 사용하고 있다.

[0004] 도 1a는 서브트랙티브법의 공정예를 도시한 것이다.

[0005] 구체적으로는, (a) 절연층(1)상에 금속층(2)을 형성하고, (b) 상기 금속층(2)상에 감광성 물질을 도포한 후, 노광, 현상을 통해 감광성 물질의 패턴(3)을 형성하고, (c) 에칭을 한후 (d) 감광성 물질(3)을 제거하여 회로패턴(4)을 형성하는 공정으로 수행된다.

- [0006] 도 1b는 세미어디티브법의 공정예를 도시한 것이다.
- [0007] 구체적으로는, (a) 절연층(11)상에 시드층(12)을 형성하고, (b) 상기 시드층상에 감광성 물질을 도포하여 패터닝(Patterning)(13)한 후, (c) 무전해 동도금(14)을 형성한다. 이후, (d) 감광성 물질(13)을 제거하고 (e) 시드층(12)을 제거하는 공정으로 수행된다. 상기의 세미어디티브법은 도 1c에서 알 수 있듯이 정렬(Align)에 대한 문제에 있어서는 원하는 위치에 회로패턴(14)을 형성할 수 있다.
- [0008] 그러나 상기와 같은 서브트랙티브법이나 세미어디티브법에 의해 제조되는 인쇄회로기판의 회로는 절연층의 표면이 고르지 못해 미세회로의 형성에 한계가 있다. 미세회로를 형성하기 위해서는 절연 부재를 포함한 표면의 조도가 낮을수록 유리하나 절연층과 감광성 재료와의 밀착성이 낮아지게 되어 회로를 형성하는 일련의 공정 진행 중 디라미네이션(Delamination)현상등에 의해 회로형성에 부정적인 영향을 미친다. 조도가 높을 경우, 감광성 재료와 기재와의 밀착성은 좋아지나 도금공정 및 감광성 재료의 박리 공정 후, 최종 시드층을 제거하는 공정에서 거친 절연 부재 내에 미세 Cu가 남아있게 되기 쉬워 전기적으로 쇼트현상이 발생할 가능성이 높고, 회로의 하지층으로 에칭액이 스며들어 원하는 회로의 형상을 이루기 어렵게 되어 높은 신뢰성을 가지는 미세회로의 형성에 부정적인 영향을 미친다.
- [0009] 따라서, 상기 절연 부재의 조도와 신뢰성 있는 미세회로 구현 능력과의 네거티브한 상관관계 때문에 미세회로를 구현하기 위해서 특별한 공법의 도출이 요구된다.
- [0010] 상기의 미세회로에 대한 제약을 해결하기 위한 방법으로 금속층의 표면과 금속층을 지지하는 절연층을 포함하는 일련의 캐리어 기판상에 회로의 패턴 형상을 사전에 형성한 후, 이를 뒤집어 회로가 절연부재를 향하도록 하고 압력을 가함으로써 회로를 매립하는 방법이 고려되고 있다.
- [0011] 도 2a는 상기에서 설명한 절연층에 회로패턴을 매립하는 공정예를 도시한 것이다.
- [0012] (a) 시드층(22)을 포함한 캐리어 기판(21)을 형성하고, (b) 감광물질을 도포하여 패터닝(23)한 후, (c) 금속물질을 충전하여 회로패턴(24)을 형성한다. 이후, (d) 감광물질(23)을 제거하고 (e) 회로패턴(24)이 절연층(25)과 대향하도록 정렬(Align)하여 적층하고 (f) 이를 프레스한 후, (g) 캐리어 기판(21)을 제거 하고 (h) 시드층(22)을 제거하는 공정으로 수행된다.
- [0013] 하지만 상기의 회로패턴의 매립방법은 그 공정이 복잡하고 회로(24)를 절연층(25)에 매립하는데 있어 정렬에 대한 문제점이 생길 수 있어 도 2b와 같이 회로패턴(24)이 원하는 위치에 매립되지 않을 수 있다. 또한, 비용이 높으며 공정의 수율이 낮아질 수 있는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0014] 본 발명은 상술한 문제를 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 기존의 세미어디티브법과 같이 회로패턴을 원하는 절연층상에 형성함으로써 별도의 정렬문제를 발생시키지 않고 미세회로를 형성할 수 있으며, 형성된 미세회로의 신뢰성을 높이기 위해서 돌출된 회로를 절연층 내부로 매립하는 공정을 포함하는 일련의 공정으로 진행함으로써 신뢰성이 높은 미세회로를 형성할 수 있는 인쇄회로기판 및 그 제조방법을 제공하는데 있다.
- [0015] 또한, 회로를 매립한 후 시드층을 제거하는 에칭 공정을 진행함에 있어 회로층이 절연층의 표면보다 낮게 형성 되도록 오버(Over)에칭을 함으로써 인접회로간 이온 이동의 발생으로 인한 회로불량의 가능성을 줄일 수 있는 인쇄회로기판 및 그 제조방법을 제공하는데 본 발명의 또 다른 목적이 있다.

과제 해결수단

- [0016] 상술한 과제를 해결하기 위하여 제공되는 본 발명의 구성은 (a) 시드층이 형성된 절연층상에 회로패턴을 형성하는 단계; (b) 상기 회로패턴을 프레스 방식을 통해 절연층 내부로 매립하는 단계; (c) 상기 시드층을 제거하는 단계; 를 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법을 제공하여 신뢰성 있는 미세회로를 형성할 수 있다.
- [0017] 특히 상술한 제조공정에 있어서, 상기 (a)단계는, (a-1) 절연층상에 시드층을 형성하는 단계; (a-2) 상기 시드층상에 감광물질을 도포하여 노광, 현상을 통해 패터닝하는 단계; (a-3) 상기 패터닝된 감광물질층에 금속물질을 충전하여 회로패턴을 형성하는 단계; (a-4) 상기 패터닝된 감광물질을 제거하는 단계; 를 포함하는 것을 특

정으로 한다.

- [0018] 또한, 상기 (a-1)단계의 시드층은 구리(Cu), 금(Au), 니켈(Ni), 팔라듐(Pd), 인듐(In), 티타늄(Ti), 주석(Sn) 중 적어도 1 이상을 포함하는 금속층인 것을 특징으로 할 수 있으며, 또는 아닐린, 피롤, 싸이오펜, 아세틸렌 등의 알켄 및 그 유도체를 단량체로 사용되어 지는 전도성 고분자인 것을 특징으로 하거나, 금속성 입자 및 이온을 포함하는 고분자복합체인 것을 특징으로 할 수도 있으며, 그래파이트, 카본나노튜브, 카본블랙등의 카본계와 인듐(In), 주석(Sn), 이산화티타늄(TiO2)등의 무기물질 중 적어도 1 이상을 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법을 제공할 수도 있다.
- [0019] 아울러, 상기 (a-3)단계는, 상기 금속물질을 충전하는 방법으로서 무전해 도금, 전해 도금, 스크린 프린팅, 디스펜싱, 잉크 분사법, 드라이 방식 중 적어도 어느 하나인 것을 특징으로 할 수 있으며, 상기의 금속물질은, 구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 팔라듐(Pd) 중 적어도 1 이상을 포함하는 것을 특징으로 할 수 있다.
- [0020] 또한, 상기 (b)단계의 프레스 방식은, 열과 압력을 동시에 가하는 프레스 방식, 초음파를 이용한 프레스 방식, 또는 써멀 레이저(Thermal Lazer)를 이용한 프레스 방식 중 어느 하나인 것을 특징으로 하는 인쇄회로기판의 제조방법을 제공할 수 있다.
- [0021] 특히 상기 (c)단계 이후에, (d) 상기 매립된 회로의 높이가 절연층의 표면보다 낮게 형성되도록 오버에칭하는 단계; 를 더 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법을 제공함으로써 인접회로간 이온 이동의 발생을 막아 회로 불량률의 가능성을 감소시킬 수 있다.
- [0022] 또한, 절연층 내부에 회로패턴이 매립되어 있는 인쇄회로기판에 있어서,
- [0023] 상기 회로패턴은 상기 절연층의 표면보다 낮게 형성되는 것을 특징으로 하는 인쇄회로기판을 제공하여 신뢰성 있는 미세회로를 형성하고 인접회로간의 이온 이동을 막아 회로 불량률 줄일 수 있다.

효과

- [0024] 본 발명에 따르면, 절연층상에 원하는 회로패턴을 바로 형성함으로써 별도의 정렬(Align)에 대한 문제를 발생시키지 않고 미세회로를 형성할 수 있으며, 형성된 미세회로의 신뢰성을 높이기 위해서 돌출된 회로패턴을 절연층 내부로 매립하는 공정을 포함하는 일련의 공정을 진행함으로써 고밀도 및 신뢰성이 향상된 미세회로를 형성할 수 있는 효과를 가지게 된다.
- [0025] 아울러, 회로층을 매립한 후 시드층을 제거하는 에칭공정을 진행함에 있어 회로층이 절연층의 표면보다 낮게 형성되도록 오버에칭하는 공정을 추가함으로써 인접회로간 이온 이동(Ion Migration)의 발생을 줄일 수 있어 그로 인한 회로 불량률의 가능성을 감소시키는 효과도 제공한다.

발명의 실시를 위한 구체적인 내용

- [0026] 이하 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.
- [0027] 도 3a 및 도 3b는 본 발명에 따른 구체적인 제조공정에 대한 순서도 및 공정도를 도시한 것이다.
- [0028] 본 발명은 (a) 시드층이 형성된 절연층상에 회로패턴을 형성하는 단계; (b) 상기 회로패턴을 프레스 방식을 통해 절연층 내부로 매립하는 단계; (c) 상기 시드층을 제거하는 단계; 를 포함하는 것을 특징으로 하는 인쇄회로기판의 제조방법을 요지로 하는 것으로, 회로패턴의 형성을 원하는 절연층상에 바로 형성함으로써 별도의 정렬에 관한 문제를 일으키지 않고 미세회로를 형성할 수 있으며, 돌출된 회로를 절연층 내부로 매립하는 공정을 포함함으로써 미세회로의 신뢰성을 높일 수 있는 인쇄회로기판을 제공하는 것을 그 핵심으로 한다.
- [0029] 구체적으로 공정을 살펴보면, S1 단계에서는 절연층(110)상에 금속박판의 시드층(120)을 형성한다. 상기 시드층(120)을 포함하는 기판, 또는 상기 시드층(120) 및 기판의 일부를 천공하며 비아홀을 형성할 수 있다. 또한 상기 시드층(120)은 구리(Cu), 금(Au), 니켈(Ni), 팔라듐(Pd), 인듐(In), 티타늄(Ti), 주석(Sn) 중 적어도 1 이

상을 포함하는 금속층인 것을 특징으로 할 수 있으며, 아닐린, 피롤, 싸이오펜, 아세틸렌등의 알켄 및 그 유도체를 단량체로 사용되어 지는 전도성 고분자인 것을 특징으로 할 수도 있다. 아울러, 상기 시드층(120)은 금속성 입자 및 이온을 포함하는 고분자복합체인 것을 특징으로 할 수 있을 뿐 만 아니라 그래파이트, 카본나노튜브, 카본블랙등의 카본계와 인듐(In), 주석(Sn), 이산화티타늄(TiO₂)등의 무기물질 중 적어도 1 이상을 포함하는 것을 특징으로 할 수도 있다.

- [0030] S2 단계에서는 상기 시드층(120)상에 감광물질을 도포하여 패터닝한다. 이 경우 시드층(120)상에 도포된 감광물질을 노광, 현상공정을 통해 원하는 패턴(130)을 형성할 수 있다.
- [0031] 이후 S3 단계에서는 상기 패터닝된 감광물질(130)층에 금속물질을 증진하여 원하는 회로패턴(140)을 형성한다. 이 경우 상기 금속물질은 구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 팔라듐(Pd) 중 적어도 1 이상을 포함하는 것이 바람직하다. 또한, 상기 금속물질을 증진하는 방법으로 무전해 도금, 전해 도금, 스크린 프린팅, 디스펜싱, 잉크 분사법, 드라이 방식 중 적어도 어느 하나인 것이 바람직하며, 상기 드라이 방식에는 Sputter, Evaporation등이 있다.
- [0032] S4 단계에서는 감광물질(130)을 제거하여 시드층(120)상에 원하는 회로패턴(140)만이 남아있게 된다. 이렇게 형성된 회로패턴(140)은 기관상에 돌출된 형태로 남아있게 된다.
- [0033] S5 단계에서는 프레스 방식으로 돌출된 회로를 절연층(110) 내부로 매립한다. 이 경우 상기 프레스 방식은 열과 압력을 동시에 가하는 프레스 방식, 초음파를 이용한 프레스 방식, 또는 써멀 레이저(Thermal Lazer)를 이용한 프레스 방식인 것이 바람직하다.
- [0034] S6 단계에서는 절연층(110)상의 시드층(120)을 제거하여 회로패턴(140)이 절연층(110)상에 매립된 인쇄회로기판을 제공할 수 있다. 이와 같이 기존의 세미어디티브법처럼 절연층(110)상에 회로패턴(140)을 바로 형성함으로써 회로패턴(140)을 원하는 위치에 형성할 수 있어 회로매립시 발생할 수 있는 별도의 정렬(Align)문제는 발생하지 않게 된다. 이는 도 3c에 도시되어 있다.
- [0035] 이후 S7 단계에서 회로패턴(140)이 절연층(110)의 표면 보다 낮게 형성되도록 오버 에칭(Over Etching)하는 단계를 더 포함하여 구성할 수 있다. 이와 같은 오버 에칭을 통해 인접 회로간의 이온 이동(Ion Migration)의 발생으로 인한 회로불량의 가능성을 감소시킬 수 있게 된다.
- [0036] 도 3c은 본 발명에 따라 회로패턴(140)을 매립하여 인쇄회로기판을 제조한 것이며 도 3d는 회로패턴(140)이 절연층(110)의 표면보다 낮게 오버에칭한 공정을 더 추가한 인쇄회로기판의 일부 단면도를 도시한 도면이다.
- [0037] 캐리어 기관상에 회로패턴을 사전에 형성한 후, 이를 절연층에 대하여 압력을 가함으로써 회로패턴을 매립하는 종래의 방식은 도 2b와 같이 원하는 위치에 회로패턴을 형성할 수 없어 정렬에 대한 문제가 발생하였지만, 본 발명에 따라 절연층(110)상에 회로패턴(140)을 직접 형성하여 매립함으로써 도 3c 및 도 3d와 같이 원하는 위치에 회로패턴(140)을 매립할 수 있어 회로의 정렬에 대한 문제점을 해소시킬 수 있게 된다.

[0038] 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

- [0039] 도 1a 및 도 1 b는 종래의 기술에 따른 인쇄회로기판의 제조공정도이다.
- [0040] 도 1c는 종래 세미어디티브법에 의해 형성된 일부 회로패턴의 정렬을 도시한 단면도이다.
- [0041] 도 2a는 종래의 회로매립 방식에 따른 인쇄회로기판의 제조공정도이다.
- [0042] 도 2b는 도 2a에 따라 형성된 일부 회로패턴의 정렬을 도시한 단면도이다.
- [0043] 도 3a는 본 발명의 바람직한 일 실시 형태에 따른 인쇄회로기판 제조방법의 흐름도이다.
- [0044] 도 3b는 도 3a의 흐름도에 대응하는 인쇄회로기판 제조방법의 제조흐름을 나타내는 단면도이다.

[0045] 도 3c 및 도 3d는 본 발명에 따라 형성된 일부 회로패턴의 정렬을 도시한 단면도이다.

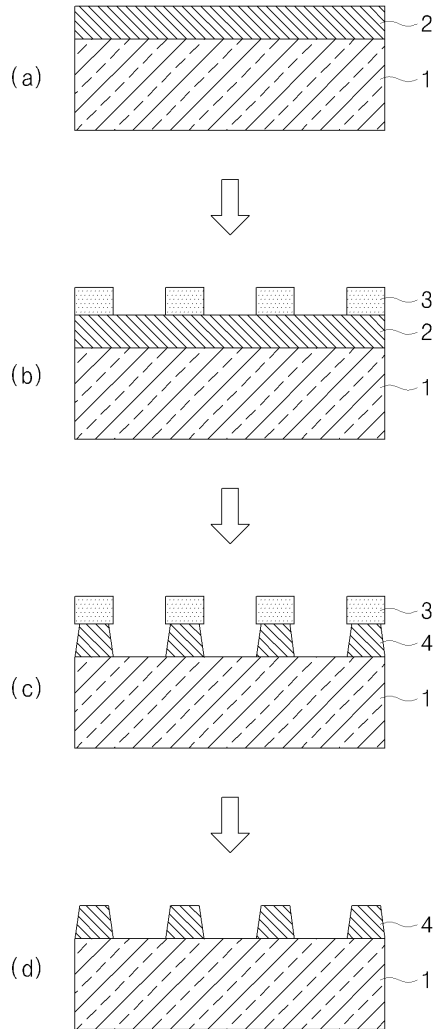
[0046] <도면의 주요 부분에 대한 부호설명>

[0047] 110: 절연층 120: 시드층

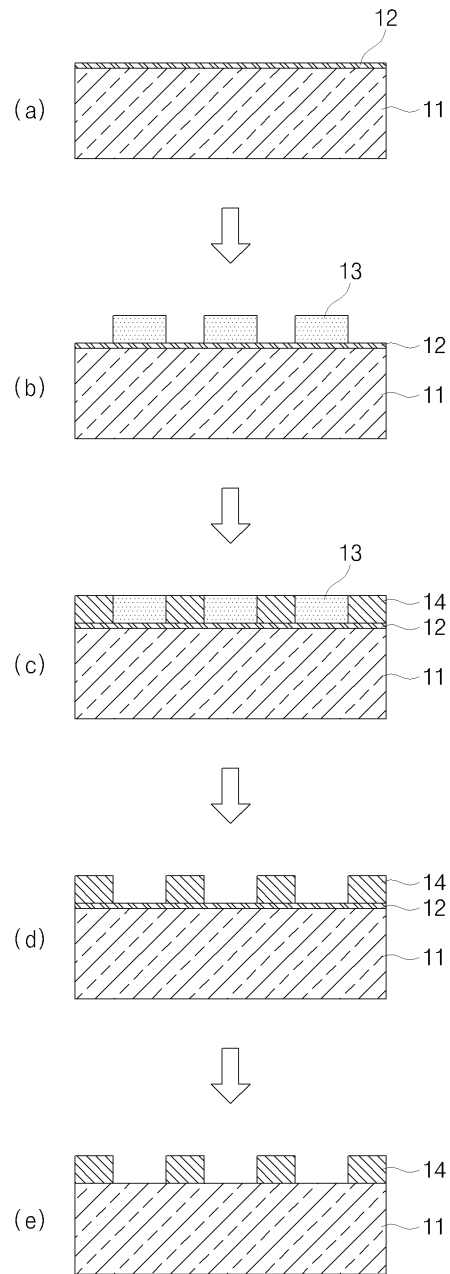
[0048] 130: 패터닝된 감광물질 140: 회로패턴

도면

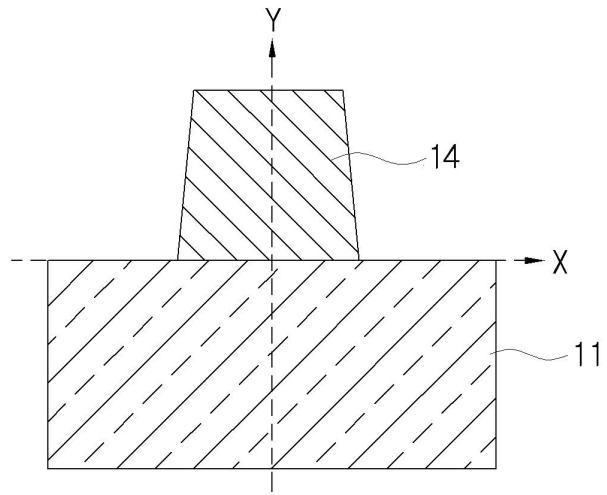
도면1a



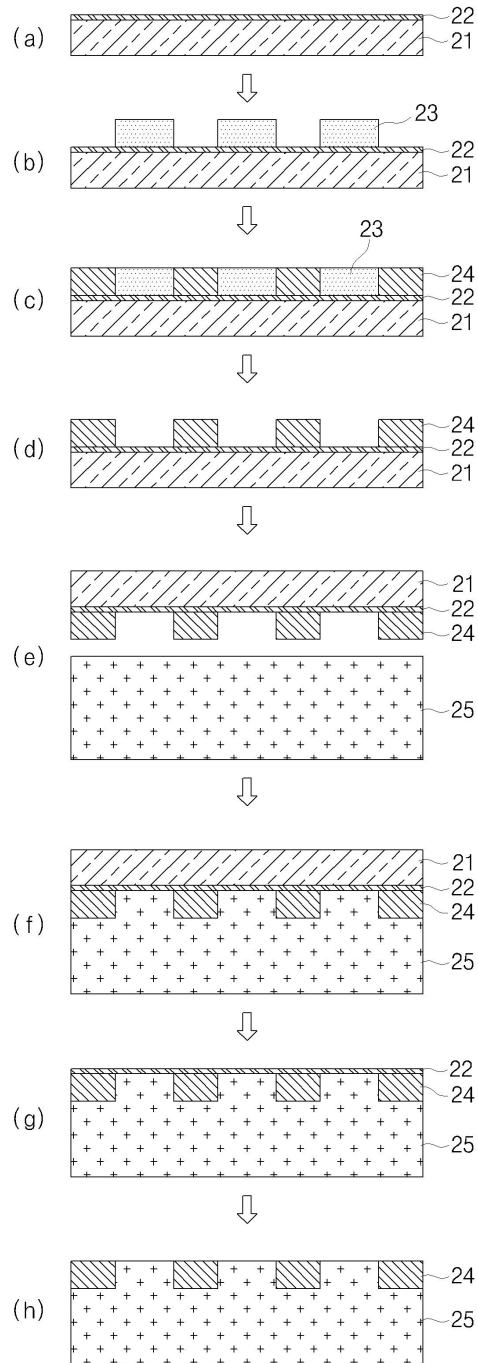
도면1b



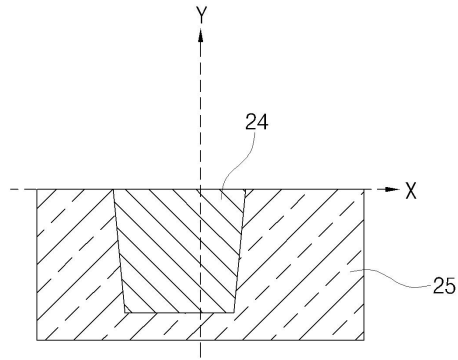
도면1c



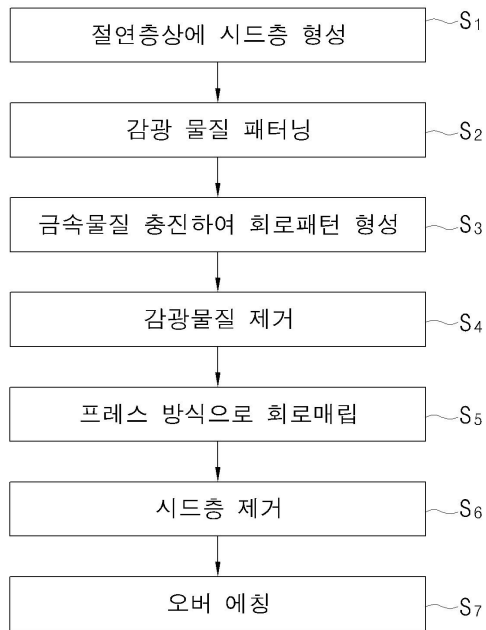
도면2a



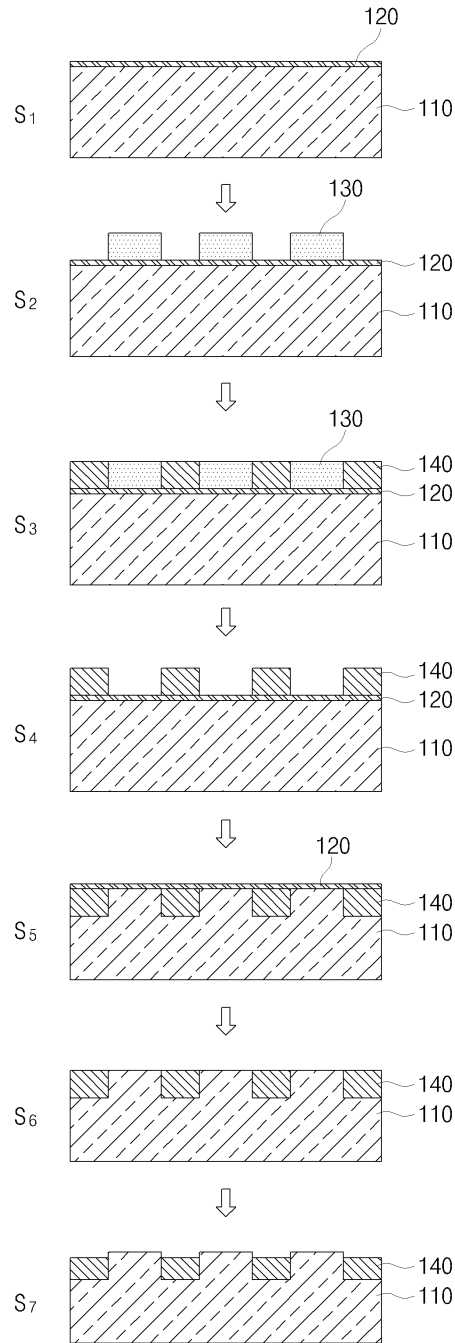
도면2b



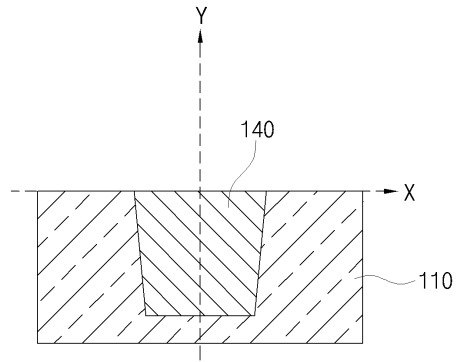
도면3a



도면3b



도면3c



도면3d

