

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6173375号  
(P6173375)

(45) 発行日 平成29年8月2日 (2017.8.2)

(24) 登録日 平成29年7月14日 (2017.7.14)

(51) Int.Cl. F I  
H03M 1/38 (2006.01) H03M 1/38

請求項の数 4 (全 54 頁)

(21) 出願番号	特願2015-40200 (P2015-40200)	(73) 特許権者	000153878
(22) 出願日	平成27年3月2日 (2015.3.2)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-19915 (P2011-19915) の分割	(72) 発明者	黒川 義元
原出願日	平成23年2月1日 (2011.2.1)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2015-122807 (P2015-122807A)		半導体エネルギー研究所内
(43) 公開日	平成27年7月2日 (2015.7.2)	合議体	
審査請求日	平成27年3月4日 (2015.3.4)	審判長	大塚 良平
審判番号	不服2016-6252 (P2016-6252/J1)	審判官	中野 浩昌
審判請求日	平成28年4月27日 (2016.4.27)	審判官	吉田 隆之
(31) 優先権主張番号	特願2010-29010 (P2010-29010)		
(32) 優先日	平成22年2月12日 (2010.2.12)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換回路と、A / D変換回路と、を有し、  
 前記光電変換回路は、光電変換素子と、第1のトランジスタと、第2のトランジスタと、を有し、  
 前記A / D変換回路は、第3のトランジスタを有し、  
 前記第3のトランジスタは、第1のゲートと、第2のゲートと、を有し、  
 前記第1のトランジスタの第1の端子は、前記光電変換素子と電氣的に接続され、  
 前記第1のトランジスタの第2の端子は、前記第2のトランジスタのゲートと電氣的に接続され、  
 前記第2のトランジスタの第1の端子は、フォトセンサ基準信号線と電氣的に接続され、  
 前記第2のトランジスタの第2の端子は、フォトセンサ出力信号線と電氣的に接続され、  
 前記第3のトランジスタの第1のゲートは、前記フォトセンサ出力信号線と電氣的に接続され、  
 前記第3のトランジスタの第2のゲートには、逐次的に値が変化する電圧が入力され、  
 前記第3のトランジスタのしきい値電圧は、逐次的に変化することを特徴とする回路。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、チャネル形成領域に酸化物半導体を有し、

前記第 2 のトランジスタは、チャネル形成領域に単結晶シリコンを有することを特徴とする回路。

【請求項 3】

請求項 1 又は 2 において、

前記 A / D 変換回路は、A / D 変換制御回路と、D / A 変換回路と、を有することを特徴とする回路。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の回路と、

液晶素子又は発光素子と、を有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体回路に関する。また、本発明の一態様は、表示装置に関する。

【背景技術】

【0002】

近年、光を検出するセンサ（フォトセンサ、フォトセンサ回路、又は光電変換回路ともいう）を搭載した半導体装置が注目されている。例えばタッチセンサとしてフォトセンサを搭載した表示装置は、タッチパネル又はタッチスクリーン（タッチパネルともいう）などと呼ばれており、該タッチパネルは、フォトセンサを表示部に有し、表示部が入力部を兼ねる構成である。上記タッチパネルの一例としては、例えば画像取り込み機能を備えた表示装置が挙げられる（例えば、特許文献 1 を参照）。また、フォトセンサを有する半導体回路としては、例えば CCD 方式のイメージセンサや CMOS 方式のイメージセンサなどが挙げられる。CCD 方式のイメージセンサや CMOS 方式のイメージセンサなどの半導体回路は、例えばデジタルスチルカメラや携帯電話などの電子機器に用いられる。

【0003】

例えば、フォトセンサを搭載した表示装置では、まず、表示装置から射出した光が被検出物によって反射し、さらに該反射した光を表示装置内の画素部に設けられたフォトセンサが検出することで、当該画素部に被検出物が存在することを認識することができる。また、フォトセンサを搭載した表示装置では、被検出物から発せられる光又は被検出物の反射光を、フォトセンサで直接検出する、又は光学レンズなどを用いて集光した後に検出する。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2001 - 292276 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記のような半導体回路や表示装置において、被検出物の撮像画像を構成するためには、フォトセンサにて光を検出することにより信号を生成し、生成した信号を用いる必要がある。フォトセンサにて光を検出することにより生成した信号は、一般にアナログ信号であり、撮像画像を構成するためには、アナログ信号をデジタル信号に変換する回路（A / D 変換回路又は A / D c o n v とomいう）によって、アナログ信号をデジタル信号に変換する必要がある。

【0006】

高い分解能の撮像機能を有する表示装置を実現するためには、高い分解能の信号変換が可能な高性能の A / D 変換回路が要求される。一方、高性能の A / D 変換回路を構成するために、A / D 変換回路の回路構成が複雑になると、面積が増大し、半導体回路や表示装置

10

20

30

40

50

の製造コストが増大する虞がある。

【 0 0 0 7 】

本発明の一態様では、信号変換の分解能を向上させることを課題の一つとする。また、発明の一態様では、A / D変換回路の回路構成を簡略にすることを課題の一つとする。なお、本発明の一態様では、上記課題の少なくとも一つを解決すればよい。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一態様は、比較回路を有するA / D変換回路において、該比較回路を制御信号を用いることによりしきい値電圧が逐次的に変化するトランジスタを用いた構成にし、入力される信号を、トランジスタのしきい値電圧の値に対応するデジタル値のデジタル信号に変換する構成にすることにより、比較回路の回路構成の簡略化によるA / D変換回路の回路構成の簡略化又はA / D変換における撮像動作における信号変換の分解能の向上を図るものである。

10

【 0 0 0 9 】

本発明の一態様は、第1の信号が入力され、入力された第1の信号を、第1の信号の電圧値に対応するデジタル値のデジタル信号である第2の信号に変換するA / D変換回路を有し、A / D変換回路は、第1の信号が入力され、第1の信号の電圧と、逐次的に値が変化する電圧であり、且つ変化したそれぞれの値が特定のデジタル値のデータに対応する基準となる電圧と、を比較し、比較結果に応じた電圧を第3の信号として出力する比較回路と、第3の信号が入力され、第3の信号に応じて、逐次的に値が変化するデジタル値であるデジタル信号を第4の信号として出力し、且つ第3の信号に応じて、第1の信号の電圧値に対応するデジタル値のデジタル信号を第2の信号として出力するA / D変換制御回路と、第4の信号が入力され、第4の信号をアナログ信号に変換し、変換したアナログ信号を第5の信号として出力するD / A変換回路と、を有し、比較回路は、ソース、ドレイン、第1のゲート、及び第2のゲートを有し、第1のゲートに第1の信号が入力され、第2のゲートに第5の信号が入力され、ソース及びドレインの一方の電圧が第3の信号の電圧となるトランジスタを有する半導体回路である。

20

【 0 0 1 0 】

本発明の一態様は、光が入射することにより、入射した光の照度に応じた値の電圧を生成し、生成した光の照度に応じた値の電圧を第1の信号として出力する光電変換回路と、第1の信号が入力され、入力された第1の信号を、第1の信号の電圧値に対応するデジタル値のデジタル信号である第2の信号に変換するA / D変換回路と、を有し、A / D変換回路は、第1の信号が入力され、第1の信号の電圧と、逐次的に値が変化する電圧であり、且つ変化したそれぞれの値が特定のデジタル値のデータに対応する基準となる電圧と、を比較し、比較結果に応じた電圧を第3の信号として出力する比較回路と、第3の信号が入力され、第3の信号に応じて、逐次的に値が変化するデジタル値であるデジタル信号を第4の信号として出力し、且つ第3の信号に応じて、第1の信号の電圧値に対応するデジタル値のデジタル信号を第2の信号として出力するA / D変換制御回路と、第4の信号が入力され、第4の信号をアナログ信号に変換し、変換したアナログ信号を第5の信号として出力するD / A変換回路と、を有し、比較回路は、抵抗素子と、ソース、ドレイン、第1のゲート、及び第2のゲートを有し、ソース及びドレインのいずれか一方に抵抗素子を介して第1の電源電圧が入力され、他方に第2の電源電圧が入力され、第1のゲートに第1の信号が入力され、第2のゲートに第5の信号が入力され、ソース及びドレインのいずれか一方の電圧が第3の信号の電圧となるトランジスタを有する半導体回路である。

30

40

【 0 0 1 1 】

本発明の一態様は、画素と、画素の動作を制御する駆動回路と、を有し、画素は、表示回路と、光が入射することにより、入射した光の照度に応じた値の電圧を生成し、生成した電圧を第1の信号として出力する光電変換回路と、を有し、駆動回路は、第1の信号が入力され、入力された第1の信号を、第1の信号の電圧値に対応するデジタル値のデジタル信号である第2の信号に変換するA / D変換回路を有し、A / D変換回路は、第1の信号

50

が入力され、第1の信号の電圧と、逐次的に値が変化する電圧であり、且つ変化したそれぞれの値が特定のデジタル値のデータに対応する基準となる電圧と、を比較し、比較結果に応じた電圧を第3の信号として出力する比較回路と、第3の信号が入力され、第3の信号に応じて、逐次的に値が変化するデジタル値であるデジタル信号を第4の信号として出力し、且つ第3の信号に応じて、第1の信号の電圧値に対応するデジタル値のデジタル信号を第2の信号として出力するA/D変換制御回路と、第4の信号が入力され、第4の信号をアナログ信号に変換し、変換したアナログ信号を第5の信号として出力するD/A変換回路と、を有し、比較回路は、抵抗素子と、ソース、ドレイン、第1のゲート、及び第2のゲートを有し、ソース及びドレインのいずれか一方に抵抗素子を介して第1の電源電圧が入力され、他方に第2の電源電圧が入力され、第1のゲートに第1の信号が入力され、第2のゲートに第5の信号が入力され、ソース及びドレインのいずれか一方の電圧が第3の信号の電圧となるトランジスタを有する表示装置である。

10

**【0012】**

なお、本明細書及び特許請求の範囲において、第1、第2などの序数は、数を限定するものではなく、構成要素の混同を避けるために付したものである。

**【発明の効果】****【0013】**

本発明の一態様により、比較回路の構成を簡略にすることができるため、A/D変換回路における回路構成を簡略にすることができる。

**【0014】**

20

また、本発明の一態様では、しきい値電圧の制御が可能なトランジスタを用いて比較回路を構成することにより、該トランジスタの第2のゲートに入力される電圧を自由に設定してA/D変換回路の出力信号であるデジタル信号の値を設定することができるため、信号変換における分解能を向上させることができる。

**【図面の簡単な説明】****【0015】**

【図1】実施の形態1における半導体回路の構成の一例を示すブロック図。

【図2】図1に示すA/D変換回路の構成の一例を示す回路図。

【図3】図2に示す比較回路の回路構成の一例を示す回路図。

【図4】図1に示すA/D変換回路の動作の一例を説明するための図。

30

【図5】実施の形態2における光電変換回路の回路構成の一例を示す回路図。

【図6】図5に示す光電変換回路の動作の一例を説明するための図。

【図7】実施の形態3における表示装置の構成の一例を示すブロック図。

【図8】図7に示す画素の回路構成の一例を示す回路図。

【図9】図8に示す表示装置におけるフォトセンサの読み出し動作を説明するためのタイミングチャート。

【図10】実施の形態4におけるトランジスタの構造例を示す断面模式図。

【図11】実施の形態4におけるトランジスタの構造例を示す断面模式図。

【図12】実施の形態4におけるトランジスタの作製方法の一例を示す断面模式図。

【図13】実施の形態4におけるトランジスタの作製方法の一例を示す断面模式図。

40

【図14】実施の形態4におけるトランジスタの作製方法の一例を示す断面模式図。

【図15】実施の形態5における複数のトランジスタの構造の一例を示す断面模式図。

【図16】実施の形態6における表示装置の構造例を示す断面模式図。

【図17】実施の形態7における電子機器の構成例を示す図。

**【発明を実施するための形態】****【0016】**

以下に、本発明の実施の形態について、図面を用いて詳細に説明する。但し、以下の実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお

50

、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する場合がある。

【 0 0 1 7 】

(実施の形態 1)

本実施の形態では、入力された信号をデジタル信号に変換することが可能な半導体回路について説明する。

【 0 0 1 8 】

本実施の形態における半導体回路の構成の一例について、図 1 を用いて説明する。図 1 は、本実施の形態における半導体回路の構成の一例を示すブロック図である。

【 0 0 1 9 】

図 1 に示す半導体回路は、光電変換回路 ( P c o n v と もいう ) 1 1 1 と、A / D 変換回路 1 1 2 と、を有する。

【 0 0 2 0 】

光電変換回路 1 1 1 は、光が入射することにより、入射した光の照度に応じた値の電圧 V 1 1 を生成し、生成した電圧 V 1 1 を信号 S 1 1 として出力する機能を有する。なお、必ずしも光電変換回路 1 1 1 を設けなくてもよく、A / D 変換回路 1 1 2 に入力信号として所定の波形の電圧が入力される構成であればよい。

【 0 0 2 1 】

なお、一般的に電圧とは、ある二点間における電位の差 ( 電位差ともいう ) のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト ( V ) で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位 ( 基準電位ともいう ) との電位差を、該一点の電圧として用いる場合がある。

【 0 0 2 2 】

光電変換回路 1 1 1 は、例えば光電変換素子 ( P C E と もいう ) 及びトランジスタを用いて構成される。光電変換素子は、入射した光の照度に応じた値の電流 ( 光電流ともいう ) を生成し、光電変換回路 1 1 1 は、該光電変換素子により生成された電流に応じた値の電圧 V 1 1 を生成する。光電変換素子としては、例えばフォトダイオード又はフォトトランジスタなどを用いることができる。また、本実施の形態の半導体回路では、光電変換回路 1 1 1 の構成を、光電変換素子により生成される光電流を増幅させる増幅回路を有する構成にすることもできる。

【 0 0 2 3 】

また、本明細書において、トランジスタは、電界効果トランジスタであり、特に指定する場合を除き、ソース、ドレイン、及びゲートを少なくとも有する。

【 0 0 2 4 】

ソースとは、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【 0 0 2 5 】

ドレインとは、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

【 0 0 2 6 】

ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【 0 0 2 7 】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインが互いに入れ替わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、本書類 ( 明細書、特許請求の範囲又は図面など ) では、トランジスタのソー

10

20

30

40

50

ス及びドレインのいずれか一方を第1端子と表記し、他方を第2端子と表記する場合がある。また、ソース又はドレインを第1端子又は第2端子と表記する場合、ゲートを第3端子と表記する場合もある。

【0028】

また、本明細書におけるトランジスタは、ゲートを複数有する場合もある。例えば2つのゲートを有する場合には、それぞれのゲートを第1のゲート、第2のゲート（バックゲートともいう）という場合がある。なお、第1のゲート及び第2のゲートを有する場合、第1のゲートを第3端子と表記し、第2のゲートを第4端子と表記する場合もある。

【0029】

A/D変換回路112は、入力された信号をデジタル信号に変換する回路である。A/D変換回路112には、信号S11が入力される。A/D変換回路112は、信号S11を、信号S11の電圧に対応するデジタル値のデジタル信号に変換し、変換したデジタル信号を信号S12として出力する機能を有する。

10

【0030】

さらに、A/D変換回路112の回路構成の一例について、図2を用いて説明する。図2は、図1に示すA/D変換回路の回路構成の一例を示す回路図である。

【0031】

図2に示すA/D変換回路は、比較回路（コンパレータ又はCOMPともいう）112aと、A/D変換制御回路（ADC TLともいう）112bと、D/A変換回路（D/A convともいう）112cと、を有する。

20

【0032】

比較回路112aには、信号S11が入力される。比較回路112aは、入力された信号S11の電圧と基準となる電圧を比較し、比較結果に応じた電圧を信号S21として出力する機能を有する。基準となる電圧は、逐次的に値が変化する電圧であり、それぞれの値が特定のデジタル値のデータに対応している。なお、基準となる電圧は、逐次的に値が大きくなる電圧でもよい。比較回路112aは、第1のゲート及び第2のゲートを有するトランジスタを備える。

【0033】

A/D変換制御回路112bには、比較回路112aから信号S21が入力される。A/D変換制御回路112bは、入力された信号S21に応じて、逐次的に変化するデジタル値のデータ信号を信号S22としてD/A変換回路112cに出力する機能を有し、さらに入力された信号S21に応じて、信号S11の電圧に対応するデジタル値のデジタル信号を信号S12として出力する機能を有する。A/D変換制御回路112bは、例えば逐次変換レジスタなどを用いて構成される。

30

【0034】

D/A変換回路112cには、A/D変換制御回路112bから信号S22が入力される。D/A変換回路112cは、入力された信号S22をアナログ信号に変換し、変換したアナログ信号を制御信号CTL11として比較回路112aが備えるトランジスタの第2のゲートに出力する機能を有する。

【0035】

制御信号CTL11は、比較回路112aが備えるトランジスタのしきい値電圧を設定するための信号の一つであり、上記基準となる電圧である。

40

【0036】

なお、本実施の形態のA/D変換回路において、比較回路112aを光電変換回路111と同一基板上に設けることができる。また、A/D変換制御回路112b及びD/A変換回路112cを比較回路112aと同一基板に設けてもよいし、外部機器として設けられたA/D変換制御回路112b及びD/A変換回路112cが比較回路112aに電氣的に接続された構成としてもよい。

【0037】

さらに、図2に示す比較回路112aの回路構成の一例について、図3を用いて説明する

50

。図3は、図2に示す比較回路の回路構成の一例を示す回路図である。

【0038】

図3に示す比較回路は、抵抗素子1121と、トランジスタ1122と、を有する。なお、本実施の形態の比較回路では、抵抗素子1121の代わりとして、例えばゲートと、ソース若しくはドレインが電氣的に接続された（ダイオード接続されたともいう）トランジスタ、又はダイオードなどを用いることもできる。

【0039】

トランジスタ1122は、ソース、ドレイン、第1のゲート、及び第2のゲートを有する。

【0040】

トランジスタ1122の第1端子は、抵抗素子1121に電氣的に接続され、トランジスタ1122の第1端子には、抵抗素子1121を介して電圧 $V_a$ が入力され、トランジスタ1122の第2端子には、電圧 $V_b$ が入力され、トランジスタ1122の第1のゲートには、信号 $S_{11}$ が入力され、トランジスタ1122の第2のゲートには、制御信号 $CTL_{11}$ が入力される。また、図3に示す比較回路は、トランジスタ1122の第1端子と抵抗素子1121との接続箇所（ノード $N_{11}$ ともいう）の電圧を信号 $S_{21}$ として出力する。

【0041】

電圧 $V_a$ 及び電圧 $V_b$ のいずれか一方は、高電源電圧 $V_{dd}$ となる電圧であり、他方は低電源電圧 $V_{ss}$ となる電圧である。高電源電圧 $V_{dd}$ は、相対的に低電源電圧 $V_{ss}$ より高い値の電圧であり、低電源電圧 $V_{ss}$ は、相対的に高電源電圧 $V_{dd}$ より低い値の電圧である。電圧 $V_a$ 及び電圧 $V_b$ の値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。

【0042】

トランジスタ1122としては、例えばオフ電流の低いトランジスタを用いることができる。オフ電流の低いトランジスタを用いることにより、トランジスタ1122のソース及びドレインのリーク電流によるノード $N_{11}$ の電圧の変動を抑制することができる。オフ電流の低いトランジスタとしては、例えばチャネル形成層として酸化物半導体層を有するトランジスタを用いることができる。上記酸化物半導体層を有するトランジスタのチャネル幅 $1\mu\text{m}$ あたりのオフ電流は、 $10\text{aA}/\mu\text{m}$  ( $1 \times 10^{-17}\text{A}/\mu\text{m}$ ) 以下、 $1\text{aA}/\mu\text{m}$  ( $1 \times 10^{-18}\text{A}/\mu\text{m}$ ) 以下、 $10\text{zA}/\mu\text{m}$  ( $1 \times 10^{-20}\text{A}/\mu\text{m}$ ) 以下、又は $1\text{zA}$  ( $1 \times 10^{-21}\text{A}/\mu\text{m}$ ) 以下である。

【0043】

図3に一例として示すように、比較回路は、しきい値電圧の値が制御信号 $CTL_{11}$ を用いることにより逐次的に変化するトランジスタを有する構成である。該構成にすることにより、比較回路の回路構成を簡略にすることができる。

【0044】

次に、図1に示す半導体回路の動作の一例について説明する。ここでは、一例としてA/D変換回路112の構成を図2に示すA/D変換回路の構成とし、図2に示す比較回路112aの構成を図3に示す比較回路の構成とする。

【0045】

まず、光電変換回路111に光が入射する。

【0046】

光電変換回路111では、入射した光の照度に応じた値の光電流が光電変換素子により生成され、さらに光電変換回路111は、生成された光電流に応じた値の電圧 $V_{11}$ を生成し、生成した電圧 $V_{11}$ を信号 $S_{11}$ として出力する。

【0047】

信号 $S_{11}$ は、A/D変換回路112における比較回路112aのトランジスタ1122の第1のゲートに入力される。

【0048】

10

20

30

40

50

トランジスタ 1 1 2 2 が N 型トランジスタの場合、信号 S 1 1 の電圧（電圧 V 1 1 という）がトランジスタ 1 1 2 2 のしきい値電圧より低いときにトランジスタ 1 1 2 2 がオフ状態（状態 O F F という）になる。また、トランジスタ 1 1 2 2 が P 型トランジスタの場合、信号 S 1 1 の電圧がトランジスタ 1 1 2 2 のしきい値電圧より高いときにトランジスタ 1 1 2 2 がオフ状態になる。トランジスタ 1 1 2 2 がオフ状態であるとき、ノード N 1 1 の電圧は、電圧 V a と同等の値になる。

【 0 0 4 9 】

また、トランジスタ 1 1 2 2 が N 型トランジスタの場合、信号 S 1 1 の電圧がトランジスタ 1 1 2 2 のしきい値電圧より大きいときにトランジスタ 1 1 2 2 がオン状態（状態 O N という）になる。また、トランジスタ 1 1 2 2 が P 型トランジスタの場合、信号 S 1 1 の電圧がトランジスタ 1 1 2 2 のしきい値電圧より低いときにトランジスタ 1 1 2 2 がオン状態になる。トランジスタ 1 1 2 2 がオン状態であるとき、ノード N 1 1 の電圧は、電圧 V b と同等の値になる。

10

【 0 0 5 0 】

トランジスタ 1 1 2 2 のしきい値電圧は、トランジスタ 1 1 2 2 の第 2 のゲートの電圧により設定される。よって、トランジスタ 1 1 2 2 のしきい値電圧は、制御信号 C T L 1 1 の値により変化する。例えばトランジスタ（例えばトランジスタ 1 1 2 2 ）が N 型トランジスタの場合、制御信号（例えば制御信号 C T L 1 1 ）の電圧値が上昇するに伴い、該トランジスタのしきい値電圧は低下する。なお、制御信号 C T L 1 1 は、A / D 変換制御回路 1 1 2 b 及び D / A 変換回路 1 1 2 c を用いて生成される。

20

【 0 0 5 1 】

さらに、比較回路 1 1 2 a は、ノード N 1 1 の電圧を信号 S 2 1 として A / D 変換制御回路 1 1 2 b に出力する。

【 0 0 5 2 】

A / D 変換制御回路 1 1 2 b は、逐次的に値が変化するデジタル値のデータ信号を D / A 変換回路 1 1 2 c に出力する。

【 0 0 5 3 】

D / A 変換回路 1 1 2 c は、A / D 変換制御回路 1 1 2 b から入力された上記データ信号をアナログ信号に変換し、変換したアナログ信号を制御信号 C T L 1 1 としてトランジスタ 1 1 2 2 の第 2 のゲートに出力する。

30

【 0 0 5 4 】

また、A / D 変換制御回路 1 1 2 b は、比較回路 1 1 2 a から入力された信号 S 2 1 に応じて、信号 S 1 1 の電圧に対応するデジタル値のデジタル信号を信号 S 1 2 として出力する。例えば信号 S 1 1 を、トランジスタ 1 1 2 2 の状態が変化したとき（例えばトランジスタ 1 1 2 2 のオン状態とオフ状態が切り替わるとき）の制御信号 C T L 1 1 の電圧値に対応するデジタル値のデジタル信号に変換する。

【 0 0 5 5 】

さらに、図 1 に示す A / D 変換回路の動作の一例について、図 4 を用いて説明する。図 4 は、図 1 に示す A / D 変換回路の動作の一例を説明するための図であり、信号 S 1 1 の電圧状態、制御信号 C T L 1 1 の状態、トランジスタ 1 1 2 2 の状態、及びノード N 1 1 の電圧波形を示す。なお、ここでは一例として、A / D 変換回路 1 1 2 の構成を図 2 に示す A / D 変換回路の構成とし、図 2 に示す比較回路 1 1 2 a の構成を図 3 に示す比較回路の構成とし、トランジスタ 1 1 2 2 がオフ状態からオン状態に変わるときの制御信号 C T L 1 1 の電圧に対応するデジタル値をデジタル信号変換用のデジタル値として用いるものとする。

40

【 0 0 5 6 】

図 4 に示すように、信号 S 1 1 の電圧が所定の値であるのに対し、制御信号 C T L 1 1 の電圧の値は、単位時間毎（期間 1 2 1、期間 1 2 2、及び期間 1 2 3）にデジタル値 D 1、デジタル値 D 2、及びデジタル値 D 3 に対応する値に変化する。

【 0 0 5 7 】

50



このとき、トランジスタ 1 1 2 2 は、期間 1 2 1 及び期間 1 2 2 においてオフ状態になり、時刻 T 1 1 においてオフ状態からオン状態になる。つまり、制御信号 C T L 1 1 の電圧の値がデジタル値 D 3 に対応する値であるとき（期間 1 2 3 ）に、トランジスタ 1 1 2 2 は、オン状態になる。なお、これに限定されず、制御信号 C T L 1 1 の電圧の値がデジタル値 D 1 又はデジタル値 D 2 に対応する値のときに、トランジスタ 1 1 2 2 がオン状態になってもよい。

【 0 0 5 8 】

トランジスタ 1 1 2 2 がオン状態のとき、ノード N 1 1 の電圧が電圧 V b と同等の値になる。このとき信号 S 1 1 は、デジタル値 D 3 であるデジタル信号に変換され、変換されたデジタル信号が信号 S 1 2 となる。以上が図 1 に示す A / D 変換回路の動作の一例である。

10

【 0 0 5 9 】

図 1 乃至図 3 に一例として示すように、本実施の形態の半導体回路は、制御信号 C T L 1 1 を用いることによりしきい値電圧の値が逐次的に変化するトランジスタを含む比較回路を備えた A / D 変換回路を具備し、該トランジスタは、第 2 のゲートによりしきい値電圧が制御され、第 2 のゲートに入力される信号の電圧値が逐次的に変化する構成である。該構成とすることにより、比較回路の回路構成を簡略にすることができ、A / D 変換回路の構成を簡略にすることができる。また、第 2 のゲートに入力される信号の電圧値を任意に設定することができるため、信号変換（A / D 変換）における分解能を向上させることができる。

20

【 0 0 6 0 】

また、本実施の形態の半導体回路では、光電変換回路及び A / D 変換回路を同一基板上に形成することもできる。これにより、光電変換回路から A / D 変換回路に入力される信号のノイズを低減することでき、また、該光電変換回路は、A / D 変換回路と同一工程で作製することもできるため、製造コストを低減することができる。

【 0 0 6 1 】

（実施の形態 2 ）

本実施の形態では、上記実施の形態の半導体回路に適用可能な光電変換回路の一例について説明する。

【 0 0 6 2 】

30

本実施の形態の光電変換回路の回路構成の一例について、図 5 を用いて説明する。図 5 は、図 1 に示す光電変換回路の回路構成の一例を示す回路図である。

【 0 0 6 3 】

図 5 に示す光電変換回路は、光電変換素子 1 1 1 a と、トランジスタ 1 1 1 b と、トランジスタ 1 1 1 c と、トランジスタ 1 1 1 d と、を有する。

【 0 0 6 4 】

光電変換素子 1 1 1 a は、光が入射し、入射した光の照度に応じて光電流を生成する機能を有する。光電変換素子 1 1 1 a は、第 1 端子及び第 2 端子を有し、光電変換素子 1 1 1 a の第 1 端子は、信号 S 3 1 が入力される。光電変換素子 1 1 1 a としては、例えばフォトダイオード又はフォトトランジスタなどを用いることができる。フォトダイオードの場合、アノード又はカソードが光電変換素子 1 1 1 a の第 1 端子又は第 2 端子に相当し、フォトトランジスタの場合、ソース又はドレインが光電変換素子 1 1 1 a の第 1 端子又は第 2 端子に相当する。また、信号 S 3 1 は、光電変換素子 1 1 1 a の導通状態（状態 C とともいう）又は非導通状態（状態 N C とともいう）を制御する信号である。なお、フォトダイオードにおいて、導通状態とは、順方向に電圧が印加され、且つ第 1 端子及び第 2 端子の間に電流が流れる状態であり、非導通状態とは、逆方向に電圧が印加される状態である。また、フォトダイオードにおいて、非導通状態に光の入射により第 1 端子及び第 2 端子の間に電流が流れてもよい。また、フォトトランジスタにおいて、導通状態とはオン状態であり、非導通状態とはオフ状態である。また、フォトトランジスタにおいて、非導通状態に光の入射により第 1 端子及び第 2 端子の間に電流が流れてもよい。

40

50

## 【 0 0 6 5 】

トランジスタ 1 1 1 b の第 1 端子は、光電変換素子 1 1 1 a の第 2 端子に電氣的に接続され、トランジスタ 1 1 1 b のゲートは、信号 S 3 2 が入力される。信号 S 3 2 は、トランジスタ 1 1 1 b のオン状態又はオフ状態を制御する信号である。

## 【 0 0 6 6 】

トランジスタ 1 1 1 b としては、例えばオフ電流の低いトランジスタを用いることができる。オフ電流の低いトランジスタを用いることにより、トランジスタ 1 1 1 b のソース及びドレインのリーク電流によるトランジスタ 1 1 1 b の第 2 端子の電圧の変動を抑制することができる。オフ電流の低いトランジスタとしては、例えば実施の形態 1 に示すチャンネル形成層として酸化物半導体層を有するトランジスタを用いることができる。なお、本実施の形態の光電変換回路では、トランジスタ 1 1 1 b を必ずしも設けなくてもよいが、トランジスタ 1 1 1 b を設けることにより、すなわちトランジスタ 1 1 1 c のゲートが浮遊状態のときに、一定期間の間トランジスタ 1 1 1 c のゲートの電圧の値を維持することができる。

10

## 【 0 0 6 7 】

トランジスタ 1 1 1 c の第 1 端子は、電圧 V a が入力され、トランジスタ 1 1 1 c のゲートは、トランジスタ 1 1 1 b の第 2 端子に電氣的に接続される。なお、トランジスタ 1 1 1 c のゲートとトランジスタ 1 1 1 b の第 2 端子との接続箇所をノード N 2 1 ともいう。

## 【 0 0 6 8 】

トランジスタ 1 1 1 d の第 1 端子は、トランジスタ 1 1 1 c の第 2 端子に電氣的に接続され、トランジスタ 1 1 1 d のゲートは、信号 S 3 3 が入力される。信号 S 3 3 は、トランジスタ 1 1 1 d のオン状態又はオフ状態を制御する信号である。

20

## 【 0 0 6 9 】

本実施の形態の光電変換回路では、トランジスタ 1 1 1 d を必ずしも設けなくてもよいが、トランジスタ 1 1 1 d を設けることにより、光電変換素子 1 1 1 a に入射する光の照度に応じた電圧を信号 S 1 1 として図 1 に示す A / D 変換回路 1 1 2 に出力するタイミングを制御することができる。また、図 5 に示す構成に限定されず、本実施の形態の光電変換回路を、トランジスタ 1 1 1 d の第 1 端子に電圧 V a が入力され、トランジスタ 1 1 1 d の第 2 端子がトランジスタ 1 1 1 c の第 1 端子に電氣的に接続された構成にすることもできる。該構成のとき、トランジスタ 1 1 1 c の第 1 端子は、トランジスタ 1 1 1 d を介して電圧 V a が入力される。

30

## 【 0 0 7 0 】

図 5 に示す光電変換回路は、トランジスタ 1 1 1 d の第 2 端子の電圧を信号 S 1 1 として出力する。

## 【 0 0 7 1 】

なお、図 5 に示す構成に限定されず、本実施の形態の光電変換回路を、例えばノード N 2 1 の電圧を電圧 V a と同等の値にするか否かを制御するトランジスタを設けた構成にすることもできる。この場合、上記トランジスタの第 1 端子は、電圧 V a が入力され、該トランジスタの第 2 端子は、トランジスタ 1 1 1 c のゲートに電氣的に接続される。また、該トランジスタとしては、オフ電流の低いトランジスタを用いることが好ましい。オフ電流の低いトランジスタを用いることにより、上記トランジスタのソース及びドレインのリーク電流によるノード N 2 1 の電圧の変動を抑制することができる。オフ電流の低いトランジスタとしては、例えば実施の形態 1 に示すチャンネル形成層として酸化物半導体層を有するトランジスタを用いることができる。

40

## 【 0 0 7 2 】

また、図 5 に示す構成に限定されず、本実施の形態の光電変換回路を、例えばトランジスタ 1 1 1 d の第 2 端子の電圧を所定の値の電圧に設定するか否かを制御するトランジスタを有する構成とすることもできる。この場合、上記トランジスタの第 1 端子には、電圧 V a が入力され、上記トランジスタの第 2 端子は、トランジスタ 1 1 1 d の第 2 端子に電氣的に接続され、上記トランジスタのゲートには、制御信号が入力される。

50

## 【 0 0 7 3 】

次に、図 5 に示す光電変換回路の動作の一例について、図 6 を用いて説明する。図 6 は、図 5 に示す光電変換回路の動作の一例を説明するための図であり、光電変換素子 1 1 1 a、トランジスタ 1 1 1 b、及びトランジスタ 1 1 1 d のそれぞれの状態を示す。

## 【 0 0 7 4 】

図 5 に示す光電変換回路の動作の一例では、まず、時刻 T 3 1 において、信号 S 3 1 により光電変換素子 1 1 1 a が導通状態になり、信号 S 3 2 によりトランジスタ 1 1 1 b がオン状態になり、信号 S 3 3 によりトランジスタ 1 1 1 d がオフ状態になる。

## 【 0 0 7 5 】

このとき、ノード N 2 1 の電圧は、信号 S 3 1 の電圧と同等の値になる。

10

## 【 0 0 7 6 】

次に、時刻 T 3 2 において、信号 S 3 1 により光電変換素子 1 1 1 a が非導通状態になり、信号 S 3 2 によりトランジスタ 1 1 1 b がオン状態になり、信号 S 3 3 によりトランジスタ 1 1 1 d がオフ状態になる。

## 【 0 0 7 7 】

このとき、光電変換素子 1 1 1 a に光が入射すると、入射した光の照度に応じて光電変換素子 1 1 1 a の第 1 端子及び第 2 端子の間に光電流が流れる。さらに、光電変換素子 1 1 1 a の第 1 端子及び第 2 端子の間に流れる光電流の量に応じてノード N 2 1 の電圧の値が変化する。さらに、ノード N 2 1 の電圧に応じてトランジスタ 1 1 1 c の第 1 端子及び第 2 端子に流れる電流が変化する。

20

## 【 0 0 7 8 】

次に、時刻 T 3 3 において、信号 S 3 1 により光電変換素子 1 1 1 a が非導通状態になり、信号 S 3 2 によりトランジスタ 1 1 1 b がオフ状態になり、信号 S 3 3 によりトランジスタ 1 1 1 d がオフ状態になる。

## 【 0 0 7 9 】

このとき、ノード N 2 1 の電圧が一定期間所定の値に保持される。なお、所定の値とは、時刻 T 3 2 から時刻 T 3 3 の間において光電変換素子 1 1 1 a の第 1 端子及び第 2 端子の間に流れた電流量に応じた値である。

## 【 0 0 8 0 】

次に、時刻 T 3 4 において、信号 S 3 1 により光電変換素子 1 1 1 a が非導通状態になり、信号 S 3 2 によりトランジスタ 1 1 1 b がオフ状態になり、信号 S 3 3 によりトランジスタ 1 1 1 d がオン状態になる。

30

## 【 0 0 8 1 】

このとき、トランジスタ 1 1 1 d の第 2 端子の電圧は、トランジスタ 1 1 1 c の第 1 端子及び第 2 端子、並びにトランジスタ 1 1 1 d の第 1 端子及び第 2 端子を介して電流が流れることにより変化する。つまり、トランジスタ 1 1 1 d の第 2 端子の電圧の値は、光電変換素子 1 1 1 a に入射する光の照度に応じて変化する。

## 【 0 0 8 2 】

さらに、時刻 T 3 5 において、信号 S 3 1 により光電変換素子 1 1 1 a が非導通状態になり、信号 S 3 2 によりトランジスタ 1 1 1 b がオフ状態になり、信号 S 3 3 によりトランジスタ 1 1 1 d がオフ状態になる。

40

## 【 0 0 8 3 】

このとき、トランジスタ 1 1 1 d の第 2 端子の電圧の値が一定期間一定の値に保持される。該一定の値とは、時刻 T 3 2 から時刻 T 3 3 の間において光電変換素子 1 1 1 a の第 1 端子及び第 2 端子の間に流れた電流量に応じた値である。つまり、トランジスタ 1 1 1 d の第 2 端子の電圧の値は、光電変換素子 1 1 1 a に入射する光の量に応じた値に保持される。なお、保持容量を設けてトランジスタ 1 1 1 d の第 2 端子の電圧の値を保持する構成にすることもできる。また、図 5 に示す光電変換回路は、トランジスタ 1 1 1 d の第 2 端子の電圧を信号 S 1 1 として出力する。

## 【 0 0 8 4 】

50

以上のように、光電変換回路を動作させることにより、光電変換素子 1 1 1 a に入射する光のデータを信号として検出することができる。

【 0 0 8 5 】

図 5 に一例として示すように、本実施の形態の光電変換回路の一例は、光電変換素子と複数のトランジスタを用いた構成である。該構成とすることにより、上記実施の形態の半導体回路に入射する光の照度に応じた信号を生成することができる。

【 0 0 8 6 】

また、本実施の形態の光電変換回路の一例は、用いられる全てのトランジスタを同じ構造にすることができる。用いられる全てのトランジスタを同じ構造にすることにより、製造工程数を少なくすることができる。また用いられるトランジスタを異なる構造にすることにより、必要とされる機能に応じて適した構造のトランジスタを適宜選択して用いることができる。

【 0 0 8 7 】

また、本実施の形態の光電変換回路の一例を A / D 変換回路と同一工程且つ同一基板上に作製することができる。これにより、光電変換回路から A / D 変換回路に入力される信号のノイズを低減することができ、また、製造コストを低減することもできる。

【 0 0 8 8 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

【 0 0 8 9 】

( 実施の形態 3 )

本実施の形態では、画素部に光検出手段を有する表示装置の一例について説明する。

【 0 0 9 0 】

まず、本実施の形態の表示装置の構成の一例について、図 7 を用いて説明する。図 7 は、本実施の形態における表示装置の構成の一例を示すブロック図である。

【 0 0 9 1 】

図 7 に示す表示装置 1 0 0 は、画素部及び駆動回路部を有する。

【 0 0 9 2 】

画素部は、複数の画素を有する領域であり、駆動回路部は、画素の動作（例えば表示動作及び読み出し（読み取りともいう）動作など）を制御する駆動回路を有する領域である。

【 0 0 9 3 】

さらに、画素部は、画素回路 1 0 1 を有し、駆動回路部は、表示回路制御回路 1 0 2 及びフォトセンサ制御回路 1 0 3 を有する。

【 0 0 9 4 】

各々の画素回路 1 0 1 は、表示回路（表示素子ともいう）1 0 5 とフォトセンサ 1 0 6 を有する。

【 0 0 9 5 】

さらに、画素回路 1 0 1 の回路構成の一例について、図 8 を用いて説明する。図 8 は、図 7 に示す表示装置における画素回路の回路構成の一例を示す回路図である。

【 0 0 9 6 】

図 8 に示す画素回路 1 0 1 は、表示回路 1 0 5 と、フォトセンサ 1 0 6 と、を有する。

【 0 0 9 7 】

表示回路 1 0 5 は、トランジスタ 2 0 1、保持容量 2 0 2、及び液晶素子 2 0 3 を有する。

【 0 0 9 8 】

トランジスタ 2 0 1 は、ゲートがゲート信号線（走査線ともいう）2 0 8 に電氣的に接続され、第 1 端子がビデオデータ信号線（ソース信号線ともいう）2 1 2 に電氣的に接続される。トランジスタ 2 0 1 は、保持容量 2 0 2 及び液晶素子 2 0 3 への電荷の注入又は排出（保持容量 2 0 2 及び液晶素子 2 0 3 の充電又は放電ともいう）を制御する機能を有する。例えば、トランジスタ 2 0 1 がオン状態になると、ビデオデータ信号線 2 1 2 の電圧

10

20

30

40

50

が保持容量 202 と液晶素子 203 に印加される。例えば、アモルファスシリコンや微結晶シリコン、多結晶シリコンなどの半導体層を用いたトランジスタでトランジスタ 201 を構成することもできるが、例えばチャネル形成層としての機能を有する酸化物半導体層を用いたオフ電流が極めて低いトランジスタでトランジスタ 201 を構成することで、表示品質を高めることができる。

【0099】

保持容量 202 は、一対の電極と、該一対の電極の間に誘電体層と、を含む素子であり、該一対の電極のいずれか一方の電極がトランジスタ 201 の第 2 端子に電氣的に接続され、他方の電極に一定の値の電圧が入力される。保持容量 202 は、液晶素子 203 に印加される電圧に相当する電荷を保持する機能を有する。なお、保持容量 202 を必ずしも設けなくてもよい。

10

【0100】

液晶素子 203 は、一対の電極と、該一対の電極の間に液晶層と、を含む素子であり、該一対の電極のいずれか一方の電極がトランジスタ 201 の第 2 端子に電氣的に接続され、他方の電極に一定の値の電圧が入力される。該一定の値の電圧は、保持容量 202 の他方の電極の入力される電圧と同じ電圧であってもよいし、異なる電圧であってもよい。液晶素子 203 は、電圧が印加されることで偏光方向が変化する素子であり、該偏光方向の変化を利用し、液晶素子 203 を透過する光の量を調整し、明暗（階調）を作ることによって、画像表示が実現できる。液晶素子 203 を透過する光には、表示装置の裏面から照射される光源（バックライト）などの光を用いる。

20

【0101】

なお、ここでは、表示回路 105 が液晶素子 203 を有する場合について説明したが、発光素子などの他の素子を有していてもよい。発光素子は、電流又は電圧によって輝度が制御される素子であり、発光素子としては、発光ダイオード、OLED (Organic Light Emitting Diode) 等が挙げられる。

【0102】

また、フォトセンサ 106 は、上記実施の形態の半導体回路に示す光電変換回路に相当し、フォトダイオード 204、トランジスタ 205、トランジスタ 206、及びトランジスタ 207 を有する。

【0103】

フォトダイオード 204 は、アノード及びカソードを有し、アノードがフォトダイオードリセット信号線 210 に電氣的に接続されている。

30

【0104】

トランジスタ 205 は、第 1 端子がフォトセンサ基準信号線 213 に電氣的に接続されている。例えば、アモルファスシリコン、微結晶シリコン、多結晶シリコン、又は単結晶シリコンなどの半導体層を用いたトランジスタでトランジスタ 205 を形成することができるが、トランジスタ 205 は、フォトダイオード 204 が生成する電圧を増幅する機能を有するため、例えば単結晶シリコンなどの半導体層を用いた移動度の高いトランジスタでトランジスタ 205 を構成することが望ましい。また、図 8 に示すトランジスタ 205 は、N 型であるが、これに限定されず、本実施の形態の表示装置では、トランジスタ 205 を P 型のトランジスタを用いて構成することもできる。

40

【0105】

トランジスタ 206 は、第 1 端子がトランジスタ 205 の第 2 端子に電氣的に接続され、第 2 端子がフォトセンサ出力信号線 214 に電氣的に接続され、ゲートがゲート信号線 211 に電氣的に接続されている。例えば、アモルファスシリコンや微結晶シリコン、多結晶シリコン、又は単結晶シリコンなどの半導体層を用いたトランジスタでトランジスタ 206 を構成することができるが、トランジスタ 206 は、フォトセンサ出力信号線 214 へのフォトセンサ 106 の出力信号の供給を制御する機能を有するため、例えば単結晶シリコンなどの半導体層を用いた移動度の高いトランジスタでトランジスタ 206 を構成することが望ましい。

50

## 【 0 1 0 6 】

トランジスタ 2 0 7 は、第 1 端子がフォトダイオード 2 0 4 のカソードに電氣的に接続され、第 2 端子がトランジスタ 2 0 5 のゲートに電氣的に接続され、ゲートがゲート信号線 2 0 9 に電氣的に接続されている。トランジスタ 2 0 7 は、フォトダイオード 2 0 4 の出力信号に応じた電荷をトランジスタ 2 0 5 のゲートに電荷容量として累積するか否かを制御する機能を有する。また、トランジスタ 2 0 7 は、当該電荷容量を保持する機能を有するため、移動度が高く、また、オフ電流が極めて低いトランジスタでトランジスタ 2 0 7 を構成する必要がある。そのため、例えばチャネル形成層として酸化物半導体層を用いたトランジスタでトランジスタ 2 0 7 を構成することが望ましい。

## 【 0 1 0 7 】

また、図 7 に示す表示回路制御回路 1 0 2 は、表示回路 1 0 5 を制御するための回路であり、ビデオデータ信号線 2 1 2 を介して表示回路 1 0 5 に信号を入力する表示回路駆動回路 1 0 7 と、ゲート信号線 2 0 8 を介して表示回路 1 0 5 に信号を入力する表示回路駆動回路 1 0 8 を有する。例えば、ゲート信号線 2 0 8 の電圧を制御する表示回路駆動回路 1 0 8 は、特定の行に配置された画素 1 0 1 が有する表示回路 1 0 5 を選択する機能を有する。また、ビデオデータ信号線 2 1 2 の電圧を制御する表示回路駆動回路 1 0 7 は、選択された特定の行の画素回路 1 0 1 が有する表示回路 1 0 5 に任意の電圧を与える機能を有する。なお、表示回路駆動回路 1 0 8 により、表示回路 1 0 5 におけるトランジスタ 2 0 1 がオン状態になると、ビデオデータ信号線 2 1 2 側の表示回路駆動回路 1 0 7 によりビデオデータ信号線 2 1 2 に与えられる電圧が表示回路 1 0 5 における液晶素子 2 0 3 に供給される。

## 【 0 1 0 8 】

フォトセンサ制御回路 1 0 3 は、フォトセンサ 1 0 6 を制御するための回路であり、フォトセンサ出力信号線 2 1 4 及びフォトセンサ基準信号線 2 1 3 などの信号線の電圧を制御するフォトセンサ読み出し回路 1 0 9、並びにゲート信号線 2 0 9 及びゲート信号線 2 1 1 などの電圧を制御するフォトセンサ駆動回路 1 1 0 を有する。フォトセンサ駆動回路 1 1 0 は、特定の行に配置された画素 1 0 1 が有するフォトセンサ 1 0 6 に対して、リセット動作と累積動作と選択動作とを行う機能を有する。また、フォトセンサ読み出し回路 1 0 9 は、選択された特定の行の画素 1 0 1 が有するフォトセンサ 1 0 6 の出力信号を取り出す機能を有する。

## 【 0 1 0 9 】

さらに、フォトセンサ読み出し回路 1 0 9 に用いられるプリチャージ回路及び A / D 変換回路について、図 8 を用いて説明する。

## 【 0 1 1 0 】

フォトセンサ読み出し回路 1 0 9 は、図 8 に示すようにプリチャージ回路 2 1 6 及び A / D 変換回路 2 2 4 を有する。

## 【 0 1 1 1 】

プリチャージ回路 2 1 6 は、例えば一列の画素に対して一つ設けられる。プリチャージ回路 2 1 6 は、トランジスタ 2 1 7 及びプリチャージ信号線 2 1 8 から構成される。

## 【 0 1 1 2 】

プリチャージ回路 2 1 6 において、トランジスタ 2 1 7 の第 1 端子は、基準電圧  $V_{ref}$  が入力され、トランジスタ 2 1 7 の第 2 端子は、フォトセンサ出力信号線 2 1 4 に電氣的に接続され、トランジスタ 2 1 7 のゲートは、プリチャージ信号線 2 1 8 に電氣的に接続される。なお、プリチャージ回路 2 1 6 では、画素回路 1 0 1 内におけるフォトセンサ 1 0 6 の動作に先立ち、フォトセンサ出力信号線 2 1 4 の電圧を基準電圧  $V_{ref}$  に設定する。例えば、トランジスタ 2 1 7 をオン状態にすることで、フォトセンサ出力信号線 2 1 4 を基準電圧  $V_{ref}$  に設定することができる。なお、基準電圧  $V_{ref}$  の値は、適宜設定される。また、フォトセンサ出力信号線 2 1 4 の電圧を安定させるために、フォトセンサ出力信号線 2 1 4 に保持容量を設けることも有効である。

## 【 0 1 1 3 】

A / D 変換回路 224 は、上記実施の形態の半導体回路における A / D 変換回路に相当し、例えば一列の画素に対して一つ設けられる。A / D 変換回路 224 は、フォトセンサ出力信号線 214 を介して信号が入力されるコンパレータ 219 を有する。

【0114】

コンパレータ 219 は、トランジスタ 220、抵抗素子 221、コンパレータ出力信号線 222、及びバックゲート信号線 223 を有する。コンパレータ 219 を構成する素子は、わずかに、トランジスタ 1 個と抵抗素子 1 個であるため、コンパレータ 219 を該構成にすることにより、A / D 変換回路 224 の回路構成を簡略にすることができ、表示装置の製造コストを低減することができる。

【0115】

コンパレータ 219 において、トランジスタ 220 は、ソース、ドレイン、第 1 のゲート、及び第 2 のゲートを有し、トランジスタ 220 の第 1 端子は、抵抗素子 221 に電氣的に接続され、抵抗素子 221 を介して高電源電圧  $V_{dd}$  が入力され、トランジスタ 220 の第 2 端子は、低電源電圧  $V_{ss}$  が入力される。また、トランジスタ 220 の第 1 のゲートは、フォトセンサ出力信号線 214 に電氣的に接続される。つまり、トランジスタ 220 の第 1 のゲートは、トランジスタ 206 の第 2 端子に電氣的に接続される。またトランジスタ 220 の第 1 端子は、コンパレータ出力信号線 222 を介して A / D 変換制御回路に電氣的に接続される。A / D 変換制御回路としては、上記実施の形態の半導体回路における A / D 変換制御回路を適用することができる。また、トランジスタ 220 は、第 2 のゲートが D / A 変換回路に電氣的に接続される。D / A 変換回路としては、上記実施の形態の半導体回路における D / A 変換回路を適用することができる。また、該 D / A 変換回路は、A / D 変換制御回路に電氣的に接続される。また、図 8 に示すトランジスタ 220 は、一例として N 型である。

【0116】

トランジスタ 220 は、バックゲート信号線 223 を介して入力される制御信号によりバックゲート（第 2 のゲート）の電圧を変更することで、しきい値電圧を変更することが可能なトランジスタである。このようなトランジスタは、例えばボトムゲート型トランジスタの場合、絶縁層を介してチャネル形成領域に重なる導電層を形成し、これをボトムゲートとすることで容易に実現できる。ここでは、一例としてトランジスタ 220 をバックゲートの電位を高くすることで、しきい値電圧が低くなり、バックゲートの電位を低くすることで、しきい値電圧が高くなるトランジスタとする。また、トランジスタ 220 としては、オフ電流の低いトランジスタを用いることができる。オフ電流の低いトランジスタとしては、例えばチャネル形成層として酸化物半導体層を有するトランジスタを用いることができる。

【0117】

コンパレータ 219 は、フォトセンサ出力信号線 214 を入力信号線とし、フォトセンサ出力信号線 214 の電圧がトランジスタ 220 のしきい値電圧より高い場合に、コンパレータ出力信号線 222 に低電源電圧  $V_{ss}$  と同等の値の電圧を出力し、フォトセンサ出力信号線 214 の電圧がトランジスタ 220 のしきい値電圧より低い場合に、コンパレータ出力信号線 222 に高電源電圧  $V_{dd}$  と同等の値の電圧を出力する構成とする。ここで、フォトセンサ出力信号線 214 の電圧を一定にしたまま、バックゲート信号線 223 の電圧を次第に高くすると、コンパレータ出力信号線 222 の電圧は高電圧から低電圧に遷移することになる。したがって、バックゲート信号線 223 に逐次的に変化する電圧を順次印加し、コンパレータ出力信号線 222 の電圧を取得することで、フォトセンサ出力信号線 214 の電圧の値を知ることができる。ここで知り得た電圧をデジタル値で表現することで、フォトセンサ出力信号線 214 を介して入力される信号をデジタル信号に変換することができる。

【0118】

A / D 変換回路 224 としては、上記実施の形態に示す半導体回路における A / D 変換回路を適用することができる。

## 【 0 1 1 9 】

次に、図 7 及び図 8 に示す表示装置の動作の一例について説明する。

## 【 0 1 2 0 】

図 7 及び図 8 に示す表示装置の動作の一例は、主に表示動作及び読み出し動作に分けられる。それぞれの動作について以下に説明する。

## 【 0 1 2 1 】

表示動作では、選択された画素にビデオデータ信号線 2 1 2 を介してビデオ信号を順次入力することにより、入力されたビデオ信号のデータに応じて表示回路 1 0 5 の液晶素子 2 0 3 に電圧が印加され、液晶素子 2 0 3 は、印加された電圧に応じて表示動作を行う。

## 【 0 1 2 2 】

次に、図 7 及び図 8 に示す表示装置におけるフォトセンサの読み出し動作の一例について、図 9 を用いて説明する。図 9 は、図 7 及び図 8 に示す表示装置におけるフォトセンサの読み出し動作の一例を説明するためのタイミングチャートであり、図 9 において、信号 3 0 1 は、図 8 におけるフォトダイオードリセット信号線 2 1 0 の電圧 ( V 2 1 0 と もいう ) を表し、信号 3 0 2 は、ゲート信号線 2 0 9 の電圧 ( V 2 0 9 と もいう ) を表し、信号 3 0 3 は、ゲート信号線 2 1 1 の電圧 ( V 2 1 1 と もいう ) を表し、信号 3 0 4 は、ゲート信号線 2 1 5 の電圧 ( V 2 1 5 と もいう ) を表し、信号 3 0 5 は、フォトセンサ出力信号線 2 1 4 の電圧 ( V 2 1 4 と もいう ) を表し、信号 3 0 6 は、プリチャージ信号線 2 1 8 の電圧 ( V 2 1 8 と もいう ) を表し、信号 3 0 7 は、コンパレータ出力信号線 2 2 2 の電圧 ( V 2 2 2 と もいう ) を表し、信号 3 0 8 は、バックゲート信号線 2 2 3 の電圧 ( V 2 2 3 と もいう ) を表す。なお、ここでは一例として、トランジスタ 2 0 5、トランジスタ 2 0 6、トランジスタ 2 0 7、及びトランジスタ 2 2 0 を N 型トランジスタとし、トランジスタ 2 1 7 を P 型トランジスタとし、信号 3 0 1、信号 3 0 2、信号 3 0 3、信号 3 0 6、及び信号 3 0 8 を、ハイレベル又はローレベルとなる 2 値のデジタル信号とし、フォトセンサ基準信号線 2 1 3 にハイレベルの電圧信号が入力され、トランジスタ 2 1 7 の第 1 端子にハイレベルの電圧信号が入力されるものとする。なお、ハイレベルのときの信号の電圧を " H " ( 電圧 H と もいう ) とし、ローレベルのときの信号の電圧を " L " ( 電圧 L と もいう ) とする。

## 【 0 1 2 3 】

まず、時刻 T A において、リセット動作開始として、フォトダイオードリセット信号線 2 1 0 の電圧 ( 信号 3 0 1 ) を " H " とし、ゲート信号線 2 0 9 の電圧 ( 信号 3 0 2 ) を " H " とすると、フォトダイオード 2 0 4 が導通し、ゲート信号線 2 1 5 の電圧 ( 信号 3 0 4 ) が " H " となる。また、プリチャージ信号線 2 1 8 の電圧 ( 信号 3 0 6 ) を " L " とすると、フォトセンサ出力信号線 2 1 4 の電圧 ( 信号 3 0 5 ) は " H " にプリチャージされる。なお、バックゲート信号線 2 2 3 の電圧 ( 信号 3 0 8 ) は、第 1 の比較電圧 ( デジタル値 " 1 1 " を示す電圧 ) である。

## 【 0 1 2 4 】

次に、時刻 T B において、リセット動作終了又は累積動作開始として、フォトダイオードリセット信号線 2 1 0 の電圧 ( 信号 3 0 1 ) を " L " とし、ゲート信号線 2 0 9 の電圧 ( 信号 3 0 2 ) を " H " のままとすると、フォトダイオード 2 0 4 のオフ電流により、ゲート信号線 2 1 5 の電圧 ( 信号 3 0 4 ) が低下し始める。フォトダイオード 2 0 4 は、光が入射するとオフ電流が増大するので、入射する光の照度に応じてゲート信号線 2 1 5 の電圧 ( 信号 3 0 4 ) が変化する。すなわち、トランジスタ 2 0 5 のソースとドレインの間のチャネル抵抗が変化する。

## 【 0 1 2 5 】

次に、時刻 T C において、累積動作終了として、ゲート信号線 2 0 9 の電圧 ( 信号 3 0 2 ) を " L " とすると、ゲート信号線 2 1 5 の電圧 ( 信号 3 0 4 ) の値が所定の値となる。このとき、ゲート信号線 2 1 5 の電圧は、累積動作中にフォトダイオード 2 0 4 がゲート信号線 2 1 5 に供給した電荷量により決まる。すなわち、ゲート信号線 2 1 5 の電圧は、フォトダイオード 2 0 4 に入射していた光の照度に応じて変化する。また、トランジスタ

10

20

30

40

50



207が酸化物半導体層で形成したオフ電流が極めて低いトランジスタであるため、後の選択動作を行うまで、ゲート信号線215の電荷量を一定に保つことができる。

【0126】

なお、ゲート信号線209の電圧(信号302)を" L "とする際に、ゲート信号線209とゲート信号線215との間における寄生容量により、ゲート信号線215の電圧変化が生じる。電圧の変化量が大きい場合、累積動作中にフォトダイオード204が供給した電荷量を精密に取得できないことになる。該電圧の変化量を低減するには、トランジスタ207のゲートとソース(若しくはゲートとドレイン)の間における容量を低減する、トランジスタ205のゲート容量を増大する、又はゲート信号線215に保持容量を設けるなどの対策が有効である。なお、図9を用いて説明する図7及び図8に示す表示装置におけるフォトセンサの読み出し動作の一例では、上記電圧変化が無視できるほど小さいものとする。

10

【0127】

次に、時刻TDにおいて、選択動作開始として、ゲート信号線211の電圧(信号303)を" H "にすると、トランジスタ206がオン状態になり、フォトセンサ基準信号線213とフォトセンサ出力信号線214とが、トランジスタ205とトランジスタ206とを介して導通する。すると、フォトセンサ出力信号線214の電圧(信号305)は、低下していく。なお、時刻TD以前に、プリチャージ信号線218の電圧(信号306)を" H "とし、トランジスタ217をオフ状態にし、フォトセンサ出力信号線214のプリチャージ動作を終了させておく。ここで、フォトセンサ出力信号線214の電圧(信号305)が低下する速さは、トランジスタ205のソースとドレインの間に流れる電流量に依存する。すなわち、累積動作中にフォトダイオード204に入射する光の照度に応じて変化する。

20

【0128】

次に、時刻TEにおいて、選択動作終了として、ゲート信号線211の電圧(信号303)を" L "にすると、トランジスタ206がオフ状態になり、フォトセンサ出力信号線214の電圧(信号305)は、一定値となる。このとき、該一定値は、フォトダイオード204に入射する光の照度に応じて変化する。したがって、フォトセンサ出力信号線214の電圧の情報を取得することで、累積動作中にフォトダイオード204に入射した光の照度を知ることができる。

30

【0129】

続いて、時刻TF、時刻TG、及び時刻THにおいて、A/D変換動作として、バックゲート信号線223の電圧を、第2の比較電圧(デジタル値" 10 " )、第3の比較電圧(デジタル値" 01 " )、第4の比較電圧(デジタル値" 00 " )に順次変更する。そして、コンパレータ出力信号線222の電圧(信号307)が" H "から" L "に変化した際の比較電圧を知ること、フォトセンサ出力信号線214の電圧を知ることができ、該フォトセンサ出力信号線214の電圧を比較電圧に対応するデジタル値のデジタル信号に変換することができる。例えば、第1の比較電圧に対するコンパレータ出力信号線222の電圧が" L "である場合、フォトセンサ出力信号線214の電圧は、デジタル値が" 11 "であるデジタル信号に変換される。また、例えば第3の比較電圧に対応するコンパレータ出力信号線222の電圧が" H "であり、第4の比較電圧に対するコンパレータ出力信号線222の電圧が" L "である場合、フォトセンサ出力信号線214の電圧は、デジタル値が" 00 "であるデジタル信号に変換される。なお、バックゲート信号線223の電圧は、例えば上記実施の形態に示すように、A/D変換制御回路及びD/A変換回路などを用いて生成される。

40

【0130】

図9に示すタイミングチャートでは、第3の比較電圧(デジタル値" 01 " )に対して、コンパレータ出力信号線222の電圧(信号307)が" H "から" L "に変化しているため、フォトセンサ出力信号線214の電圧は、デジタル値が" 01 "であるデジタル信号に変換される。

50

## 【0131】

なお、上記では、コンパレータ219を用いたA/D変換の例として、2ビットのA/D変換の場合を示したが、バックゲート信号線223に印加する電圧の値を、より細かい間隔で変更することで、3ビット以上のA/D変換を行うこともできる。多ビットのA/D変換を行う際には、より高速のコンパレータ動作が要求される。そのため、高移動度を有するトランジスタでトランジスタ220を構成することが望ましい。また、待機時の消費電力を低減するため、またトランジスタ220のソース及びドレインの間のリーク電流により、コンパレータ219の出力信号の電圧の変動を抑制するため、オフ電流が低いトランジスタでトランジスタ220を構成することが望ましい。以上の高い移動度と低いオフ電流の両方を有するためには、例えば酸化物半導体を用いたトランジスタでトランジスタ220を構成することが望ましい。

10

## 【0132】

上記のように、個々のフォトセンサの動作は、リセット動作、累積動作、選択動作、A/D変換動作を繰り返すことで実現される。当該動作を全画素について行うことで、撮像を行うことができる。より具体的には、行毎に順次リセット動作、累積動作、選択動作、A/D変換動作を繰り返すことで実現される。

## 【0133】

なお、本実施の形態では、フォトセンサを有する表示装置について説明したが、フォトセンサを有する半導体回路にも容易に応用できる。すなわち、本実施の形態における表示装置100から、表示に要する回路、具体的には、表示回路制御回路102、表示回路105を取り除いて、半導体回路を構成することができる。

20

## 【0134】

図7乃至図9に一例として示すように、本実施の形態の表示装置の一例は、画素部に表示回路及び光電変換回路を有する構成である。上記構成にすることにより、画素部において、表示動作及び読み取り動作を行うことができ、例えば位置検出機能（例えば指又はペンなどを画素部に接触又は近接することにより、接触した位置に応じて特定の動作を実行する機能）、文字入出力機能（例えば指又はペンなどにより文字を入力する機能及び入力した文字を画素部に表示する機能）、指紋認証機能（例えば指を画素部に接触させることにより指紋を検出する機能）、及び原稿入出力機能（例えば画素部に原稿などを置いて原稿の読み取り動作を行い、読み取った原稿の画像を画素部に表示させる機能）のいずれか一つ又は複数の機能を表示装置に備えることができる。

30

## 【0135】

また、本実施の形態の表示装置の一例は、制御信号を用いることによりしきい値電圧が逐次的に変化するトランジスタを用いた比較回路を備えたA/D変換回路を具備する構成である。該構成とすることにより、A/D変換回路の回路構成を簡略することができる。また、比較回路に用いられるトランジスタのしきい値電圧を自由に設定することができるため、撮像動作におけるフォトセンサに入射する光の信号変換の分解能を向上させることができる。

## 【0136】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

40

## 【0137】

（実施の形態4）

本実施の形態では、上記実施の形態に示す半導体回路及び表示装置に適用可能なトランジスタの例について説明する。

## 【0138】

上記実施の形態に示す半導体回路及び表示装置に適用可能なトランジスタとしては、例えばチャネル形成層としての機能を有する酸化物半導体層を含むトランジスタを用いることができる。上記トランジスタのチャネル形成層としての機能を有する酸化物半導体層は、高純度化することにより、真性（I型ともいう）、又は実質的に真性にさせた半導体層で

50

ある。

【0139】

なお、高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。

【0140】

上記酸化物半導体層に用いられる酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。四元系金属酸化物としては、例えば  $\text{In} - \text{Sn} - \text{Ga} - \text{Zn} - \text{O}$  系金属酸化物などを用いることができる。三元系金属酸化物としては、例えば  $\text{In} - \text{Ga} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{In} - \text{Al} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{Sn} - \text{Ga} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{Al} - \text{Ga} - \text{Zn} - \text{O}$  系金属酸化物、又は  $\text{Sn} - \text{Al} - \text{Zn} - \text{O}$  系金属酸化物などを用いることができる。二元系金属酸化物としては、例えば  $\text{In} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{Sn} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{Al} - \text{Zn} - \text{O}$  系金属酸化物、 $\text{Zn} - \text{Mg} - \text{O}$  系金属酸化物、 $\text{Sn} - \text{Mg} - \text{O}$  系金属酸化物、 $\text{In} - \text{Mg} - \text{O}$  系金属酸化物、又は  $\text{In} - \text{Sn} - \text{O}$  系金属酸化物などを用いることができる。また、酸化物半導体としては、例えば  $\text{In} - \text{O}$  系金属酸化物、 $\text{Sn} - \text{O}$  系金属酸化物、又は  $\text{Zn} - \text{O}$  系金属酸化物などを用いることもできる。また、酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物と  $\text{SiO}_2$  を含む酸化物を用いることもできる。

【0141】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される材料を用いることができる。ここで、Mは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。例えばMとしては、Ga、Ga及びAl、Ga及びMn、又はGa及びCoなどが挙げられる。例えば  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される構造の酸化物半導体のうち、MとしてGaを含む構造の酸化物半導体を、上記した  $\text{In} - \text{Ga} - \text{Zn} - \text{O}$  酸化物半導体という。

【0142】

さらに、酸化物半導体層のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上とする。これにより、熱励起によって生じるキャリアの数を無視することができる。さらに、ドナーとなる場合がある水素などの不純物を一定量以下になるまで低減し、キャリア濃度を  $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{12} / \text{cm}^3$  以下にする。すなわち、酸化物半導体層のキャリア濃度を限りなくゼロ又はゼロと実質的に同等の値にする。

【0143】

上記酸化物半導体層は、アバランシェ降伏が起きにくく、絶縁耐圧が高い。例えば、シリコンは、バンドギャップが1.12 eVと小さいため、アバランシェ降伏と呼ばれる雪崩的に電子が発生する現象が起こりやすく、ゲート絶縁層への障壁を越えられるほど高速に加速される電子の数が増加する。一方、上記酸化物半導体層に用いられる酸化物半導体は、バンドギャップが2 eV以上と広く、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高いため、絶縁耐圧が高い。

【0144】

ホットキャリア劣化は、例えば高速に加速された電子がチャネル中のドレイン近傍でゲート絶縁層中に注入されることにより発生する固定電荷により生じるトランジスタ特性の劣化、又は高速に加速された電子によりゲート絶縁層界面に形成されるトラップ準位などにより生じるトランジスタ特性の劣化などであり、トランジスタ特性の劣化としては、例えばしきい値電圧の変動又はゲートリークなどがある。また、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入 (CHE注入) とドレインアバランシェホットキャリア注入 (DAHC注入) がある。

【0145】

また、高絶縁耐圧材料の一つであるシリコンカーバイドのバンドギャップと上記酸化物半

10

20

30

40

50

導体層に用いられる酸化物半導体のバンドギャップは同等であるが、該酸化物半導体の方が、シリコンカーバイドより移動度が2桁程小さいため、電子が加速されにくく、また、ゲート絶縁層との障壁がシリコンカーバイド、窒化ガリウム、又はシリコンよりも大きく、ゲート絶縁層に注入される電子が極めて少ないため、シリコンカーバイド、窒化ガリウム、又はシリコンよりホットキャリア劣化が生じにくく、絶縁耐圧が高い。また、該酸化物半導体は、非晶質状態であっても同様に絶縁耐圧が高い。

#### 【0146】

さらに、上記酸化物半導体層を有するトランジスタでは、チャネル幅  $1\ \mu\text{m}$  あたりのオフ電流を  $10\ \text{aA}$  ( $1 \times 10^{-17}\ \text{A}$ ) 以下、さらにはチャネル幅  $1\ \mu\text{m}$  あたりのオフ電流を  $1\ \text{aA}$  ( $1 \times 10^{-18}\ \text{A}$ ) 以下、さらには  $10\ \text{zA}$  ( $1 \times 10^{-20}\ \text{A}$ ) 以下、さら

10

#### 【0147】

なお、上記実施の形態に示す半導体回路又は表示装置のトランジスタは上記に示す構造のトランジスタに限定されず、例えば非晶質シリコンなどの非晶質半導体、微結晶シリコンなどの微結晶半導体、ポリシリコンなどの多結晶半導体、又は単結晶シリコンなどの単結晶半導体を用いたトランジスタを適用することもできる。上記実施の形態の半導体回路又は表示装置では、必要とされる機能に応じて適した構造のトランジスタを適宜選択して用いることができる。

#### 【0148】

さらに、本実施の形態のトランジスタの構造例について、図10(A)乃至図10(D)、及び図11(A)乃至図11(D)を用いて説明する。図10(A)乃至図10(D)、及び図11(A)乃至図11(D)は、本実施の形態におけるトランジスタの構造例を示す断面模式図である。

20

#### 【0149】

図10(A)に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

#### 【0150】

図10(A)に示すトランジスタは、ゲート電極としての機能を有する導電層401aと、ゲート絶縁層としての機能を有する絶縁層402aと、チャネル形成層としての機能を有する酸化物半導体層403aと、ソース電極又はドレイン電極としての機能を有する導電層405a及び導電層406aと、を有する。

30

#### 【0151】

導電層401aは、基板400aの上に設けられ、絶縁層402aは、導電層401aの上に設けられ、酸化物半導体層403aは、絶縁層402aを介して導電層401aの上に設けられ、導電層405a及び導電層406aは、酸化物半導体層403aの一部の上にそれぞれ設けられる。また、導電層401aを酸化物半導体層403aの全てと重なる構造にすることもできる。導電層401aを酸化物半導体層403aの全てと重なる構造にすることにより、酸化物半導体層403aへの光の入射を抑制することができる。また、これに限定されず、導電層401aを酸化物半導体層403aの一部と重なる構造にすることもできる。

40

#### 【0152】

さらに、図10(A)に示すトランジスタにおいて、酸化物半導体層403aは、上面の一部(上面に導電層405a及び導電層406aが設けられていない部分)に酸化物絶縁層407aが接する。また、酸化物絶縁層407aは、上部に保護絶縁層409aが設けられる。

#### 【0153】

また、図11(A)に示すように、上記実施の形態に示す半導体回路又は表示装置のトランジスタを、図10(A)に示すトランジスタにおいて、酸化物半導体層403aは、酸化物絶縁層407a及び保護絶縁層409aを介して上部に導電層431aが設けられる構造にすることもできる。導電層431aは、ゲート電極としての機能を有する。図11

50

(A)に示すトランジスタは、導電層401aを用いて構成されるゲート電極又は導電層431aを用いて構成されるゲート電極によりトランジスタのしきい値電圧が制御される構造である。また、導電層431aを酸化物半導体層403aの全てと重なる構造にすることもできる。導電層431aを酸化物半導体層403aの全てと重なる構造にすることにより、酸化物半導体層403aへの光の入射を抑制することができる。また、これに限定されず、導電層431aを酸化物半導体層403aの一部と重なる構造にすることもできる。

【0154】

図10(B)に示すトランジスタは、ボトムゲート構造の一つであるチャネル保護型(チャネルストップ型ともいう)トランジスタであり、逆スタガ型トランジスタともいう。

10

【0155】

図10(B)に示すトランジスタは、ゲート電極としての機能を有する導電層401bと、ゲート絶縁層としての機能を有する絶縁層402bと、チャネル形成層としての機能を有する酸化物半導体層403bと、チャネル保護層としての機能を有する絶縁層427と、ソース電極又はドレイン電極としての機能を有する導電層405b及び導電層406bと、を有する。

【0156】

導電層401bは、基板400bの上に設けられ、絶縁層402bは、導電層401bの上に設けられ、酸化物半導体層403bは、絶縁層402bを介して導電層401bの上に設けられ、絶縁層427は、絶縁層402b及び酸化物半導体層403bを介して導電層401bの上に設けられ、導電層405b及び導電層406bは、絶縁層427を介して酸化物半導体層403bの一部の上にそれぞれ設けられる。また、導電層401bを酸化物半導体層403bの全てと重なる構造にすることもできる。導電層401bを酸化物半導体層403bの全てと重なる構造にすることにより、酸化物半導体層403bへの光の入射を抑制することができる。また、これに限定されず、導電層401bを酸化物半導体層403bの一部と重なる構造にすることもできる。

20

【0157】

さらに、図10(B)に示すトランジスタは、上部に保護絶縁層409bが接する。

【0158】

また、図11(B)に示すように、上記実施の形態に示す半導体回路又は表示装置のトランジスタは、図10(B)における保護絶縁層409bを介して、図10(B)に示すトランジスタにおける酸化物半導体層403bの上に導電層431bを設けることもできる。導電層431bは、ゲート電極としての機能を有する。図11(B)に示すトランジスタは、導電層401bを用いて構成されるゲート電極又は導電層431bを用いて構成されるゲート電極によりトランジスタのしきい値電圧が制御される構造である。また、導電層431bを酸化物半導体層403bの全てと重なる構造にすることもできる。導電層431bを酸化物半導体層403bの全てと重なる構造にすることにより、酸化物半導体層403bへの光の入射を抑制することができる。また、これに限定されず、導電層431bを酸化物半導体層403bの一部と重なる構造にすることもできる。

30

【0159】

図10(C)に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

40

【0160】

図10(C)に示すトランジスタは、ゲート電極としての機能を有する導電層401cと、ゲート絶縁層としての機能を有する絶縁層402cと、チャネル形成層としての機能を有する酸化物半導体層403cと、ソース電極又はドレイン電極としての機能を有する導電層405c及び導電層406cと、を有する。

【0161】

導電層401cは、基板400cの上に設けられ、絶縁層402cは、導電層401cの上に設けられ、導電層405c及び導電層406cは、絶縁層402cの一部の上に設けられ、酸化物半導体層403cは、絶縁層402c、導電層405c、及び導電層406

50

cを介して導電層401cの上に設けられる。また、導電層401cを酸化物半導体層403cの全てと重なる構造にすることもできる。導電層401cを酸化物半導体層403cの全てと重なる構造にすることにより、酸化物半導体層403cへの光の入射を抑制することができる。また、これに限定されず、導電層401cを酸化物半導体層403cの一部と重なる構造にすることもできる。

【0162】

さらに、図10(C)において、トランジスタにおける酸化物半導体層403cの上面及び側面は、酸化物絶縁層407cに接する。また、酸化物絶縁層407cは、上部に保護絶縁層409cが設けられる。

【0163】

また、図11(C)に示すように、図10(C)における酸化物絶縁層407c及び保護絶縁層409cを介して、図10(C)に示すトランジスタにおける酸化物半導体層403cの上に導電層431cを設けることもできる。導電層431cは、ゲート電極としての機能を有する。図11(C)に示すトランジスタは、導電層401cを用いて構成されるゲート電極又は導電層431cを用いて構成されるゲート電極によりトランジスタのしきい値電圧が制御される構造である。また、導電層431cを酸化物半導体層403cの全てと重なる構造にすることにより、酸化物半導体層403cへの光の入射を抑制することができる。また、これに限定されず、導電層431cを酸化物半導体層403cの一部と重なる構造にすることもできる。

【0164】

図10(D)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0165】

図10(D)に示すトランジスタは、ゲート電極としての機能を有する導電層401dと、ゲート絶縁層としての機能を有する絶縁層402dと、チャネル形成層としての機能を有する酸化物半導体層403dと、ソース電極又はドレイン電極としての機能を有する導電層405d及び導電層406dと、を有する。

【0166】

酸化物半導体層403dは、絶縁層447を介して基板400dの上に設けられ、導電層405d及び導電層406dは、それぞれ酸化物半導体層403dの一部の上に設けられ、絶縁層402dは、酸化物半導体層403d、導電層405d、及び導電層406dの上に設けられ、導電層401dは、絶縁層402dを介して酸化物半導体層403dの上に設けられる。

【0167】

また、図11(D)に示すように、図10(D)における絶縁層447を介して、図10(D)に示すトランジスタにおける酸化物半導体層403dの下に導電層431dを設けることもできる。導電層431dは、ゲート電極としての機能を有し、絶縁層447は、ゲート絶縁層としての機能を有する。図11(D)に示すトランジスタは、導電層401dを用いて構成されるゲート電極又は導電層431dを用いて構成されるゲート電極によりトランジスタのしきい値電圧が制御される構造である。また、導電層431dを酸化物半導体層403dの全てと重なる構造にすることもできる。導電層431dを酸化物半導体層403dの全てと重なる構造にすることにより、酸化物半導体層403dへの光の入射を抑制することができる。また、これに限定されず、導電層431dを酸化物半導体層403dの一部と重なる構造にすることもできる。

【0168】

基板400a乃至基板400dとしては、例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0169】

また、基板400a乃至基板400dとして、セラミック基板、石英基板、又はサファイア基板などの絶縁体となる基板を用いることもできる。また、基板400a乃至基板40

10

20

30

40

50

0 dとして、結晶化ガラスを用いることもできる。また、基板400a乃至基板400dとして、プラスチック基板を用いることもできる。また、基板400a乃至基板400dとして、シリコンなどの半導体基板を用いることもできる。

【0170】

絶縁層447は、基板400dからの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層447としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層447に適用可能な材料の層の積層により絶縁層447を構成することもできる。また、絶縁層447として、遮光性を有する材料の層と、上記絶縁層447に適用可能な材料の層との積層を用いることもできる。また、遮光性を有する材料の層を用いて絶縁層447を構成することにより、酸化物半導体層403dへの光の入射を抑制することができる。

10

【0171】

なお、図10(A)乃至図10(C)及び図11(A)乃至図11(D)に示すトランジスタにおいて、図10(D)に示すトランジスタと同様に、基板とゲート電極としての機能を有する導電層の間に絶縁層を設けてもよい。

【0172】

導電層401a乃至導電層401dとしては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層401a乃至導電層401dの形成に適用可能な材料の層の積層により、導電層401a乃至導電層401dを構成することもできる。

20

【0173】

絶縁層402a乃至絶縁層402dとしては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層402a乃至絶縁層402dに適用可能な材料の層の積層により絶縁層402a乃至絶縁層402dを構成することもできる。絶縁層402a乃至絶縁層402dに適用可能な材料の層は、例えばプラズマCVD法又はスパッタリング法などを用いて形成される。例えば、プラズマCVD法により窒化シリコン層を形成し、プラズマCVD法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層402a乃至絶縁層402dを構成することができる。

30

【0174】

酸化物半導体層403a乃至酸化物半導体層403dに適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などが挙げられる。四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などが挙げられる。三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などが挙げられる。二元系金属酸化物としては、In-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、又はIn-Sn-O系金属酸化物などが挙げられる。また、酸化物半導体としては、In-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物などが挙げられる。また、上記酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物とSiO<sub>2</sub>を含む酸化物を用いることもできる。また、例えばIn-Ga-Zn-O系金属酸化物とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、In-Ga-Zn-O系金属酸化物にInとGaとZn以外の元素が含まれていてもよい。

40

【0175】

また、酸化物半導体層403a乃至酸化物半導体層403dに適用可能な酸化物半導体と

50

しては、化学式  $InMO_3 (ZnO)_m$  ( $m$  は 0 より大きい数) で表記される金属酸化物も挙げられる。ここで、 $M$  は、 $Ga$ 、 $Al$ 、 $Mn$  及び  $Co$  から選ばれた一つ又は複数の金属元素を示す。 $M$  としては、例えば  $Ga$ 、 $Ga$  及び  $Al$ 、 $Ga$  及び  $Mn$ 、又は  $Ga$  及び  $Co$  などがある。

【0176】

導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d に適用可能な材料の層の積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d のそれぞれを構成することができる。

10

【0177】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d を構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することもできる。また、ヒロックやウィスカの発生を防止する元素 ( $Si$ 、 $Nd$ 、 $Sc$  など) が添加されているアルミニウム層を用いて導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することにより、耐熱性を向上させることができる。

20

【0178】

また、導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d として、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 ( $ZnO$ )、酸化インジウム酸化スズ合金 ( $In_2O_3$   $SnO_2$ 、 $ITO$  と略記する)、若しくは酸化インジウム酸化亜鉛合金 ( $In_2O_3$   $ZnO$ )、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

【0179】

さらに、導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d の形成に用いられる材料を用いて他の配線を形成してもよい。

30

【0180】

絶縁層 427 としては、例えば絶縁層 447 に適用可能な材料の層を用いることができる。また、絶縁層 427 に適用可能な材料の層の積層により絶縁層 427 を構成することもできる。

【0181】

酸化物絶縁層 407a 及び酸化物絶縁層 407c としては、酸化物絶縁層を用いることができ、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層 407a 及び酸化物絶縁層 407c に適用可能な材料の層の積層により酸化物絶縁層 407a 及び酸化物絶縁層 407c を構成することもできる。

【0182】

40

保護絶縁層 409a 乃至保護絶縁層 409c としては、例えば無機絶縁層を用いることができ、例えば窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、又は窒化酸化アルミニウム層などを用いることができる。また、保護絶縁層 409a 乃至保護絶縁層 409c に適用可能な材料の層の積層により保護絶縁層 409a 乃至保護絶縁層 409c を構成することもできる。

【0183】

導電層 431a 乃至導電層 431d としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 431a 乃至導電層 431d としては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化

50



物としては、例えば酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する)、若しくは酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。また、導電層 431a 乃至導電層 431d に適用可能な材料の層の積層により導電層 431a 乃至導電層 431d をそれぞれ構成することもできる。

【0184】

なお、上記実施の形態に示す半導体回路又は表示装置は、本実施の形態のトランジスタに起因する表面凹凸を低減するために、トランジスタの上(酸化物絶縁層又は保護絶縁層を有する場合には酸化物絶縁層又は保護絶縁層を介してトランジスタの上)に平坦化絶縁層を有する構成にすることもできる。平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また平坦化絶縁層としては、低誘電率材料 (low-k 材料ともいう) の層を用いることもできる。また、平坦化絶縁層に適用可能な材料の層の積層により平坦化絶縁層を構成することもできる。

10

【0185】

さらに、本実施の形態のトランジスタの作製方法の一例として、図10(A)及び図11(A)に示すトランジスタの作製方法の一例について、図12(A)、図12(B)、図12(C)、図13(A)、図13(B)、及び図13(C)を用いて説明する。図12(A)乃至図12(C)及び図13(A)乃至図13(C)は、図10(A)及び図11(A)に示すトランジスタの作製方法の一例を示す断面模式図である。

20

【0186】

まず、基板 400a を準備し、基板 400a の上に第1の導電膜を形成する。

【0187】

なお、基板 400a の一例としてガラス基板を用いる。

【0188】

また、第1の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第1の導電膜に適用可能な材料の膜の積層膜により、第1の導電膜を構成することもできる。

30

【0189】

次に、第1のフォトリソグラフィ工程により第1の導電膜の上に第1のレジストマスクを形成し、第1のレジストマスクを用いて選択的に第1の導電膜のエッチングを行うことにより導電層 401a を形成し、第1のレジストマスクを除去する。

【0190】

なお、本実施の形態において、インクジェット法を用いてレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0191】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するために、多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、製造工程を簡略にすることができる。

40

【0192】

次に、導電層 401a の上に絶縁層 402a を形成する。

【0193】

50

例えば、高密度プラズマCVD法を用いて絶縁層402aを形成することができる。例えば、 $\mu$ 波（例えば、周波数2.45GHzの $\mu$ 波）を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるため、好ましい。高密度プラズマCVD法を用いて形成した高品質な絶縁層と酸化物半導体層が接することにより、界面準位が低減し、界面特性を良好にすることができる。

【0194】

また、スパッタリング法やプラズマCVD法など、他の方法を用いて絶縁層402aを形成することもできる。また、絶縁層402aの形成後に熱処理を行ってもよい。上記熱処理を行うことにより、絶縁層402aの質、酸化物半導体との界面特性を改質させることができる。

10

【0195】

次に、絶縁層402aの上に膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する。例えば、スパッタリング法を用いて酸化物半導体膜530を形成することができる。

【0196】

なお、酸化物半導体膜530を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層402aの表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

20

【0197】

例えば、酸化物半導体層403aに適用可能な酸化物半導体材料を用いて酸化物半導体膜530を形成することができる。本実施の形態では、一例としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜530を形成する。この段階での断面模式図が図12(A)に相当する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜530を形成することもできる。

【0198】

スパッタリング法を用いて酸化物半導体膜530を作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol数比]の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol数比]の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

30

【0199】

なお、酸化物半導体膜530を形成する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

40

【0200】

また、酸化物半導体膜530を形成する前に、スパッタリング装置の予備加熱室で導電層401aが形成された基板400a、又は導電層401a及び絶縁層402aが形成された基板400aを予備加熱し、基板400aに吸着した水素、水分などの不純物を脱離し排気することが好ましい。該予備加熱により、絶縁層402a及び酸化物半導体膜530への水素、水酸基、及び水分の侵入を抑制することができる。また、予備加熱室に設ける排気手段としては、クライオポンプを用いることが好ましい。また、この予備加熱の処理は省略することもできる。また、酸化物絶縁層407aの成膜前に、導電層405a及び導電層406aまで形成した基板400aにも同様に該予備加熱を行ってもよい。

50

## 【0201】

また、スパッタリング法を用いて酸化物半導体膜530を形成する場合、減圧状態に保持された成膜室内に基板400aを保持し、基板温度を100以上600以下、好ましくは200以上400以下とする。基板400aを加熱することにより、形成する酸化物半導体膜530に含まれる不純物濃度を低減することができる。また、スパッタリングによる酸化物半導体膜530の損傷が軽減する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて絶縁層402aの上に酸化物半導体膜530を成膜する。

## 【0202】

成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水素原子を含む化合物（水など）、より好ましくは水素原子及び炭素原子を含む化合物などが排気されるため、クライオポンプを用いることにより、当該成膜室で形成した酸化物半導体膜530に含まれる不純物の濃度を低減することができる。

10

## 【0203】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

20

## 【0204】

次に、第2のフォトリソグラフィ工程により酸化物半導体膜530の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて選択的に酸化物半導体膜530のエッチングを行うことにより、酸化物半導体膜530を島状の酸化物半導体層に加工し、第2のレジストマスクを除去する。

## 【0205】

なお、絶縁層402aにコンタクトホールを形成する場合、酸化物半導体膜530を島状の酸化物半導体層に加工する際に該コンタクトホールを形成することもできる。

## 【0206】

例えば、ドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜530のエッチングを行うことができる。例えば、酸化物半導体膜530のウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

30

## 【0207】

次に、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、又は400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層403aを得る（図12（B）参照。）。

40

## 【0208】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を備えていてもよい。加熱処理装置としては、例えばGRTA（Gas Rapid Thermal Anneal）装置又はLRTA（Lamp Rapid Thermal Anneal）装置などのRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光（電磁波）の輻射

50

により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

【0209】

例えば、第1の加熱処理として、650 ~ 700 に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて加熱した不活性ガス中から出す方式のGRTAを行ってもよい。

【0210】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

10

【0211】

また、第1の加熱処理で酸化物半導体層を加熱した後、第1の加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN<sub>2</sub>Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき酸素ガス又はN<sub>2</sub>Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN<sub>2</sub>Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN<sub>2</sub>Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN<sub>2</sub>Oガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸素を供給することによって、酸化物半導体層403aを高純度化させる。

20

【0212】

また、島状の酸化物半導体層に加工する前の酸化物半導体膜530に第1の加熱処理を行うこともできる。その場合には、第1の加熱処理後に加熱装置から基板を取り出し、島状の酸化物半導体層に加工する。

【0213】

また、上記以外にも、酸化物半導体層形成後であれば、酸化物半導体層403aの上に導電層405a及び導電層406aを形成した後、又は導電層405a及び導電層406aの上に酸化物絶縁層407aを形成した後に第1の加熱処理を行ってもよい。

30

【0214】

また、絶縁層402aにコンタクトホールを形成する場合、第1の加熱処理を行う前にコンタクトホールを形成してもよい。

【0215】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域(単結晶領域)、すなわち、膜表面に垂直にc軸配向した結晶領域を有する膜を用いて酸化物半導体層を形成してもよい。例えば、膜厚が3nm以上15nm以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で450以上850以下、好ましくは550以上750以下の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、さらに第2の加熱処理として、450以上850以下、好ましくは600以上700以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体膜を用いて酸化物半導体層403aを形成してもよい。

40

【0216】

次に、絶縁層402a及び酸化物半導体層403aの上に第2の導電膜を形成する。

50

## 【0217】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成することができる。

## 【0218】

次に、第3のフォトリソグラフィ工程により第3の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的にエッチングを行って導電層405a及び導電層406aを形成した後、第3のレジストマスクを除去する(図12(C)参照。)

。

## 【0219】

なお、導電層405a及び導電層406aを形成する際に、第3の導電膜を用いて他の配線を形成することもできる。

## 【0220】

また、第3のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。酸化物半導体層403aの上の導電層405aの下端部と導電層406aの下端部との間隔幅により、後に形成されるトランジスタのチャネル長Lが決定される。なお、チャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 $\text{nm}$ ～数 $10\text{ nm}$ と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のレジストマスクの形成の際に露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長Lを $10\text{ nm}$ 以上 $1000\text{ nm}$ 以下とすることも可能である。上記露光を用いて形成されたトランジスタを用いることにより、回路の動作速度を速くことができ、さらに上記トランジスタのオフ電流は、極めて少ないため、回路の消費電力を低減することもできる。

## 【0221】

なお、第2の導電膜のエッチングを行う場合、エッチングによる酸化物半導体層403aの分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、第2の導電膜のみエッチングが行われ、酸化物半導体層403aは、全くエッチングが行われないという条件を得ることは難しく、第2の導電膜のエッチングの際に酸化物半導体層403aは一部のみエッチングが行われ、溝部(凹部)を有する酸化物半導体層403aとなることもある。

## 【0222】

本実施の形態では、第2の導電膜の一例としてチタン膜を用い、酸化物半導体層403aの一例としてIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

## 【0223】

次に、酸化物半導体層403a、導電層405a、及び導電層406aの上に酸化物絶縁層407aを形成する。このとき酸化物絶縁層407aは、酸化物半導体層403aの上面の一部に接する。

## 【0224】

酸化物絶縁層407aは、少なくとも $1\text{ nm}$ 以上の膜厚とし、スパッタリング法など、酸化物絶縁層407aに水又は水素などの不純物が混入しない方法を適宜用いて形成することができる。酸化物絶縁層407aに水素が混入すると、該水素の酸化物半導体層への侵入又は該水素による酸化物半導体層中の酸素の引き抜きにより、酸化物半導体層のバックチャネルが低抵抗化(N型化)し、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層407aができるだけ水素を含まない層になるように、酸化物絶縁層407aの作製方法として水素を用いない方法を用いることは重要である。

## 【0225】

本実施の形態では、酸化物絶縁層407aの一例として、スパッタリング法を用いて膜厚 $200\text{ nm}$ の酸化シリコン膜を形成する。成膜時の基板温度は、室温以上 $300$ 以下と

10

20

30

40

50

すればよく、本実施の形態では一例として100とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において行うことができる。

【0226】

また、酸化物絶縁層407aを形成するためのターゲットとしては、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成することができる。

【0227】

また、酸化物絶縁層407aの形成に用いられる成膜室内の残留水分を除去するためには、例えば吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて成膜室内の残留水分を除去することにより、酸化物絶縁層407aに含まれる不純物濃度を低減できる。また、酸化物絶縁層407aの形成に用いられる成膜室内の残留水分を除去するための排気手段としては、例えばターボポンプにコールドトラップを加えたものを用いることもできる。

【0228】

また、酸化物絶縁層407aを形成する際に用いるスパッタリングガスは、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0229】

また、酸化物絶縁層407aを形成する前に $N_2O$ 、 $N_2$ 、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層403aの上面の一部に接する酸化物絶縁層407aを形成することが好ましい。

【0230】

さらに、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うこともできる。例えば、第2の加熱処理として、窒素雰囲気下で250、1時間の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層403aの上面の一部が酸化物絶縁層407aと接した状態で加熱される。

【0231】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

【0232】

以上の工程でトランジスタが形成される（図13（A）参照）。

【0233】

また、酸化物絶縁層407aとして欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層403a中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層407aに拡散させ、酸化物半導体層403a中に含まれる該不純物をより低減させる効果を奏する。

【0234】

酸化物絶縁層407aの上にさらに保護絶縁層409aを形成してもよい。例えば、RFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層409aの成膜方法として好ましい。本実施の形態では、一例として窒化シリコン膜を形成することにより保護絶縁層409aを形成する（図13（B）参照）。

【0235】

本実施の形態では、酸化物絶縁層407aまで形成された基板400aを100～40

10

20

30

40

50

0 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を形成することで保護絶縁層 409a を形成する。この場合においても、酸化物絶縁層 407a と同様に、処理室内の残留水分を除去しつつ保護絶縁層 409a を成膜することが好ましい。

【0236】

保護絶縁層 409a の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。以上が図 10 (A) に示すトランジスタの作製方法の一例である。

10

【0237】

さらに、図 11 (A) に示すトランジスタを形成する場合には、保護絶縁層 409a の上に第 4 の導電膜を形成する。

【0238】

第 4 の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第 4 の導電膜としては、導電性の金属酸化物を含む膜を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム ( $\text{In}_2\text{O}_3$ )、酸化スズ ( $\text{SnO}_2$ )、酸化亜鉛 ( $\text{ZnO}$ )、酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITO と略記する)、若しくは酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。また、第 4 の導電膜に適用可能な材料の膜の積層膜により第 4 の導電膜を形成することができる。

20

【0239】

次に第 4 のフォトリソグラフィ工程により第 4 の導電膜の上に第 4 のレジストマスクを形成し、第 4 のレジストマスクを用いて選択的にエッチングを行って導電層 431a を形成した後、第 4 のレジストマスクを除去する (図 13 (C) 参照)。以上が図 11 (A) に示すトランジスタの作製方法の一例である。

【0240】

また、図 10 (D) に示すトランジスタの作製方法の一例について図 14 (A)、図 14 (B)、図 14 (C)、及び図 14 (D) を用いて説明する。図 14 (A) 乃至図 14 (D) は、図 10 (D) に示すトランジスタの作製方法の一例を示す断面模式図である。

30

【0241】

まず、基板 400d を準備し、基板 400d の上に絶縁層 447 を形成する。

【0242】

なお、基板 400d の一例としてガラス基板を用いる。

【0243】

また、例えばプラズマ CVD 法又はスパッタリング法などを用いて絶縁層 447 を形成することができる。例えばスパッタリング法を用いて絶縁層 447 を形成することより、絶縁層 447 中の水素濃度を低減することができる。

40

【0244】

さらに、上記方法のいずれかを用いて絶縁層 447 を形成する場合において、処理室内の残留水分を除去しつつ絶縁層 447 を形成することが好ましい。絶縁層 447 に水素、水酸基又は水分が含まれないようにするためである。

【0245】

なお、処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、例えばターボポンプにコールドトラップを加えたものを用いることができる。クライオポンプを用いて排気した成膜室では、例えば、水素原子又は水素原子を有する化合物 (水など) が排気

50

されるため、当該成膜室で成膜することにより、形成される絶縁層 4 4 7 に含まれる不純物（特に水素）の濃度を低減できる。

【 0 2 4 6 】

なお、絶縁層 4 4 7 を形成する場合、基板 4 0 0 d を加熱してもよい。

【 0 2 4 7 】

例えば、絶縁層 4 4 7 として窒化シリコン層と酸化シリコン層との積層を形成する場合、同じ処理室において共通のシリコンターゲットを用いて窒化シリコン層と酸化シリコン層を形成することができる。先に窒素を含むスパッタリングガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にスパッタリングガスを酸素を含むスパッタリングガスに切り替え、同じシリコンターゲットを用いて酸化シリコン層を形成する。これにより窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物の吸着を防止することができる。

10

【 0 2 4 8 】

次に、絶縁層 4 4 7 の上に、膜厚 2 n m 以上 2 0 0 n m 以下の酸化物半導体膜を形成する。

【 0 2 4 9 】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、絶縁層 4 4 7 が形成された基板 4 0 0 d をスパッタリング装置の予備加熱室で予備加熱し、基板 4 0 0 d に吸着した水素、水分などの不純物を脱離させ、排気させることが好ましい。なお、予備加熱室に設ける排気手段としては、例えばクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

20

【 0 2 5 0 】

なお、酸化物半導体膜を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行ってもよい。

【 0 2 5 1 】

例えば、酸化物半導体層 4 0 3 d に適用可能な酸化物半導体材料を用いて該酸化物半導体膜を形成することができる。本実施の形態では、一例として I n - G a - Z n - O 系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜を形成する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜を形成することができる。

30

【 0 2 5 2 】

スパッタリング法を用いて酸化物半導体膜を作製するためのターゲットとしては、例えば、 $I n_2 O_3 : G a_2 O_3 : Z n O = 1 : 1 : 1$  [ m o l 数比 ] の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $I n_2 O_3 : G a_2 O_3 : Z n O = 1 : 1 : 2$  [ m o l 数比 ] の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

40

【 0 2 5 3 】

なお、酸化物半導体膜を成膜する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【 0 2 5 4 】

本実施の形態では、一例として、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 4 0 0 d の上に酸化物半導体膜を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。吸着型の真空ポンプとしては、例えば、クライオポンプ、イオンポンプ、又はチタンサブリメーションポンプ

50



を用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものを用いることができる。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 ( $\text{H}_2\text{O}$ ) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜することにより、酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜形成時に基板を加熱してもよい。

#### 【0255】

成膜条件の一例としては、基板とターゲットの間との距離を 60 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素及びアルゴン (酸素流量 15 sccm : アルゴン流量 30 sccm) 雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

10

#### 【0256】

次に、第1のフォトリソグラフィ工程により該酸化物半導体膜の上に第1のレジストマスクを形成し、第1のレジストマスクを用いて選択的に該酸化物半導体膜のエッチングを行うことにより、該酸化物半導体膜を島状の酸化物半導体層 403d に加工し、第1のレジストマスクを除去する (図14(A) 参照。 )。

#### 【0257】

例えば、ドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜のエッチングを行うことができる。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。

20

#### 【0258】

次に、酸化物半導体層 403d に第1の加熱処理を行う。第1の加熱処理の温度は、400 以上 750 以下、好ましくは 400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層 403d への水や水素の再混入を防ぐ。

#### 【0259】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を備えていてもよい。加熱処理装置としては、例えば GRTA (Gas Rapid Thermal Anneal) 装置又は LRTA (Lamp Rapid Thermal Anneal) 装置などの RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。また、GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

30

#### 【0260】

例えば、第1の加熱処理として、650 ~ 700 に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて加熱した不活性ガス中から出す方式の GRTA を行ってもよい。

40

#### 【0261】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、すなわち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが好ましい。

#### 【0262】

また、第1の加熱処理で酸化物半導体層 403d を加熱した後、第1の加熱処理を行った

50

炉と同じ炉に高純度の酸素ガス、高純度の $N_2O$ ガス、又は超乾燥エア（露点が $-40$ 以下、好ましくは $-60$ 以下の雰囲気）を導入してもよい。このとき酸素ガス又は $N_2O$ ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は $N_2O$ ガスの純度を、 $6N$ 以上、好ましくは $7N$ 以上、すなわち、酸素ガス又は $N_2O$ ガス中の不純物濃度を $1ppm$ 以下、好ましくは $0.1ppm$ 以下とすることが好ましい。酸素ガス又は $N_2O$ ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸素を供給することによって、酸化物半導体層 $403d$ を高純度化させる。

【0263】

また、島状の酸化物半導体層 $403d$ に加工する前の酸化物半導体膜に第1の加熱処理を行うこともできる。その場合には、第1の加熱処理後に加熱装置から基板を取り出し、島状の酸化物半導体層 $403d$ に加工する。

【0264】

また、上記以外にも、酸化物半導体層 $403d$ 形成後であれば、酸化物半導体層 $403d$ の上に導電層 $405d$ 及び導電層 $406d$ を形成した後、又は導電層 $405d$ 及び導電層 $406d$ の上に絶縁層 $402d$ を形成した後に第1の加熱処理を行ってもよい。

【0265】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域（単結晶領域）、すなわち、膜表面に垂直に $c$ 軸配向した結晶領域を有する膜を用いて酸化物半導体層を形成してもよい。例えば、膜厚が $3nm$ 以上 $15nm$ 以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で $450$ 以上 $850$ 以下、好ましくは $550$ 以上 $750$ 以下の加熱処理を行い、表面を含む領域に結晶領域（板状結晶を含む）を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成し、さらに第2の加熱処理として、 $450$ 以上 $850$ 以下、好ましくは $600$ 以上 $700$ 以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体膜を用いて酸化物半導体層を形成してもよい。

【0266】

次に、酸化物半導体層 $403d$ を介して絶縁層 $447$ の上に第1の導電膜を形成する。

【0267】

第1の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第1の導電膜に適用可能な材料の膜の積層膜により第1の導電膜を形成することができる。

【0268】

次に、第2のフォトリソグラフィ工程により第1の導電膜の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて選択的にエッチングを行って導電層 $405d$ 及び導電層 $406d$ を形成した後、第2のレジストマスクを除去する（図14（B）参照）。

【0269】

本実施の形態では、第1の導電膜の一例としてチタン膜を用いる。

【0270】

なお、第1の導電膜のエッチングの際に、酸化物半導体層 $403d$ が除去されて、その下の絶縁層 $447$ が露出しないように、それぞれの材料及びエッチング条件を適宜調節する。

【0271】

なお、第1の導電膜のエッチングを行う場合、エッチングによる酸化物半導体層 $403d$ の分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、

10

20

30

40

50

第1の導電膜のみエッチングが行われ、酸化物半導体層403dは、全くエッチングが行われないという条件を得ることは難しく、第1の導電膜のエッチングの際に酸化物半導体層403dは一部のみエッチングが行われ、溝部（凹部）を有する酸化物半導体層403dとなることもある。

【0272】

また、第2のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層403d上の導電層405dの下端部と導電層406dの下端部との間隔幅によって後に形成されるトランジスタのチャネル長Lが決定される。なお、チャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第3のレジストマスクの形成の際に露光を行うとよい。

10

【0273】

次に、酸化物半導体層403d、導電層405d、及び導電層406dの上に絶縁層402dを形成する（図14（C）参照）。

【0274】

例えば、プラズマCVD法又はスパッタリング法などを用いて絶縁層402dを形成することができる。例えば、スパッタリング法などを用いて絶縁層402dを形成することにより、絶縁層402d中の水素濃度を低減することができる。

【0275】

本実施の形態では、絶縁層402dの一例として、RFスパッタリング法を用いて、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下で膜厚100nmの酸化シリコン層を形成する。

20

【0276】

次に、絶縁層402dの上に第2の導電膜を形成する。

【0277】

第2の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な材料の膜の積層膜により、第2の導電膜を構成することもできる。

【0278】

30

次に、第3のフォトリソグラフィ工程により第2の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的に第2の導電膜のエッチングを行うことにより導電層401dを形成し、第3のレジストマスクを除去する（図14（D）参照）。

【0279】

さらに、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うこともできる。例えば、第2の加熱処理として、窒素雰囲気下で250、1時間の加熱処理を行う。

【0280】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。以上が図10（D）に示すトランジスタの作製方法の一例である。

40

【0281】

なお、本実施の形態のトランジスタの作製方法の一例として、図10（A）、図10（D）、及び図11（A）に示すトランジスタの作製方法の一例を示すが、これに限定されず、例えば図10（B）及び図10（C）、並びに図11（B）乃至図11（D）に示す各構成要素において、名称が図10（A）、図10（D）、及び図11（A）に示す各構成要素と同じであり且つ機能の少なくとも一部が図10（A）、図10（D）、及び図11（A）に示す各構成要素と同じであれば、図10（A）図10（D）、及び図11（A）

50

に示すトランジスタの作製方法の一例の説明を適宜援用することができる。

【0282】

以上のように、本実施の形態に示すトランジスタは、チャネル形成層として酸化物半導体層を有するトランジスタであり、トランジスタに用いられる酸化物半導体層は、熱処理により高純度化させることによりI型又は実質的にI型となった酸化物半導体層である。

【0283】

また、高純度化された酸化物半導体層は、キャリアの数が極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。このように酸化物半導体層のキャリアの数が極めて少ないため、本実施の形態のトランジスタでは、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。本実施の形態のトランジスタでは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ ) 以下にすること、さらには、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ ) 以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $10 \text{ zA}$  ( $1 \times 10^{-20} \text{ A}$ ) 以下、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $1 \text{ zA}$  ( $1 \times 10^{-21} \text{ A}$ ) 以下にすることができる。

10

【0284】

また、本実施の形態のトランジスタは、比較的高い電界効果移動度が得られるため、トランジスタを高速に駆動することができる。

【0285】

本実施の形態のトランジスタのうち、複数のゲートを有するトランジスタを例えば上記実施の形態の半導体回路又は表示装置のA/D変換回路における比較回路のトランジスタ（例えば図3に示すトランジスタ1122）に用いることにより、しきい値電圧の制御が可能なトランジスタを容易に作製することができ、また、オフ状態のときのトランジスタのリーク電流による比較回路の出力信号の電圧の変動を抑制することができる。

20

【0286】

また、本実施の形態のトランジスタを例えば上記実施の形態の半導体回路又は表示装置の光電変換回路のトランジスタ（例えば図5に示すトランジスタ111b）に用いることにより、オフ状態のときの該トランジスタのリーク電流による、他の素子との接続箇所（例えば図5に示すノードN21）の電圧の変動を抑制することができる。

【0287】

また、本実施の形態のトランジスタを上記実施の形態の半導体回路又は表示装置に用いることにより、上記実施の形態の半導体回路又は表示装置における光電変換回路及びA/D変換回路（少なくとも比較回路）を同一基板上に同一工程で作製することができる。これにより、光電変換回路からA/D変換回路に入力される信号のノイズを低減することができる。

30

【0288】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

【0289】

（実施の形態5）

本実施の形態では、上記実施の形態に示す半導体回路に適用可能な複数のトランジスタの例について説明する。

40

【0290】

本実施の形態における上記実施の形態に示す半導体回路に適用可能な複数のトランジスタの構造例について、図15を用いて説明する。図15は、本実施の形態における複数のトランジスタの構造例を示す断面模式図である。なお、図15では、1つのゲートを有するトランジスタ及び2つのゲートを有するトランジスタを組み合わせた構造の一例について示しているが、これに限定されず、全て複数のゲートを有するトランジスタを用いてもよい。

【0291】

50

図 1 5 に示す複数のトランジスタを有する構造は、1 つのゲートを含むトランジスタ 6 0 1 及び 2 つのゲートを含むトランジスタ 6 0 2 を有する構造である。

【 0 2 9 2 】

トランジスタ 6 0 1 は、絶縁層 6 0 3 を介して基板 6 0 0 の上に設けられる。

【 0 2 9 3 】

さらに、トランジスタ 6 0 1 は、チャネル形成層としての機能を有する半導体層 6 1 1 と、ゲート絶縁層としての機能を有する絶縁層 6 1 7 と、ゲート電極としての機能を有する導電層 6 1 8 と、を有する。

【 0 2 9 4 】

半導体層 6 1 1 は、絶縁層 6 0 3 を介して基板 6 0 0 の上に設けられ、絶縁層 6 1 7 は、半導体層 6 1 1 の上に設けられ、導電層 6 1 8 は、絶縁層 6 1 7 を介して半導体層 6 1 1 の上に設けられる。

【 0 2 9 5 】

さらに、半導体層 6 1 1 は、導電層 6 1 8 の下に設けられたチャネル形成領域 6 1 2 と、ソース領域又はドレイン領域となる不純物領域 6 1 3 及び不純物領域 6 1 4 と、を有する。なお、チャネル形成領域 6 1 2 と不純物領域 6 1 3 の間に第 1 の高抵抗不純物領域を設け、チャネル形成領域 6 1 2 と不純物領域 6 1 4 の間に第 2 の高抵抗不純物領域を設けてもよい。第 1 の高抵抗不純物領域及び第 2 の高抵抗不純物領域は、不純物領域 6 1 3 及び不純物領域 6 1 4 より抵抗値の高い領域であり、例えば不純物領域 6 1 3 及び不純物領域 6 1 4 よりも低い濃度になるように、N 型又は P 型の導電性を付与する不純物元素を半導体層 6 1 1 の一部に添加することにより形成される。第 1 の高抵抗領域及び第 2 の高抵抗領域を設けることにより、トランジスタのソース及びドレインの間に印加される電界の集中を緩和させることができる。

【 0 2 9 6 】

さらに、トランジスタ 6 0 2 は、絶縁層 6 2 1、平坦化層としての機能を有する絶縁層 6 2 2、及び絶縁層 6 2 3 を介してトランジスタ 6 0 1 の上層に設けられる。トランジスタ 6 0 2 としては、例えば上記実施の形態 4 に示す複数のゲートを有するトランジスタのいずれかを適用することができる。図 1 5 では、トランジスタ 6 0 2 の一例として図 1 1 ( A ) を用いて説明した構造のトランジスタを示す。

【 0 2 9 7 】

さらに、トランジスタ 6 0 2 のソース電極及びドレイン電極のいずれか一方としての機能を有する導電層 6 2 6 は、絶縁層 6 1 7、絶縁層 6 2 1、絶縁層 6 2 2、及び絶縁層 6 2 3 を貫通して設けられた開口部を介して不純物領域 6 1 4 に接する。なお、複数の導電層を介して導電層 6 2 6 と不純物領域 6 1 4 が接する構造であってもよい。

【 0 2 9 8 】

また、トランジスタ 6 0 2 のソース電極及びドレイン電極のいずれか一方としての機能を有する導電層 6 2 6 と同一層に設けられた導電層 6 2 5 は、絶縁層 6 1 7、絶縁層 6 2 1、絶縁層 6 2 2、及び絶縁層 6 2 3 を貫通して設けられた開口部を介して不純物領域 6 1 3 に接する。なお、複数の導電層を介して導電層 6 2 5 と不純物領域 6 1 3 が接する構造であってもよい。

【 0 2 9 9 】

さらに、トランジスタ 6 0 2 において、チャネル形成層としての機能を有する酸化物半導体層は、上面の一部（上面にソース電極又はドレイン電極となる導電層が設けられていない部分）に酸化物絶縁層 6 2 7 が接する。また、酸化物絶縁層 6 2 7 は、上部に保護絶縁層 6 2 8 が設けられる。さらに、保護絶縁層 6 2 8 は、上部にトランジスタ 6 0 2 のチャネル形成層としての機能を有する酸化物半導体層と重なる導電層 6 2 9 が設けられる。

【 0 3 0 0 】

基板 6 0 0 としては、例えばガラス基板、セラミック基板、石英基板、プラスチック基板、又はシリコン基板などを用いることができる。

【 0 3 0 1 】

10

20

30

40

50

絶縁層 603 としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層 603 としては、上記絶縁層 603 に適用可能な材料の層と、例えば水素を含有する酸化シリコン層、水素を含有する窒化シリコン層、酸素と水素を含有する窒化シリコン層、酸化窒化シリコン層、又は窒化酸化シリコン層との積層などを用いることができる。例えば水素を含有する酸化シリコンとしては、例えば有機シランを用いて形成される酸化シリコンが好ましい。例えば有機シランを用いて形成された酸化シリコン膜を用いることによって、基板 600 と半導体層 611 との接合を強固にすることができるためである。有機シランとしては、例えばテトラエトキシシラン（略称：TEOS 化学式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（略称：TMS 化学式： $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（略称：TMCTS）、オクタメチルシクロテトラシロキサン（略称：OMCTS）、ヘキサメチルジシラザン（略称：HMDS）、トリエトキシシラン（化学式： $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（化学式： $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）などのシリコン含有化合物などを用いることができる。

10

#### 【0302】

半導体層 611 としては、例えばシリコン及びゲルマニウムのいずれか一つ又は複数などを含む層を用いることができる。また、半導体層 611 としては、単結晶半導体層、多結晶半導体層、微結晶半導体層、又は非晶質半導体層を用いることができる。

20

#### 【0303】

例えば、半導体層 611 として単結晶半導体層を用いる場合、まず単結晶半導体基板を準備し、単結晶半導体基板に損傷領域を形成する。例えば、イオン照射により該損傷領域を形成する。さらに、損傷領域が設けられた単結晶半導体基板と基板 600 を絶縁層 603 を介して貼り合わせた後、損傷領域を劈開面として貼り合わせ基板（単結晶半導体基板及び基板 600）から単結晶半導体基板の一部を分離させ、その後、基板 600 の上に設けられた残存単結晶半導体領域をエッチングなどにより選択的に除去することにより該単結晶半導体層を形成することができる。

#### 【0304】

不純物領域 613 及び不純物領域 614 は、N 型又は P 型の導電性を付与する不純物元素を含む領域であり、例えば N 型又は P 型の導電性を付与する不純物元素を添加することにより形成される。

30

#### 【0305】

絶縁層 617 としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 617 に適用可能な材料の層の積層により絶縁層 617 を構成することもできる。絶縁層 617 に適用可能な材料の層は、例えばプラズマ CVD 法又はスパッタリング法などを用いて形成することができる。例えば、プラズマ CVD 法により窒化シリコン層を形成し、プラズマ CVD 法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層 617 を作製することができる。

40

#### 【0306】

導電層 618 としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 618 の形成に適用可能な材料の層の積層により、導電層 618 を構成することもできる。導電層 618 は、例えばスパッタリング法により導電膜を形成し、該導電膜を選択的にエッチングすることにより形成される。

#### 【0307】

絶縁層 621 としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることが

50

できる。また、絶縁層 6 2 1 に適用可能な材料の層を積層させて絶縁層 6 2 1 を構成することもできる。絶縁層 6 2 1 は、例えばプラズマ C V D 法などを用いて形成される。

【 0 3 0 8 】

絶縁層 6 2 2 としては、例えば有機材料層又は無機材料層を用いることができる。また、絶縁層 6 2 2 に適用可能な材料の層を積層させて絶縁層 6 2 2 を構成することもできる。絶縁層 6 2 2 は、例えばプラズマ C V D 法などを用いて形成される。

【 0 3 0 9 】

絶縁層 6 2 3 としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層 6 2 3 に適用可能な材料の層を積層させて絶縁層 6 2 3 を構成することもできる。絶縁層 6 2 3 は、例えばプラズマ C V D 法などを用いて形成される。

10

【 0 3 1 0 】

導電層 6 2 5 及び導電層 6 2 6 としては、例えばトランジスタ 6 0 2 のソース電極又はドレイン電極としての機能を有する導電層に適用可能な材料の層を用いることができる。また、導電層 6 2 5 及び導電層 6 2 6 に適用可能な材料の層を積層させて導電層 6 2 5 及び導電層 6 2 6 を構成することもできる。

【 0 3 1 1 】

図 1 5 に一例として示すように、構造の異なる複数のトランジスタを用いて上記実施の形態の半導体回路を構成することもできる。これにより、例えばオフ電流の低いトランジスタが必要な場合には、酸化物半導体層を含むトランジスタ（例えばトランジスタ 6 0 2 ）を用い、その他のトランジスタは、酸化物半導体層を含むトランジスタ又は他の材料を用いたトランジスタ（例えばトランジスタ 6 0 1 ）を用いるなど、それぞれの回路の特性に応じて最適な構造のトランジスタを選択的に用いることができる。

20

【 0 3 1 2 】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

【 0 3 1 3 】

（実施の形態 6 ）

本実施の形態では、上記実施の形態に示す画素部に光検出手段を有する表示装置の構造例について説明する。

30

【 0 3 1 4 】

本実施の形態における表示装置の構造例について、図 1 6 を用いて説明する。図 1 6 は、本実施の形態における表示装置の構造例を示す断面模式図である。

【 0 3 1 5 】

図 1 6 に示す表示装置は、画素部に横接合型のフォトダイオードを有する表示装置である。なお、これに限定されず、本実施の形態の表示装置を P 型半導体層、I 型半導体層、及び N 型半導体層が順に積層された積層型のフォトダイオードを有する構造にすることもできる。

【 0 3 1 6 】

図 1 6 に示す表示装置は、基板 4 0 0 1 及び基板 4 0 0 6 の間のシール材 4 0 0 5 により封止された領域に画素部及び駆動回路部を有し、画素部は、フォトダイオード 4 0 1 1 と、トランジスタ 4 0 1 2 と、トランジスタ 4 0 1 3 と、を有し、駆動回路部は、トランジスタ 4 0 1 4 と、を有する。

40

【 0 3 1 7 】

画素部は、表示回路及びフォトセンサを有する。画素部の構成としては、例えば上記実施の形態 3 に示す表示装置の構成を適用することができる。図 1 6 では、一例として、フォトセンサの一部について示す。

【 0 3 1 8 】

駆動回路部は、画素部の表示回路を制御するための回路の少なくとも一部及び画素部のフォトセンサを制御するための回路の少なくとも一部を有する。駆動回路部の構成としては

50

、例えば上記実施の形態 3 に示す表示回路制御回路及びフォトセンサ制御回路の構成を適用することができる。図 16 では、一例としてフォトセンサ読み出し回路の一部について示す。

【0319】

なお、駆動回路部に用いられる駆動回路の一部は、別途基板上に設けられた駆動回路を用いて構成することもできる。このとき、図 16 に示す表示装置と、別途形成された駆動回路との接続方法は、特に限定されるものではなく、COG 法、ワイヤボンディング法、或いはTAB 法などを用いることができる。

【0320】

フォトダイオード 4011 は、半導体層 4061 を有し、半導体層 4061 は、P 型不純物領域 4062 と、高抵抗半導体領域 4063 と、N 型不純物領域 4064 と、を有する。フォトダイオード 4011 は、例えばトランジスタ 4013 と同一工程で形成され、半導体層 4061 としては、トランジスタ 4013 の半導体層に適用可能な材料の層を用いることができる。

10

【0321】

トランジスタ 4012 としては、例えば上記実施の形態 4 に示すトランジスタのいずれかを適用することができる。図 16 では、トランジスタ 4012 の一例として図 10 (D) を用いて説明した構造のトランジスタを示す。なお、これに限定されず、例えば図 10 (A) を用いて説明した構造のトランジスタを用いて該トランジスタの酸化物半導体層への光の入射を抑制することもできる。

20

【0322】

さらに、トランジスタ 4012 のソース電極及びドレイン電極のいずれか一方としての機能を有する導電層 4053 は、絶縁層 4021、絶縁層 4022、及び絶縁層 4023 を貫通して設けられた開口部を介してフォトダイオード 4011 の N 型不純物領域 4064 に接する。なお、本実施の形態の表示装置は、複数の導電層を介して導電層 4053 と N 型不純物領域 4064 が接する構造であってもよい。

【0323】

また、導電層 4065 は、絶縁層 4021、絶縁層 4022、及び絶縁層 4023 を貫通して設けられた開口部を介してフォトダイオード 4011 の P 型不純物領域 4062 に接する。なお、本実施の形態の表示装置は、複数の導電層を介して導電層 4065 と P 型不純物領域 4062 が接する構造であってもよい。

30

【0324】

トランジスタ 4013 としては、例えば図 15 に示すトランジスタ 601 を用いて説明した構造のトランジスタを適用することができる。図 16 では、トランジスタ 4013 の一例としてトランジスタ 601 を用いて説明した構造のトランジスタを示す。

【0325】

トランジスタ 4014 としては、例えば上記実施の形態 4 に示す複数のゲートを有するトランジスタのいずれかを適用することができる。複数のゲートを有するトランジスタを用いることにより、例えば上記実施の形態 3 に示すコンパレータ 219 のトランジスタ 220 を構成することができる。図 16 では、トランジスタ 4014 の一例として図 11 (D) を用いて説明した構造のトランジスタを示す。

40

【0326】

さらに、図 16 に示す表示装置は、平坦化層 4025 と、画素電極としての機能を有する導電層 4030 と、絶縁層 4032 と、液晶層 4008 と、絶縁層 4033 と、スペーサとしての機能を有する絶縁層 4035 と、対向電極としての機能を有する導電層 4031 と、を有する。

【0327】

平坦化層 4025 は、フォトダイオード 4011、トランジスタ 4012、トランジスタ 4013、及びトランジスタ 4014 の上に設けられ、導電層 4030 は、平坦化層 4025 の上に設けられ、絶縁層 4032 は、導電層 4030 を介して平坦化層 4025 の上

50



に設けられ、導電層 4031 は、基板 4006 に接して設けられ、絶縁層 4033 は、導電層 4031 に接して設けられ、絶縁層 4035 は、シール材 4005 により囲まれた領域に絶縁層 4032 及び絶縁層 4033 を介して導電層 4030 あるいは平坦化層 4025 及び導電層 4031 の間に設けられ、液晶層 4008 は、シール材 4005 により囲まれた領域に絶縁層 4032 及び絶縁層 4033 を介して、導電層 4030 あるいは平坦化層 4025 及び導電層 4031 の間に設けられる。

#### 【0328】

また、導電層 4030、導電層 4031、及び液晶層 4008 により液晶素子 4017 が構成される。

#### 【0329】

また、導電層 4031 は、トランジスタ 4012 などと同一基板上に設けられる共通電圧線と電氣的に接続される。また、共通電圧線との接続部（共通接続部ともいう）を用いて、一对の基板間に配置される導電性粒子を介して導電層 4031 と共通電圧線とを電氣的に接続することができる。

#### 【0330】

また、絶縁層 4035 は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、導電層 4030 と導電層 4031 との間の距離（セルギャップ）を制御するために設けられている。なお、絶縁層 4035 として球状のスペーサを用いてもよい。

#### 【0331】

さらに、図 16 に示す表示装置は、絶縁層 4020 及び絶縁層 4021 を介して基板 4001 の上に設けられた導電層 4016 と、導電層 4016 に接する導電層 4015 と、異方性導電層 4019 を介して FPC 4018 に電氣的に接続される。導電層 4015 及び導電層 4016 は、端子電極としての機能を有する。

#### 【0332】

導電層 4015 は、例えば導電層 4030 と同じ導電膜を用いて形成され、導電層 4016 は、例えばトランジスタ 4014 のソース電極又はドレイン電極としての機能を有する導電層と同じ導電膜を用いて形成される。

#### 【0333】

基板 4001 及び基板 4006 としては、例えば透光性基板を用いることができ、透光性基板としては、例えばガラス基板又はプラスチック基板などを用いることができる。プラスチック基板としては、例えば FRP (Fiber glass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルム、又はアクリル樹脂フィルムなどを用いることができる。

#### 【0334】

平坦化層 4025 としては、例えばポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、又はエポキシなどの耐熱性を有する有機材料の層を用いることができる。また、平坦化層 4025 としては、上記有機材料の層の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、PSG (リンガラス)、BPSG (リンボロンガラス) などの層を用いることもできる。また、平坦化層 4025 に適用可能な材料の層を積層して平坦化層 4025 を構成することもできる。

#### 【0335】

平坦化層 4025 の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷など）、ドクターナイフを用いた形成法、ロールコーターを用いた形成法、カーテンコーターを用いた形成法、ナイフコーターを用いた形成法などを用いることができる。

#### 【0336】

導電層 4030 及び導電層 4031 としては、例えば透光性を有する導電性材料の層を用いることができ、透光性を有する導電材料としては、例えばインジウム錫酸化物、酸化インジウムに酸化亜鉛を混合した金属酸化物 (IZO: indium zinc oxid

10

20

30

40

50

eともいう)、酸化インジウムに酸化珪素( $\text{SiO}_2$ )を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、又は酸化チタンを含むインジウム錫酸化物などを用いることができる。また、本実施の形態の表示装置を反射型とする場合、導電層4030及び導電層4031としては、例えばタングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、チタン、白金、アルミニウム、銅、若しくは銀などの金属、又はその合金の層を用いることができる。また、導電層4030及び導電層4031に適用可能な材料の層を積層して導電層4030及び導電層4031を構成してもよい。

【0337】

また、導電層4030及び導電層4031を、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した導電層は、シート抵抗が $10000 \text{ } \Omega/\square$ 以下、波長 $550 \text{ nm}$ における透光率が $70\%$ 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、 $0.1 \text{ } \Omega/\square$ 以下であることが好ましい。

【0338】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。電子共役系導電性高分子としては、例えばポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又は、アニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体を用いることができる。

【0339】

シール材4005としては、導電性粒子を含む絶縁層を用いることができる。

【0340】

液晶素子4017としては、例えばTN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、又はディスコチック液晶などを用いることができる。

【0341】

また、液晶素子4017の表示方法としては、例えばTN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、VA(Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、又はAFLC(AntiFerroelectric Liquid Crystal)モード、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、又はASVモードなどを用いることができる。また、これに限定されず、FFS(Fringe Field Switching)モードなど用いてもよい。

【0342】

また、液晶層4008としては、例えば配向膜を用いないブルー相を示す液晶層を用いてもよい。ブルー相は、液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶材料として用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $1 \text{ msec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また、配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の表示装置の不良や破損を軽減することができる。よって、表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を有するトランジスタは、静電気の影響によりトランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よ

10

20

30

40

50

って、酸化物半導体層を有するトランジスタを有する表示装置にブルー相の液晶材料を用いることにより、静電気によるトランジスタの電气的変動を抑制することができる。

【0343】

また、本実施の形態における表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設けてもよいし、偏光板を基板の内側に設けてもよい。また、偏光板と着色層の積層構造は、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光層を設けてもよい。

【0344】

また、本実施の形態における表示装置では、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けることができる。例えば、光学部材としては、偏光基板及び位相差基板による円偏光板を用いてもよい。また、光源としてバックライトなどを用いてもよい。

【0345】

また、表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源又は複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力を低減することができる。

【0346】

また、トランジスタは静電気などにより破壊されやすいため、さらに画素部又は駆動回路部と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は、画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では、複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気などによりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路は、サージ電圧が印加されたときに共通配線に電荷を逃がすように構成する。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部のトランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0347】

以上のように、本実施の形態の光検出手段を有する表示装置を構成することができる。また、本実施の形態の表示装置の構成にすることにより画素部とフォトセンサ読み出し回路を同一基板上に設けることができるため、フォトセンサ読み出し回路へのノイズの影響を抑制することができる。

【0348】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

【0349】

（実施の形態7）

本実施の形態では、上記実施の形態における画素部に光検出手段を有する表示装置を備えた電子機器について説明する。

【0350】

本実施の形態の電子機器の構成例について、図17（A）、図17（B）、図17（C）、図17（D）、図17（E）、及び図17（F）を用いて説明する。図17（A）乃至図17（F）は、本実施の形態の電子機器の構成例を示す図である。

## 【 0 3 5 1 】

図 1 7 ( A ) に示す電子機器は、携帯型情報通信端末である。図 1 7 ( A ) に示す携帯型情報通信端末は、少なくとも表示部 1 0 0 1 を有する。上記実施の形態に示す表示装置は、表示部 1 0 0 1 に搭載される。上記実施の形態に示す表示装置を表示部 1 0 0 1 に搭載することにより、例えば表示部 1 0 0 1 にタッチパネルによる操作部 1 0 0 2 を設けて携帯電話機として利用することができる。操作部 1 0 0 2 を必ずしも表示部 1 0 0 1 に設けなくてもよく、図 1 7 ( A ) に示す携帯型情報通信端末は、別途操作ボタンを設けた構成にすることもできる。またメモ帳の代わりとしての利用やハンディスキャナーとして図 1 7 ( A ) に示す携帯型情報通信端末を利用することもできる。

## 【 0 3 5 2 】

図 1 7 ( B ) に示す電子機器は、例えばカーナビゲーションを含む情報案内端末である。図 1 7 ( B ) に示す情報案内端末は、少なくとも表示部 1 1 0 1 を有し、さらに図 1 7 ( B ) に示す情報案内端末を操作ボタン 1 1 0 2 及び外部入力端子 1 1 0 3 を有する構成にすることもできる。自動車の車内は、気温と共に温度が大きく変動し、温度が 5 0 を超えることもある。しかし上記実施の形態に示す表示装置は、温度による特性変化の影響が少ないため、自動車の車内のような温度が大きく変動する環境下において特に有効である。上記実施の形態の表示装置は、表示部 1 1 0 1 に搭載される。上記実施の形態の表示装置を表示部 1 1 0 1 に搭載することにより、表示部 1 1 0 1 に接触して操作又は接触せずに操作することもできるため、操作性を向上させることができる。

## 【 0 3 5 3 】

図 1 7 ( C ) に示す電子機器は、ノート型パーソナルコンピュータである。図 1 7 ( C ) に示すノート型パーソナルコンピュータは、筐体 1 2 0 1 と、表示部 1 2 0 2 と、スピーカ 1 2 0 3 と、LED ランプ 1 2 0 4 と、ポインティングデバイス 1 2 0 5 と、接続端子 1 2 0 6 と、キーボード 1 2 0 7 と、を有する。上記実施の形態の表示装置は、表示部 1 2 0 2 に搭載される。上記実施の形態の表示装置を表示部 1 2 0 2 に搭載することにより、例えば表示部 1 2 0 2 に直接文字を書くように入力動作を行うことができる。また、上記実施の形態の表示装置を表示部 1 2 0 2 に搭載することにより、キーボード 1 2 0 7 の代わりとなる入力部を表示部 1 2 0 2 に設けることもできる。

## 【 0 3 5 4 】

図 1 7 ( D ) に示す電子機器は、携帯型遊技機である。図 1 7 ( D ) に示す携帯型遊技機は、表示部 1 3 0 1 と、表示部 1 3 0 2 と、スピーカ 1 3 0 3 と、接続端子 1 3 0 4 と、LED ランプ 1 3 0 5 と、マイクロフォン 1 3 0 6 と、記録媒体読込部 1 3 0 7 と、操作ボタン 1 3 0 8 と、センサ 1 3 0 9 と、を有する。上記実施の形態の表示装置は、表示部 1 3 0 1 及び表示部 1 3 0 2、又は表示部 1 3 0 1 若しくは表示部 1 3 0 2 に搭載される。上記実施の形態の表示装置を表示部 1 3 0 1 又は表示部 1 3 0 2 に搭載することにより、表示部 1 3 0 1 又は表示部 1 3 0 2 に接触して操作又は接触せずに操作することもできるため、入力手段（例えば指やペンなど）の操作性を向上させることができる。

## 【 0 3 5 5 】

図 1 7 ( E ) に示す電子機器は、電子書籍である。図 1 7 ( E ) に示す電子書籍は、少なくとも筐体 1 4 0 1 と、筐体 1 4 0 3 と、表示部 1 4 0 5 と、表示部 1 4 0 7 と、軸部 1 4 1 1 と、を有する。

## 【 0 3 5 6 】

筐体 1 4 0 1 及び筐体 1 4 0 3 は、軸部 1 4 1 1 により接続され、図 1 7 ( E ) に示す電子書籍は、該軸部 1 4 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことができる。また、表示部 1 4 0 5 は、筐体 1 4 0 1 に組み込まれ、表示部 1 4 0 7 は、筐体 1 4 0 3 に組み込まれる。また、表示部 1 4 0 5 及び表示部 1 4 0 7 の構成を互いに異なる画像を表示する構成としてもよく、例えば両方の表示部で一続きの画像を表示する構成としてもよい。表示部 1 4 0 5 及び表示部 1 4 0 7 を異なる画像を表示する構成にすることにより、例えば右側の表示部（図 1 7 ( E ) では表示部 1 4 0 5 ）に文章画像を表示し、左側の表示部（図 1 7 ( E ) では表示部 1 4 0

10

20

30

40

50

7) に映像を表示することができる。

【0357】

また、図17(E)に示す電子書籍は、筐体1401に操作部などを備えてもよい。例えば、図17(E)に示す電子書籍の構成を電源ボタン1421と、操作キー1423と、スピーカ1425と、を有する構成にすることもできる。図17(E)に示す電子書籍は、操作キー1423を用いることにより、複数の頁がある画像の頁を送ることができる。また、図17(E)に示す電子書籍の表示部1405及び表示部1407、又は表示部1405又は表示部1407にキーボードやポインティングデバイスなどを設けた構成としてもよい。また、図17(E)に示す電子書籍の筐体1401及び筐体1403の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、又はACアダプタ又はUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを設けてもよい。さらに、図17(E)に示す電子書籍に電子辞書としての機能を持たせてもよい。

10

【0358】

また、上記実施の形態の表示装置は、表示部1405及び表示部1407、又は表示部1405若しくは表示部1407に搭載することができる。上記実施の形態の表示装置を表示部1405又は表示部1407に搭載することにより、表示部1405又は表示部1407に接触して操作又は接触せずに操作することもできるため、入力手段(例えば指やペンなど)の操作性を向上させることができる。

【0359】

また、図17(E)に示す電子書籍を無線通信でデータを送受信できる構成としてもよい。これにより、電子書籍サーバから所望の書籍データなどを購入し、ダウンロードする機能を付加させることができる。

20

【0360】

図17(F)に示す電子機器は、ディスプレイである。図17(F)に示すディスプレイは、筐体1501と、表示部1502と、スピーカ1503と、LEDランプ1504と、操作ボタン1505と、接続端子1506と、センサ1507と、マイクロフォン1508と、支持台1509と、を有する。上記実施の形態の表示装置は、表示部1502に搭載される。上記実施の形態の表示装置を表示部1502に搭載することにより、表示部1502に接触して操作又は接触せずに操作することもできるため、入力手段(例えば指やペンなど)の操作性を向上させることができる。

30

【0361】

また、本実施の形態の電子機器は、太陽電池セルと、太陽電池セルから出力される電圧を充電する蓄電装置と、該蓄電装置に充電された電圧を各回路に必要な電圧に変換する直流変換回路と、を用いて構成される電源回路を有する構成にしてもよい。これにより外部電源が不要となるため、外部電源が無い場所であっても、該電子機器を長時間使用することができるため、利便性を向上させることができる。蓄電装置としては、例えばリチウムイオン二次電池、リチウムイオンキャパシタ、電気二重層キャパシタ、及びレドックスキャパシタのいずれか一つ又は複数などを用いることができる。例えばリチウムイオン二次電池及びリチウムイオンキャパシタを併用することにより、高速充放電が可能であり、且つ長時間電源を供給することが可能な蓄電装置にすることができる。なお、リチウムイオン二次電池に限定されず、蓄電装置として、他のアルカリ金属イオン又はアルカリ土類金属イオンなどを可動イオンとして用いた二次電池を用いてもよい。また、リチウムイオンキャパシタに限定されず、蓄電装置として、他のアルカリ金属イオン又はアルカリ土類金属イオンなどを可動イオンとして用いたキャパシタを用いてもよい。

40

【0362】

以上のように、上記実施の形態の表示装置を上記電子機器に用いることにより、表示部に接触して操作、又は接触せずに操作することが可能な電子機器を提供することができる。

【0363】

なお、本実施の形態は、他の実施の形態と適宜組み合わせ又は置き換えを行うことができる。

50

## 【符号の説明】

## 【0364】

100	表示装置	
101	画素回路	
102	表示回路制御回路	
103	フォトセンサ制御回路	
104	画素	
105	表示回路	
106	フォトセンサ	
107	表示回路駆動回路	10
108	表示回路駆動回路	
109	フォトセンサ読み出し回路	
110	フォトセンサ駆動回路	
111	光電変換回路	
111a	光電変換素子	
111b	トランジスタ	
111c	トランジスタ	
111d	トランジスタ	
112	A / D変換回路	
112a	比較回路	20
112b	A / D変換制御回路	
112c	D / A変換回路	
121	期間	
122	期間	
123	期間	
201	トランジスタ	
202	保持容量	
203	液晶素子	
204	フォトダイオード	
205	トランジスタ	30
206	トランジスタ	
207	トランジスタ	
208	ゲート信号線	
209	ゲート信号線	
210	フォトダイオードリセット信号線	
211	ゲート信号線	
212	ビデオデータ信号線	
213	フォトセンサ基準信号線	
214	フォトセンサ出力信号線	
215	ゲート信号線	40
216	プリチャージ回路	
217	トランジスタ	
218	プリチャージ信号線	
219	コンパレータ	
220	トランジスタ	
221	抵抗素子	
222	コンパレータ出力信号線	
223	バックゲート信号線	
224	A / D変換回路	
301	信号	50

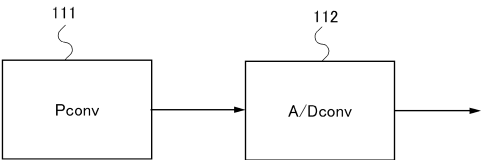
3 0 2	信号	
3 0 3	信号	
3 0 4	信号	
3 0 5	信号	
3 0 6	信号	
3 0 7	信号	
3 0 8	信号	
4 0 0 a	基板	
4 0 0 b	基板	
4 0 0 c	基板	10
4 0 0 d	基板	
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 1 d	導電層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	
4 0 2 d	絶縁層	
4 0 3 a	酸化物半導体層	20
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 3 d	酸化物半導体層	
4 0 5 a	導電層	
4 0 5 b	導電層	
4 0 5 c	導電層	
4 0 5 d	導電層	
4 0 6 a	導電層	
4 0 6 b	導電層	
4 0 6 c	導電層	30
4 0 6 d	導電層	
4 0 7 a	酸化物絶縁層	
4 0 7 c	酸化物絶縁層	
4 0 9 a	保護絶縁層	
4 0 9 b	保護絶縁層	
4 0 9 c	保護絶縁層	
4 3 1 a	導電層	
4 3 1 b	導電層	
4 3 1 c	導電層	
4 3 1 d	導電層	40
4 2 7	絶縁層	
4 4 7	絶縁層	
5 3 0	酸化物半導体膜	
6 0 0	基板	
6 0 1	トランジスタ	
6 0 2	トランジスタ	
6 0 3	絶縁層	
6 1 1	半導体層	
6 1 2	チャネル形成領域	
6 1 3	不純物領域	50

6 1 4	不純物領域	
6 1 7	絶縁層	
6 1 8	導電層	
6 2 1	絶縁層	
6 2 2	絶縁層	
6 2 3	絶縁層	
6 2 5	導電層	
6 2 6	導電層	
6 2 7	酸化物絶縁層	
6 2 8	保護絶縁層	10
6 2 9	導電層	
1 0 0 1	表示部	
1 0 0 2	操作部	
1 1 0 1	表示部	
1 1 0 2	操作ボタン	
1 1 0 3	外部入力端子	
1 1 2 1	抵抗素子	
1 1 2 2	トランジスタ	
1 2 0 1	筐体	
1 2 0 2	表示部	20
1 2 0 3	スピーカ	
1 2 0 4	L E D ランプ	
1 2 0 5	ポインティングデバイス	
1 2 0 6	接続端子	
1 2 0 7	キーボード	
1 3 0 1	表示部	
1 3 0 2	表示部	
1 3 0 3	スピーカ	
1 3 0 4	接続端子	
1 3 0 5	L E D ランプ	30
1 3 0 6	マイクロフォン	
1 3 0 7	記録媒体読込部	
1 3 0 8	操作ボタン	
1 3 0 9	センサ	
1 4 0 1	筐体	
1 4 0 3	筐体	
1 4 0 5	表示部	
1 4 0 7	表示部	
1 4 1 1	軸部	
1 4 2 1	電源ボタン	40
1 4 2 3	操作キー	
1 4 2 5	スピーカ	
1 5 0 1	筐体	
1 5 0 2	表示部	
1 5 0 3	スピーカ	
1 5 0 4	L E D ランプ	
1 5 0 5	操作ボタン	
1 5 0 6	接続端子	
1 5 0 7	センサ	
1 5 0 8	マイクロフォン	50

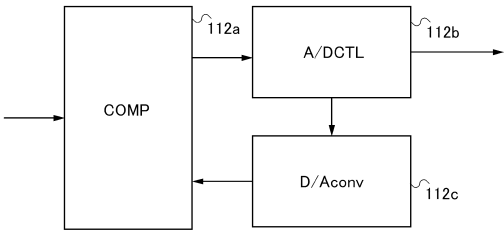


1 5 0 9	支持台	
4 0 0 1	基板	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 1	フォトダイオード	
4 0 1 2	トランジスタ	
4 0 1 3	トランジスタ	
4 0 1 4	トランジスタ	
4 0 1 5	導電層	10
4 0 1 6	導電層	
4 0 1 7	液晶素子	
4 0 1 8	F P C	
4 0 1 9	異方性導電層	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 2 2	絶縁層	
4 0 2 3	絶縁層	
4 0 2 5	平坦化層	
4 0 3 0	導電層	20
4 0 3 1	導電層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	
4 0 3 5	絶縁層	
4 0 5 3	導電層	
4 0 6 1	半導体層	
4 0 6 2	P型不純物領域	
4 0 6 3	高抵抗半導体領域	
4 0 6 4	N型不純物領域	
4 0 6 5	導電層	30

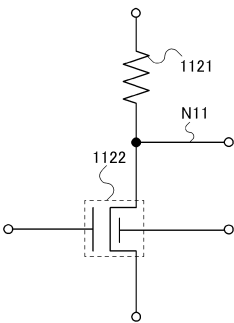
【図 1】



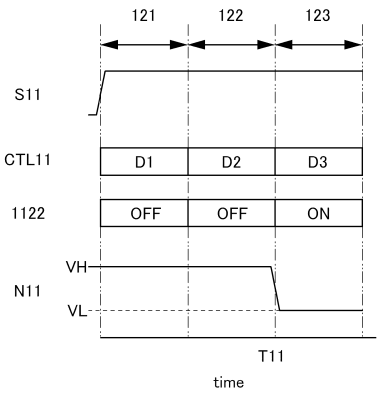
【図 2】



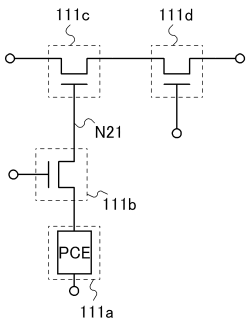
【図 3】



【図 4】



【図 5】

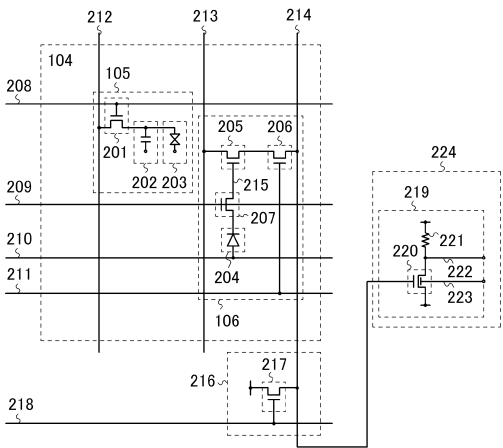


【図 6】

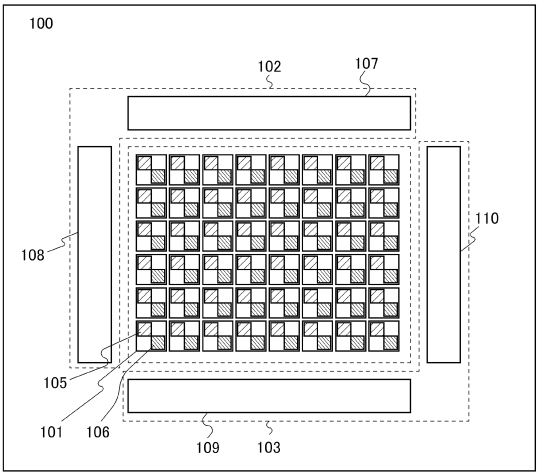
111a	C	NC	NC	NC	NC
111b	ON	ON	OFF	OFF	OFF
111d	OFF	OFF	OFF	ON	OFF
	T31	T32	T33	T34	T35

time

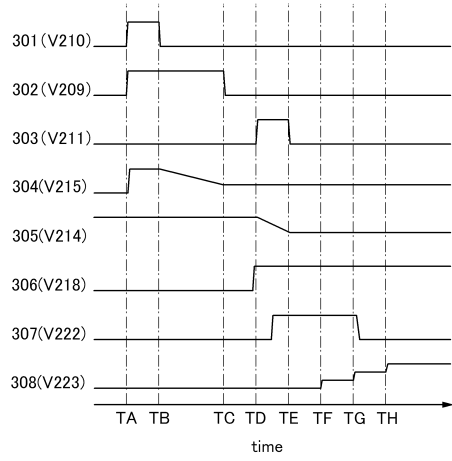
【図 8】



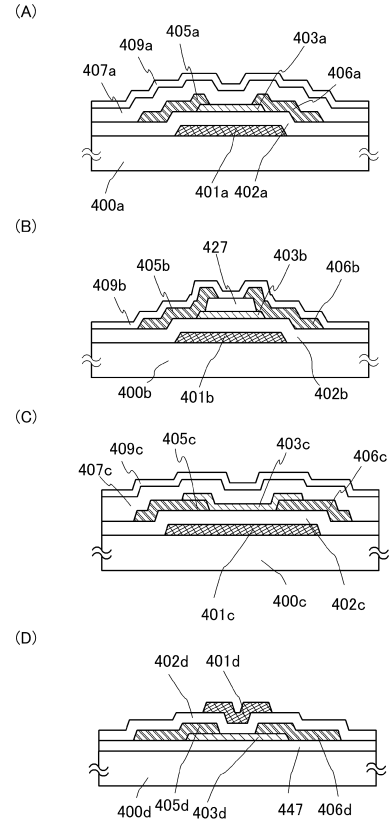
【図 7】



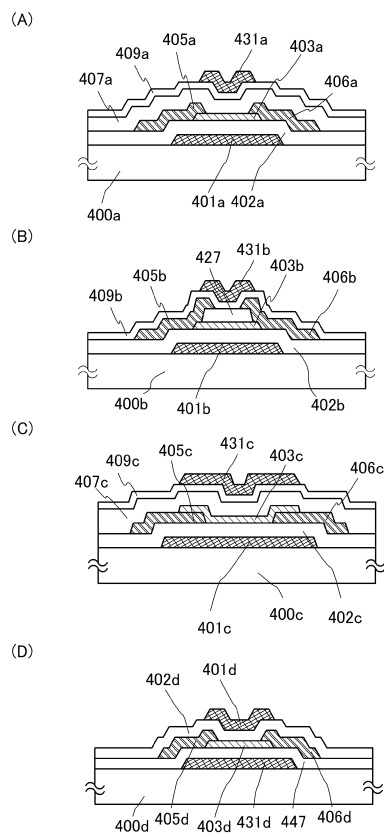
【図 9】



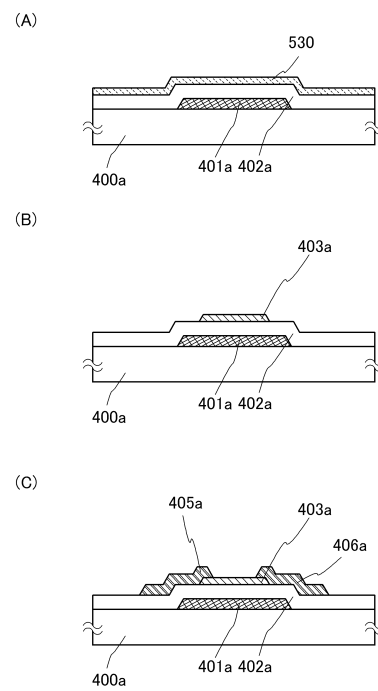
【図 10】



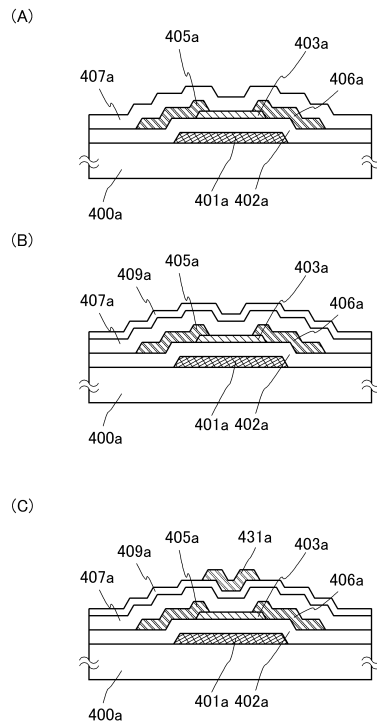
【図 11】



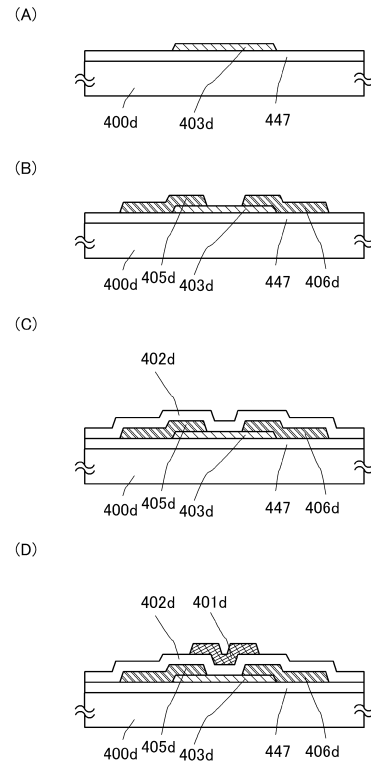
【図 12】



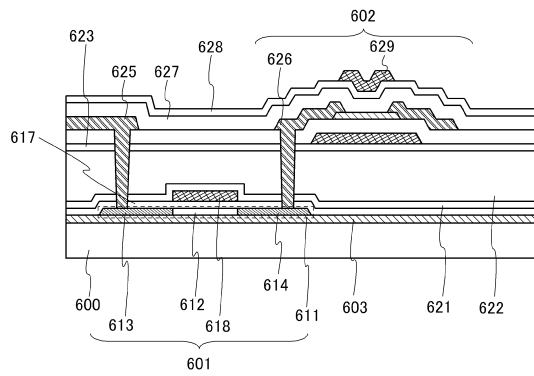
【図 13】



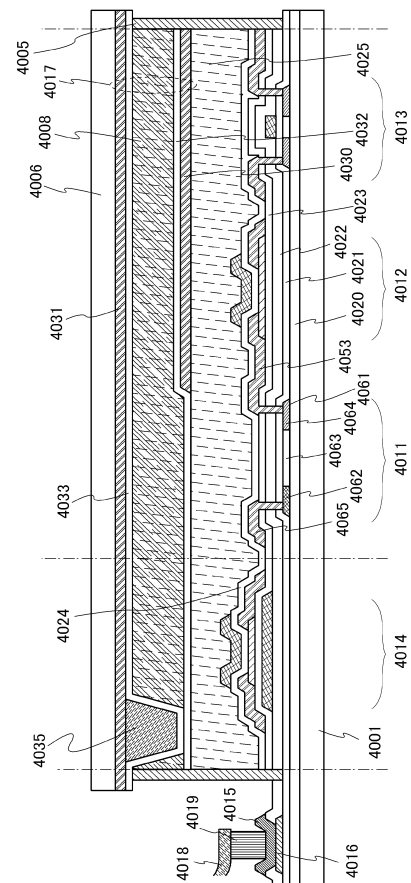
【図 14】



【図 15】

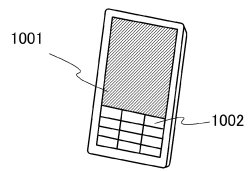


【図 16】

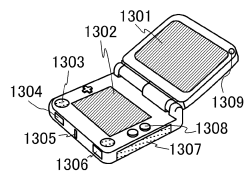


## 【図 17】

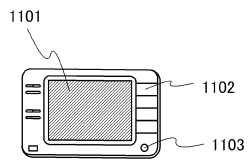
(A)



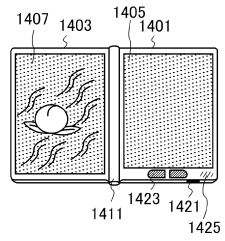
(D)



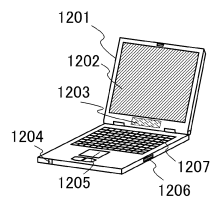
(B)



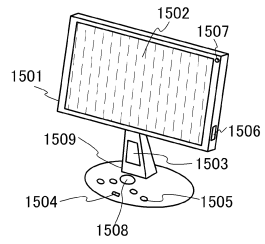
(E)



(C)



(F)



---

フロントページの続き

- (56)参考文献 特開2002-290980(JP,A)  
特開昭59-23625(JP,A)  
特開2008-193210(JP,A)  
特開2009-63803(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03M 1/38