

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-114292

(P2011-114292A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D	

審査請求 未請求 請求項の数 15 O L (全 23 頁)

(21) 出願番号	特願2009-271642 (P2009-271642)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成21年11月30日(2009.11.30)	(74) 代理人	100080160 弁理士 松尾 憲一郎
		(74) 代理人	100114627 弁理士 有吉 修一郎
		(72) 発明者	遠藤 表徳 東京都港区港南1丁目7番1号ソニー株式会社内
		(72) 発明者	阿部 高志 東京都港区港南1丁目7番1号ソニー株式会社内
		Fターム(参考)	4M118 AB01 BA14 CA04 CA18 CA32 EA01 EA14 FA25 FA33 GA02 GB04 GC07 GC14 GD04 GD07

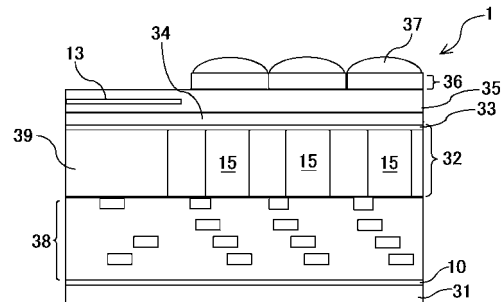
(54) 【発明の名称】 固体撮像素子及びその製造方法、並びに撮像装置、並びに半導体素子及びその製造方法

(57) 【要約】

【課題】 混色を改善すると共に、ブルーミング特性をも改善することができる裏面照射型の固体撮像素子を提供する。

【解決手段】 半導体基板 3 2 の裏面側に酸化ハフニウム膜 3 4 を形成し、受光部 1 5 の電荷蓄積領域 4 1 に隣接した厚さが 1 0 0 nm 以下の領域 3 3 を正電荷蓄積状態に誘電する。また、半導体基板 3 2 の表面側には配線層 3 8 を形成し、配線層 3 8 は二酸化シリコン層 1 0 を介して半導体支持基板 3 1 と貼り合わせる。

【選択図】 図 3



## 【特許請求の範囲】

## 【請求項 1】

光電変換素子で光電変換された信号電荷を蓄積する第 1 導電型の電荷蓄積領域と、該電荷蓄積領域の上層に設けられた厚さ 100 nm 以下の第 2 導電型領域を有する半導体基板と、

該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第 2 導電型領域を誘電する誘電膜とを備える

固体撮像素子。

## 【請求項 2】

前記半導体基板は、隣り合う前記電荷蓄積領域の間に設けられた第 2 導電型の画素分離領域を有し、

前記第 2 導電型領域は、前記画素分離領域と隣接している

請求項 1 に記載の固体撮像素子。

## 【請求項 3】

前記誘電膜は負の固定電荷を有する

請求項 1 または請求項 2 に記載の固体撮像素子。

## 【請求項 4】

前記誘電膜は、少なくとも一部が結晶化した絶縁膜である

請求項 3 に記載の固体撮像素子。

## 【請求項 5】

前記誘電膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、ランタノイドから選ばれた元素の酸化物絶縁膜であり、同膜中の少なくとも一部が結晶化している

請求項 4 に記載の固体撮像素子。

## 【請求項 6】

前記誘電膜は反射防止膜として機能する

請求項 1 または請求項 2 に記載の固体撮像素子。

## 【請求項 7】

前記電荷蓄積領域に蓄積された信号電荷を電気信号に変換して出力する能動素子を備え

ると共に、前記半導体基板の前記誘電膜とは反対側の面に積層して設けられ、前記能動素子の配線を行う配線層を備える

請求項 1 または請求項 2 に記載の固体撮像素子。

## 【請求項 8】

前記配線層の前記半導体基板とは反対側の面に設けられた基板支持層を備える

請求項 7 に記載の固体撮像素子。

## 【請求項 9】

半導体基板に光電変換素子で光電変換された信号電荷を蓄積する第 1 導電型の電荷蓄積領域を形成する工程と、

半導体基板の上層に、前記電荷蓄積領域に隣接する領域に厚さ 100 nm 以下の第 2 導電型領域を誘電する誘電膜を形成する工程とを備える

固体撮像素子の製造方法。

## 【請求項 10】

光電変換素子で光電変換された信号電荷を蓄積する第 1 導電型の電荷蓄積領域と、隣り合う前記電荷蓄積領域の間に設けられた第 2 導電型の画素分離領域を有する半導体基板を形成する工程と、

前記半導体基板の上層に、前記電荷蓄積領域及び前記画素分離領域に隣接する領域に厚さ 100 nm 以下の第 2 導電型領域を誘電する誘電膜を形成する工程とを備える

固体撮像素子の製造方法。

## 【請求項 11】

10

20

30

40

50

光電変換素子で光電変換された信号電荷を蓄積する第1導電型の電荷蓄積領域と、該電荷蓄積領域の上層に設けられた厚さ100nm以下の第2導電型領域を含む半導体基板と、該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第2導電型領域を誘電する誘電膜を有する固体撮像素子と、

該固体撮像素子に被写体からの入射光を導く光学系と、  
前記固体撮像素子からの出力信号を処理する信号処理回路とを備える撮像装置。

【請求項12】

電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスと、該電荷蓄積領域の上層に設けられた厚さ100nm以下の第2導電型領域を有する半導体基板と、

該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第2導電型領域を誘電する誘電膜とを備える

半導体素子。

【請求項13】

前記半導体基板は、隣り合う前記デバイスの間に設けられた第2導電型の画素分離領域を有し、

前記第2導電型領域は、前記画素分離領域と隣接している

請求項12に記載の半導体素子。

【請求項14】

半導体基板に電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスを形成する工程と、

半導体基板の上層に、前記電荷蓄積領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える

半導体素子の製造方法。

【請求項15】

電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスと、隣り合う前記デバイスの間に設けられた第2導電型の画素分離領域を有する半導体基板を形成する工程と、

前記半導体基板の上層に、前記電荷蓄積領域及び前記画素分離領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える

半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像素子及びその製造方法、並びに撮像装置、並びに半導体素子及びその製造方法に関する。詳しくは、半導体基板の表面に所定の電荷領域を誘電する誘電膜が形成された固体撮像素子及びその製造方法、並びに撮像装置、並びに半導体素子及びその製造方法に係るものである。

【背景技術】

【0002】

半導体デバイスの高集積化に伴い、トランジスタ及び他の半導体素子をより縮小して実装密度を高める傾向にある。そのため、CMOSセンサ(CMOS型固体撮像素子)においても、画素を微細化して素子を高集積化することが求められている。

【0003】

しかし、従来のCMOSセンサでは、配線部上に形成されたレンズから、配線層の間を通して受光センサ部に光を照射して検出する構成となっていた。そのために、デバイスの高集積化が進み画素が微細化することに伴って、配線層等の障害物により入射光のケラレが生じ、受光センサ部の開口率が小さくなり、十分な光を受光センサ部に照射することができなくなっていた。このため、感度が低下したり、シェーディングが大きくなったりしていた。

【0004】

10

20

30

40

50

ここで、裏面側（配線部とは反対側）より受光センサ部に光を照射することにより、配線層等の障害物の影響を受けず、実効開口率100%を達成することが可能となり、大幅に感度を上げることができる。

【0005】

このことから、裏面側（配線部とは反対側）より受光センサ部に光を照射する構成のCMOSセンサ、いわゆる裏面照射型CMOSセンサの開発が行われている（例えば、特許文献1参照）。

【0006】

ところで、CMOSセンサでは、フォトダイオードにおける結晶欠陥や、シリコン基板に形成された受光部とその上層の絶縁層との界面における界面準位が、暗電流の原因となることが知られている。

10

【0007】

即ち、図13(a)に示す様に、フォトダイオードPDが形成されたシリコン層101と、その上層の絶縁層102との界面において、図中の×印で示す界面準位が発生している。そして、この界面準位が暗電流の発生源となり、界面に起源する電子が暗電流となってフォトダイオードPDに流れ込むのである。

【0008】

こうした暗電流を抑制するために、いわゆるHAD(Hole Accumulation Diode)構造が提案されている。具体的には、図13(b)で示す様に、シリコン層101の表面付近にp型の不純物を導入することでp+の半導体領域を形成して、このp+の半導体領域を正電荷（ホール）を蓄積するための正電荷蓄積領域103とするHAD構造が提案されている。

20

【0009】

この様に、界面に正電荷蓄積領域103を形成したHAD構造とすることによって、フォトダイオードPDを界面から離すことができ、界面準位を発生源とする暗電流を抑制することができる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2003-31785号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、フォトダイオードPD上に正電荷蓄積領域であるP型不純物層が存在することで、混色悪化の原因になってしまうと考えられる。

即ち、正電荷蓄積領域（P型不純物領域）であったとしても、一定確率で光電変換電子が発生し、隣接するフォトダイオードPDに伝搬することで混色が発生してしまうと考えられるのである（図14参照）。

【0012】

本発明は以上の点に鑑みて創案されたものであって、暗電流を抑制することができると共に混色をも抑制することができる固体撮像素子及びその製造方法、並びに撮像装置を提供することを目的とするものである。

40

また、光電変換素子等のデバイスのノイズを抑制することができる半導体素子及びその製造方法を提供することを目的とするものである。

【課題を解決するための手段】

【0013】

上記の目的を達成するために、本発明の固体撮像素子は、光電変換素子で光電変換された信号電荷を蓄積する第1導電型の電荷蓄積領域と、該電荷蓄積領域の上層に設けられた厚さ100nm以下の第2導電型領域を有する半導体基板と、該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第2導電型領域を誘電する誘電膜

50

とを備える。

【0014】

また、上記の目的を達成するために、本発明の撮像装置は、光電変換素子で光電変換された信号電荷を蓄積する第1導電型の電荷蓄積領域と、該電荷蓄積領域の上層に設けられた厚さ100nm以下の第2導電型領域を含む半導体基板と、該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第2導電型領域を誘電する誘電膜を有する固体撮像素子と、該固体撮像素子に被写体からの入射光を導く光学系と、前記固体撮像素子からの出力信号を処理する信号処理回路とを備える。

【0015】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域が存在しないことによって、第2導電型不純物領域が存在することに起因するノイズ（例えば混色）を抑制できる。

10

【0016】

また、半導体基板に形成された誘電膜により電荷蓄積領域に隣接する領域に第2導電型領域を誘電することによって、暗電流を抑制できる。

即ち、第1導電型の電荷蓄積領域上に第2導電型不純物領域が存在しないために、界面準位に起因する暗電流の対策を講じる必要があるが、誘電膜により第2導電型領域を誘電することによって暗電流を抑制できる。

【0017】

同様に、第1導電型の電荷蓄積領域上に第2導電型不純物領域が存在しないために、隣接する電荷蓄積領域同士の分離が弱まることに起因するブルーミング悪化の対策を講じる必要があるが、誘電膜により第2導電型領域を誘電することによってブルーミング悪化をも抑制できる。

20

【0018】

なお、第2導電型不純物領域が存在することに起因するノイズを抑制すると共に、ブルーミング悪化をも抑制するためには、誘電膜により誘電される第2導電型領域を100nm以下の厚さとする必要がある。

【0019】

また、隣り合う電荷蓄積領域の間に設けられた第2導電型の画素分離領域が誘電膜により誘電される第2導電型領域と隣接している場合には、より一層充分にブルーミング悪化を抑制できる。

30

【0020】

また、上記の目的を達成するために、本発明の固体撮像素子の製造方法は、半導体基板に光電変換素子で光電変換された信号電荷を蓄積する第1導電型の電荷蓄積領域を形成する工程と、半導体基板の上層に、前記電荷蓄積領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える。

【0021】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないことによって、第2導電型不純物領域を形成することに起因するノイズ（例えば混色）を抑制できる。

40

【0022】

また、電荷蓄積領域に隣接する領域に第2導電型領域を誘電する誘電膜を半導体基板の上層に形成することによって、暗電流を抑制できる。

即ち、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないために、界面準位に起因する暗電流の対策を講じる必要があるが、誘電膜を形成することにより第2導電型領域を誘電することができ暗電流を抑制できる。

【0023】

同様に、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないために、隣接する電荷蓄積領域同士の分離が弱まることに起因するブルーミング悪化の対策を講じる必要があるが、誘電膜を形成することにより第2導電型領域を誘電することができブルー

50

ミング悪化をも抑制できる。

【0024】

なお、第2導電型不純物領域を形成することに起因するノイズを抑制すると共に、ブルーミング悪化をも抑制するためには、誘電膜を形成することにより誘電する第2導電型領域を100nm以下の厚さとする必要がある。

【0025】

また、本発明の固体撮像素子の製造方法は、光電変換素子で光電変換された信号電荷を蓄積する第1導電型の電荷蓄積領域と、隣り合う前記電荷蓄積領域の間に設けられた第2導電型の画素分離領域を有する半導体基板を形成する工程と、前記半導体基板の上層に、前記電荷蓄積領域及び前記画素分離領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える。

10

【0026】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないことによって、第2導電型不純物領域を形成することに起因するノイズ(例えば混色)を抑制できる。

【0027】

また、電荷蓄積領域に隣接する領域に第2導電型領域を誘電する誘電膜を半導体基板の上層に形成することによって、暗電流を抑制できる。

即ち、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないために、界面準位に起因する暗電流の対策を講じる必要があるが、誘電膜を形成することにより第2導電型領域を誘電することができ暗電流を抑制できる。

20

【0028】

同様に、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないために、隣接する電荷蓄積領域同士の分離が弱まることに起因するブルーミング悪化の対策を講じる必要があるが、誘電膜を形成することにより第2導電型領域を誘電することができブルーミング悪化をも抑制できる。

【0029】

なお、第2導電型不純物領域を形成することに起因するノイズを抑制すると共に、ブルーミング悪化をも抑制するためには、誘電膜を形成することにより誘電する第2導電型領域を100nm以下の厚さとする必要がある。

30

【0030】

また、画素分離領域に隣接する領域に第2導電型領域を誘電することによって、より一層充分にブルーミング悪化を抑制できる。

【0031】

ここで、電荷蓄積領域と画素分離領域との形成順序は特に限定するものではない。即ち、「半導体基板に電荷蓄積領域を形成し、その後に画素分離領域を形成」しても良いし、「半導体基板に画素分離領域を形成し、その後に電荷蓄積領域を形成」しても良い。

【0032】

また、上記の目的を達成するために、本発明の半導体素子は、電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスと、該電荷蓄積領域の上層に設けられた厚さ100nm以下の第2導電型領域を有する半導体基板と、該半導体基板の上層に設けられると共に、前記電荷蓄積領域に隣接する領域に前記第2導電型領域を誘電する誘電膜とを備える。

40

【0033】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域が存在しないことによって、第2導電型不純物領域が存在することに起因する光電変換素子等のデバイスのノイズを抑制できる。

【0034】

また、半導体基板に形成された誘電膜により電荷蓄積領域に隣接する領域に第2導電型領域を誘電することによって、第2導電型不純物領域が存在しないことに起因する問題点(例えば、固体撮像素子の場合に第2導電型不純物領域が存在しないために生じる暗電流

50

の問題やブルーミング悪化の問題等)を解消できる。

【0035】

なお、第2導電型不純物領域が存在することに起因するデバイスのノイズを抑制すると共に、第2導電型不純物領域が存在しないことに起因する問題点をも解消するためには、誘電膜により誘電される第2導電型領域を100nm以下の厚さとする必要がある。

【0036】

また、隣り合うデバイス間に設けられた第2導電型の画素分離領域が誘電膜により誘電される第2導電型領域と隣接している場合には、より一層十分にデバイスのノイズを抑制できる。

【0037】

また、上記の目的を達成するために、本発明の半導体素子の製造方法は、半導体基板に電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスを形成する工程と、半導体基板の上層に、前記電荷蓄積領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える。

【0038】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないことによって、第2導電型不純物領域を形成することに起因する光電変換素子等のデバイスのノイズを抑制できる。

【0039】

また、電荷蓄積領域に隣接する領域に第2導電型領域を誘電する誘電膜を半導体基板の上層に形成することによって、第2導電型不純物領域が存在しないことに起因する問題点(例えば、固体撮像素子の場合に第2導電型不純物領域が存在しないために生じる暗電流の問題やブルーミング特性の悪化の問題等)を解消できる。

【0040】

なお、第2導電型不純物領域を形成することに起因するデバイスのノイズを抑制すると共に、第2導電型不純物領域を形成しないことに起因する問題点をも解消するためには、誘電膜を形成することにより誘電する第2導電型領域を100nm以下の厚さとする必要がある。

【0041】

また、本発明の半導体素子の製造方法は、電荷を蓄積する第1導電型の電荷蓄積領域を含むデバイスと、隣り合う前記デバイス間に設けられた第2導電型の画素分離領域を有する半導体基板を形成する工程と、前記半導体基板の上層に、前記電荷蓄積領域及び前記画素分離領域に隣接する領域に厚さ100nm以下の第2導電型領域を誘電する誘電膜を形成する工程とを備える。

【0042】

ここで、第1導電型の電荷蓄積領域上に第2導電型不純物領域を形成しないことによって、第2導電型不純物領域を形成することに起因する光電変換素子等のデバイスのノイズを抑制できる。

【0043】

また、電荷蓄積領域に隣接する領域に第2導電型領域を誘電する誘電膜を半導体基板の上層に形成することによって、第2導電型不純物領域が存在しないことに起因する問題点(例えば、固体撮像素子の場合に第2導電型不純物領域が存在しないために生じる暗電流の問題やブルーミング特性の悪化の問題等)を解消できる。

【0044】

なお、第2導電型不純物領域を形成することに起因するデバイスのノイズを抑制すると共に、第2導電型不純物領域を形成しないことに起因する問題点をも解消するためには、誘電膜を形成することにより誘電する第2導電型領域を100nm以下の厚さとする必要がある。

【0045】

また、画素分離領域に隣接する領域に第2導電型領域を誘電することによって、より一

10

20

30

40

50

層十分にデバイスのノイズを抑制できる。

【0046】

ここで、デバイスと画素分離領域との形成順序は特に限定するものではない。即ち、「半導体基板にデバイスを形成し、その後に画素分離領域を形成」しても良いし、「半導体基板に画素分離領域を形成し、その後にデバイスを形成」しても良い。

【発明の効果】

【0047】

本発明の固体撮像素子及びその製造方法、並びに撮像装置では、暗電流を抑制すると共に混色をも抑制できる。また、本発明の半導体素子及びその製造方法では、光電変換素子等のデバイスのノイズを抑制できる。

10

【図面の簡単な説明】

【0048】

【図1】本発明を適用した固体撮像素子の一例である裏面照射型の固体撮像素子を説明するための概略模式図である。

【図2】画素部の単位画素の回路構成の一例を説明するための模式図である。

【図3】本発明を適用した固体撮像素子の一例である裏面照射型の固体撮像素子を説明するための模式的な断面図である。

【図4】従来 of 固体撮像素子を説明するための模式的な断面図である。

【図5】半導体基板の画素部の要部断面図である。

【図6】本発明を適用した固体撮像素子の製造方法の一例を説明するための模式図である。

20

【図7】第1の実施の形態に係る固体撮像素子の特性を説明するためのグラフである。

【図8】本発明を適用した半導体素子の一例を説明するための模式的な断面図である。

【図9】本発明を適用した半導体素子の製造方法の一例を説明するための模式図である。

【図10】本発明を適用した撮像装置の一例であるカメラを説明するための模式図である。

【図11】第1の実施の形態の固体撮像素子の変形例を説明するための模式図である。

【図12】有機光電変換膜と有機カラーフィルタ層の平面的配置（コーディング）の一例を説明するための模式図である。

【図13】暗電流の発生及びその対策を説明するための模式図である。

30

【図14】混色発生のメカニズムを説明するための模式図である。

【図15】ブルーミングのメカニズムを説明するための模式図である。

【図16】ブルーミング対策を説明するための模式図である。

【発明を実施するための形態】

【0049】

以下、本発明を実施するための形態（以下、「実施の形態」と称する）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（固体撮像素子の場合）
2. 第2の実施の形態（半導体素子の場合）
3. 第3の実施の形態（撮像装置の場合）
4. 変形例

40

【0050】

< 1. 第1の実施の形態 >

[固体撮像素子の構成]

図1は本発明を適用した固体撮像素子の一例である裏面照射型の固体撮像素子を説明するための概略模式図である。

ここで示す固体撮像素子1は、画素部2と、周辺回路部とを有しており、これらが同一の半導体基板上に搭載された構成となっている。第1の実施の形態では、周辺回路部として、垂直選択回路3と、サンプルホールド相関二重サンプリング（S/H・CDS回路）4と、水平選択回路5と、タイミングジェネレータ（TG）6と、AGC回路7と、A/

50



D変換回路8と、デジタルアンプ9とを有する。

【0051】

画素部2には、後述する単位画素が行列状に多数配置されており、行単位でアドレス線等が、列単位で信号線等がそれぞれ設けられている。

【0052】

垂直選択回路3は、画素を行単位で順に選択し、各画素の信号を垂直信号線を通して画素列毎にS/H・CDS回路4に読み出す。S/H・CDS回路4は、各画素列から読み出された画素信号に対し、CDS(Correlated Double Sampling)等の信号処理を行う。

【0053】

水平選択回路5は、S/H・CDS回路4に保持されている画素信号を順に取り出し、AGC(Automatic Gain Control)回路7に出力する。AGC回路7は、水平選択回路5から入力した信号を適当なゲインで増幅し、A/D変換回路8に出力する。

【0054】

A/D変換回路8は、AGC回路7から入力したアナログ信号をデジタル信号に変換し、デジタルアンプ9に出力する。デジタルアンプ9は、A/D変換回路8から入力したデジタル信号を適当に増幅して、パッド(端子)より出力する。

【0055】

なお、垂直選択回路3、S/H・CDS回路4、水平選択回路5、AGC回路7、A/D変換回路8及びデジタルアンプ9の各動作は、タイミングジェネレータ6から出力される各種のタイミング信号に基づいて行われる。

【0056】

図2は画素部2の単位画素の回路構成の一例を説明するための模式図である。

単位画素は、光電変換素子として例えばフォトダイオード21を有し、この1個のフォトダイオード21に対して、転送トランジスタ22、増幅トランジスタ23、アドレストランジスタ24、リセットトランジスタ25の4つのトランジスタを能動素子として有する。

【0057】

フォトダイオード21は、入射光をその光量に応じた量の電荷(ここでは電子)に光電変換する。転送トランジスタ22は、フォトダイオード21とフローティングディフュージョンFDとの間に接続されている。そして、駆動配線26を通じて転送トランジスタのゲート(転送ゲート)に駆動信号が与えられることで、フォトダイオード21で光電変換された電子をフローティングディフュージョンFDに転送する。

【0058】

フローティングディフュージョンFDには、増幅トランジスタ23のゲートが接続されている。増幅トランジスタ23は、アドレストランジスタ24を介して垂直信号線27に接続され、画素部外の定電流源Iとソースフォロアを構成している。駆動配線28を通してアドレス信号がアドレストランジスタ24のゲートに与えられ、アドレストランジスタ24がオンすると、増幅トランジスタ23はフローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を垂直信号線27に出力する。垂直信号線27を通じて、各画素から出力された電圧はS/H・CDS回路4に出力される。

【0059】

リセットトランジスタ25は、電源VddとフローティングディフュージョンFDとの間に接続されている。駆動配線29を通してリセットトランジスタ25のゲートにリセット信号が与えられることで、フローティングディフュージョンFDの電位を電源電位Vddにリセットする。

【0060】

これらの動作は、転送トランジスタ22、アドレストランジスタ24及びリセットトランジスタ25の各ゲートが行単位で接続されていることから、1行分の各画素について同

10

20

30

40

50

時に行われることとなる。

【0061】

図3は本発明を適用した固体撮像素子の一例である裏面照射型の固体撮像素子を説明するための模式的な断面図である。

なお、裏面照射型の固体撮像素子では、配線層38が形成された面（以下、半導体基板の「表面」と称する）とは反対側の面（以下、半導体基板の「裏面」と称する）から光を受光する。

【0062】

図3で示す固体撮像素子1は、主として半導体支持基板31と、半導体基板32と、酸化ハフニウム膜34と、パッシベーション膜35と、カラーフィルタ36と、マイクロレンズ37によって構成されている。

10

【0063】

半導体基板32はn型シリコンから構成されている。また、半導体基板32は、単位画素を構成する複数の受光部15及び受光部で光電変換された信号電荷を電気信号に変換して出力するMOSトランジスタ等の能動素子（図示せず）が形成されている素子形成層39を有する。

なお、受光部15は、図2に示すフォトダイオード21に相当し、半導体基板32中のpn接合により構成される。

【0064】

ここで、半導体基板32は、裏面から光を入射し得る様に、シリコンウェハを薄膜化することにより形成される。

20

なお、半導体基板32の厚さは、固体撮像素子の種類にもよるが、2.5μm程度であり、後述する酸化ハフニウム膜34によって正電荷蓄積状態とされる領域33が後述するn型の電荷蓄積領域41と隣接する厚さとなるまで薄膜化する。

【0065】

なお、シリコンウェハの膜厚が大きい場合には、即ち、薄膜化の度合いが充分でない場合には、酸化ハフニウム膜34によって正電荷蓄積状態とされる領域33とn型の電荷蓄積領域41との間に素子形成層39が介在することとなる。

そして、そのことに起因してブルーミング悪化の問題が懸念されることとなる（図15参照）。

30

【0066】

従って、ブルーミング悪化を抑止するためにも、酸化ハフニウム膜34によって正電荷蓄積状態とされる領域33とn型の電荷蓄積領域41とが隣接する程度まで、シリコンウェハを薄膜化することが求められる。

【0067】

ここで、ブルーミング悪化を抑制するためには、図16で示す様に、受光部15同士の間隙のみに深い画素分離領域42を形成するという対応も考えることができる。しかし、深い画素分離領域42を形成するためには、深い領域までイオン注入をする必要があり、アスペクト比との関係から、深い領域までイオン注入を行うためには画素分離領域42の幅が大きくならざるを得ない。そうすると、受光部領域の縮小化を招く結果となってしまう。

40

【0068】

従って、本発明では、ブルーミング悪化の抑制を実現すると共に、受光部領域の確保という観点をも考慮して、酸化ハフニウム膜34によって正電荷蓄積状態とされる領域33と電荷蓄積領域41とを隣接させている。

【0069】

また、半導体基板32の表面には、MOSトランジスタ等の能動素子に対して電氣的配線を多層に行う配線層38が形成されている。配線層38には二酸化シリコン層10を介して半導体支持基板31が貼り合わせられている。

なお、半導体支持基板31は、半導体基板32の強度を補強するために設けられており

50

、例えばシリコン基板から構成されている。

【0070】

また、半導体基板32の裏面には酸化ハフニウム膜34が形成されている。なお、酸化ハフニウム膜34は誘電膜の一例であり、半導体基板32の表面近傍(図中符号33で示す領域)を正電荷蓄積状態としている。

【0071】

ここで、従来の固体撮像素子では、図4で示す様に、半導体基板32中の受光部15上にP型不純物領域30が形成されていたものの、第1の実施の形態の固体撮像素子では、こうしたP型不純物領域が設けられていない。

【0072】

ところで、P型不純物領域30が形成されていなくても、酸化ハフニウム膜34で誘電される領域33の厚みが大きくなると、P型不純物領域30が形成された場合と同様に、混色が発生してしまう。そのため、酸化ハフニウム膜34で誘電される領域33の厚みは100nm以下とする必要がある。

【0073】

また、酸化ハフニウム膜34の上層には受光部に対応する領域に可視光導入開口部が設けられた遮光膜13が形成され、遮光膜13の上層にはパッシベーション膜35が形成されている。

更に、可視光導入開口部と対応する領域にカラーフィルタ36及びマイクロレンズ37が形成されている。

【0074】

カラーフィルタ36は、例えば赤(R)、緑(G)、青(B)の3色からなる色フィルター(RGBペイヤー配列である)を用いて、空間的に色分解を行っている。

なお、こうしたカラーフィルタの分光特性を任意に調整することによって、良好な色再現を達成することが可能となる。

【0075】

また、酸化ハフニウム膜34は反射防止膜としても機能するために、酸化ハフニウム膜34を形成することで、別途反射防止膜を形成する必要がない。

【0076】

図5は半導体基板32の画素部の要部断面図である。

【0077】

受光部15の領域には、半導体基板32にn型の電荷蓄積領域41が形成されている。

なお、信号電荷を蓄積する領域を半導体基板32の表面側に近づけるために、半導体基板32の表面側に行くに従って不純物濃度が高くなる様に電荷蓄積領域41が形成されている方が好ましい。

また、入射光を効率良く取り込むために、半導体基板32の裏面側に行くに従って面積が大きくなる様に電荷蓄積領域41を形成しても良い。

【0078】

更に、半導体基板32中であって、電荷蓄積領域41の周囲には、画素分離領域42が形成されている。また、半導体基板32の表面側であって、受光部15の領域には、浅いp型の正孔蓄積領域44が形成されている。

【0079】

また、半導体基板32の表面側には、n型のフローティングディフュージョン(FD)45が形成されている。なお、フローティングディフュージョン45と電荷蓄積領域41との間には、p型領域46が形成されており、両者は電氣的に分離されている。

【0080】

ここで、第1の実施の形態では、酸化ハフニウム膜34が半導体基板32の全面に形成された場合を例に挙げて説明を行っている。

しかし、酸化ハフニウム膜34は半導体基板32の表面近傍を正電荷蓄積状態にすれば充分であり、必ずしも半導体基板32の全面に形成される必要は無く、半導体基板32の

10

20

30

40

50

上層に部分的に形成されていても良い。

【0081】

また、第1の実施の形態では、酸化ハフニウム膜34が形成された場合を例に挙げて説明を行っているが、半導体基板32の表面近傍を正電荷蓄積状態にすることができれば充分であり、必ずしも酸化ハフニウム膜34である必要はない。

なお、負の固定電荷を有する膜としては、酸化ハフニウム膜の他にも、ジルコニウム、アルミニウム、タンタル、チタン、イットリウム、ランタノイドから選ばれた元素の酸化物絶縁膜が考えられる。

【0082】

また、第1の実施の形態では、受光部15（電荷蓄積領域41）がn型領域であるために、半導体基板32の表面近傍を正電荷蓄積状態とすべく、半導体基板32の上層に酸化ハフニウム膜34を形成している。

しかし、受光部15がp型領域である場合には、半導体基板32の表面近傍を負電荷蓄積状態とする必要が生じるために、半導体基板32の上層には、半導体基板32の表面近傍を負電荷蓄積状態とする誘電膜を形成することとなる。

【0083】

[ 固体撮像素子の動作 ]

以下、上記の様に構成された固体撮像素子の動作について説明を行う。

先ず、電荷蓄積期間においては、半導体基板32の裏面側から入射した光は、受光部15により光電変換されて、入射光量に応じた信号電荷が発生する。光電変換により発生した信号電荷は、電荷蓄積領域41中をドリフトし、電荷蓄積領域41中であって正孔蓄積領域44付近に蓄積されることとなる。

なお、電荷蓄積期間においては、転送トランジスタ22のゲート電極には負電圧が印加されており、転送トランジスタ22はオフの状態となっている。

【0084】

次に、読み出し時には、転送トランジスタ22のゲート電極に正電圧が印加され、転送トランジスタ22がオンの状態となる。その結果、受光部15に蓄積された信号電荷は、フローティングディフュージョン45に転送される。

【0085】

ここで、フローティングディフュージョン45に転送された信号電荷の量に従って、フローティングディフュージョン45の電位が変化する。そして、フローティングディフュージョン45の電位は、増幅トランジスタ23により増幅され、その電位に応じた電圧が垂直信号線27に出力されることとなる。

【0086】

続いて、リセット時には、リセットトランジスタ25のゲート電極に正電圧が印加され、フローティングディフュージョン45は電源V<sub>dd</sub>の電圧にリセットされる。このとき、転送トランジスタ22のゲート電極に負電圧を印加することによって、転送トランジスタ22はオフの状態とする。

【0087】

上記した電荷蓄積期間、読み出し動作及びリセット動作を繰り返し行うこととなる。

【0088】

[ 固体撮像素子の製造方法 ]

以下、上記の様に構成された固体撮像素子の製造方法について説明を行う。即ち、本発明を適用した固体撮像素子の製造方法の一例について説明を行う。

【0089】

本発明を適用した固体撮像素子の製造方法では、先ず、図6(a)で示す様に、素子形成層39と薄膜化用除去層50を有する半導体基板（例えば、n型のシリコン基板）32に、画素分離領域形成用レジスト51を塗布する。

次に、汎用のフォトリソグラフィ技術及びエッチング技術を用いてレジスト開口領域を形成する。続いて、イオン注入法によって画素分離領域42を形成する。

10

20

30

40

50

## 【0090】

ここで、画素分離領域42の深さによってイオン注入のエネルギーが異なることとなる。また、イオン注入のエネルギーに応じて画素分離領域形成用レジスト51の厚さが異なることとなる。即ち、画素分離領域42の深さに応じて画素分離領域形成用レジスト51の厚さが異なることとなる。

## 【0091】

そして、一般にレジスト開口幅はレジスト膜厚によって限界値が設定される。

従って、画素分離領域42の幅を狭くすることで受光部15の拡大を実現するためにも、イオン注入のエネルギーに合わせて最適なレジスト膜厚とレジスト開口幅とすることが好ましい。

10

## 【0092】

また、イオン注入法によって、n型の電荷蓄積領域41、p型の正孔蓄積領域44、フローティングディフュージョン45及びp型領域46を形成する。

なお、図6では、n型の電荷蓄積領域41、p型の正孔蓄積領域44、フローティングディフュージョン45及びp型領域46の記載は省略している。また、各領域の形成順序に特段の限定はない。

## 【0093】

次に、半導体基板32の表面に、絶縁膜の形状及び配線の形成を繰り返し行うことによって、配線層38を形成する。その後、配線層38に二酸化シリコン層10を介してシリコンからなる半導体支持基板31を貼り合わせる(図6(b)参照)。

20

## 【0094】

続いて、図6(c)で示す様に、薄膜化用除去層50をCMP法やドライエッチングまたはウェットエッチング法により除去することによって、半導体基板32を薄膜化する。

具体的には、後述する工程で形成する酸化ハフニウム膜34によって正電荷蓄積状態とされる領域33が電荷蓄積領域41と隣接する厚さとなる様に、例えば、半導体基板32の厚さを1~20 $\mu\text{m}$ 、特に、赤外線を受光部で光電変換できるような厚さである1~5 $\mu\text{m}$ 、例えば、2.5 $\mu\text{m}$ 程度に薄膜化する。

## 【0095】

ここで、半導体基板32はn型基板上にエピタクシャル成長でn型のSi層を形成したもの、p型基板上にエピタクシャル成長でn型のSi層を形成したもの、n型基板上にエピタクシャル成長でp型のSi層を形成したもの、p型基板上にエピタクシャル成長でp型のSi層を形成したもののいずれを用いてもよい。

30

## 【0096】

しかし、薄膜化用除去層50として第一導電型のSiを採用し、CMP法やドライエッチングまたはウェットエッチング法による除去のCMPストッパー層又はウェットエッチングのストッパー膜として用いる場合は、第一導電型のSi基板50上にエピタクシャル成長で第一導電型とは異なる第二導電型のSi層39を形成したものがより好ましい。半導体基板32を光照射面側からグラインディングにより裏面研削した後に行うCMP法やウェットエッチング法による第一導電型のSi基板50除去時に、第一導電型のSi基板50自体が薄膜化用除去層50として作用し、CMPストッパー層又はウェットエッチングのストッパー膜となるので、CMP又はエッチングの速度を遅め、CMP時間又はエッチング時間を制御しやすくなるからである。

40

## 【0097】

具体的には、薄膜化用除去層50としてp型のSiを採用し、CMP法やドライエッチングまたはウェットエッチング法による除去のCMPストッパー層又はウェットエッチングのストッパー膜として用いる場合は、p型基板50上にエピタクシャル成長でn型のSi層39を形成したものがより好ましい。半導体基板32を光照射面側からグラインディングにより裏面研削した後、p型のSi基板50自体が薄膜化用除去層50として作用し、CMP法やドライエッチングまたはウェットエッチング法による除去のCMPストッパー層又はウェットエッチングのストッパー膜となるからである。

50

## 【0098】

半導体基板32を光照射面側からグラインディングにより裏面研削し、更にCMPまたはドライエッチングまたはウェットエッチングによりSi層39の厚さの微調節を行った後に、ふっ硝酸及び酢酸の混合液により、p型のSiからなる薄膜化用除去層50を除去し、又は一部を残すことも可能となる。

## 【0099】

次に、半導体基板32の裏面上に酸化ハフニウム膜34を形成して、半導体基板32の表面近傍に100nm以下の厚さの領域33を正電荷蓄積状態とする(図6(d)参照)。

なお、酸化ハフニウム膜34は、例えば、Atomic Layer Deposit ion法によって形成する。

また、酸化ハフニウム膜34の形成時には半導体基板32の裏面上に極めて薄いシリコン酸化膜(図示せず)が形成されることとなる。

## 【0100】

続いて、酸化ハフニウム膜34上に、遮光膜13を形成し、受光部に対応する領域に可視光導入口を形成すべくパターン加工を施す。更に、CVD法によって遮光膜13上にパッシベーション膜35を形成し、カラーフィルタ36及びマイクロレンズ37を形成することによって、図3に示す固体撮像素子を得ることができる。

## 【0101】

なお、ウェハレベルの半導体基板32に形成された固体撮像素子は、ウェハを1個1個のチップ状にダイシングすることにより分けられ、これをマウント、ボンディング及び封入処理することで1個の固体撮像素子として構成されることとなる。

## 【0102】

本発明を適用した固体撮像素子の一例では、P型不純物領域が存在しないために混色を改善できると共に、酸化ハフニウム膜34で誘電される領域33と電荷蓄積領域41が隣接することによってブルーミング特性も改善することができる。

## 【0103】

ここで、図7(a)は、赤色(RED)、緑色(GRN)及び青色(BLU)のそれぞれの色について、緑色(GRN)のピーク出力を100として規格化した相対感度を示している。

## 【0104】

なお、図中符号aはP型不純物領域30が設けられた従来の固体撮像素子の相対感度を示しており、具体的には、P型不純物領域30の厚さが500nmである場合の相対感度を示している。また、図中符号bは第1の実施の形態の固体撮像素子の相対感度を示しており、具体的には、酸化ハフニウム膜34で誘電される領域の厚さが100nm以下である場合の相対感度を示している。

## 【0105】

図7(a)から明らかな様に、本発明を適用した固体撮像素子の一例では、混色の改善が実現すると共に、青色(BLU)の相対感度の改善が実現している。

## 【0106】

また、図7(b)は、強い光が入射した場合に、光が入射した画素(図中"0"で示す画素)からの距離(画素数)と漏れ込んだ光の出力値との関係を示している。

なお、図中符号aはP型不純物領域30が設けられた固体撮像素子(従来の固体撮像素子)の場合を示し、図中符号b、c及びdはP型不純物領域30が設けられていない固体撮像素子の場合を示している。

## 【0107】

具体的には、図中符号aは半導体基板32の厚さが3 $\mu$ mであり、電荷蓄積領域41に隣接して500nmの厚さのP型不純物領域30が設けられた場合を示している。

## 【0108】

一方、図中符号bは半導体基板32の厚さが3 $\mu$ mであり、電荷蓄積領域41に隣接し

10

20

30

40

50

て500nmの厚さのN-層である素子形成層39が形成され、更に素子形成層39に隣接して正電荷蓄積状態とされた領域33が形成された場合を示している。また、図中符号cは半導体基板32の厚さが2.75μmであり、電荷蓄積領域41に隣接して250nmの厚さのN-層である素子形成層39が形成され、更に素子形成層39に隣接して正電荷蓄積状態とされた領域33が形成された場合を示している。また、図中符号dは半導体基板32の厚さが2.5μmであり、電荷蓄積領域41に隣接して正電荷蓄積状態とされた領域33が形成された場合を示している。

【0109】

図7(b)から明らかな様に、N-層である素子形成層39の膜厚が薄くなるにつれて、ブルーミング特性がP型不純物領域33が形成された従来の固体撮像素子に近似している。そして、N-層が存在しない本発明を適用した固体撮像素子の一例では、P型不純物領域33が形成された従来の固体撮像素子と同等のブルーミング特性を実現することができている。

10

【0110】

< 2. 第2の実施の形態 >

[ 半導体装置の構成 ]

図8は本発明を適用した半導体素子の一例を説明するための模式的な断面図である。ここで示す半導体素子60は、例えばRAMやROM、LSI等であり、主として半導体支持基板61と、半導体基板62と、酸化ハフニウム膜63によって構成されている。

【0111】

半導体基板62はn型シリコンから構成されている。また、半導体基板62は、論理素子、能動素子、受光素子等のn型のデバイス64が形成されている素子形成層65を有する。

20

なお、デバイス64はn型の電荷蓄積領域(図示せず)を有している。

【0112】

ここで、半導体基板62の厚さは、酸化ハフニウム膜63によって正電荷蓄積状態とされる領域66がデバイス64の有する電荷蓄積領域と隣接する厚さとなるまで薄膜化する。

【0113】

また、半導体基板62の一方側の面(図8では下面)には、デバイスに対して電気的配線を多層に行う配線層67が形成されている。また、配線層67には二酸化シリコン層68を介して半導体支持基板61が貼り合わせられている。

30

なお、半導体支持基板61は、半導体基板62の強度を補強するために用いられており、例えばシリコン基板からなる。

【0114】

また、半導体基板62の他方の面(図8では上面)には酸化ハフニウム膜63が形成されている。なお、酸化ハフニウム膜63は誘電膜の一例であり、半導体基板62の表面近傍(図中符号66で示す領域)を正電荷蓄積状態としている。

【0115】

ところで、酸化ハフニウム膜63で誘電される領域66の厚みが大きくなると、デバイス64の有する電荷蓄積領域に隣接してP型不純物領域が形成された場合と同様にノイズが生じてしまう場合がある。そのため、酸化ハフニウム膜63で誘電される領域66の厚みは100nm以下とする必要がある。

40

【0116】

ここで、第2の実施の形態では、酸化ハフニウム膜63が半導体基板62の全面に形成された場合を例に挙げて説明を行っている。しかし、酸化ハフニウム膜63は半導体基板62の表面近傍を正電荷蓄積状態にすれば充分であり、必ずしも半導体基板62の全面に形成される必要は無く、半導体基板62の上層に部分的に形成されても良い点については、上記した第1の実施の形態と同様である。

【0117】

50

また、半導体基板 6 2 の表面近傍を正電荷蓄積状態にすることができるのであれば、必ずしも酸化ハフニウム膜 6 3 である必要がないという点についても、上記した第 1 の実施の形態と同様である。

【0118】

なお、第 2 の実施の形態では、デバイス 6 4 が有する電荷蓄積領域が n 型であるとして、半導体基板 6 2 の表面近傍を正電荷蓄積状態とすべく酸化ハフニウム膜 6 3 を形成している。しかし、デバイスが有する電荷蓄積領域が p 型である場合には、半導体基板 6 2 の表面近傍を負電荷蓄積状態とする必要が生じるために、半導体基板 6 2 の上層には、半導体基板 6 2 の表面近傍を負電荷蓄積状態とする誘電膜を形成することとなる。

【0119】

[半導体素子の製造方法]

以下、上記の様に構成された半導体素子の製造方法について説明を行う。即ち、本発明を適用した半導体素子の製造方法の一例について説明を行う。

【0120】

本発明を適用した半導体素子の製造方法の一例では、図 9 ( a ) で示す様に、素子形成層 6 5 と薄膜化用除去層 7 0 を有する半導体基板 6 2 に、n 型の電荷蓄積領域を有するデバイス 6 4 を形成する。

【0121】

次に、半導体基板 6 2 の一方の面に、絶縁膜の形成及び配線の形成を繰り返し行うことによって、配線層 6 7 を形成する。その後、配線層 6 7 に二酸化シリコン層 6 8 を介してシリコンからなる半導体支持基板 6 1 を貼り合わせる ( 図 9 ( b ) 参照 ) 。

【0122】

続いて、図 9 ( c ) で示す様に、薄膜化除去層を CMP 法やウェットエッチング法により除去することによって、半導体基板 6 2 を薄膜化する。具体的には、後述する工程で形成する酸化ハフニウム膜 6 3 によって正電荷蓄積状態とされる領域 6 6 がデバイス 6 4 の有する電荷蓄積領域と隣接する厚さとなる様に、例えば、半導体基板 6 2 の厚さを 1 ~ 20  $\mu\text{m}$ 、特に、赤外線を受光部で光電変換できるような厚さである 1 ~ 5  $\mu\text{m}$ 、例えば、2.5  $\mu\text{m}$  程度に薄膜化する。

【0123】

ここで、半導体基板 3 2 は n 型基板上にエピタクシャル成長で n 型の Si 層を形成したもの、p 型基板上にエピタクシャル成長で n 型の Si 層を形成したもの、n 型基板上にエピタクシャル成長で p 型の Si 層を形成したもの、p 型基板上にエピタクシャル成長で p 型の Si 層を形成したもののいずれを用いてもよい。

【0124】

しかし、薄膜化用除去層 5 0 として第一導電型の Si を採用し、CMP 法やドライエッチングまたはウェットエッチング法による除去の CMP ストッパー層又はウェットエッチングのストッパー膜として用いる場合は、第一導電型の Si 基板 5 0 上にエピタクシャル成長で第一導電型とは異なる第二導電型の Si 層 3 9 を形成したものがより好ましい。半導体基板 3 2 を光照射面側からグラインディングにより裏面研削した後に行う CMP 法やウェットエッチング法による第一導電型の Si 基板 5 0 除去時に、第一導電型の Si 基板 5 0 自体が薄膜化用除去層 5 0 として作用し、CMP ストッパー層又はウェットエッチングのストッパー膜となるので、CMP 又はエッチングの速度を遅め、CMP 時間又はエッチング時間を制御しやすくなるからである。

【0125】

具体的には、薄膜化用除去層 5 0 として p 型の Si を採用し、CMP 法やドライエッチングまたはウェットエッチング法による除去の CMP ストッパー層又はウェットエッチングのストッパー膜として用いる場合は、p 型基板 5 0 上にエピタクシャル成長で n 型の Si 層 3 9 を形成したものがより好ましい。半導体基板 3 2 を光照射面側からグラインディングにより裏面研削した後、p 型の Si 基板 5 0 自体が薄膜化用除去層 5 0 として作用し、CMP 法やドライエッチングまたはウェットエッチング法による除去の CMP ストッパ

10

20

30

40

50



一層又はウェットエッチングのストッパー膜となるからである。

【0126】

半導体基板32を光照射面側からグラインディングにより裏面研削し、更にCMPまたはドライエッチングまたはウェットエッチングによりSi層39の厚さの微調節を行った後に、ふっ硝酸及び酢酸の混合液により、p型のSiからなる薄膜化用除去層50を除去し、又は一部を残すことも可能となる。

【0127】

次に、半導体基板62の他方の面上に酸化ハフニウム膜63を形成して、半導体基板62の表面近傍に100nm以下の厚さの領域66を正電荷蓄積状態とすることによって、図8に示す半導体素子を得ることができる。ここで、酸化ハフニウム膜63は、例えば、Atomic Layer Deposition法によって形成する。

10

【0128】

なお、ウェハレベルの半導体基板62に形成された半導体素子は、ウェハを1個1個のチップ状にダイシングすることにより分けられ、これをマウント、ボンディング及び封入処理することで1個の半導体素子として構成されることとなる。

【0129】

本発明を適用した半導体素子の一例では、P型不純物領域が存在しないために、P型不純物領域が存在することに起因するデバイスのノイズを抑制することができる。また、酸化ハフニウム膜63で誘電される領域66の厚みを100nm以下としているために、領域66が正電荷蓄積状態に誘電されたとしてもノイズが生じ難い。

20

【0130】

< 3 . 第3の実施の形態 >

[カメラの構成]

図10は本発明を適用した撮像装置の一例であるカメラ77を説明するための模式図である。そして、ここで示すカメラ77は、上記した第1の実施の形態の固体撮像素子を撮像デバイスとして用いたものである。

【0131】

本発明を適用したカメラ77では、被写体(図示せず)からの光は、レンズ71等の光学系及びメカニカルシャッター72を経て固体撮像素子73の撮像エリアに入射することとなる。なお、メカニカルシャッター72は、固体撮像素子73の撮像エリアへの光の入射を遮断して露光期間を決めるためのものである。

30

【0132】

ここで、固体撮像素子73は、上記した第1の実施の形態に係る固体撮像素子1が用いられ、タイミング発生回路や駆動系等を含む駆動回路74によって駆動されることとなる。

【0133】

また、固体撮像素子73の出力信号は、次段の信号処理回路75によって、種々の信号処理が行われた後、撮像信号として外部に導出され、導出された撮像信号は、メモリなどの記憶媒体に記憶されたり、モニタに出力されたりすることとなる。

なお、メカニカルシャッター72の開閉制御、駆動回路74の制御、信号処理回路75の制御等は、システムコントローラ76によって行われる。

40

【0134】

本発明を適用したカメラでは、上述した本発明を適用した固体撮像素子1を採用しているために、混色を改善できると共にブルーミング特性も改善することができ、高画質の撮像画像を得ることができる。

【0135】

< 4 . 変形例 >

[カラーフィルタについて]

上記した第1の実施の形態では、RGBベイヤー配列されたカラーフィルタ36を用いた場合を例に挙げて説明を行っているが、色再現性を向上させ、高精細な固体撮像素子1

50

を実現するために、有機光電変換膜を使用しても良い。

【0136】

図11は第1の実施の形態の変形例を説明するための模式図である。ここで示す固体撮像素子1は、パッシベーション膜35の上層に有機光電変換膜82が形成され、更に分離層83を介して有機カラーフィルタ層84が形成されている。

【0137】

有機カラーフィルタ層84は、受光部15に対応させて形成され、例えば、青(B)と赤(R)を取り出すために、シアン(Cyan)の有機カラーフィルタ層84Cとイエロー(Yellow)の有機カラーフィルタ層84Yを市松模様に配置したものからなる。また、各有機カラーフィルタ層84上には、各受光部15に入射光を集光させるマイクロレンズ37が形成されている。

10

【0138】

有機光電変換膜82の緑(G)系の色素としては、一例として、ローダミン系色素、フタロシアニン誘導体、キナクリドン、エオシン-Y、メラシアニン系色素等がある。

【0139】

本変形例の固体撮像素子1は、緑(G)を有機光電変換膜82から信号を取り出し、青(B)と赤(R)をシアン(Cyan)とイエロー(Yellow)の有機カラーフィルタ層84との組み合わせにて取り出すものである。

【0140】

以下、有機光電変換膜82と有機カラーフィルタ層84の平面的配置(コーディング)の一例を、図12によって説明する。

20

【0141】

図12(A)に示す様に、有機光電変換膜82からなる緑(G)は全画素に配置されている。また、図12(B)に示す様に、シアン(Cyan)とイエロー(Yellow)は、いわゆる市松模様配列となっている。青(B)と赤(R)の分光は、以下の原理で達成する。

【0142】

即ち、青(B)は、シアン(Cyan)の有機カラーフィルタ層84Cでの吸収で赤(R)成分が除去され、続く緑(G)の有機光電変換膜82による吸収によって、緑(G)成分が除去され、残った青(B)成分にて取り出すことができる。

30

【0143】

一方、赤(R)は、イエロー(Yellow)の有機カラーフィルタ層84Yでの吸収で青(B)成分が除去され、続く緑(G)の有機光電変換膜82による吸収によって緑(G)成分が除去され、残った赤(R)成分にて取り出すことができる。

【0144】

以上の構成によって、緑(G)、青(B)、赤(R)の分離された色信号を出力することができる。

【0145】

なお、シアン(Cyan)の有機カラーフィルタ層84Cとイエロー(Yellow)の有機カラーフィルタ層84Yが、いわゆる市松模様配列となる様に配置したことで、空間的な輝度やクロマの解像度はやや落ちる。しかし、色再現性は著しく改善することが可能となる。

40

【0146】

[固体撮像素子の製造方法について]

上記した第1の実施の形態では、全面n型のシリコン基板を用いる場合を例に挙げて説明を行っているが、必ずしも全面n型のシリコン基板を用いる必要は無く、半導体基板内に酸化膜を挟む構成のSOI基板を用いても良い。

【0147】

また、使用する半導体基板についても、必ずしもn型である必要は無く、p型の半導体基板を用いて、受光部15に対応する領域にn型不純物を注入することによって固体撮像

50

素子を製造しても良い。

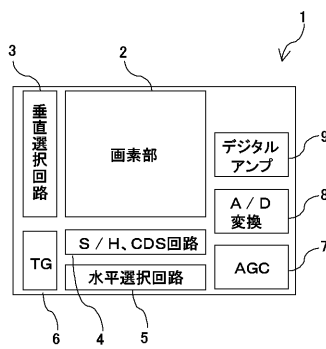
【符号の説明】

【0148】

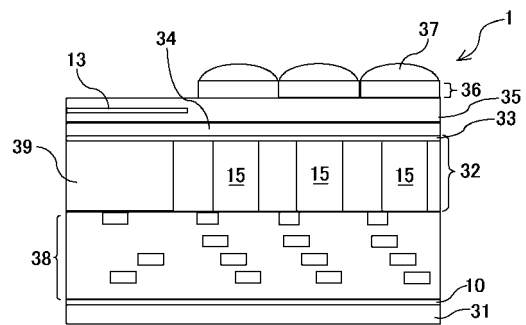
1 固体撮像素子	
2 画素部	
3 垂直選択回路	
4 サンプルホールド関連二重サンプリング回路	
5 水平選択回路	
6 タイミングジェネレータ	
7 A G C 回路	10
8 A / D 変換回路	
9 デジタルアンプ	
10 二酸化シリコン層	
13 遮光膜	
15 受光部	
21 フォトダイオード	
22 転送トランジスタ	
23 増幅トランジスタ	
24 アドレストランジスタ	
25 リセットトランジスタ	20
26 駆動配線	
27 垂直信号線	
28 駆動配線	
29 駆動配線	
30 P 型不純物領域	
31 半導体支持基板	
32 半導体基板	
33 酸化ハフニウム膜により誘電される領域	
34 酸化ハフニウム膜	
35 パッシベーション膜	30
36 カラーフィルタ	
37 マイクロレンズ	
38 配線層	
39 素子形成層	
41 電荷蓄積領域	
42 画素分離領域	
44 正孔蓄積領域	
45 フローティングディフュージョン	
46 p 型領域	
50 薄膜化用除去層	40
51 画素分離領域形成用レジスト	
60 半導体素子	
61 半導体支持基板	
62 半導体基板	
63 酸化ハフニウム膜	
64 デバイス	
65 素子形成層	
66 酸化ハフニウム膜により誘電される領域	
67 配線層	
68 二酸化シリコン層	50

- 7 0 薄膜化用除去層
- 7 1 レンズ
- 7 2 メカニカルシャッタ
- 7 3 固体撮像素子
- 7 4 駆動回路
- 7 5 信号処理回路
- 7 6 システムコントローラ
- 7 7 カメラ
- 8 2 有機光電変換膜
- 8 3 分離層
- 8 4 有機カラーフィルタ層

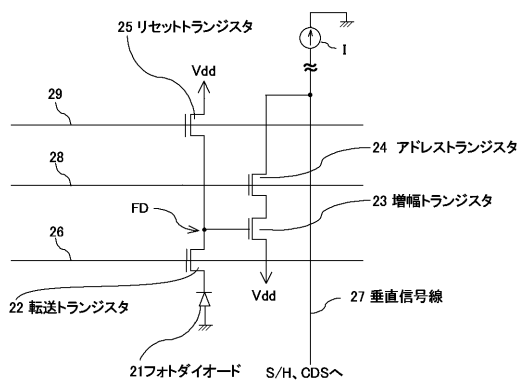
【 図 1 】



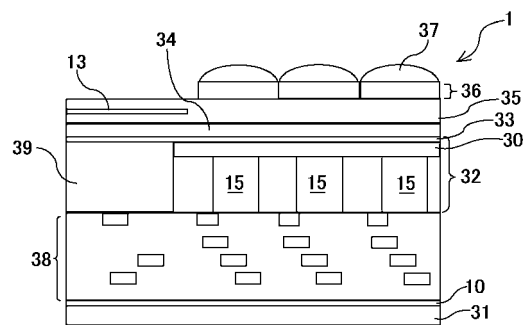
【 図 3 】



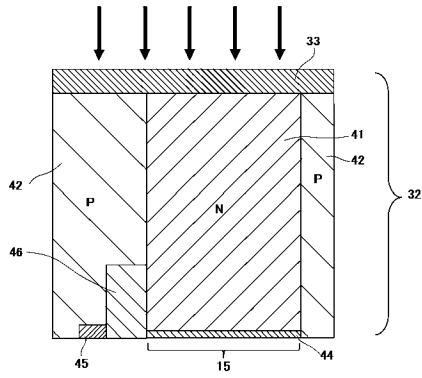
【 図 2 】



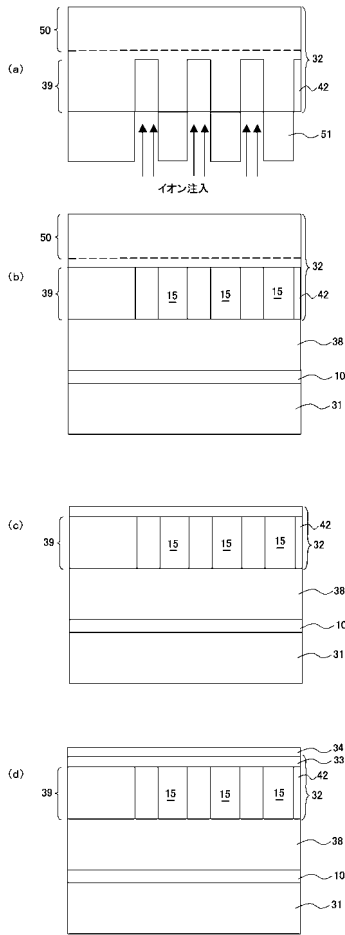
【 図 4 】



【図5】

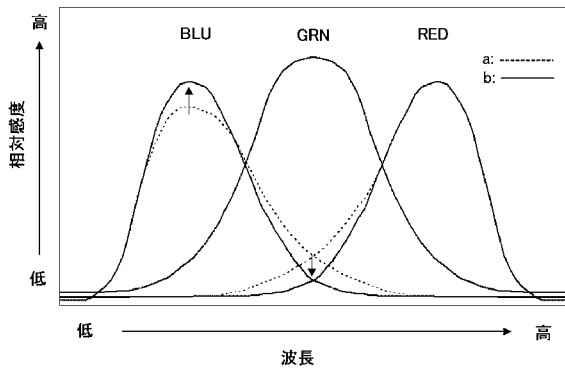


【図6】

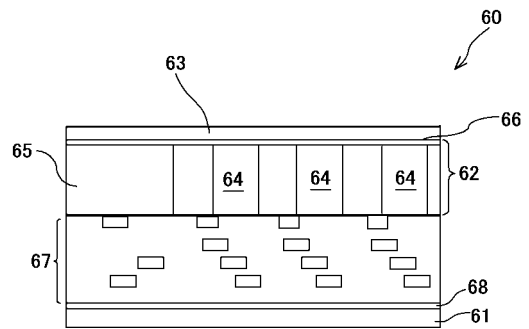


【図7】

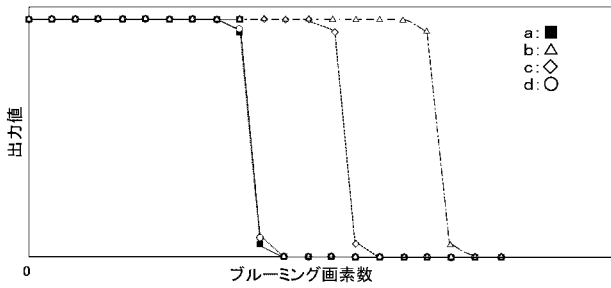
(a) ※GRN ピーク出力を100として規格化



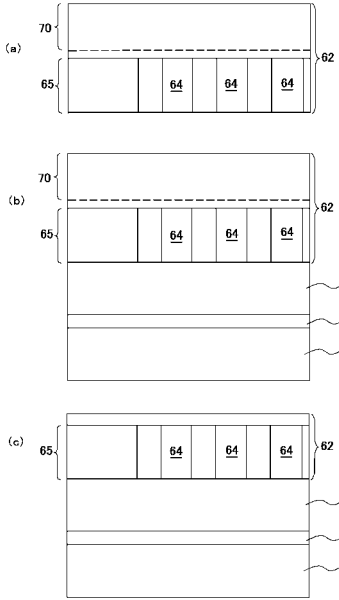
【図8】



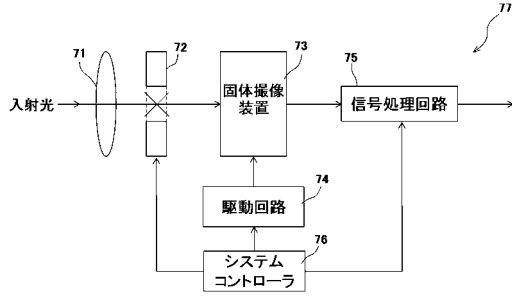
(b)



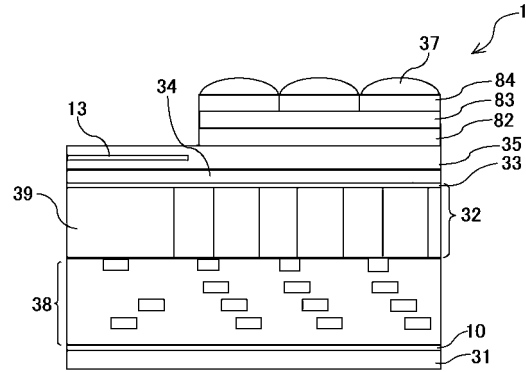
【 図 9 】



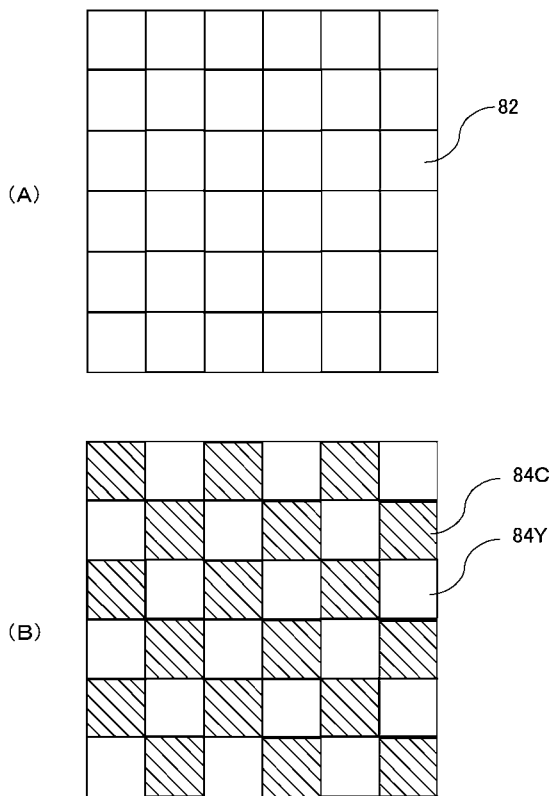
【 図 1 0 】



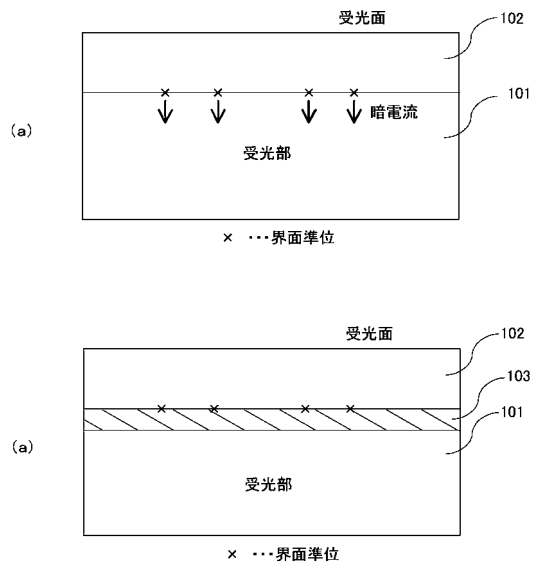
【 図 1 1 】



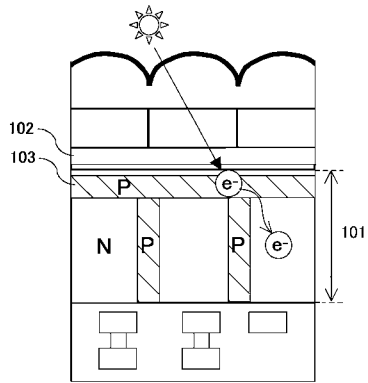
【 図 1 2 】



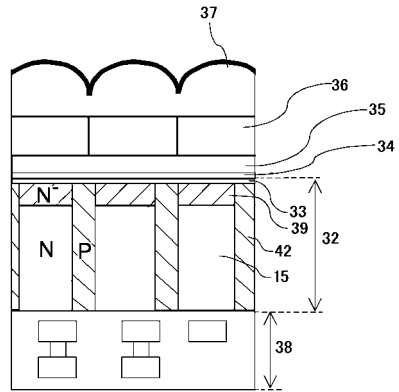
【 図 1 3 】



【 図 1 4 】



【 図 1 6 】



【 図 1 5 】

