

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7659708号
(P7659708)

(45)発行日 令和7年4月9日(2025.4.9)

(24)登録日 令和7年4月1日(2025.4.1)

(51)国際特許分類		F I	
H 1 0 B	43/27 (2023.01)	H 1 0 B	43/27
H 1 0 B	41/27 (2023.01)	H 1 0 B	41/27
H 1 0 D	30/01 (2025.01)	H 1 0 D	30/01 2 0 6 G
H 1 0 D	30/68 (2025.01)	H 1 0 D	30/01 5 0 1
H 1 0 D	30/69 (2025.01)	H 1 0 D	30/68
請求項の数 21 (全20頁) 最終頁に続く			
(21)出願番号	特願2024-554238(P2024-554238)	(73)特許権者	000227294
(86)(22)出願日	令和6年4月8日(2024.4.8)		キャノンアネルバ株式会社
(86)国際出願番号	PCT/JP2024/014280		神奈川県川崎市麻生区栗木2-5-1
審査請求日	令和6年9月11日(2024.9.11)	(74)代理人	110003281
(31)優先権主張番号	特願2023-115732(P2023-115732)		弁理士法人大塚国際特許事務所
(32)優先日	令和5年7月14日(2023.7.14)	(72)発明者	松井 尚子
(33)優先権主張国・地域又は機関	日本国(JP)		神奈川県川崎市麻生区栗木2-5-1
早期審査対象出願		(72)発明者	キャノンアネルバ株式会社内
		(72)発明者	吉田 悠人
			神奈川県川崎市麻生区栗木2-5-1
		(72)発明者	キャノンアネルバ株式会社内
			入澤 寿和
			神奈川県川崎市麻生区栗木2-5-1
			キャノンアネルバ株式会社内
		審査官	小山 満
			最終頁に続く

(54)【発明の名称】 半導体素子の製造方法及び半導体素子

(57)【特許請求の範囲】
【請求項1】

アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法において、前記変換工程は、

加熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイドを形成する第1工程と、

前記第1工程後、加熱を伴う処理により、前記シリサイドを覆うように第2材料を含む第2膜を形成することにより、前記シリサイドに接するように、S i、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、

前記第2工程後に残っている前記シリサイドを、熱処理により、前記化合物に変化させる第3工程と、

前記第3工程後に残っている前記アモルファスシリコンの少なくとも一部を、熱処理により、単結晶シリコンに変化させる第4工程と、を含み、

前記第1材料は、N i、P d、T i、C u、P t、C o、M o、M g、W、C rおよびM nからなるグループから選択される1つの材料であり、

前記第2材料は、A l、A u、S b、I n、A gおよびG aからなるグループから選択される1つの材料である、

ことを特徴とする半導体素子の製造方法。

【請求項2】

前記第 4 工程を経て、前記アモルファスシリコン、前記化合物および前記単結晶シリコンの積層構造が形成される、

ことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】

前記第 4 工程は、MILC (Metal Induced Lateral Crystallization) プロセスを含む、

ことを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】

前記第 2 工程で形成する前記第 2 膜の厚さは、前記第 1 工程で形成される前記第 1 膜の厚さより大きく、前記第 1 工程で形成される前記第 1 膜の厚さの 4 倍より小さい、

ことを特徴とする、請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 5】

前記第 2 材料は、Al である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 6】

前記第 1 材料は、Ni である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 7】

前記第 1 材料は、Ni であり、前記第 2 材料は、Al である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 8】

前記第 1 工程では、加熱を伴う処理により、前記アモルファスシリコンの他、絶縁膜を覆うように前記第 1 材料を含む前記第 1 膜を形成することにより、前記アモルファスシリコンに接する前記シリサイドの他、前記絶縁膜に接する第 1 材料膜が形成される、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 9】

前記変換工程は、前記第 1 工程と前記第 2 工程との間に、前記絶縁膜に接する前記第 1 材料膜を除去する工程を更に含む、

ことを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 10】

前記第 2 工程では、加熱を伴う処理により、前記シリサイドの他、前記絶縁膜を覆うように前記第 1 材料を含む前記第 2 膜を形成することにより、前記シリサイドに接する前記化合物の他、前記絶縁膜に接する第 2 材料膜が形成される、

ことを特徴とする請求項 9 に記載の半導体素子の製造方法。

【請求項 11】

前記変換工程は、前記第 2 工程と前記第 3 工程との間に、前記絶縁膜に接する前記第 2 材料膜を除去する工程を更に含む、

ことを特徴とする請求項 10 に記載の半導体素子の製造方法。

【請求項 12】

前記第 2 工程では、加熱を伴う処理により、前記シリサイドおよび前記第 1 材料膜を覆うように第 2 材料を含む前記第 2 膜を形成することにより、前記シリサイドに接する前記化合物の他、前記絶縁膜に接する、前記第 1 材料および前記第 2 材料の第 2 化合物が得られる、

ことを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 13】

前記変換工程は、前記第 2 工程と前記第 3 工程との間に、前記絶縁膜に接する前記第 2 化合物を除去する工程を含む、

ことを特徴とする請求項 12 に記載の半導体素子の製造方法。

【請求項 14】

前記変換工程は、前記第 3 工程の後に、前記絶縁膜に接する前記第 2 化合物を除去する

10

20

30

40

50

工程を更に含む、

ことを特徴とする請求項 1 2 に記載の半導体素子の製造方法。

【請求項 1 5】

アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法において、前記変換工程は、

前記アモルファスシリコンを覆うように第 1 材料を含む第 1 膜を形成する第 1 工程と、

前記第 1 工程後、前記第 1 膜を覆うように第 2 材料を含む第 2 膜を形成する第 2 工程と、

前記第 2 工程後、熱処理により、S i、前記第 1 材料および前記第 2 材料を含む化合物を形成する第 3 工程と、

前記第 3 工程後に残っている前記アモルファスシリコンの少なくとも一部を、熱処理により、単結晶シリコンに変化させる第 4 工程と、を含み、

前記第 1 材料は、N i、P d、T i、C u、P t、C o、M o、M g、W、C r および M n からなるグループから選択される 1 つの材料であり、

前記第 2 材料は、A l、A u、S b、I n、A g および G a からなるグループから選択される 1 つの材料である、

ことを特徴とする半導体素子の製造方法。

【請求項 1 6】

前記第 4 工程を経て、前記アモルファスシリコン、前記化合物および前記単結晶シリコンの積層構造が形成される、

ことを特徴とする請求項 1 5 に記載の半導体素子の製造方法。

【請求項 1 7】

前記第 4 工程は、M I L C (M e t a l I n d u c e d L a t e r a l C r y s t a l l i z a t i o n) プロセスを含む、

ことを特徴とする請求項 1 6 に記載の半導体素子の製造方法。

【請求項 1 8】

前記第 2 工程で形成する前記第 2 膜の厚さは、前記第 1 工程で形成される前記第 1 膜の厚さより大きく、前記第 1 工程で形成される前記第 1 膜の厚さの 4 倍より小さい、

ことを特徴とする、請求項 1 5 乃至 1 7 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 1 9】

前記第 2 材料は、A l である、

ことを特徴とする請求項 1 5 乃至 1 7 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 2 0】

前記第 1 材料は、N i である、

ことを特徴とする請求項 1 5 乃至 1 7 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 2 1】

前記第 1 材料は、N i であり、前記第 2 材料は、A l である、

ことを特徴とする請求項 1 5 乃至 1 7 のいずれか 1 項に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体素子の製造方法および半導体素子に関する。

【背景技術】

【0 0 0 2】

半導体素子（例えば、薄膜トランジスター、半導体記憶装置）に対して、チャネル抵抗の増大等による性能劣化を解決する方法の 1 つとして、チャネル内のアモルファスシリコンまたは多結晶シリコンを単結晶化する方法がある。単結晶化の方法として、N i シリサイドを結晶化の成長端とする M I L C (M e t a l I n d u c e d L a t e r a l C r y s t a l l i z a t i o n (金属誘導側面結晶化)) プロセスがある。M I L C プロセスの例として特許文献 1 に示す「金属誘導側面結晶化方法を用いた薄膜トランジスター及びその製造方法」について、図 1 から図 3 を用いて説明する。図 1 から図 3 において、

10

20

30

40

50

200は絶縁基板、210はバッファ層、220は活性層、221、225はソース／ドレイン領域、223はチャネル領域、230はゲート絶縁膜、240はゲート電極、250は層間絶縁膜、251、255はコンタクトホール、260は結晶化誘導金属膜を示す。

【0003】

図1に示されるように、ゲート電極240を備える絶縁基板200上に層間絶縁膜250を蒸着し、ソース／ドレイン領域221、225の一部分を露出させるコンタクトホール251、255を形成する。次に、絶縁基板200上にスパッタリングなどの方法でNiなどの結晶化誘導金属膜260を蒸着する。

【0004】

次に、図2に示されるように、炉内で熱処理を行うことにより、活性層220の非晶質シリコン膜を結晶化して、多結晶シリコン膜に変化させる（550℃で3μm/hrの速度で結晶化）。この際、コンタクトホール251、255内の結晶化誘導金属膜260の下にある下部領域221a、225aの非晶質シリコンは、金属誘導結晶化（Metal Induced Crystallization：MIC）法により結晶化され、それ以外の領域221b、225bの非晶質シリコンは、MILC法により結晶化される。

【0005】

次に、図3に示されるように、結晶化誘導金属膜260を除去し、ソース／ドレイン電極271、275を形成することによって薄膜トランジスタが得られる。

【0006】

特許文献2には、読み出し速度、書き込み速度、消去速度などの動作速度の向上を図りつつ、動作制御および回路レイアウト設計の緩和を図るため、半導体基板、第1層、第2導電層、メモリ膜および半導体層を備え、半導体層に接するNi、Co、Al、またはPdを含む金属層を具備する不揮発性半導体記憶装置が開示されている。また、特許文献2には、「金属層70がシリサイドを形成しない材料、例えばAlで構成される場合、アニール後、半導体ピラーSPにおける下端部近傍がAlとの合金を含んでもよく、半導体ピラーSPにおける上端部近傍がAlとの合金を含んでもよい。また、半導体ピラーSPにおける上端部および下端部近傍に限らず、半導体ピラーSPがAlとの合金を含んでもよい。」との開示がある。

【0007】

特許文献3には、処理能力を向上するため、第1配線層と第2配線層とメモリピラーとを備える半導体記憶装置が開示されている。また、特許文献3には、NiSi₂は、その格子定数がSiの格子定数と0.3%程度のミスマッチしかないため、MILCによる単結晶シリコンの形成に適している。MILC法によって半導体ピラー（例えば、シリコン、シリコンゲルマニウム、ゲルマニウム）を結晶化させる金属材料としては、例えば、Ni、Co、Al、またはPdが挙げられることが開示されている。

【0008】

非特許文献1は、Siの格子定数、NiSi₂の格子定数、NiSi_{2-x}Al_xの格子定数に関するものである。図4の横軸はNiSi_{2-x}Al_xに対するAlの比率X、aはSiの格子定数、図4の縦軸は格子定数を示す。図4から、NiSi₂の格子定数は5.406、Siの格子定数は5.431であり、Alの比率X=0.24のとき、NiSi_{2-x}Al_x=5.431となり、Siの格子定数と一致することが分かる。なお、非特許文献1における格子定数の単位はオングストロームであり、本明細書においても、格子定数の単位はオングストロームであるものとして説明する。

【先行技術文献】

【特許文献】

【0009】

【文献】特開2005-159307号公報

【文献】特開2014-175348号公報

【文献】特開2019-165178号公報

10

20

30

40

50

【非特許文献】

【0010】

【文献】Klaus et al. 「Appl. Phys. Lett. 83, 497 (2003)」P497-499

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明は、単結晶シリコンの格子定数により近い格子定数を有するシリサイドによってアモルファスシリコンを単結晶シリコンに変換する技術を提供する。

【課題を解決するための手段】

【0012】

本発明の第1側面は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法に係り、前記製造方法において、前記変換工程は、熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイド膜を形成する第1工程と、前記第1工程後、加熱を伴う処理により、前記シリサイド膜を覆うように第2材料を含む第2膜を形成することにより、前記シリサイド膜に接するように、Si、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、前記第2工程後に残っている前記シリサイド膜を、熱処理により、前記化合物に変化させる第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

【0013】

本発明の第2側面は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法に係り、前記製造方法において、前記変換工程は、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成する第1工程と、前記第1工程後、前記第1膜を覆うように第2材料を含む第2膜を形成する第2工程と、前記第2工程後、熱処理により、Si、前記第1材料および前記第2材料を含む化合物を形成する第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

【0014】

本発明の第3側面は、アモルファスシリコン、化合物および単結晶シリコンの積層構造を含む半導体素子に係り、前記半導体素子において、前記化合物は、Si、第1材料および第2材料の化合物であり、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

【図面の簡単な説明】

【0015】

【図1】特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

【図2】特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

【図3】特許文献1記載の薄膜トランジスターの製造方法を説明するための工程断面図である。

【図4】非特許文献1に記載のSiの格子定数、NiSi₂の格子定数、NiSi_{2-x}Al_xの格子定数の関係を示す図である。

【図5A】第1実施形態の半導体素子の製造方法を示す工程図である。

10

20

30

40

50

【図 5 B】第 1 実施形態の半導体素子の製造方法を示す工程図である。
【図 5 C】第 1 実施形態の半導体素子の製造方法を示す工程図である。
【図 6 A】第 2 実施形態の半導体素子の製造方法を示す工程図である。
【図 6 B】第 2 実施形態の半導体素子の製造方法を示す工程図である。
【図 6 C】第 2 実施形態の半導体素子の製造方法を示す工程図である。
【図 7 A】第 3 実施形態の半導体素子の製造方法を示す工程図である。
【図 7 B】第 3 実施形態の半導体素子の製造方法を示す工程図である。
【図 7 C】第 3 実施形態の半導体素子の製造方法を示す工程図である。
【図 8 A】第 1 実施形態の半導体素子の製造方法を示す工程図である。
【図 8 B】第 1 実施形態の半導体素子の製造方法を示す工程図である。
【図 8 C】第 1 実施形態の半導体素子の製造方法を示す工程図である。
【図 9】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 10】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 11】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 12】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 13】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 14】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 15】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 16】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 17】第 4 実施形態の半導体素子の製造方法を示す工程図である。
【図 18 A】第 5 実施形態の半導体素子の製造方法を示す工程図である。
【図 18 B】第 5 実施形態の半導体素子の製造方法を示す工程図である。
【発明を実施するための形態】

10

20

【0016】

以下、添付図面を参照して実施形態を詳しく説明する。なお、以下の実施形態は特許請求の範囲に係る発明を限定するものではない。実施形態には複数の特徴が記載されているが、これらの複数の特徴の全てが発明に必須のものとは限らず、また、複数の特徴は任意に組み合わせられてもよい。さらに、添付図面においては、同一若しくは同様の構成に同一の参照番号を付し、重複した説明は省略する。

【0017】

30

図 5 A から図 5 C は、アモルファスシリコン 1 を単結晶シリコン 10 に変換する変換工程を含む、半導体素子の製造方法の第 1 実施形態を模式的に示す図である。本発明者は、アモルファスシリコン上に Al 膜及び Ni 膜を順に成膜して得られた構造体を加熱する実験の結果から、Al 膜が Ni 膜のシリサイド化を阻害することを発見した。また、本発明者は、アモルファスシリコン上に Ni Al 膜を成膜して得られた構造体を加熱する実験の結果から、Al が Ni シリサイド内に含まれず、Al が Ni Al 膜の表面側に押し出されてしまうことを発見した。また、本発明者は、アモルファスシリコン上に加熱を伴う工程によって Ni 膜を形成することによりアモルファスシリコンに接する Ni シリサイド膜を形成した後、Ni シリサイド膜上に加熱を伴う処理により Al 膜を形成することにより、Ni シリサイド膜に Al が拡散し、Ni Al Si が形成されるという現象を発見した。Ni Al Si は、単結晶シリコンに近い格子定数を有するので、Ni Al Si とアモルファスシリコンとを接触させて熱処理を行うことによって容易に単結晶シリコンを得ることができる。以下の実施形態は、以上の知見に基づくものである。

40

【0018】

第 1 実施形態の半導体素子の製造方法は、アモルファスシリコン 1 を単結晶シリコン 10 に変換する変換工程を含みうる。アモルファスシリコン 1 は、基板の一部を構成しうる。変換工程は、

加熱を伴う熱処理により、アモルファスシリコン 1 を覆うように第 1 材料としての Ni (ニッケル) を含む第 1 膜 3 を形成することにより、アモルファスシリコン 1 に接するシリサイド 4 としての Ni シリサイドを形成する第 1 工程 S 1 と、

50

第1工程S1の後、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAl（アルミニウム）を含む第2膜6を形成することにより、シリサイド4に接するように、Si（シリコン）、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiを形成する第2工程S2と、

第2工程S2の後に残っているシリサイド4を、熱処理により、Si、Ni（第1材料）、Al（第2材料）で構成される化合物9としてのNiAlSi膜に変化させる第3工程S3と、を含みうる。

【0019】

これにより、アモルファスシリコン1に接するように化合物9としてのNiAlSiが配置された構造体を作成することができる。

【0020】

図5Aには、第1工程S1において、加熱を伴う熱処理により、アモルファスシリコン1を覆うように第1材料としてのNiを含む第1膜3が形成された段階の構造体101と、シリサイド4としてのNiシリサイドが形成された構造体102とが示されている。図5Bには、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAlを含む第2膜6が形成された段階の構造体104と、シリサイド4に接するように、Si、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiが形成された段階の構造体105が示されている。図5Cには、第2工程S2の後に残っているシリサイド4を有する構造体106と、熱処理によりシリサイド4が化合物9に変化した後の構造体107とが示されている。

【0021】

ここで、第1材料としては、Niに代えて、Pd（パラジウム）、Ti（チタン）、Cu（銅）、Pt（白金）、Co（コバルト）、Mo（モリブデン）、Mg（マグネシウム）、W（タングステン）、Cr（クロム）およびMn（マンガン）を使用してもよい。つまり、第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料でありうる。

【0022】

第2材料としては、Alに換えて、Au（金）、Sb（アンチモン）、In（インジウム）、Ag（銀）又はGa（ガリウム）を使用してもよい。つまり、第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料でありうる。

【0023】

Si、第1材料および第2材料で構成される化合物は、例えば、NiAlSiの他、NiAuSi、NiSbSi、NiInSi、NiAgSi又はNiGaSiが好適である。

【0024】

アモルファスシリコン1を単結晶シリコン10に変換する変換工程は、更に、第3工程S3の後に残っているアモルファスシリコン1の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる第4工程S4を含みうる。図5Cには、第3工程S3の後に残っているアモルファスシリコン1の少なくとも一部が熱処理により、単結晶シリコン10に変化した後の構造体108が示されている。第4工程は、MILC（Metal Induced Lateral Crystallization）プロセスを含みうる。

【0025】

第1工程が実施される基板は、アモルファスシリコン1の他、絶縁膜2（例えば、SiO₂：二酸化シリコン）を有しうる。アモルファスシリコン1と絶縁膜2とは互いに接触して、あるいは、互いに近接して配置されうる。第1工程S1では、加熱を伴う処理により、アモルファスシリコン1の他、絶縁膜2を覆うように第1材料（例えば、Ni）を含む第1膜3を形成することにより、アモルファスシリコン1に接するシリサイド4の他、絶縁膜2に接する第1材料膜3'が形成されてもよい。図5Aには、第1材料膜3'を有する構造体102が示されている。

【0026】

10

20

30

40

50

この場合、変換工程は、第1工程S1と第2工程S2との間に、絶縁膜2に接する第1材料膜3'を化学エッチング等によって除去する工程を更に含む。図5Aには、第1材料膜3'が除去された構造体103が示されている。第1材料膜3'を除去することにより、シリサイド4が横方向に成長して他のシリサイド4と会合し電氣的にショートすることを防止することができる。絶縁膜2に接する第1材料膜3'が除去された場合、第2工程S2では、シリサイド4に接するように、Si、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiを形成するときに、絶縁膜2を覆う部分には、第2膜6の一部である第2材料膜8が残る。第2材料膜8は、第2工程S2の後（例えば、第2工程S2と第3工程S3との間）に除去されうる。

【0027】

第2工程S2で形成する第2膜6の厚さ（Niシリサイド4を覆う部分における第2膜6の厚さ） T_2 は、第1工程S1で形成される第1膜3の厚さ T_1 より大きく、第1工程S1で形成される第1膜3の厚さ T_1 の4倍より小さいことが好ましい。つまり、 $0 < T_2 < 4T_1$ を満たすことが好ましい。

【0028】

$T_2 = 0$ は、図4の横軸であるXの値が0であることに相当する。この場合、 $NiSi_2 - 0Al_0$ （つまり、 $NiSi_2$ ）の格子定数は、5.406である。 $T_2 = 4T_1$ は、図4の横軸であるXの値が0.54であることに相当する。Xの値が0.54である場合、 $NiSi_{1.46}Al_{0.54}$ の格子定数は5.454である。

【0029】

$0 < T_2 < 4T_1$ を満たす場合、 $NiSi_{2-x}Al_x$ の格子定数は、以下で示される。

【0030】

$5.406 < NiSi_{2-x}Al_x$ の格子定数 < 5.454

よって、 $NiSi_2$ の格子定数（5.406）に比べて、Siの格子定数 = 5.430に近い、MILCプロセスによる単結晶シリコンの形成に適していることが分かる。

【0031】

これにより、例えば、薄膜トランジスタ、半導体記憶装置（例えば、3D NANDメモリ）等の半導体素子における課題であるチャネル抵抗が低減されうる。

【0032】

図6A乃至図6Cは、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含む、半導体素子の製造方法の第2実施形態を模式的に示す図である。第2実施形態として言及しない事項は、第1実施形態に従いうる。図6Aは第1工程S1を模式的に示し、図6Bは第2工程S2を模式的に示し、図6Cは第3工程S3および第4工程S4を模式的に示している。

【0033】

第2実施形態では、第1工程S1と第2工程S2との間において、絶縁膜2に接触している第1材料膜3'を除去しない。よって、第2工程S2では、加熱を伴う処理によりシリサイド4および第1材料膜3'を覆うように第2材料としてのAlを含む第2膜6を形成することにより、シリサイド4に接する化合物7の他、絶縁膜2に接するように、第1材料および第2材料の第2化合物11が得られる。

【0034】

第2実施形態では、変換工程は、第2工程S2と第3工程S3との間に、絶縁膜2に接する第2化合物11を除去する工程を含む。第2化合物11を除去することにより、シリサイド4が横方向に成長して他のシリサイド4と会合し電氣的にショートすることを防止することができる。図6Bには、第2化合物11が除去された構造体106が示されている。

【0035】

図7Aから図7Cは、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法の第3実施形態を模式的に示す図である。第3実施形態として言及しない事項は、第1実施形態に従いうる。図7Aは第1工程S1を模式的に示し、図

10

20

30

40

50

7 Bは第2工程S 2を模式的に示し、図7 Cは第3工程S 3および第4工程S 4を模式的に示している。

【0036】

第3実施形態では、第1工程S 1と第2工程S 2との間において、絶縁膜2に接触している第1材料膜3'を除去しない。よって、第2工程S 2では、加熱を伴う処理によりシリサイド4および第1材料膜3'を覆うように第2材料としてのAlを含む第2膜6を形成することにより、シリサイド4に接する化合物7の他、絶縁膜2に接するように、第1材料および第2材料の第2化合物11が得られる。また、第2実施形態では、第2工程S 2と第3工程S 3との間において、絶縁膜2に接する第2化合物11を除去しない。

【0037】

第3実施形態では、変換工程は、第3工程S 3の後、より具体的には、第3工程S 3と第4工程S 4との間に、絶縁膜2に接する第2化合物11を除去する工程を含みうる。第2化合物11を除去することにより、シリサイド4が横方向に成長して他のシリサイド4と会合し電氣的にショートすることを防止することができる。図7 Cには、第2化合物11が除去された構造体107が示されている。

【0038】

第1乃至第3実施形態では、参照する図面において、アモルファスシリコン1の上に第1膜および第2膜が形成されることが示されているが、これは図示された姿勢において、アモルファスシリコン1の上に第1膜および第2膜が形成されることを示しているに過ぎない。アモルファスシリコン1の上に第1膜および第2膜が形成されることは、膜形成装置内において、アモルファスシリコン1の上方に第1膜および第2膜が形成されることに発明を限定するものではない。アモルファスシリコン1の上に第1膜および第2膜が形成されることは、例えば、図8 A～図8 Cに例示されるように、膜形成装置内において、アモルファスシリコン1の下方に第1膜および第2膜が形成されることも包含する。

【0039】

次に、図9乃至図17を参照しながら半導体素子の製造方法の第4実施形態を説明する。第4実施形態は、半導体素子の一例として半導体記憶装置を製造する方法を提供する。ここでは、NANDストリングを有する半導体記憶装置を製造する例を説明する。NANDストリングは、直列に接続された複数の薄膜トランジスターを含む。

【0040】

図9乃至図17において、100は半導体基板、111、114、116、136は絶縁膜、112、113は配線層、115はゲート電極層、119はトンネル絶縁膜、120は電荷蓄積層、121はブロック絶縁膜、135はアモルファスシリコン、123はコア層、124A、124B、141はシリサイド層、125はキャップ層、136は導電層、GPは空隙、MPはメモリピラー、SLTはスリットを示す。

【0041】

図9に示された状態において、空隙GPは、スリットSLTを介して外部空間に連通している。また、アモルファスシリコン135は、前述のアモルファスシリコン1に対応し、単結晶化の対象である。アモルファスシリコン135は、空隙GPに対して露出している。この状態で図10、図11に示される第1工程において、加熱を伴う熱処理により、アモルファスシリコン135を覆うように第1材料としてのNiを含む第1膜3を形成することにより、アモルファスシリコン135に接するシリサイド4としてのNiシリサイドを形成する。このとき、アモルファスシリコン135に接するシリサイド4の他、絶縁膜に接する第1材料膜3'が形成されうる。第1材料膜3'は、その後に除去されうる。

【0042】

次いで、図12、図13に示される第2工程において、加熱を伴う処理により、シリサイド4を覆うように第2材料としてのAlを含む第2膜6を形成することにより、シリサイド4に接するように、Si、Ni（第1材料）、Al（第2材料）で構成される化合物7としてのNiAlSiを形成する。このとき、絶縁膜136等を覆う部分には、第2膜6の一部である第2材料膜8が残る。

10

20

30

40

50

【0043】

次いで、図14に示される任意の工程において、絶縁膜の上の第2材料膜8が除去される。次いで、図15に示される第3工程において、第2工程の後に残っているシリサイド膜4を、熱処理により、Si、Ni（第1材料）、Al（第2材料）で構成される化合物9としてのNiAlSi膜に変化させる。

【0044】

次いで、図16、図17に示される第4工程において、第3工程の後に残っているアモルファスシリコン135の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる。

第4実施形態は、半導体記憶装置（例えば、3D NANDメモリ）の課題であるチャネル抵抗の低減に有利である。

10

【0045】

図18A、図18Bは、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む、半導体素子の製造方法の第5実施形態を模式的に示す図である。第5実施形態として言及しない事項は、第1乃至第3実施形態に従いうる。また、第5実施形態は、第4実施形態に適用可能である。

【0046】

半導体素子の製造方法の第5実施形態は、アモルファスシリコン1を単結晶シリコン10に変換する変換工程を含みうる。アモルファスシリコン1は、基板の一部を構成しうる。変換工程は、アモルファスシリコン1を覆うように第1材料としてのNiを含む第1膜3を形成する第1工程S1'と、第1工程S1'の後、第1膜3を覆うように第2材料としてのAlを含む第2膜6を形成する第2工程S2'と、第2工程S2'の後、熱処理により、Si、Ni（第1材料）、Al（第2材料）で構成される化合物9としてのNiAlSi膜に変化させる第3工程S3'と、を含みうる。

20

【0047】

これにより、アモルファスシリコン1に接するように化合物9としてのNiAlSiが配置された構造体を作成することができる。

【0048】

ここで、第1材料としては、Niに代えて、Pd（パラジウム）、Ti（チタン）、Cu（銅）、Pt（白金）、Co（コバルト）、Mo（モリブデン）、Mg（マグネシウム）、W（タングステン）、Cr（クロム）およびMn（マンガン）を使用してもよい。つまり、第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料でありうる。

30

【0049】

第2材料としては、Alに換えて、Au（金）、Sb（アンチモン）、In（インジウム）、Ag（銀）又はGa（ガリウム）を使用してもよい。つまり、第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料でありうる。

【0050】

Si（シリコン）、Ni（第1材料）、Al（第2材料）で構成される化合物は、例えば、NiAlSiの他、NiAuSi、NiSbSi、NiInSi、NiAgSi又はNiGaSiが好適である。

40

【0051】

アモルファスシリコン1を単結晶シリコン10に変換する変換工程は、更に、第3工程S3'の後に残っているアモルファスシリコン1の少なくとも一部を、熱処理により、単結晶シリコン10に変化させる第4工程S4'を含みうる。また、変換工程は、第3工程S3'と第4工程S4'との間に、絶縁膜2に接する第2化合物11を除去する工程を含んでもよい。

【0052】

第4工程S4'を経て、アモルファスシリコン1、化合物9および単結晶シリコン10の

50

積層構造が形成される。第4工程S4'は、MILC (Metal Induced Lateral Crystallization) プロセスを含みうる。第2工程S2'で形成する第2膜6の厚さは、第1工程S1'で形成される第1膜3の厚さより大きく、第1工程S1'で形成される第1膜3の厚さの4倍より小さいことが好ましい。

【0053】

発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

【符号の説明】

【0054】

1:アモルファスシリコン、2:絶縁膜、3:第1膜(例えばNi膜)、3':第1材料膜(例えばNi膜)、4:シリサイド(例えばNiシリサイド)、6:第2膜(例えばAl膜)、7:化合物(例えばNiAlSi)、8:第2材料膜(例えばAl膜)、9:化合物(例えばNiAlSi)、10:単結晶シリコン、11:第2化合物(例えばNiAl)

10

20

30

40

50

【要約】

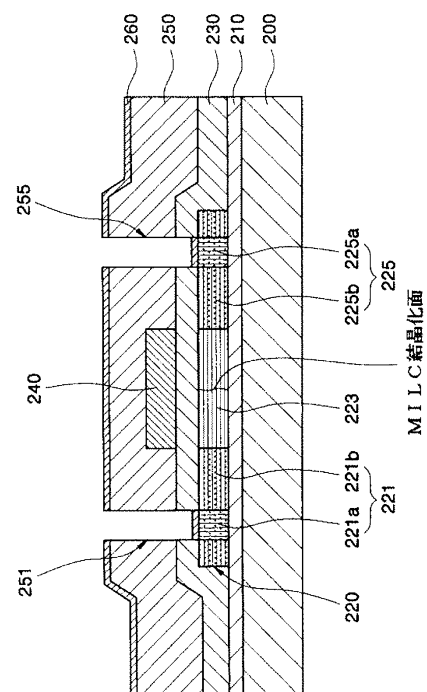
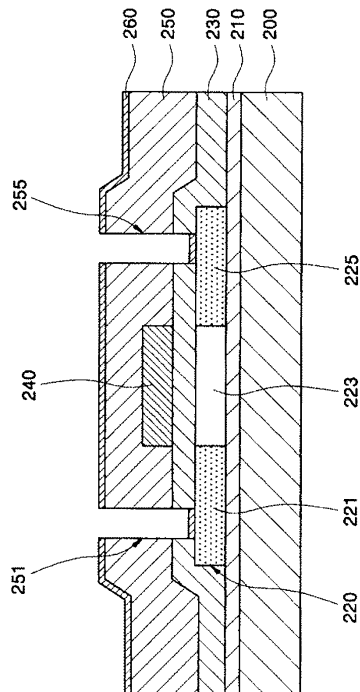
半導体素子の製造方法は、アモルファスシリコンを単結晶シリコンに変換する変換工程を含む。前記変換工程は、熱を伴う処理により、前記アモルファスシリコンを覆うように第1材料を含む第1膜を形成することにより、前記アモルファスシリコンに接するシリサイド膜を形成する第1工程と、前記第1工程後、加熱を伴う処理により、前記シリサイド膜を覆うように第2材料を含む第2膜を形成することにより、前記シリサイド膜に接するように、Si、前記第1材料および前記第2材料で構成される化合物を形成する第2工程と、前記第2工程後に残っている前記シリサイド膜を、熱処理により、前記化合物に変化させる第3工程と、を含み、前記第1材料は、Ni、Pd、Ti、Cu、Pt、Co、Mo、Mg、W、CrおよびMnからなるグループから選択される1つの材料であり、前記第2材料は、Al、Au、Sb、In、AgおよびGaからなるグループから選択される1つの材料である。

10

【図面】

【図1】

【図2】



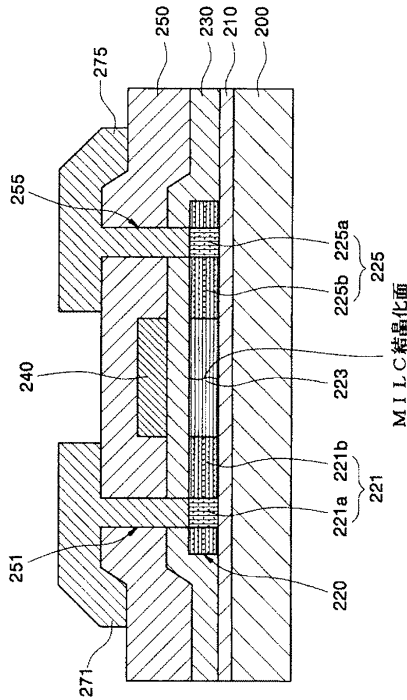
20

30

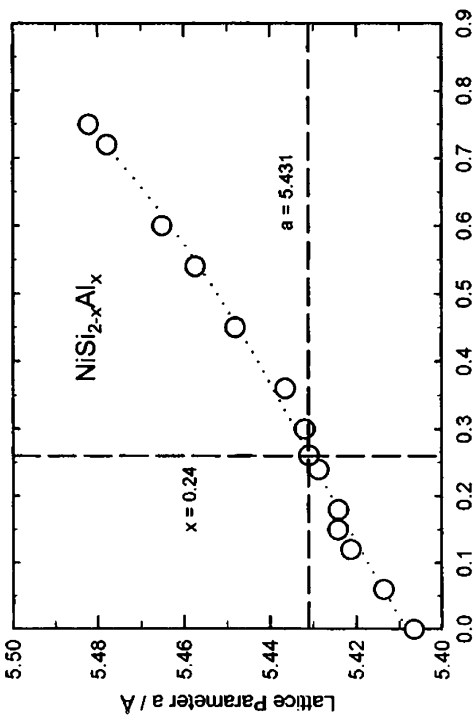
40

50

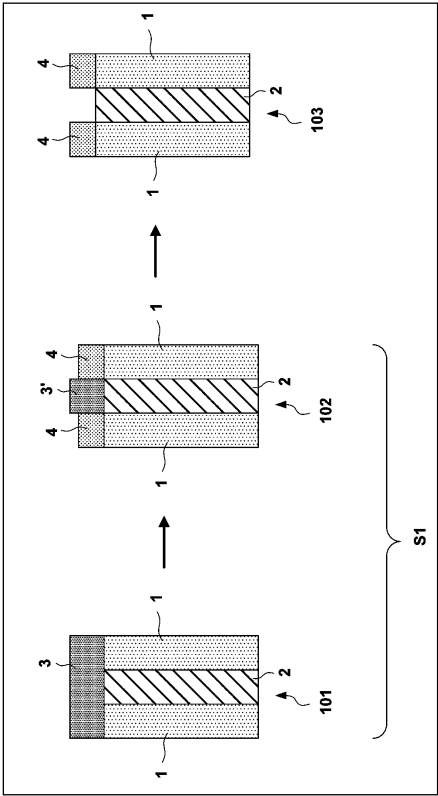
【図 3】



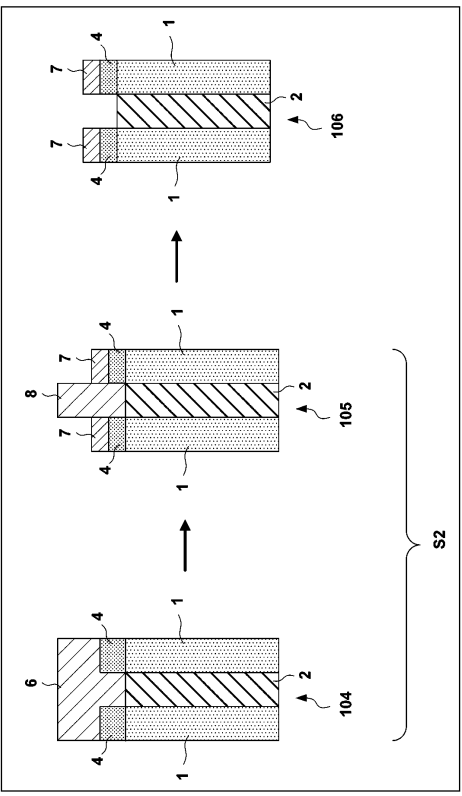
【図 4】



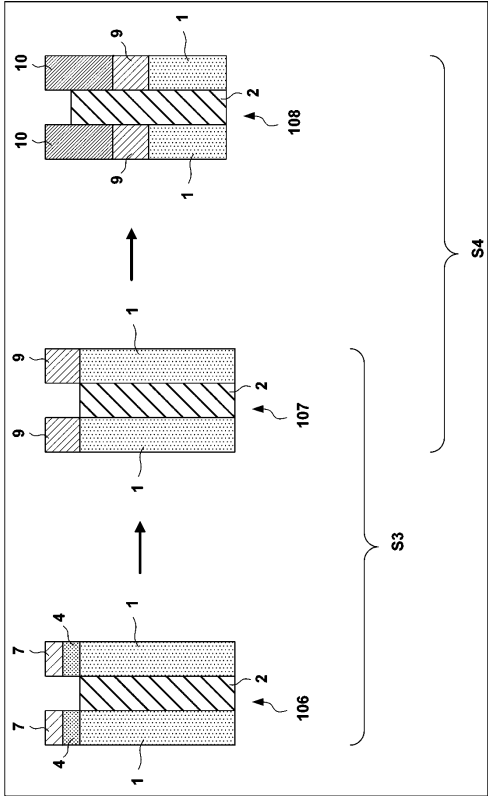
【図 5 A】



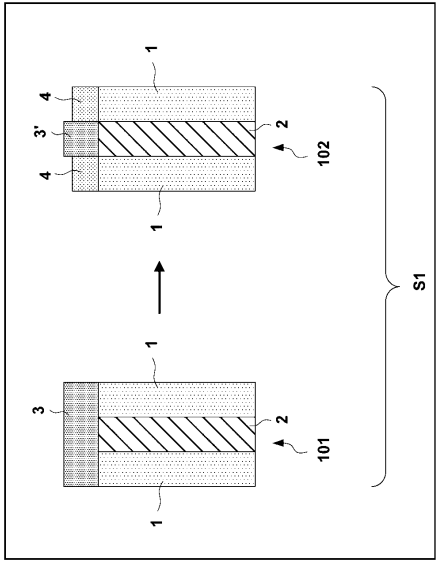
【図 5 B】



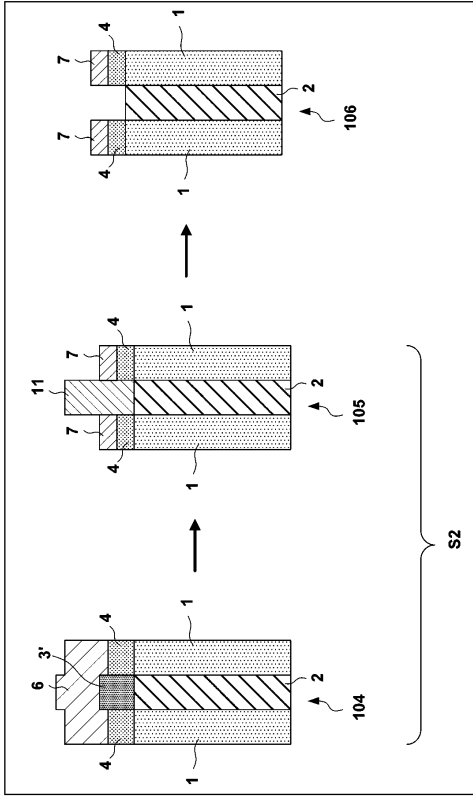
【図 5 C】



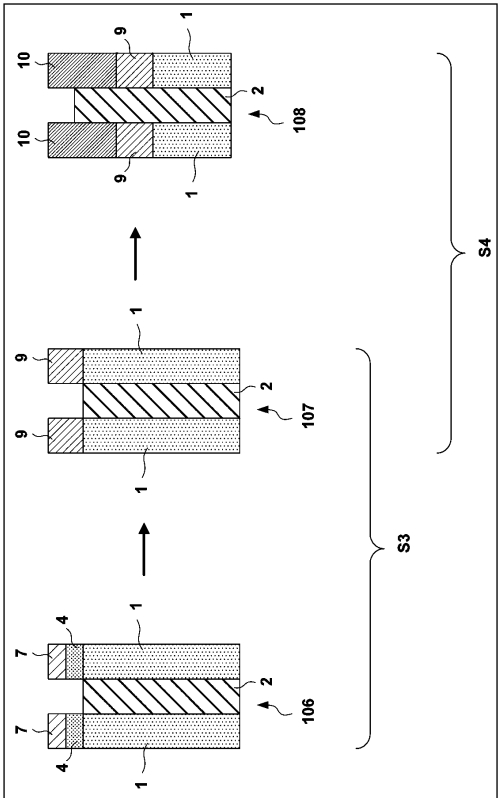
【図 6 A】



【図 6 B】



【図 6 C】



10

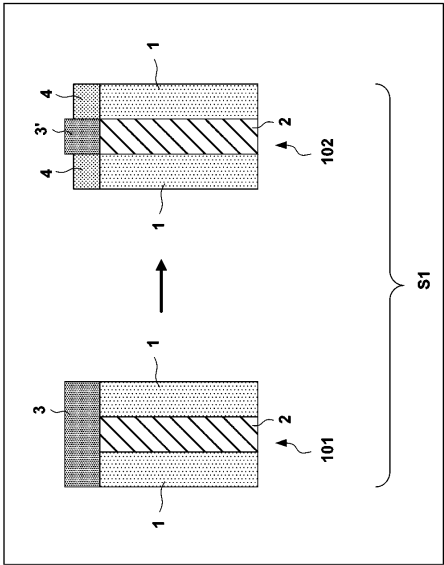
20

30

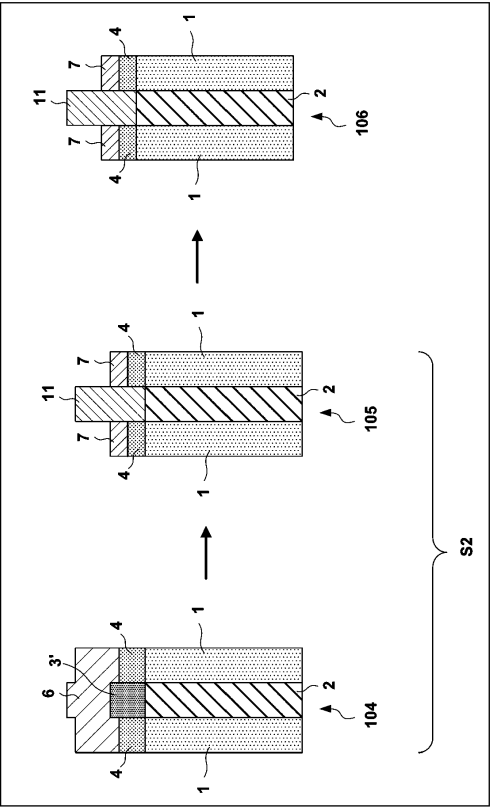
40

50

【図 7 A】



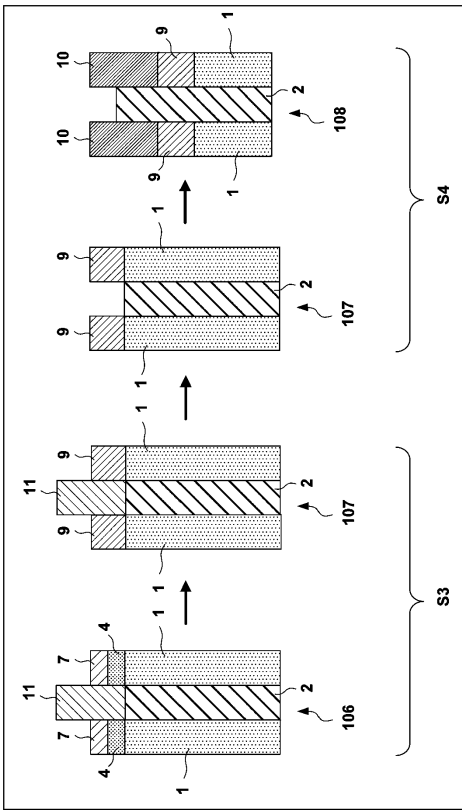
【図 7 B】



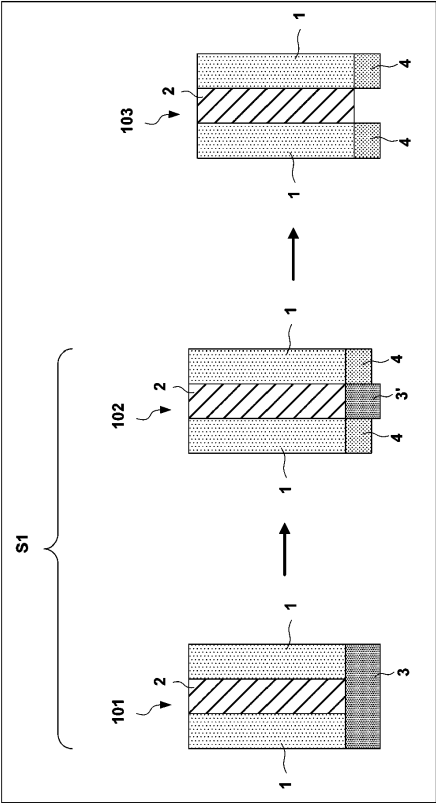
10

20

【図 7 C】



【図 8 A】

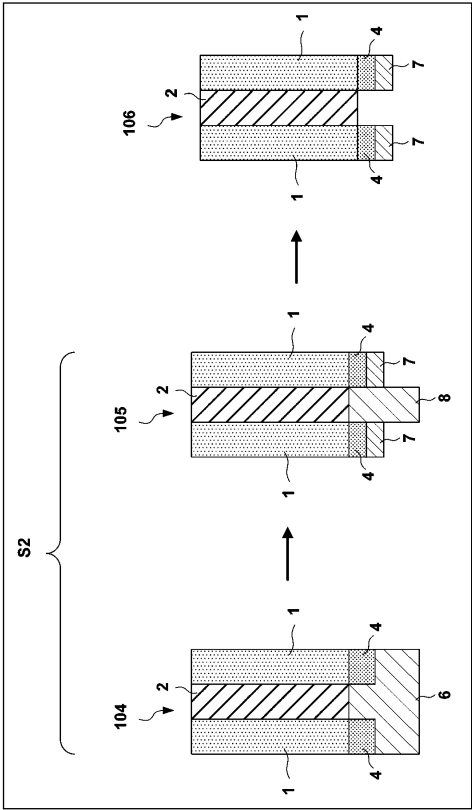


30

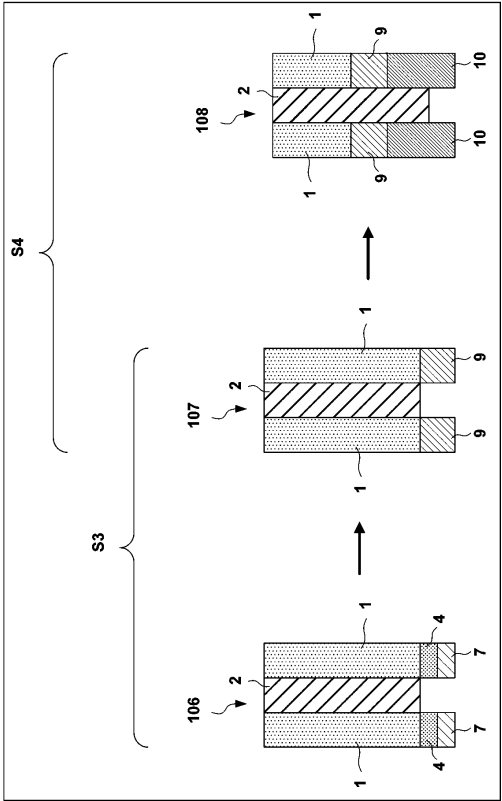
40

50

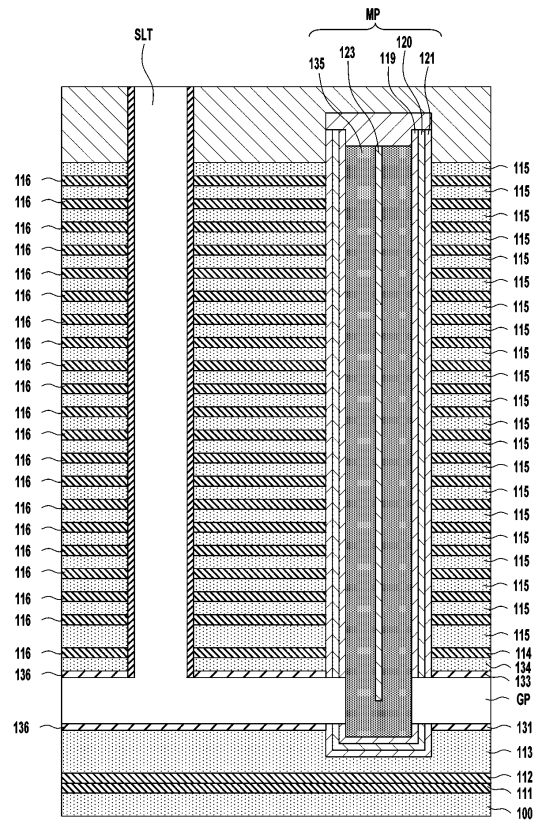
【図 8 B】



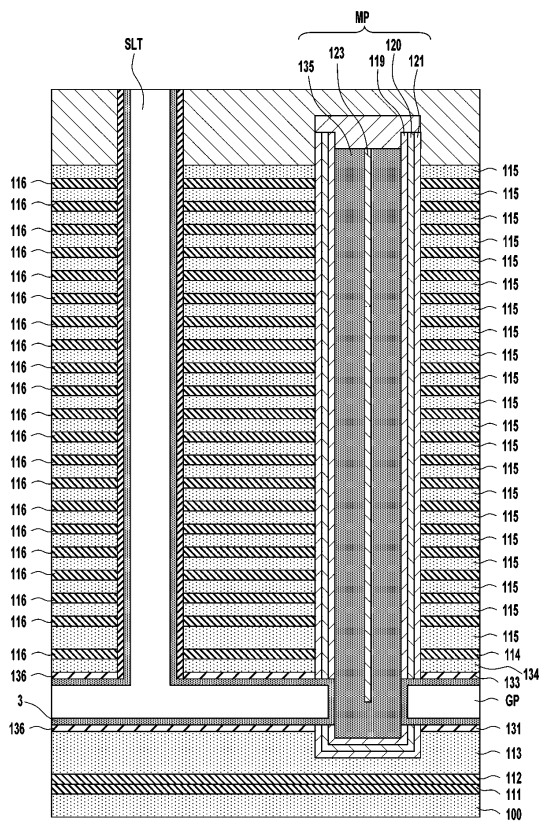
【図 8 C】



【図 9】



【図 10】



10

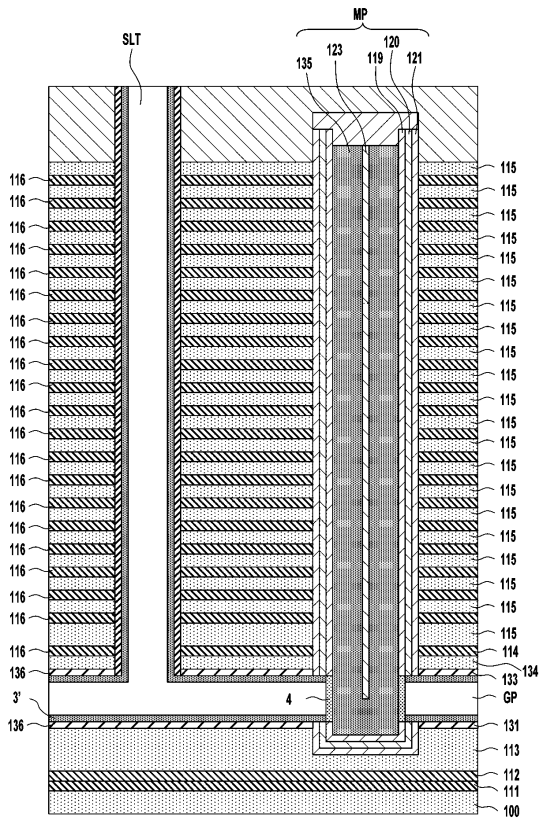
20

30

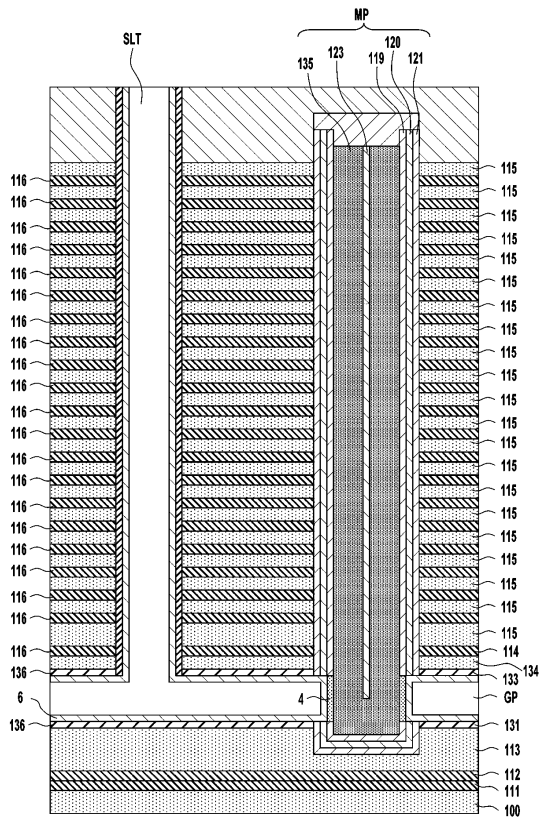
40

50

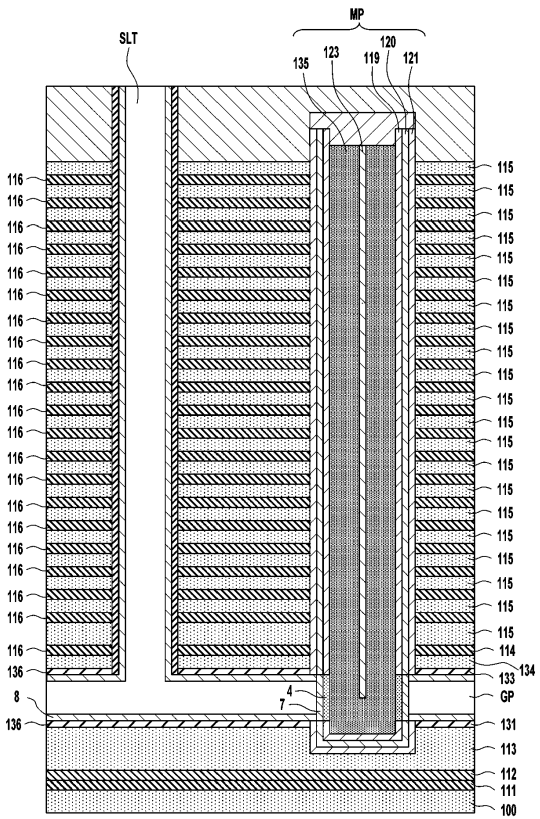
【図 1 1】



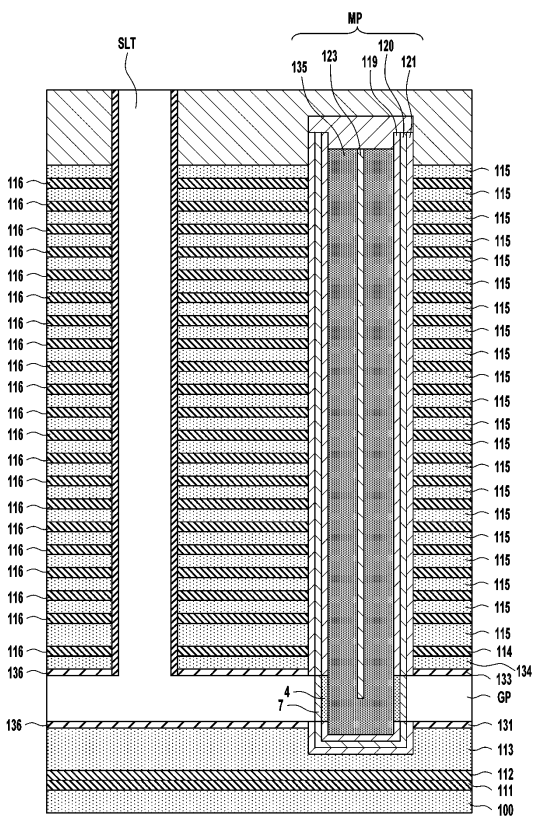
【図 1 2】



【図 1 3】



【図 1 4】



10

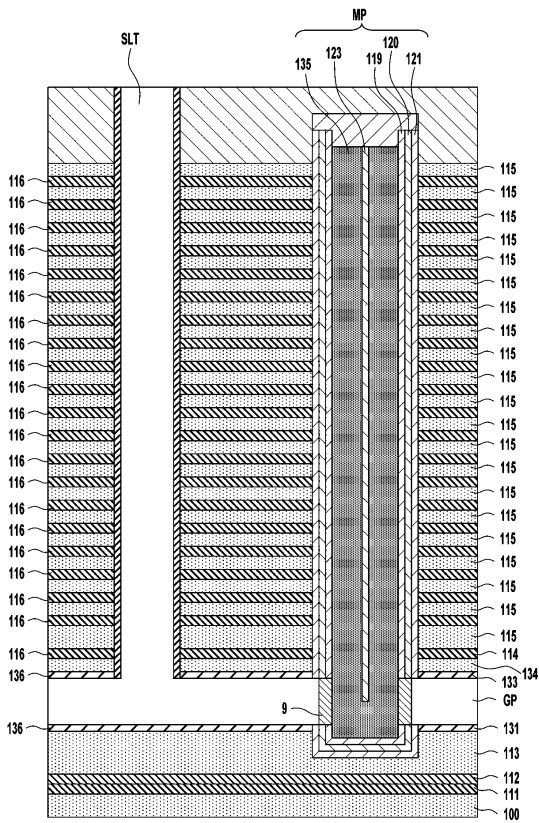
20

30

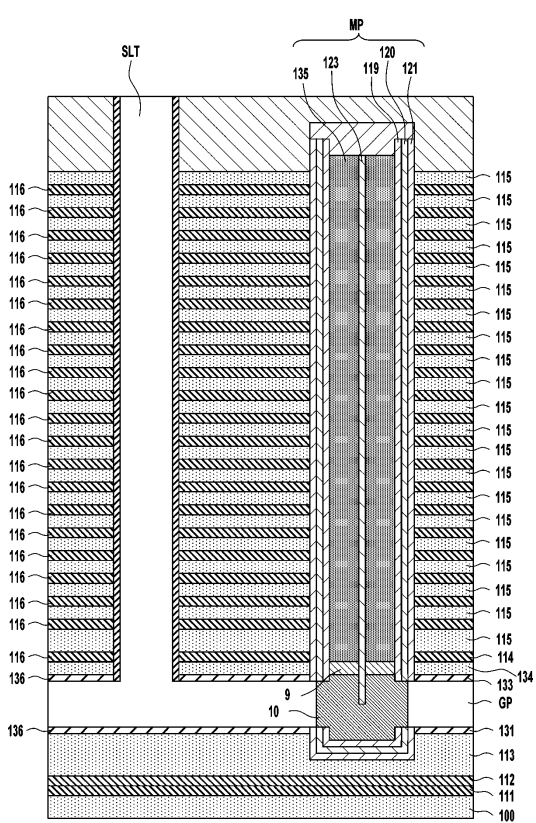
40

50

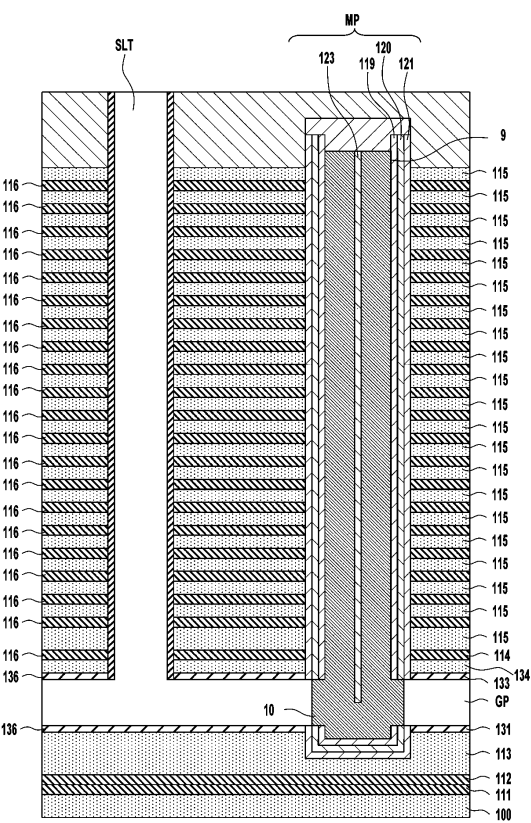
【図 1 5】



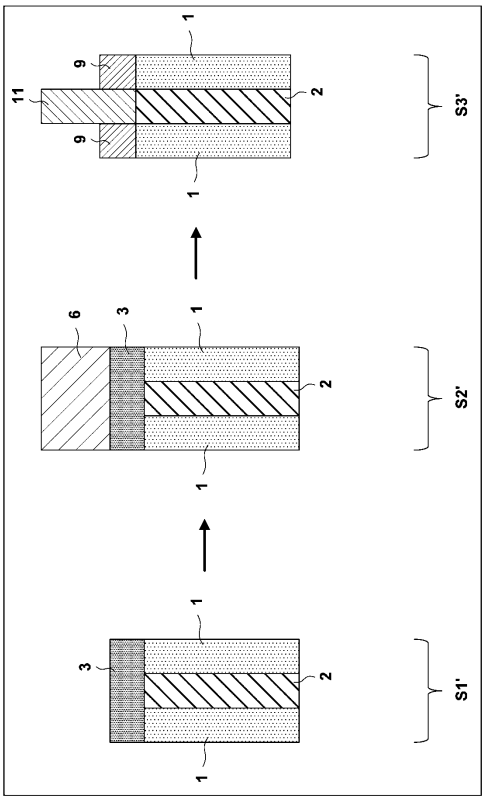
【図 1 6】



【図 1 7】



【図 1 8 A】



10

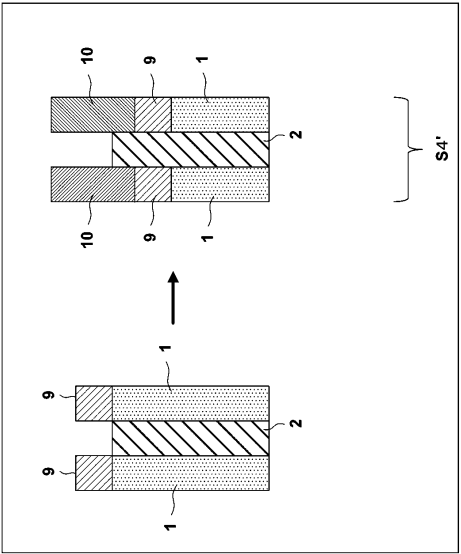
20

30

40

50

【図 18 B】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 D 64/62 (2025.01)**H 1 0 D 30/69****H 0 1 L 21/20 (2006.01)****H 1 0 D 64/62****S****H 0 1 L 21/20**

(56)参考文献

特開 2 0 1 9 - 1 6 5 1 7 8 (J P , A)

特開 2 0 1 7 - 1 7 4 8 6 0 (J P , A)

特開 2 0 0 2 - 3 3 4 8 3 8 (J P , A)

米国特許出願公開第 2 0 1 9 / 0 2 9 5 9 5 6 (U S , A 1)

米国特許出願公開第 2 0 1 7 / 0 2 7 1 5 8 4 (U S , A 1)

米国特許出願公開第 2 0 0 2 / 0 1 3 7 2 6 7 (U S , A 1)

特開 2 0 1 8 - 1 5 7 0 6 9 (J P , A)

特開 2 0 0 7 - 2 5 1 0 3 0 (J P , A)

米国特許出願公開第 2 0 2 0 / 0 0 8 3 2 3 8 (U S , A 1)

特開 2 0 1 4 - 1 7 9 4 6 5 (J P , A)

韓国公開特許第 1 0 - 2 0 0 5 - 0 0 5 1 4 4 6 (K R , A)

(58)調査した分野 (Int.Cl., D B名)

H 1 0 B 4 3 / 2 7**H 1 0 B 4 1 / 2 7****H 1 0 D 3 0 / 0 1****H 1 0 D 3 0 / 6 8****H 1 0 D 3 0 / 6 9****H 1 0 D 6 4 / 6 2****H 0 1 L 2 1 / 2 0**