



(12) 发明专利

(10) 授权公告号 CN 101151707 B

(45) 授权公告日 2012. 08. 29

(21) 申请号 200680010324. 7

H01L 21/265(2006. 01)

(22) 申请日 2006. 03. 29

(56) 对比文件

(30) 优先权数据

099150/2005 2005. 03. 30 JP

JP 特开平 5-267233 A, 1993. 10. 15, 全文 .  
US 2005/0051271 A1, 2005. 03. 10, 说明书第  
0289 段至第 0290 段、附图 99.

(85) PCT 申请进入国家阶段日

2007. 09. 28

US 6679981 B1, 2004. 01. 20, 全文 .

(86) PCT 申请的申请数据

PCT/JP2006/306564 2006. 03. 29

JP 特表 2004-501277 A, 2004. 01. 15, 全文 .  
US 4431898 A, 1984. 02. 14, 全文 .

审查员 陈敏

(87) PCT 申请的公布数据

W02006/106779 JA 2006. 10. 12

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 水野文二 中山一郎

佐佐木雄一朗 奥村智洋 金成国  
伊藤裕之

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 肖鹂

(51) Int. Cl.

H01L 21/02(2006. 01)

H01L 21/677(2006. 01)

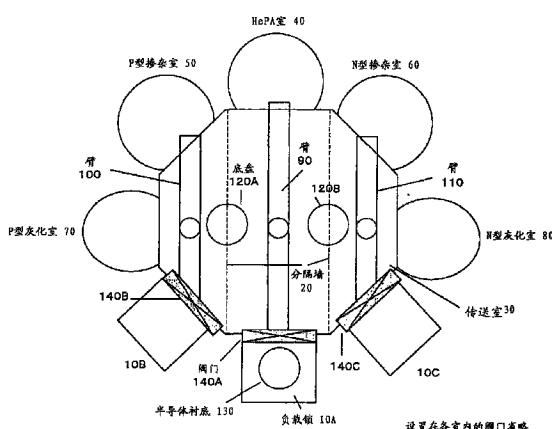
权利要求书 1 页 说明书 14 页 附图 5 页

(54) 发明名称

杂质导入装置和杂质导入方法

(57) 摘要

本发明的目的是当将导入固体试样中的杂质彼此混合时, 防止最初期望的功能未展现, 并且高精度地执行等离子体掺杂。为了区别可以混合的杂质和不应混合的杂质, 首先区别核心的杂质导入机构。为了避免非常少量的杂质混合物, 专门使用用于传送将处理的半导体衬底的机构和用于去除将形成在半导体衬底上的树脂材料的机构。



设置在各室内的闸门省略

1. 一种通过使用等离子体为衬底导入材料的等离子体掺杂装置，包括：

第一室组，具有用于导入第一杂质材料的第一等离子体掺杂室和用于导入第二杂质材料的第二等离子体掺杂室；

第一传送机构，构造成将衬底送入第一等离子体掺杂室或从第一等离子体掺杂室送出；和

第二传送机构，构造成将衬底送入第二等离子体掺杂室或从第二等离子体掺杂室送出；其中：

第一和第二传送机构的所有部件用分隔壁彼此完全分开，

第一和第二等离子体掺杂室设置在传送室中，

第一等离子体掺杂室构造成执行 P 型掺杂，第二等离子体掺杂室构造成执行 N 型掺杂，并且

第一和第二等离子体掺杂室彼此分离并设置在封闭空间中。

2. 如权利要求 1 所述的等离子体掺杂装置，进一步包括：

第二室组，具有用于处理掺杂有第一杂质材料的衬底的第三室和用于处理掺杂有第二杂质材料的衬底的第四室，其中：

第二室组中执行的处理不同于第一室组中执行的处理，并且

第三和第四室设置在传送室中。

3. 如权利要求 2 所述的等离子体掺杂装置，其中，第三和第四室构造成执行去除形成在衬底上的抗蚀层的处理。

4. 如权利要求 2 所述的等离子体掺杂装置，其中，处理相同的杂质材料的第一室组的室和第二室组的室布置成封闭在同一空间中。

## 杂质导入装置和杂质导入方法

### 技术领域

[0001] 本发明涉及杂质导入装置和杂质导入方法,特别涉及用于通过使用等离子体将离子注入到固体试样的表面上的等离子体掺杂装置和等离子体掺杂方法。

### 背景技术

[0002] 在制造诸如晶体管的半导体的过程中,当形成 PN 结时为了导入 P 型杂质或 N 型杂质,提出了称为等离子体掺杂的技术。

[0003] 这用于当将半导体衬底掺入杂质时,将半导体衬底暴露在包含电活性杂质的等离子体中,以将杂质导入到具有等离子能量的半导体衬底的表面部分内。

[0004] 然而,提到用于半导体需要的杂质时,需要进行净化或定量控制到杂质的元素和分子水平,以明确地给出其诸如正电特性和负电特性的特性。

[0005] 在一些封闭或半封闭环境的情况下,更特别地,真空室或大气压力等离子体,为了限制等离子体,在等离子体处理机构里实施等离子体掺杂。因此,在衬底构成封闭或半封闭环境的物质中下,包含杂质的薄膜沉积在设置成与等离子体接触的部分内。沉积物开始接触等离子体,并且因此通过等离子体的能量再次喷溅,且在一些情况下混合进入等离子体,并且通过沉积和喷溅的竞争过程的综合,等离子体和薄膜达到某种定态。如果对于等离子体内的杂质,沉积物是均匀的,由沉积和再混合保持平衡。如果沉积物是不均匀的,来自包含在等离子体内的杂质的不同种类的物质混合进入等离子体。因而,包含在等离子体内的杂质的特性产生混乱。结果不可能精确地控制将掺入半导体薄膜的杂质的特性和数量。因此,在半导体的制造中使用等离子体掺杂方法具有困难,在半导体上该特性主要基于数量上的非常小的差别。

[0006] 为了避免混合,本发明人已经提出将真空室分类成每种类型的杂质以提供专用室(专利文件 1)。根据专利文件 1,例如在图 5 中,右室用做 P 型掺杂室 50,并且左室用做 N 型掺杂室 60。半导体衬底 130 用光刻胶进行 P 型制图,且在室 50 内完成 P 型掺杂,相应地,半导体衬底 130 用光刻胶进行 N 型制图,且在室 60 内完成 N 型掺杂。因此,通过设置专用的等离子体室用于每种期望的杂质,可能避免具有不同特性的杂质的混合。由此发现在半导体制造中可利用等离子体掺杂。

[0007] 根据此发明,本发明人进一步发现穿过惰性气体特别是 He 等离子体,单晶硅衬底的无定形性充当非常重要的部分(专利文件 2)。更特别地,即使在 He 离子掺杂中通过传统的射线离子掺杂,辐射出大量的 He 很长时间,单晶硅衬底不能够无定形化。在 2004 年以前这是离子掺杂工业的常识。然而,当使用等离子体时,相比过去的常识,在单位时间内以更低的能量辐射出大量的 He(几乎是离子掺杂的量的 100 倍)。因此,已经发现单晶硅仍是无定形的。

[0008] 依照通过 He 无定形化的效果,随后地或同时地与无定形化一起导入杂质,使得杂质的沿厚度方向的分布变得更好(非专利文件 1)。因而,有可能产生特殊的与一致性的增强和杂质的量的控制相关的优点。

[0009] 显然杂质的简单混合并不能产生特殊效应,例如将  $B_2H_6$  加入到 H 中。在早期阶段,当发明人为等离子体掺杂做实验时,用 He 将  $B_2H_6$  稀释到 5% 并且因此如专利文件 4 中所述的使用。然而,不可能产生无定形化的优点。

[0010] 专利文件 1 :日本专利 No. 2780419 说明书

[0011] 专利文件 2 :日本专利申请 No. 2003-041123

[0012] 专利文件 3 :日本专利申请 No. 2004-360122

[0013] 专利文件 4 :日本专利 No. 2022204 说明书

[0014] 非 专 利 文 件 1 :Y. Sasaki 等 人 . , “B2H6 Plasma Doping with Insitu HePre-amorphyzation”, 2004 Symposia on VLSI Technology and Circuits

[0015] 专利文件 5 :JP-A-2004-179592

## 发明内容

[0016] 本发明要解决的技术问题

[0017] 除了用于执行等离子体掺杂的例如等离子体室的主要机构之外,在用于传送半导体衬底的机构中,以及通过形成在半导体衬底上的光刻胶去除图案的步骤中,已经发现混入了非常少量的物质,并且由于在专利文件 1 中描述的专利申请提出申请的 1990 年无关紧要的非常少量的物质的混合,在半导体衬底上存在混淆的问题,即产生了所谓的污染。

[0018] 本发明考虑实际的情形而做出,并且其目的是提供可防止污染且可以高可控性地导入期望的杂质的杂质导入方法和杂质导入装置。

[0019] 解决问题的方法

[0020] 对于将导入到半导体衬底内的杂质,在即使不同种类的杂质彼此混合也没有问题的情况下,它们可同时被处理。然而,有必要更好地消除其中当它们彼此混合时半导体装置的制造受到不利影响的组合。除了反应室的下列区别之外,也有必要区别与用于传送处理过的晶片的机构相关的步骤或后续步骤(以光刻胶的去除为例)。更特别地,等离子体掺杂是一种通过接触等离子体导入杂质的方法,不同于植入具有高能量的离子的离子植入。因此,已经发现相当少的数量的污染就会严重影响半导体装置的制造。通过关注于此,其中杂质彼此混合而具有不好的影响的组合可完全消除。

[0021] 相应地,等离子体掺杂步骤的取决于杂质的特征产生差别的组合如下:

[0022] 1 在半导体衬底上的 P 型和 N 型区域内通过 A 室执行氦等离子体无定形化(HePA),并且同时使用光刻胶实施形成图案以在 P 型区域上通过 B 室执行  $B_2H_6$  掺杂。随后,N 型区域用光刻胶形成图案且其因此打开,并且通过 C 室执行  $PH_3$  掺杂。

[0023] 2 通过使用光刻胶在半导体衬底上实施形成图案,以在 P 型区域上通过 A 室执行 HePA,并且随后执行  $B_2H_6$  掺杂。接下来,N 型区域通过使用光刻胶形成图案且其因此打开,以通过 B 室执行 HePA,并且随后掺杂  $PH_3$ 。

[0024] 3 通过使用光刻胶在半导体衬底上实施形成图案,以通过用 He 将  $B_2H_6$  等离子体稀释到具有 HePA 效应的稀释率,在 P 型区域上通过 A 室执行硼掺杂。随后,通过使用光刻胶 N 型区域形成图案且其因此打开,以通过 B 室通过用 He 将  $PH_3$  稀释到具有 HePA 效应的稀释率的等离子体实施磷掺杂。

[0025] 此外,也在经常在杂质掺杂之后执行的对于光刻胶的灰化或去除过程中,在等离

子体或湿类型步骤中使用处理机构。因此，杂质粘到光刻胶或半导体衬底，并且薄膜再次粘附到处理机构的内部。不可能避免物质的混合，因此再次粘到其它处理机构。即使混合量非常少，然而，很有可能半导体衬底的内部可能混乱了，以减少新半导体装置的产量。

[0026] 相应地，意图区分处理机构杂质的每项特征，由此避免在去除光刻胶步骤中的混合以增加半导体的产量。然而，专有地使用至少两种光刻胶去除机构。特别地，在小规模工厂内，此设计导致成本的增加。因此，优选地基于与产量的关系来决定使用。

[0027] 此外，为了展现一系列功能，在另外的意义上，通过一个真空连接部分连接和容纳在整体罩内是有效的，即半导体的表面可防止氧化并且可防止粘上微粒。即使未采取此动作，本发明的内容也可被充分地使用。更特殊地，通过使用在半导体制造厂中高度管理的晶片传送机构和它们的管理功能，由于存在能够实现同样功能的装置组，结果是即使其间形成较大的距离，或者由于工厂内配置的原因它们没有储藏在罩内，也可能展现一系列功能。极端地，也在其中本发明中描述的某步骤将在工厂A执行，并且其它步骤将在工厂B执行的此情况下，可设想其它轻微负面效应，比如来自周围环境的污染或微粒的增加。然而，在工厂间建立维持洁净的高度地物理的分布系统的今天，执行并不困难，不仅没有歪曲本发明的精神和主旨，而且可实现。

[0028] 更特殊地，本发明提供了一种杂质导入装置和装置组，其在所有步骤或部分步骤的处理中使用等离子体，以将多种杂质导入到固体试样中，其中在使固体试样保持电、机械或一些特定功能所需的期望的杂质即使在一些组合中在杂质导入步骤中的处理过程中杂质彼此相互混合也不破坏其功能并且在其它的组合中破坏相互特定功能的情况下，以非优选的杂质没有彼此混合的方式，包括下列机构中的至少一个，或打算将下列机构中的一个用于装置组：

[0029] 1 与每种期望的杂质独立的杂质导入机构；

[0030] 2 与每种期望的杂质独立的固体试样传送机构；

[0031] 3 用于连接与每种期望的杂质独立的杂质导入机构和固体试样传送机构的传送机构；

[0032] 4 专门放置每种期望的杂质的并且用于去除树脂以防止与其它杂质混合的机构；

[0033] 5 用于连接与每种期望的杂质独立的多个杂质导入装置的试样传送机构；以及

[0034] 6 用于在与每种期望的杂质独立的杂质导入装置和用于去除树脂的装置之间传送试样和试样组的机构。

[0035] 期望的杂质包括要求导入以直接地或间接地使固体试样保持电、机械或一些特定功能的杂质，并且可能是一种杂质或多种杂质。

[0036] 本发明中，在先于装置的设计的半导体装置的制造中，通过独立的机构，装置设计成执行需要等离子体步骤的提炼步骤、对于提炼步骤必需的杂质提炼步骤、决定杂质是否影响后续步骤的步骤、提炼任何在决定步骤判定出具有影响（的杂质）的步骤以及提炼步骤。

[0037] 此外，本发明提供了一种杂质导入装置和装置组，其在所有步骤或部分步骤的处理中使用等离子体，以将多种杂质导入到半导体衬底或半导体薄膜中，其中，直接或间接使固体试样保持电、机械或一些特定功能所需的期望的杂质在一些组合中在杂质导入步骤中

的处理过程中如果杂质彼此相互混合而破坏某些特定功能的情况下,以对应杂质没有彼此混合的方式,包括下列机构中的至少一个,或打算将下列机构中的一个用于装置组:

- [0038] 1 与每种期望的杂质独立的杂质导入机构;
- [0039] 2 与每种期望的杂质独立的固体试样传送机构;
- [0040] 3 用于连接与每种期望的杂质独立的杂质导入机构和固体试样传送机构的传送机构;
- [0041] 4 专门放置每种期望的杂质的并且用于去除树脂以防止与其它杂质混合的机构;
- [0042] 5 用于连接与每种期望的杂质独立的多个杂质导入装置的试样传送机构;以及
- [0043] 6 用于在与每种期望的杂质独立的杂质导入装置和用于去除树脂的装置之间传送试样和试样组的机构。

[0044] 此外,本发明提供了一种杂质导入装置和装置组,其在所有步骤或部分步骤的处理中使用等离子体,以将多种杂质导入到固体试样中,其中在使固体试样保持电、机械或一些特定功能所需的期望的杂质即使在一些组合中在杂质导入步骤中的处理过程中杂质彼此相互混合也不破坏其功能并且在其它的组合中破坏相互特定功能的情况下,以非优选的杂质没有彼此混合的方式,包括下列机构中的至少一个,或打算将下列机构中的一个用于装置组:

- [0045] 1 能够同时导入即使它们彼此混合也不破坏功能的杂质的杂质导入机构;
- [0046] 2 仅对于即使它们彼此混合也不破坏功能的杂质的组合是专有地独立的固体试样传送机构;
- [0047] 3 仅专有地且独立地传送将导入即使它们彼此混合也不破坏功能的杂质或导入杂质的固体试样的固体试样传送机构;
- [0048] 4 专门放置即使它们彼此混合也不破坏功能的杂质的每种组合并且用于去除树脂以防止与非优选的杂质混合的机构;
- [0049] 5 用于连接专门放置即使它们彼此混合也不破坏功能的杂质的每种组合的多个杂质导入装置的试样传送机构;以及
- [0050] 6 用于在专门放置即使它们彼此混合也不破坏功能的杂质的每种混组合的杂质导入装置和用于去除树脂的装置之间传送试样和试样组的机构。

[0051] 此外,本发明提供了一种杂质导入装置和装置组,其在所有步骤或部分步骤的处理中使用等离子体,以将多种杂质导入到半导体衬底和半导体薄膜中,其中直接或间接使固体试样保持电的特定功能所需的期望的杂质在一些组合中在杂质导入步骤中的处理过程中如果杂质彼此相互混合而破坏某些特定功能的情况下,以非优选杂质没有彼此混合的方式,包括下列机构中的至少一个,或打算将下列机构中的一个用于装置组:

- [0052] 1 能够同时导入即使它们彼此混合也不破坏功能的杂质的杂质导入机构;
- [0053] 2 仅对于即使它们彼此混合也不破坏功能的杂质的组合是专有地独立的固体试样传送机构;
- [0054] 3 仅专有地且独立地将导入即使它们彼此混合也不破坏功能的杂质或导入杂质的固体试样的固体试样传送机构;
- [0055] 4 专门放置即使它们彼此混合也不破坏功能的杂质的每种组合的并且用于去除

树脂以防止与非优选的杂质混合的机构；

[0056] 5 用于连接专门放置即使它们彼此混合也不破坏功能的杂质的每种组合的多个杂质导入装置的试样传送机构；以及

[0057] 6 用于在专门放置即使它们彼此混合也不破坏功能的杂质的每种组合的杂质导入装置和用于去除树脂的装置之间传送试样和试样组的机构。

[0058] 此外，在本发明中，一些电的直接的特定功能具有正 P 型特性，并且其它的具有负 N 型特性。

[0059] 此外，在本发明中，电的间接的特定功能具有改变晶体的、多晶体的和无定形的晶格以及原子和分子的耦合状态的功能。

[0060] 此外，在本发明中，改变晶体的和多晶体的晶格以及原子和分子的耦合状态的功能具有无定形化功能。

[0061] 此外，本发明提供了一种在所有步骤或部分步骤的处理中使用等离子体，将多种杂质导入固体试样内的杂质导入方法，其中直接或间接使固体试样保持电、机械或一些特定功能所需的期望的杂质在一些组合中在杂质导入步骤中的处理过程中如果杂质彼此相互混合而破坏某些特定功能的情况下，以对应杂质没有彼此混合的方式，包括使用下列机构的步骤中的至少一个，或打算将使用下列机构的步骤中的一个用于步骤的组合：

[0062] 1 通过使用与每种期望的杂质独立的杂质导入机构执行的杂质导入步骤；

[0063] 2 通过与每种期望的杂质独立的固体试样传送机构执行的传送步骤；

[0064] 3 通过用于连接与每种期望的杂质独立的杂质导入机构和固体试样传送机构的传送机构执行的传送步骤；

[0065] 4 通过专门放置每种期望的杂质的并且用于去除树脂以防止与杂质混合的机构执行的树脂去除步骤；

[0066] 5 通过用于连接与每种期望的杂质独立的多个杂质导入装置的试样传送机构执行的传送步骤；以及

[0067] 6 通过在与每种期望的杂质独立的杂质导入装置和用于去除树脂的装置之间传送试样和试样组的机构执行的传送步骤。

[0068] 在本发明中，杂质包括通过无定形化间接地且严重地影响电特性的物质，例如 He 等离子体，除了一般用半导体代表的直接地电学上的活性物质之外。

[0069] 此外，在本发明中，以对应杂质没有彼此混合的方式，包括下列机构中的至少一个或打算将下列机构中的一个用于装置组，以及杂质导入装置自身。

[0070] 本发明的效果

[0071] 根据本发明，在半导体装置的制造中，将杂质导入半导体衬底的某步骤中，保持正电和负电特性的物质可被防止混合，因此有利于半导体装置的精密制造。更特殊地，显示了区分杂质的方法，并且考虑例如成本特性的情况，解决方案可在制造工厂内实施。

## 附图说明

[0072] 图 1 是示出用于说明本发明第一实施例的装置的俯视图；

[0073] 图 2 是示出用于说明本发明的室的结构的装置的结构的截面图；

[0074] 图 3 是示出用于说明本发明第二实施例的装置的俯视图；

- [0075] 图 4 是示出用于说明本发明第三实施例的装置的俯视图；  
[0076] 图 5 是示出用于说明背景技术的装置的结构的截面图。  
[0077] 标号说明  
[0078] 10 负载锁  
[0079] 20 分隔墙  
[0080] 30 传送室  
[0081] 40 HePA 室  
[0082] 50 P 型掺杂室  
[0083] 60 N 型掺杂室  
[0084] 70 P 型灰化室  
[0085] 80 N 型灰化室  
[0086] 90 臂  
[0087] 100 臂  
[0088] 106 臂  
[0089] 110 臂  
[0090] 116 臂  
[0091] 120 底盘  
[0092] 122 等离子体源  
[0093] 124 等离子体  
[0094] 130 半导体衬底  
[0095] 132 衬底台  
[0096] 140 阀门

## 具体实施方式

[0097] 在下文中将参考附图对根据本发明的实施例进行描述。本发明不限于随后的实施例。

[0098] (第一实施例)

[0099] 参考图 1 将对根据本发明的实施例进行描述。等离子体掺杂装置是在真空状态下使用等离子体的例子。如果可能得到各种等离子体的最佳特征，在真空状态下的等离子体不受限制。

[0100] 此例子的特征在于实施 He 等离子体无定形化 (HePA) 并且然后执行杂质掺杂。

[0101] 本发明中，在具有下文中将描述的结构的装置中，设置有三个负载锁 10，并且五个等离子体室设置在传送室 30 内，该传送室具有根据用途可用分隔墙 20 分开的结构。五个等离子体室分别由 HePA 室 40、使用  $B_2H_6$  的 P 型掺杂室 50、使用  $PH_3$  的 N 型掺杂室 60、用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 以及用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 组成。为了在负载锁之间传送半导体衬底，设置了传送室、等离子体室和机械臂。机械臂设计成可 360 度自由旋转。在此情况下，三种类型的 HePA 臂 90、P 型掺杂臂 100 和 N 型掺杂臂 110 配置成避免相互混合。底盘 120 以如果需要半导体衬底可在 HePA 部和掺杂部之间转移的方式设置。

[0102] 参考图 2 将对五个等离子体室的基本结构进行描述。图 2 示出了根据例子的 HePA 室的截面结构。等离子体源 122 设置在等离子体室 40 内。在附图中没有显示气体导入机构,但是气体或杂质材料导入到室 40 内,以产生等离子体 124。将处理的半导体衬底 130 安装在衬底台 132 上。衬底 130 具有通过使用臂 90 其可从传送室通过阀门 140A 移动到衬底台 180 的结构。

[0103] 对于使用此装置制造半导体装置的方法将给出描述。至少一个半导体衬底 130 设置在负载锁 10A 内。此时,首先执行 HePA。因此,半导体衬底 130 设置在负载锁 10A 内。

[0104] 对于 HePA 技术,负载锁 10A 进入恒定的真空状态,设置在负载锁 10A 和传送室之间的阀门 140A 打开,并且半导体衬底 130 通过臂 90 传送,并且导入 HePA 室 40 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,HePA 产生 He 等离子体持续七秒钟,因而导致半导体单晶衬底变得无定形。

[0105] 在此情况下,有两项技术。作为第一项技术,形成半导体装置的所有部分比如晶体管,同时进入无定形状态。作为第二项技术,将掺杂成 P 型的部分和将掺杂成 N 型的部分通过光刻胶隔离和形成图案,并且分开地进入无定形状态。

[0106] 首先在第一情况下,通过 HePA 室 40 进入无定形状态下的半导体衬底一旦穿过负载锁 10A,就因此传送到装置的外面,且然后通过平版印刷步骤由光刻胶形成图案,且随后为了实施 P 型掺杂传送到负载锁 10B,负载锁 10B 进入恒定的真空状态,并且设置在负载锁 10B 和传送室之间的阀门打开,并且半导体衬底 130 通过臂 100 传送,并导入到 P 型掺杂室 50 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 P 型掺杂  $B_2H_6$  等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 借助臂 100 传送到 P 型灰化室 70。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10B 传送到装置的外面。

[0107] 半导体衬底 130 经受随后的后处理和平版印刷步骤,并且 N 型掺杂区域被形成图案,且半导体衬底 130 此后设置在负载锁 10C 内。负载锁 10C 进入恒定的真空状态,并且设置在负载锁 10C 和传送室之间的阀门 140C 打开,并且半导体衬底 130 通过臂 110 传送,并导入到 N 型掺杂室 60 且设置在其内。在此,通过 N 型掺杂,与  $PH_3$  气体一起  $PH_3$  等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 传送到 N 型灰化室 80。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 20nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 110 通过负载锁 10C 传送到装置的外面。

[0108] 下面描述第二种情况。

[0109] 至少一个其中 P 型掺杂区域通过平版印刷步骤由光刻胶形成图案的半导体衬底 130 设置在负载锁 10A 内。此时,首先执行 HePA。因此,半导体衬底 130 设置在负载锁 10A 内。负载锁 10A 进入恒定的真空状态,设置在负载锁 10A 和传送室之间的阀门 140A 打开,并且半导体衬底 130 通过臂 90 传送,并导入 HePA 室 40 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形。

[0110] 接着,对于 P 型掺杂,半导体衬底 130 通过臂 90 从 HePA 室 40 中取出,并且传送到底盘 120A。

[0111] 接下来,放在底盘 120A 上的半导体衬底 130 通过臂 100 传送,并导入到 P 型掺杂室 50 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 P 型掺杂,  $B_2H_6$  等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 借助臂 100 传送到 P 型灰化室 70。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10B 传送到装置的外面。

[0112] 通过随后的后处理和平版印刷步骤,半导体衬底 130 的 N 型掺杂区域被形成图案,并且半导体衬底 130 此后设置在负载锁 10A 内。

[0113] 负载锁 10A 进入恒定的真空状态,设置在负载锁 10A 和传送室之间的阀门 140A 打开,并且半导体衬底 130 通过臂 90 传送,并且导入 HePA 室 40 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 HePA, He 等离子体产生七秒钟,因此导致半导体单晶衬底变得无定形。

[0114] 接着,对于 N 型掺杂,半导体衬底 130 通过臂 110 从 HePA 室 40 中取出,并且传送到底盘 120B。

[0115] 半导体衬底 130 通过臂 110 传送,并导入到 N 型掺杂室 60 且设置在其内。在此,与  $PH_3$  气体一起  $PH_3$  等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 传送到 N 型灰化室 80。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 20nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 110 通过负载锁 10C 传送到装置的外面。

[0116] 在上述的方法中,用于半导体衬底 130 的必须的 P 型和 N 型掺杂以第一方法或第二方法结束,并且半导体衬底 130 传送到随后的退火步骤。在退火步骤,因为 P 型区域和 N 型区域已经以超精细的图案中彼此靠近,实际上不可能分开执行此步骤。然而,为了保护在同样装置内的,以及在通过考虑表面处理的传送方法传送的邻近装置内的,或完全不同的装置内的半导体的表面,在具有惰性气体或在普通温度下,可在真空下不会与半导体起反应的气氛中实施传送和退火。

[0117] (第二实施例)

[0118] 参考图 3 将对根据本发明的第二实施例进行描述。

[0119] 在本发明中,将对其中 HePA 和掺杂在同样室中实施的例子进行描述。

[0120] 首先描述装置。

[0121] 负载锁 10B 和 10C 分别用于 P 型和 N 型。

[0122] 四个等离子体室设置在传送室 30 内。四个等离子体室由使用  $B_2H_6$  的 P 型掺杂室 50、使用  $PH_3$  的 N 型掺杂室 60、用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 以及用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 组成。为了在负载锁之间传送半导体衬底,设置了传送室、等离子体室和机械臂。机械臂设计成可 360 度自由旋转。在此情况下,三种类型的 P 型掺杂臂 100 和 N 型掺杂臂 110 配置成避免相互混

合。底盘 120 以如果需要半导体衬底可在 HePA 部和掺杂部间转移的方式设置。

[0123] 对于使用此装置制造半导体装置的实施例将给出描述。

[0124] 有两种方法。根据第一种方法,首先在 P 型室和 N 型室中实施 HePA,随后执行 P 型或 N 型掺杂。根据第二种方法,用 He 稀释 P 型或 N 型掺杂物,并且在同时展现 HePA 效应的情况下同时实施 PA 和掺杂。

[0125] 首先描述第一种方法。

[0126] 至少一个其中 P 型掺杂区域通过平版印刷步骤由光刻胶形成图案的半导体衬底 130 设置在负载锁 10B 内。此时,使用 P 型掺杂室首先执行 HePA。

[0127] 负载锁 10B 进入恒定的真空状态,设置在负载锁 10B 和传送室之间的阀门 140B 打开,并且半导体衬底 130 通过臂 100 传送,并导入 P 型掺杂室 50 且设置在其内。对于首先执行 HePA,在 0.9Pa 的真空中度时,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形,如非专利文件 1 所述。

[0128] 接下来,转换反应物气体用于 P 型掺杂。如非专利文件 1 所述,在 0.9Pa 的真空中度时,B<sub>2</sub>H<sub>6</sub> 等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 借助臂 100 传送到 P 型灰化室 70。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10B 传送到装置的外面。

[0129] 半导体衬底 130 的 N 型掺杂区域通过随后的后处理和平版印刷步骤而被形成图案,并且半导体衬底 130 此后设置在负载锁 10C 内。首先,通过使用 N 型掺杂室 60,在 N 型形成图案区域上执行 HePA。

[0130] 负载锁 10C 进入恒定的真空状态,并且设置在负载锁 10C 和传送室之间的阀门 140C 打开,并且半导体衬底 130 通过臂 110 传送,并导入到 N 型掺杂室 60 且设置在其内。对于首先执行 HePA,在 0.9Pa 的真空中度时,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形,如非专利文件 1 所述。

[0131] 随后,转换反应物气体用于 N 型掺杂。

[0132] 在此,通过 N 型掺杂,与 PH<sub>3</sub> 气体一起 PH<sub>3</sub> 等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 传送到 N 型灰化室 80。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 20nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 110 通过负载锁 10C 传送到装置的外面。

[0133] 接下来,描述第二种方法。

[0134] 至少一个其中 P 型掺杂区域通过平版印刷步骤由光刻胶形成图案的半导体衬底 130 设置在负载锁 10B 内。负载锁 10B 进入恒定的真空状态,设置在负载锁 10B 和传送室 30 之间的阀门 140B 打开,并且半导体衬底 130 通过臂 100 传送,并导入 P 型掺杂室 50 且设置在其内。在此,与主要用 He 稀释的 B<sub>2</sub>H<sub>6</sub> 气体一起,通过 P 型掺杂 B<sub>2</sub>H<sub>6</sub> 等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 借助臂 100 传送到 P 型灰化室 70。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有

可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10B 传送到装置的外面。

[0135] 半导体衬底 130 的 N 型掺杂区域通过随后的后处理和平版印刷步骤而被形成图案，并且半导体衬底 130 此后设置在负载锁 10C 内。

[0136] 负载锁 10C 进入恒定的真空状态，并且设置在负载锁 10C 和传送室之间的阀门 140C 打开，并且半导体衬底 130 通过臂 110 传送，并导入到 N 型掺杂室 60 且设置在其内。在此，与主要用 He 稀释的 PH<sub>3</sub> 气体一起，通过 N 型掺杂，PH<sub>3</sub> 等离子体产生十秒钟，并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 传送到 N 型灰化室 80。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除，但为了避免半导体衬底的氧化，通过简单地去除具有大约 20nm 厚度的变质的和固化的层，有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 110 通过负载锁 10C 传送到装置的外面。

[0137] 在上述的方法中，用于半导体衬底 130 的必须的 P 型和 N 型掺杂以第一方法或第二方法结束，并且半导体衬底 130 传送到随后的退火步骤。在退火步骤中，因为 P 型区域和 N 型区域在超精细的形成图案中已经彼此靠近，实际上不可能分开执行此步骤。然而，为了保护同样装置内的，以及在通过考虑表面处理的传送方法传送的邻近装置内的，或完全不同的装置内的半导体的表面，在具有惰性气体或在普通温度下，可在真空下不会与半导体起反应的气氛中实施传送和退火。

[0138] (第三实施例)

[0139] 参考图 4 将对根据本发明的第三实施例进行描述。等离子体掺杂装置是其中在真空状态下使用等离子体的例子。完全可得到各种等离子体的最佳特征，并且在真空状态下的等离子体不受限制。

[0140] 本实施例的特征在于，用于实施 He 等离子体无定形化 (HePA)，然后进行杂质掺杂及去除光刻胶的装置组，有意地设置成有效地执行一系列步骤。然而，根据半导体衬底的传送，通过使用在半导体制造厂高度管理的晶片传送机构和它们的管理功能，由于存在能够实现同样功能的装置组，即使其间形成较大的距离，或者由于工厂内配置的原因它们没有储藏在一个罩内，也完全可能展现一系列功能。极端地，也在如下情况下，即其中本发明中描述的某步骤将在工厂 A 执行，并且其它步骤将在工厂 B 执行，可想象其它负面效应，比如来自周围环境的污染或微粒的增加。然而，在工厂间建立维持洁净的高度地物理的分布系统的今天，执行并不困难，不仅没有歪曲本发明的精神和主旨，而且可实现。

[0141] 其中有意在附近集中设置装置的情况将再次描述。

[0142] 下面对装置的结构进行描述。每个装置设置有负载锁 10、传送室 30 以及等离子体室。其中五个装置一起提供的措施的功能由包括 HePA 室 40 的装置 42、包括使用 B<sub>2</sub>H<sub>6</sub> 的 P 型掺杂室 50 的装置 52、包括使用 PH<sub>3</sub> 的 N 型掺杂室 60 的装置 62、包括用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 的装置 72 以及包括用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 的装置 82 组成。

[0143] 下面将对通过使用这些装置组执行等离子体掺杂的例子进行描述。

[0144] 下面描述四项技术。

[0145] (第一项技术)

[0146] 至少一个半导体衬底 130 设置在包括 HePA 室 40 的装置 42 的负载锁 10A 内。此

时,首先执行 HePA。负载锁 10A 进入恒定的真空状态,设置在负载锁 10A 和传送室之间的阀门 140A 打开,并且半导体衬底 130 通过臂 90 传送,并且导入 HePA 室 40 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 HePA,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形。

[0147] 通过 HePA 室 40 进入无定形状态下的半导体衬底一次穿过负载锁 10A,就因此传送到装置的外面,然后通过平版印刷步骤由光刻胶形成图案,且随后为了实施 P 型掺杂而传送到包括 P 型掺杂室 50 的装置 52 的负载锁 10B,负载锁 10B 进入恒定的真空状态,并且设置在负载锁 10B 和传送室之间的阀门 140B 打开,并且半导体衬底 130 通过臂 100 传送,并导入到 P 型掺杂室 50 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 P 型掺杂,  $B_2H_6$  等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。

[0148] 经受 P 型掺杂的半导体衬底 130 一次穿过负载锁 10A,且传送到装置的外面,传送到包括用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 的装置 72 的负载锁 10D,负载锁 10D 进入恒定的真空状态,并且设置在负载锁 10D 和传送室之间的阀门 140D 打开,并且半导体衬底 130 通过臂 106 传送,并设置在 P 型灰化室 70 内。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 106 通过负载锁 10D 传送到装置的外面。

[0149] 半导体衬底 130 经受随后的后处理和平版印刷步骤,并且 N 型掺杂区域此后被形成图案,且半导体衬底 130 此后设置在包括 N 型掺杂室 60 的装置 62 的负载锁 10C 内。负载锁 10C 进入恒定的真空状态,并且设置在负载锁 10C 和传送室之间的阀门 140C 打开,并且半导体衬底 130 通过臂 110 传送,并导入到 N 型掺杂室 60 且设置在其内。在此,通过 N 型掺杂,与  $PH_3$  气体一起  $PH_3$  等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 一次穿过负载锁 10C,并且通过臂 110 传送到装置的外面,传送到包括用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 的装置 82 的负载锁 10E,并且通过臂 116 设置在 N 型灰化室 80 内。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 20nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 116 通过负载锁 10E 传送到装置的外面。

[0150] 下面描述第二种情况。

[0151] 至少一个通过光刻胶经受 P 型形成图案的半导体衬底 130 设置在包括 HePA 室 40 的装置 42 的负载锁 10A 内。此时,首先执行 HePA。负载锁 10A 进入恒定的真空状态,设置在负载锁 10A 和传送室之间的阀门 140A 打开,并且半导体衬底 130 通过臂 90 传送,并导入 HePA 室 40 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 HePA,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形。

[0152] 通过 HePA 室 40 进入无定形状态下的半导体衬底一次穿过负载锁 10A,并且因此传送到装置的外面,然后为了实施 P 型掺杂传送到包括 P 型掺杂室 50 的装置 52 的负载锁 10B,负载锁 10B 进入恒定的真空状态,并且设置在负载锁 10B 和传送室之间的阀门 140B 打开,并且半导体衬底 130 通过臂 100 传送,并导入到 P 型掺杂室 50 且设置在其内。如非专利文件 1 所述,在 0.9Pa 的真空中度时,通过 P 型掺杂  $B_2H_6$  等离子体产生七秒钟,并且在半导

体衬底上实施 P 型掺杂。

[0153] 经受 P 型掺杂的半导体衬底 130 一次穿过负载锁 10A，且传送到装置的外面，并且传送到包括用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 的装置 72 的负载锁 10D，负载锁 10D 进入恒定的真空状态，并且设置在负载锁 10D 和传送室之间的阀门 140D 打开，并且半导体衬底 130 通过臂 106 传送，并设置在 P 型灰化室 70 内。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除，但为了避免半导体衬底的氧化，通过简单地去除具有大约 15nm 厚度的变质的和固化的层，有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 106 通过负载锁 10D 传送到装置的外面。

[0154] 半导体衬底 130 经受随后的后处理和平版印刷步骤，并且 N 型掺杂区域此后被形成图案，且半导体衬底 130 此后设置在包括 HePA 型掺杂室 40 的装置 42 的负载锁 10A 内。负载锁 10A 进入恒定的真空状态，并且设置在负载锁 10A 和传送室之间的阀门 140A 打开，并且半导体衬底 130 通过臂 90 传送，并导入 HePA 室 40 且设置在其内。在此，如非专利文件 1 所述，在 0.9Pa 的真空中度时，通过 HePA, He 等离子体产生七秒钟，以使得半导体单晶衬底进入无定形状态。在此情况下，先前掺杂的 P 型杂质层整个覆盖有例如光刻胶的形成图案材料。因此，具有不同特性的杂质可被防止在 HePA 室内彼此混合。

[0155] 通过 HePA 室 40 进入无定形状态下的半导体衬底一次穿过负载锁 10A，并且因此传送到装置的外面，然后设置在包括 N 型掺杂室 60 的装置 62 的负载锁 10C 内，负载锁 10C 进入恒定的真空状态，并且设置在负载锁 10C 和传送室之间的阀门 140C 打开，并且半导体衬底 130 通过臂 110 传送，并导入到 N 型掺杂室 60 且设置在其内。在此，通过 N 型掺杂，与 PH<sub>3</sub> 气体一起 PH<sub>3</sub> 等离子体产生十秒钟，并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 一次通过臂 110 穿过负载锁 10C，并且传送到装置的外面，且传送到包括用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 的装置 82 的负载锁 10E，并且通过臂 116 设置在 N 型灰化室 80 内。变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除，但为了避免半导体衬底的氧化，通过简单地去除具有大约 20nm 厚度的变质的和固化的层，有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 116 通过负载锁 10E 传送到装置的外面。

[0156] 第三项技术是首先在 P 型室和 N 型室内实施 HePA，随后执行 P 型或 N 型掺杂的方法。

[0157] 至少一个其中 P 型掺杂区域通过平版印刷步骤由光刻胶形成图案的半导体衬底 130 设置在负载锁 10B 内。此时，使用 P 型掺杂室 50 首先执行 HePA。

[0158] 负载锁 10B 进入恒定的真空状态，设置在负载锁 10B 和传送室之间的阀门 140B 打开，并且半导体衬底 130 通过臂 100 传送，并导入 P 型掺杂室 50 且设置在其内。对于首先执行的 HePA，在 0.9Pa 的真空中度时，He 等离子体产生七秒钟，因此导致半导体单晶衬底变得无定形，如非专利文件 1 所述。

[0159] 接下来，转换反应物气体用于 P 型掺杂。如非专利文件 1 所述，在 0.9Pa 的真空中度时，通过 P 型掺杂，B<sub>2</sub>H<sub>6</sub> 等离子体产生十秒钟，并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 一次穿过负载锁 10A，并且传送到装置的外面，且传送到包括用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 的装置 72 的负载锁 10D。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除，但为了避免半导体

衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。

[0160] 经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10D 传送到装置的外面。

[0161] 半导体衬底 130 经受随后的后处理和平版印刷步骤,并且 N 型掺杂区域被形成图案,并且半导体衬底 130 此后设置在负载锁 10C 内。首先,通过使用 N 型掺杂室 60,在经受 N 型形成图案的区域上也执行 HePA。

[0162] 负载锁 10C 进入恒定的真空状态,并且设置在负载锁 10C 和传送室之间的阀门 140C 打开,并且半导体衬底 130 通过臂 110 传送,并导入到 N 型掺杂室 60 且设置在其内。对于首先执行的 HePA,在 0.9Pa 的真空度时,He 等离子体产生七秒钟,因而导致半导体单晶衬底变得无定形,如非专利文件 1 所述。

[0163] 然后,转换反应物气体用于 N 型掺杂。

[0164] 在此,通过 N 型掺杂,与 PH<sub>3</sub>一起 PH<sub>3</sub>等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 一次穿过负载锁 10C,并且由此传送到装置的外面。

[0165] 随后,半导体衬底 130 传送到包括用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 的装置 82 的负载锁 10E,并且通过臂 116 设置在 N 型灰化室 80 内。在此,变质的和固化的抗蚀层通过 N 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 20nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 110 通过负载锁 10C 传送到装置的外面。

[0166] 对于第四项技术,用 He 稀释 P 型或 N 型掺杂物,并且在同时展现 HePA 效应的情况下同时实施 PA 和掺杂。

[0167] 负载锁 10B 设置有至少一个其中 P 型掺杂区域通过平版印刷步骤由光刻胶形成图案的半导体衬底 130。

[0168] 负载锁 10B 进入恒定的真空状态,设置在负载锁 10B 和传送室之间的阀门 140B 打开,并且半导体衬底 130 通过臂 110 传送,并导入 P 型掺杂室 50 且设置在其内。在此,与主要用 He 稀释的 B<sub>2</sub>H<sub>6</sub> 气体一起,通过 P 型掺杂,B<sub>2</sub>H<sub>6</sub>等离子体产生七秒钟,并且在半导体衬底上实施 P 型掺杂。经受 P 型掺杂的半导体衬底 130 一次通过负载锁 10A,并且传送到装置的外面,并且传送到包括用于去除经受 P 型掺杂的半导体衬底上的光刻胶的 P 型灰化室 70 的装置 72 的负载锁 10D,并且设置在 P 型灰化室 70 内。变质的和固化的抗蚀层通过 P 型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约 15nm 厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底 130 借助臂 100 通过负载锁 10D 传送到装置的外面。

[0169] 半导体衬底 130 经受随后的后处理和平版印刷步骤,并且 N 型掺杂区域被形成图案,并且半导体衬底 130 此后设置在负载锁 10C 内。

[0170] 在此,与主要用 He 稀释的 PH<sub>3</sub>气体一起,通过 N 型掺杂,PH<sub>3</sub>等离子体产生十秒钟,并且在半导体衬底上实施 N 型掺杂。经受 N 型掺杂的半导体衬底 130 借助臂 110 一次穿过负载锁 10C,从而传送到装置的外面。

[0171] 随后,半导体衬底 130 传送到包括用于去除经受 N 型掺杂的半导体衬底上的光刻胶的 N 型灰化室 80 的装置 82 的负载锁 10E,并且通过臂 116 设置在 N 型灰化室 80 内。在

此,变质的和固化的抗蚀层通过N型掺杂而去除。尽管所有的抗蚀层可去除,但为了避免半导体衬底的氧化,通过简单地去除具有大约20nm厚度的变质的和固化的层,有可能充分地实现功能。经受灰化的半导体衬底130借助臂110通过负载锁10C传送到装置的外面。

[0172] 在上述的方法中,用于半导体衬底130的必须的P型和N型掺杂以第一至第四方法结束,并且半导体衬底130传送到随后的退火步骤。因为在退火步骤中,P型区域和N型区域在超精细的图案中已经彼此靠近,实际上不可能分开执行此步骤。然而,为了保护在同样装置内的,以及在通过考虑表面处理的传送方法传送的邻近装置内的,或完全整个不同的装置内的半导体的表面,在具有惰性气体或在普通温度下,可在真空下不会与半导体起反应的气氛中实施传送和退火。

[0173] 此外,如果使用在所有的实施例中作为例子使用的B<sub>2</sub>H<sub>6</sub>或PH<sub>3</sub>,当导入硼或磷时,也导入了氢。在此情况下,如果在半导体装置内氢不实施非优选的动作,结果是其也可能同时导入。虽然在实施例中没有给出描述,但BF<sub>3</sub>气体在半导体工业中经常使用。同时,当导入硼时,也导入了氟。在此情况下,如果在半导体装置内氟不实施非优选的动作,结果是其也可能同时导入。

[0174] 工业实用性

[0175] 在半导体装置的制造中,将杂质导入半导体衬底内,有可能防止保持正电和负电特性的物质在某步骤混合,由此高精度地控制导入杂质的量。因此,本发明可实施用于制造例如VLSI的精密的半导体集成电路装置。

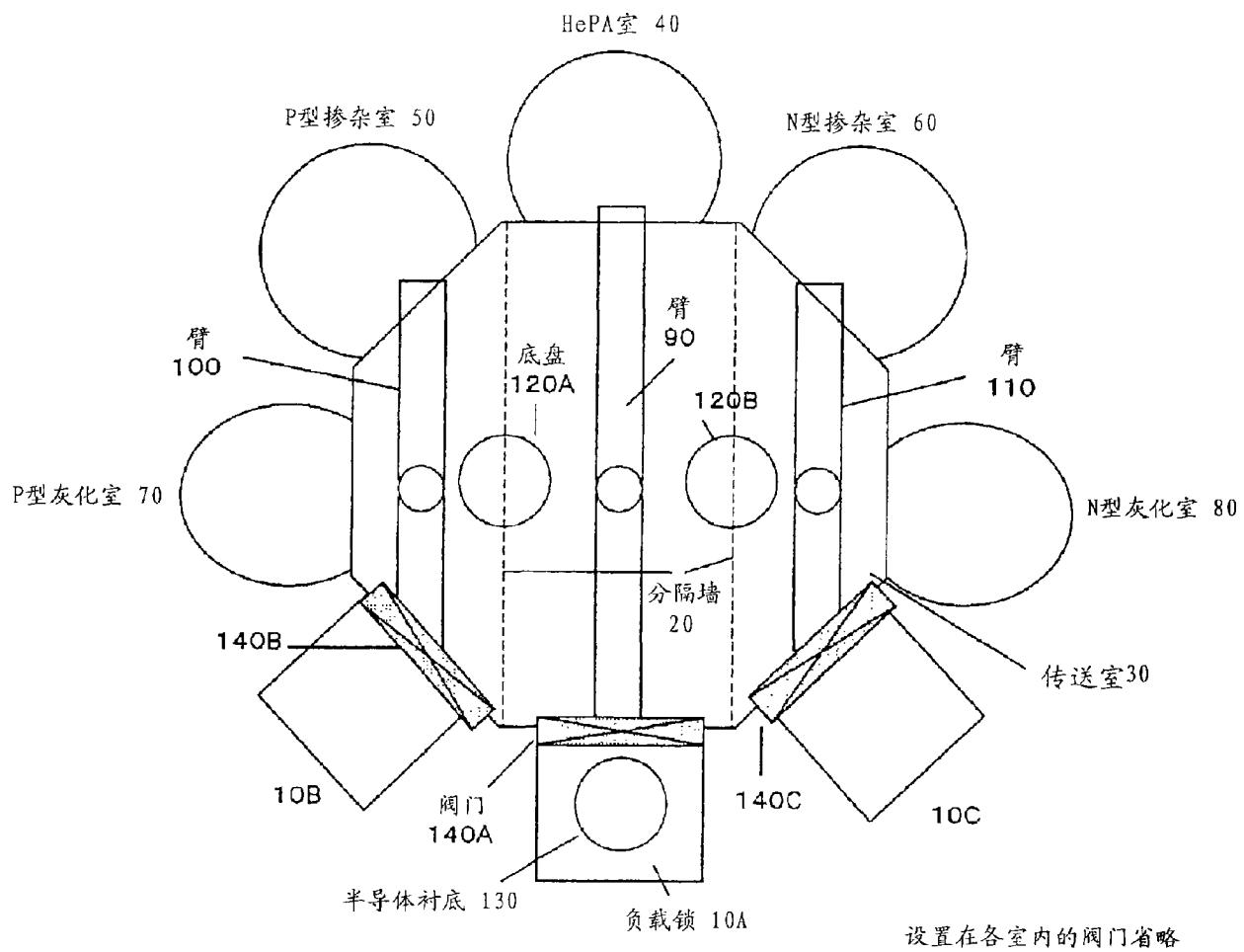


图 1

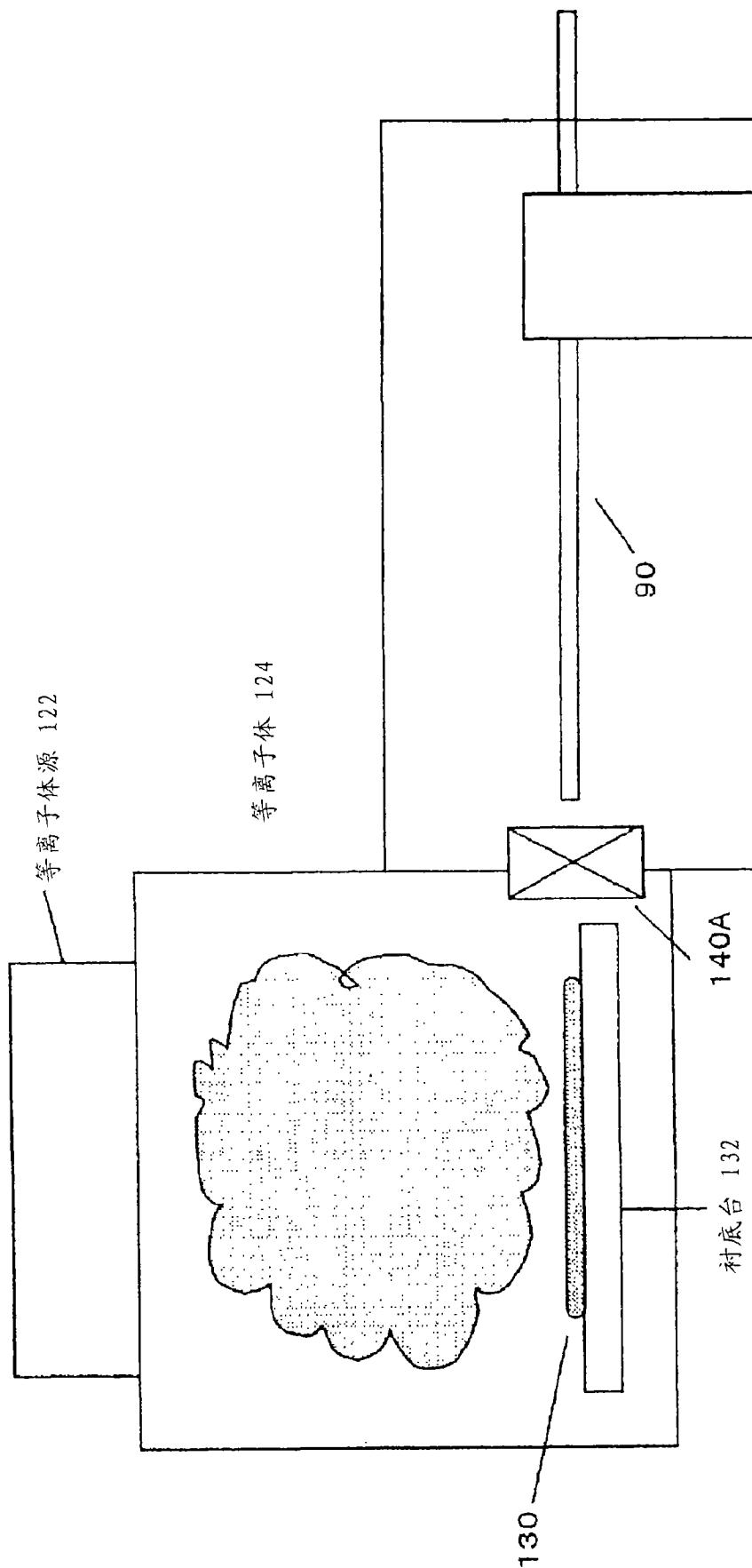
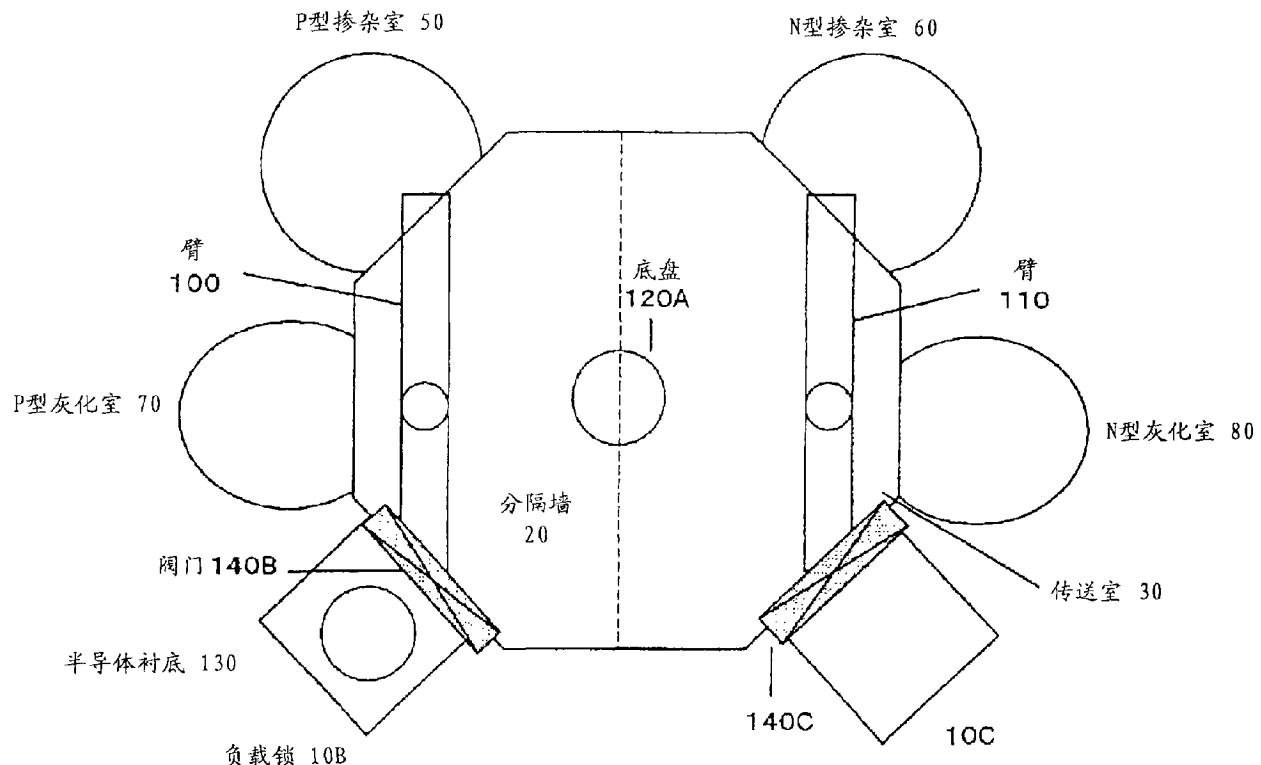


图 2



设置在各室内的阀门省略

图 3

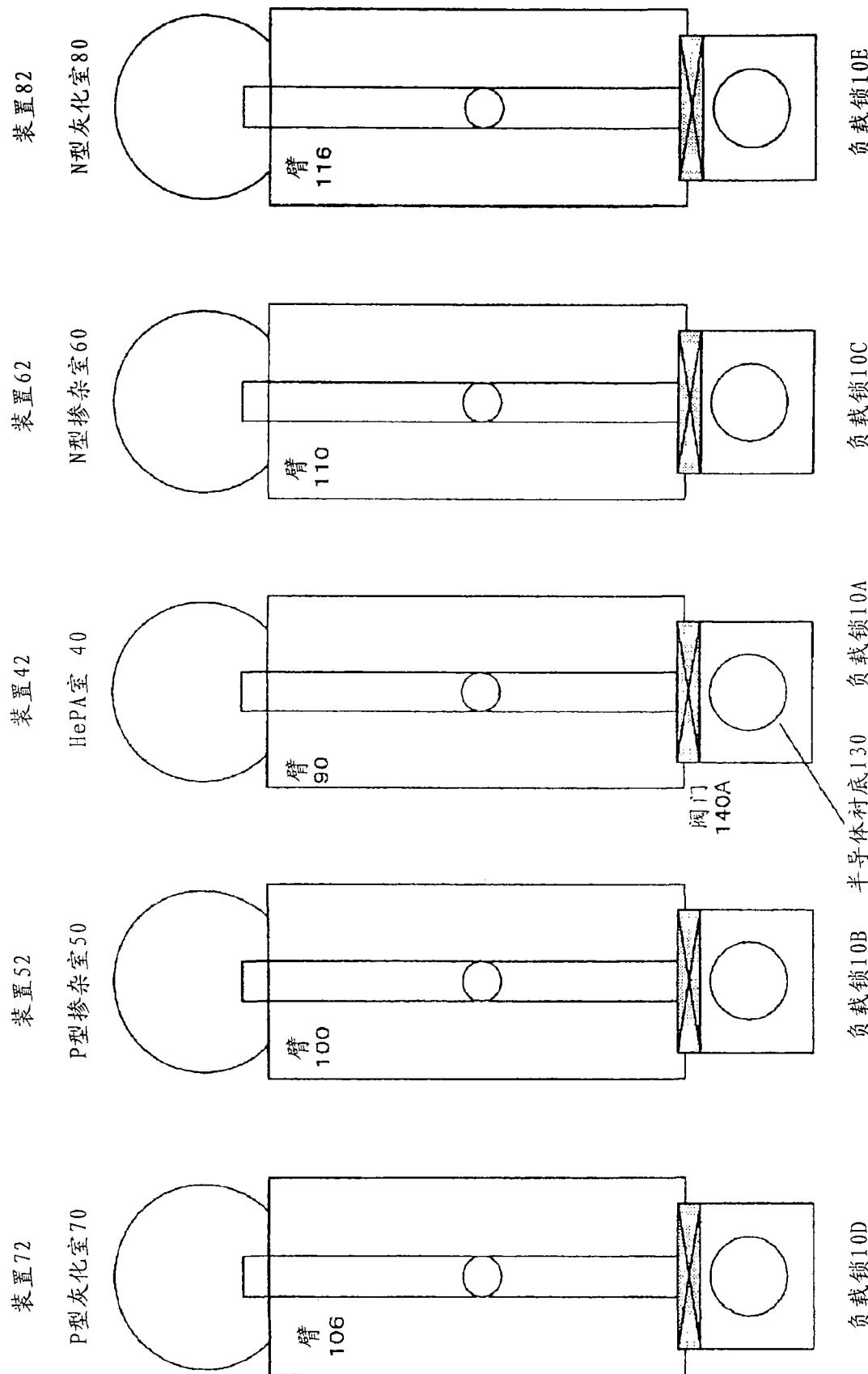


图 4

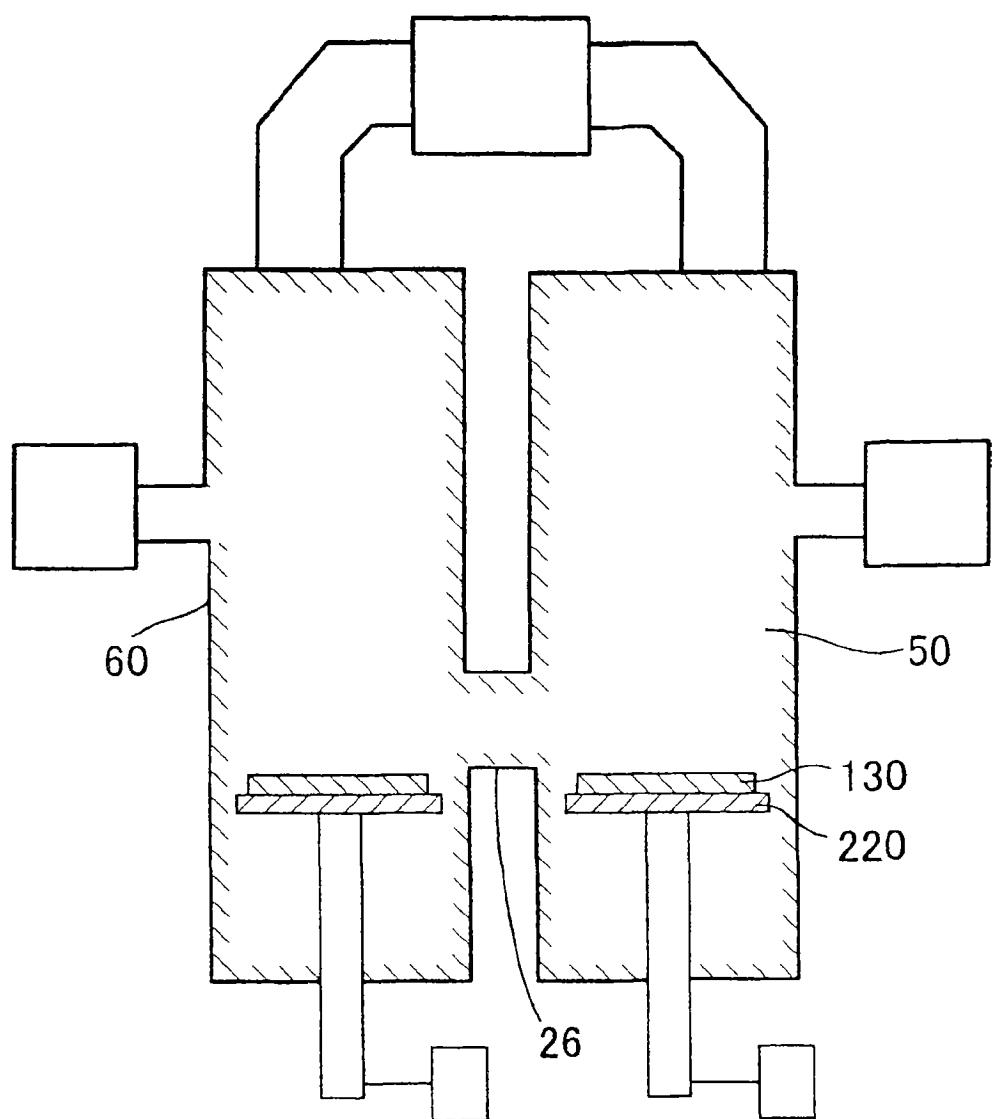


图 5