



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월08일
(11) 등록번호 10-1886818
(24) 등록일자 2018년08월02일

(51) 국제특허분류(Int. Cl.)
H01L 31/072 (2006.01) H01L 31/0224 (2006.01)
H01L 31/0236 (2006.01) H01L 31/0376 (2006.01)
H01L 31/18 (2006.01)

(52) CPC특허분류
H01L 31/072 (2013.01)
H01L 31/022466 (2013.01)

(21) 출원번호 10-2018-0086576(분할)

(22) 출원일자 2018년07월25일

심사청구일자 2018년07월25일

(62) 원출원 특허 10-2017-0083689

원출원일자 2017년06월30일

심사청구일자 2017년06월30일

(56) 선행기술조사문헌

KR1020120127613 A

(뒷면에 계속)

전체 청구항 수 : 총 4 항

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

장효식

대전광역시 유성구 궁동 220 충남대학교

(74) 대리인

김호중

심사관 : 방기인

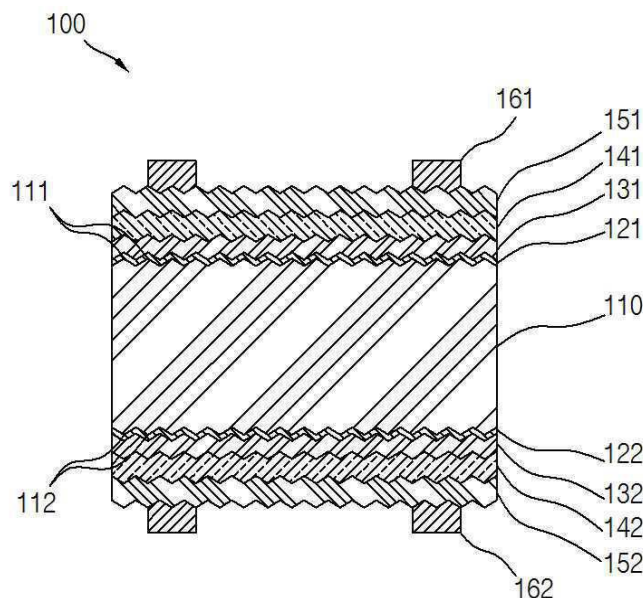
(54) 발명의 명칭 이중 접합 실리콘 태양 전지의 제조 방법

(57) 요약

본 발명의 일 실시예는 태양 전지 및 그 제조 방법에 관한 것으로, 해결하고자 하는 기술적 과제는 도전형 결정질 실리콘 기판과 진성 비정질 실리콘 박막의 사이에 터널링에 의해 전기 전도도가 우수하고 패시베이션 특성이 우수한 터널 산화막을 더 형성하여 효율 특성을 향상시킬 수 있는 이중 접합 실리콘 태양 전지 및 그 제조 방법

(뒷면에 계속)

대표도 - 도1



을 제공하는데 있다.

이를 위해 본 발명은 제1도전형 결정질 실리콘 기판; 상기 제1도전형 결정질 실리콘 기판의 상면에 형성된 상부 터널 산화막; 상기 제1도전형 결정질 실리콘 기판의 하면에 형성된 하부 터널 산화막; 상기 상부 터널 산화막에 형성된 상부 진성 비정질 실리콘 박막; 상기 하부 터널 산화막에 형성된 하부 진성 비정질 실리콘 박막; 상기 상부 진성 비정질 실리콘 박막에 형성된 제2도전형 비정질 실리콘 박막; 상기 하부 진성 비정질 실리콘 박막에 형성된 제1도전형 비정질 실리콘 박막; 상기 제2도전형 비정질 실리콘 박막에 형성된 상부 투명 전극; 및 상기 제1도전형 비정질 실리콘 박막에 형성된 하부 투명 전극을 포함하는 이중 접합 실리콘 태양 전지를 개시한다.

(52) CPC특허분류

H01L 31/02366 (2013.01)

H01L 31/0376 (2013.01)

H01L 31/186 (2013.01)

(56) 선행기술조사문헌

KR1020120063818 A

KR1020150029201 A

JP2014072406 A

KR1020120122002 A

KR1020130016848 A

KR1020170048515 A

WO2012166974 A2

이 발명을 지원한 국가연구개발사업

과제고유번호 20153010012090

부처명 산업통상자원부

연구관리전문기관 한국에너지기술평가원

연구사업명 에너지기술개발사업

연구과제명 100MW급 이상의 n형 이중접합 결정질 실리콘 태양전지 핵심 공정장비 기술개발

기 여 율 1/1

주관기관 (주)주성엔지니어링

연구기간 2016.10.01 ~ 2017.09.30

명세서

청구범위

청구항 1

상면 및 하면에 텍스처 구조를 형성한 제1도전형 결정질 실리콘 기판을 제공하는 단계;

상기 제1도전형 결정질 실리콘 기판에 질산, 염산, 황산, 인산 또는 불산을 이용한 화학적 산화 처리를 1분 내지 5분 동안 수행하여 상기 제1도전형 결정질 실리콘 기판의 상면 및 하면에 각각에 화학적 산화막을 형성하는 단계;

상기 제1도전형 결정질 실리콘 기판 상면 및 하면의 화학적 산화막에 각각 100℃ 내지 400℃의 온도 분위기에서 1차 열처리를 수행하면서 원자층 증착법으로 Al_2O_3 를 증착하여 텍스처 구조의 상부 터널 산화막 및 하부 터널 산화막을 형성하는 단계;

150℃ 내지 600℃의 온도 분위기에서 10분 내지 30분간 상기 상부 터널 산화막 및 상기 하부 터널 산화막에 2차 열처리를 수행하여 상기 상부 터널 산화막 및 상기 하부 터널 산화막의 표면 커버리지를 증가시키는 단계;

상기 상부 터널 산화막에 텍스처 구조의 상부 진성 비정질 실리콘 박막을 형성하고, 상기 하부 터널 산화막에 텍스처 구조의 하부 진성 비정질 실리콘 박막을 형성하는 단계;

상기 상부 진성 비정질 실리콘 박막에 텍스처 구조의 제2도전형 비정질 실리콘 박막을 형성하고, 상기 하부 진성 비정질 실리콘 박막에 텍스처 구조의 제1도전형 비정질 실리콘 박막을 형성하는 단계; 및

상기 제2도전형 비정질 실리콘 박막에 텍스처 구조의 상부 투명 전극을 형성하고, 상기 제1도전형 비정질 실리콘 박막에 텍스처 구조의 하부 투명 전극을 형성하는 단계를 포함하는 이중 접합 실리콘 태양 전지의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 상부 터널 산화막 및 상기 하부 터널 산화막을 형성하는 단계에서,

레이어 바이 레이어(layer-by-layer)로 증착시켜 상기 상부 터널 산화막 및 상기 하부 터널 산화막의 표면 커버리지를 증가시키는 이중 접합 실리콘 태양 전지의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 상부 터널 산화막 및 상기 하부 터널 산화막을 0.8nm 내지 2.0nm의 두께로 형성하는 이중 접합 실리콘 태양 전지의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제1도전형은 n형 불순물을 포함하고, 상기 제2도전형은 p형 불순물을 포함하는 이중 접합 실리콘 태양 전지의 제조 방법.

발명의 설명

기술 분야

본 발명의 일 실시예는 이중 접합 실리콘 태양 전지 및 그 제조 방법에 관한 것이다.

배경 기술

[0001]

- [0002] 일반적으로 태양 전지는 태양광을 직접 전기로 변환시키는 태양광 발전의 핵심 소자로서, 기본적으로 p-n 접합으로 이루어진 다이오드(Diode)라 할 수 있다.
- [0003] 태양광이 태양 전지에 의해 전기로 변환되는 과정을 살펴보면, 태양 전지의 p-n 접합부에 태양광이 입사되어 전자-정공 쌍이 생성되고, 전기장에 의해 전자는 n층으로, 정공은 p층으로 이동하게 되어 p-n 접합부 사이에 광기전력이 발생되며, 이때 태양 전지의 양단에 부하나 시스템을 연결하면 전류가 흐르게 되어 전력을 생산할 수 있게 된다.
- [0004] 태양 전지는 일반적으로 n형 실리콘 기판 상에 p형 반도체층이 형성된 구조를 이루는데, 이때 p형 반도체층은 p형 불순물의 도핑에 의해 형성된다. 이에, 실리콘 기판의 하층부는 n형 반도체층으로 남고, 상층부는 p형 반도체층을 이루게 되어 p-n 접합부를 구성한다. 그리고 실리콘 기판의 전후면에는 p-n 접합부에 의해 광생성된 소수 운송자(정공) 및 다수 운송자(전자)를 포집하기 위한 금속 전극이 형성된다.
- [0005] 이러한 태양 전지를 개발하는 경우에는 항상 실리콘 기판 표면의 패시베이션 특성을 향상시켜 소수 운송자의 재결합율을 최소화시킴으로써 태양 전지의 광전변환효율을 극대화시키는 것이 주요 과제로 작용하게 된다.
- [0006] 최근에는 운송자의 터널링(tunnelling)에 의한 전기 전도도가 우수하고 패시베이션 특성이 우수한 비정질 실리콘(a-Si) 박막을 실리콘 기판과 전극 사이에 배치하고, 실리콘 기판과 비정질 실리콘 박막 사이에 진성(intrinsic) 비정질 실리콘 박막을 추가하여, 태양 전지 효율 특성을 획기적으로 향상시킨 HIT(Heterojunction with Intrinsic Thin layer) 태양 전지가 개발되고 있다.
- [0007] HIT 태양 전지는 일본의 'Sanyo'사에서 개발한 제품명으로 비정질 실리콘과 결정질 실리콘의 장점을 동시에 이용한 구조이다. 진성 비정질 실리콘 박막은 포함되어 있는 전자의 수와 정공의 수가 동일한 개수에 가까운 비정질 실리콘 박막층으로서 이를 이용하여 결정질 실리콘 기판과 비정질 실리콘 박막 사이 계면의 결함 등으로 인한 전자와 정공의 재결합을 방지한다. 특히, 종래의 HIT 태양 전지는 진성 비정질 실리콘 박막의 두께를 대략 5 nm로 형성함으로써, 대략 20% 이상이 높은 효율을 보이고 있다. 더불어, 이러한 진성 비정질 실리콘 박막의 두께는 양산성 및 터널링 특성을 더욱 향상시키기 위해 더욱 얇은 두께가 요구되고 있다.
- [0008] 그러나, 이러한 진성 비정질 실리콘 박막은 포러스(porous)한 특성을 갖고 있기 때문에, 진공 박막 증착 챔버 내부에서 도펀트 및/또는 금속 불순물에 의해 오염이 쉽게 발생하고, 이에 따라 특성 향상을 위해 진성 비정질 실리콘 박막의 두께 저감에 어려움을 겪고 있다.
- [0009] 이러한 발명의 배경이 되는 기술에 개시된 상술한 정보는 본 발명의 배경에 대한 이해도를 향상시키기 위한 것뿐이며, 따라서 종래 기술을 구성하지 않는 정보를 포함할 수도 있다.

발명의 내용

해결하려는 과제

- [0010] 본 발명의 일 실시예에 따른 해결하고자 하는 과제는 도전형 결정질 실리콘 기판과 진성 비정질 실리콘 박막의 사이에 터널링에 의해 전기 전도도가 우수하고 패시베이션 특성이 우수한 터널 산화막을 더 형성하여 효율 특성을 향상시킬 수 있는 이중 접합 실리콘 태양 전지 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

- [0011] 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지는 1도전형 결정질 실리콘 기판; 상기 제1도전형 결정질 실리콘 기판의 상면에 형성된 상부 터널 산화막; 상기 제1도전형 결정질 실리콘 기판의 하면에 형성된 하부 터널 산화막; 상기 상부 터널 산화막에 형성된 상부 진성 비정질 실리콘 박막; 상기 하부 터널 산화막에 형성된 하부 진성 비정질 실리콘 박막; 상기 상부 진성 비정질 실리콘 박막에 형성된 제2도전형 비정질 실리콘 박막; 상기 하부 진성 비정질 실리콘 박막에 형성된 제1도전형 비정질 실리콘 박막; 상기 제2도전형 비정질 실리콘 박막에 형성된 상부 투명 전극; 및 상기 제1도전형 비정질 실리콘 박막에 형성된 하부 투명 전극을 포함한다.
- [0012] 상기 상부 터널 산화막 및 하부 터널 산화막은 Al_2O_3 을 포함할 수 있다.
- [0013] 상기 상부 터널 산화막 및 하부 터널 산화막은 각각의 두께가 0.8 nm 내지 2 nm 일 수 있다.
- [0014] 상기 제1도전형 결정질 실리콘 기판의 상면에는 상부 텍스처 구조가 형성되고, 상기 상부 텍스처 구조에 상부 터널 산화막이 형성되며, 상기 제1도전형 결정질 실리콘 기판의 하면에는 하부 텍스처 구조가 형성되고, 상기

하부 텍스처 구조에 하부 터널 산화막이 형성될 수 있다.

[0015] 상기 제1도전형은 n형 불순물을 포함하고, 상기 제2도전형은 p형 불순물을 포함할 수 있다.

[0016] 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지의 제조 방법은 상면 및 하면에 텍스처 구조를 형성한 제1도전형 결정질 실리콘 기판을 제공하는 단계; 상기 제1도전형 결정질 실리콘 기판의 상면 및 하면에 각각 상부 터널 산화막 및 하부 터널 산화막을 형성하는 단계; 상기 상부 터널 산화막에 상부 진성 비정질 실리콘 박막을 형성하고, 상기 하부 터널 산화막에 하부 진성 비정질 실리콘 박막을 형성하는 단계; 상기 상부 진성 비정질 실리콘 박막에 제2도전형 비정질 실리콘 박막을 형성하고, 상기 하부 진성 비정질 실리콘 박막에 제1도전형 비정질 실리콘 박막을 형성하는 단계; 및 상기 제2도전형 비정질 실리콘 박막에 상부 투명 전극을 형성하고, 상기 제1도전형 비정질 실리콘 박막에 하부 투명 전극을 형성하는 단계를 포함한다.

[0017] 상기 상부 터널 산화막 및 하부 터널 산화막을 형성하기 전에, 상기 제1도전형 결정질 실리콘 기판의 상면 및 하면을 SC-1 솔루션, SC-2 솔루션 또는 질산으로 1분 내지 5분 동안 화학적 산화 처리를 수행하는 단계를 더 포함할 수 있다.

[0018] 상기 상부 터널 산화막 및 하부 터널 산화막을 형성하는 단계는 100℃ 내지 400℃의 온도 분위기에서 원자층 증착법으로 Al₂O₃를 0.8 nm 내지 2 nm의 두께로 증착할 수 있다.

[0019] 상기 상부 및 하부 진성 비정질 실리콘 박막을 형성하기 전에 상기 상부 터널 산화막 및 하부 터널 산화막을 150℃ 내지 600℃의 온도 분위기에서 10분 내지 30분간 열처리하는 단계를 더 포함할 수 있다.

발명의 효과

[0020] 본 발명의 일 실시예는 결정질 실리콘 기판과 진성 비정질 실리콘 박막의 사이에 터널링에 의해 전기 전도도가 우수하고 패시베이션 특성이 우수한 터널 산화막을 더 형성하여 효율 특성을 향상시킬 수 있는 이중 접합 실리콘 태양 전지 및 그 제조 방법을 제공한다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지의 구조를 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지의 제조 방법을 도시한 순서도이다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지의 제조 방법을 도시한 순차 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0023] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0024] 또한, 이하의 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본 명세서에서 "연결된다"라는 의미는 A 부재와 B 부재가 직접 연결되는 경우뿐만 아니라, A 부재와 B 부재의 사이에 C 부재가 개재되어 A 부재와 B 부재가 간접 연결되는 경우도 의미한다.

[0025] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise, include)" 및/또는 "포함하는(comprising, including)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및 /또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0026] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되

지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안 됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제2부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.

- [0027] "하부(beneath)", "아래(below)", "낮은(lower)", "상부(above)", "위(upper)"와 같은 공간에 관련된 용어가 도면에 도시된 한 요소 또는 특징과 다른 요소 또는 특징의 용이한 이해를 위해 이용될 수 있다. 이러한 공간에 관련된 용어는 본 발명의 다양한 공정 상태 또는 사용 상태에 따라 본 발명의 용이한 이해를 위한 것이며, 본 발명을 한정하기 위한 것은 아니다. 예를 들어, 도면의 요소 또는 특징이 뒤집어지면, "하부" 또는 "아래"로 설명된 요소 또는 특징은 "상부" 또는 "위에"로 된다. 따라서, "하부"는 "상부" 또는 "아래"를 포괄하는 개념이다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 구조를 도시한 단면도이다.
- [0030] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)는 제1도전형 결정질 실리콘 기판(110)과, 상부 터널 산화막(121)과, 하부 터널 산화막(122)과, 상부 진성 비정질 실리콘 박막(131)과, 하부 진성 비정질 실리콘 박막(132)과, 제2도전형 비정질 실리콘 박막(141)과, 제1도전형 비정질 실리콘 박막(142)과, 상부 투명 전극(151)과, 하부 투명 전극(152)을 포함할 수 있다. 또한, 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)는 상부 금속 전극(161)과, 하부 금속 전극(162)을 더 포함할 수 있다.
- [0031] 제1도전형 결정질 실리콘 기판(110)은 대략 평평한 상면과, 이의 반대면으로서 대략 평평한 하면을 포함하며, 예를 들면, 한정하는 것은 아니지만, n형 불순물을 포함하는 반도체일 수 있다. 이러한 제1도전형 결정질 실리콘 기판(110)은 광 포집 효율이 향상되도록 상면에 형성된 상부 텍스처 구조(111)와 하면에 형성된 하부 텍스처 구조(112)를 더 포함할 수 있다.
- [0032] 상부 터널 산화막(121)은 제1도전형 결정질 실리콘 기판(110)의 상면(즉, 상부 텍스처 구조(111))에 형성된다. 더불어, 하부 터널 산화막(122) 역시 제1도전형 결정질 실리콘 기판(110)의 하면(즉, 하부 텍스처 구조(112))에 형성된다.
- [0033] 상부 터널 산화막(121) 및 하부 터널 산화막(122)은, 예를 들면, 한정하는 것은 아니지만, Al_2O_3 , SiO_2 또는 Si_3N_4 를 포함할 수 있다. 또한, 상부 터널 산화막(121) 및 하부 터널 산화막(122)은 각각 대략 0.8 nm 내지 2 nm의 두께로 형성될 수 있다. 상부 터널 산화막(121) 및 하부 터널 산화막(122)의 두께를 각각 대략 0.8 nm의 미만으로 형성하면 터널 산화막을 중심으로 그 상,하부에 있는 층이 상호간 직접 쇼트될 수 있고, 상부 터널 산화막(121) 및 하부 터널 산화막(122)의 두께를 대략 2 nm보다 크게 형성하면, 전자의 터널링 효율이 저하될 수 있다.
- [0034] 상부 진성 비정질 실리콘 박막(131)은 상부 터널 산화막(121)에 형성되고, 하부 진성 비정질 실리콘 박막(132)은 하부 터널 산화막(122)에 형성됨으로써, 전자-정공의 재결합을 억제하는 패시베이션층 역할을 한다. 즉, 상부 진성 비정질 실리콘 박막(131) 및 하부 진성 비정질 실리콘 박막(132)은 전자-정공의 개수가 현저히 적으므로, 전자-정공의 재결합이 억제되어 열이 덜 발생하게 되고 또한 전류가 덜 손실된다.
- [0035] 상부 진성 비정질 실리콘 박막(131) 및 하부 진성 비정질 실리콘 박막(132)은, 예를 들면, 한정하는 것은 아니지만, a-Si:H를 포함할 수 있다.
- [0036] 여기서, 상술한 상부 터널 산화막(121) 및 하부 터널 산화막(122)에 의해, 포러스한 상부 진성 비정질 실리콘 박막(131) 및 포러스한 하부 진성 비정질 실리콘 박막(132)이 더욱 얇고(예를 들면, 대략 5 nm 이하) 균일하게 형성될 수 있다.
- [0037] 제2도전형 비정질 실리콘 박막(141)은 상부 진성 비정질 실리콘 박막(131)에 형성되고, 제1도전형 비정질 실리콘 박막(142)은 하부 진성 비정질 실리콘 박막(132)에 형성된다. 여기서, 제2도전형은, 예를 들면, 한정하는 것은 아니지만, p형 불순물을 포함할 수 있다.
- [0038] 이러한 구조에 의해 제2도전형 비정질 실리콘 박막(141)은 에미터층으로서 기능을 수행하도록 하고, 제1도전형 비정질 실리콘 박막(142)은 후면 전계층으로서 기능을 수행하도록 한다.
- [0039] 즉, 효율이 더 높은 것으로 알려진 n형의 결정질 실리콘 기판을 사용하는 경우에는, 비정질 실리콘 박막(에미터 층)이 p형으로 도핑된 비정질 실리콘(p-type a-Si:H) 재질로서 결정질 실리콘 기판과 p-n 접합을 구성하고, 또

다른 비정질 실리콘 박막(후면 전계층)은 n형으로 도핑된 비정질 실리콘(n-type a-Si:H) 재질로서 후면 전계(BSF, back surface field)를 형성하도록 한다.

- [0040] 반대로, p형의 결정질 실리콘 기판을 사용하는 경우에는, 비정질 실리콘 박막(에미터층)이 n형으로 도핑된 비정질 실리콘(n-type a-Si:H) 재질이고, 또 다른 비정질 실리콘 박막(후면 전계층)은 p형으로 도핑된 비정질 실리콘(p-type a-Si:H) 재질일 것이다.
- [0041] 또한, 도 1에 도시된 바와 같이, 제2도전형 비정질 실리콘 박막(141)(에미터층)이 상부에 위치하고 제1도전형 비정질 실리콘 박막(142)(후면 전계층)이 하부에 위치하는 것으로 도시되어 있으나, 상하 양면에서 입사되는 빛을 이용하기 때문에 그 위치가 뒤바뀔 수 있다.
- [0042] 상부 투명 전극(151)은 제2도전형 비정질 실리콘 박막(141)에 형성되고, 하부 투명 전극(152)은 제1도전형 비정질 실리콘 박막(142)에 형성됨으로써, 반사 방지 역할을 하는 동시에 전극 역할을 수행하도록 한다.
- [0043] 이러한 상부 투명 전극(151) 및 하부 투명 전극(152)은, 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면에 형성된 상부 텍스처 구조(111) 및 하부 텍스처 구조(112)로 인해, 마찬가지로 상부 텍스처 구조 및 하부 텍스처 구조를 포함하여 광 포집 효율이 향상되도록 한다.
- [0044] 또한, 상부 투명 전극(151) 및 하부 투명 전극(152)은, 예를 들면, 한정하는 것은 아니지만, ITO(indium tin oxide) 또는 도핑된 ZnO 박막으로 형성될 수 있다.
- [0045] 상부 금속 전극(161)은 상부 투명 전극(151)에 형성되고, 하부 금속 전극(162)은 하부 투명 전극(152)에 형성된다. 본 발명의 실시예에 따른 이중 접합 실리콘 태양 전지(100)에서는 상부 및 하부에서 입사되는 태양광을 모두 발전에 이용할 수 있도록 상부 금속 전극(161) 및 하부 금속 전극(162)이 그리드 형태로 형성될 수 있다. 상부 금속 전극(161) 및 하부 금속 전극(162)은, 예를 들면, 한정하는 것은 아니지만, 금, 은, 구리, 알루미늄, 니켈, 팔라듐의 단독 또는 합금으로 형성될 수 있다.
- [0046] 이와 같이 하여, 본 발명의 실시예에 따른 이중 접합 실리콘 태양 전지(100)는 결정질 실리콘 기판과 진성 비정질 실리콘 박막의 사이에 터널링에 의해 전기 전도도가 우수하고 패시베이션 특성이 우수한 터널 산화막이 더 형성됨으로써, 효율 특성(예를 들면, 개방전압(V_{oc}), 단락 전류(I_{sc}), 곡선 인자(FF) 등)이 더욱 향상된다.
- [0048] 도 2는 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 제조 방법을 도시한 순서도이다.
- [0049] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 제조 방법은 제1도전형 결정질 실리콘 기판을 제공하는 단계(S1)와, 터널 산화막을 형성하는 단계(S2)와, 진성 비정질 실리콘 박막을 형성하는 단계(S3)와, 제1,2도전형 비정질 실리콘 박막을 형성하는 단계(S4)와, 투명 전극을 형성하는 단계(S5)를 포함할 수 있다. 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 제조 방법은 금속 전극을 형성하는 단계(S6)를 더 포함할 수 있다.
- [0051] 도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 제조 방법을 도시한 순차 단면도이다.
- [0052] 도 3a에 도시된 바와 같이, 제1도전형 결정질 실리콘 기판(110)을 제공하는 단계(S1)에서, 대략 평평한 상면과, 이의 반대면으로서 대략 평평한 하면을 포함하며, 예를 들면, 한정하는 것은 아니지만, n형 불순물을 포함하는 제1도전형 결정질 실리콘 기판(110)이 제공된다.
- [0053] 여기서, 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면에는 각각 광 포집 효율이 향상되도록 상부 텍스처 구조(111)와 하부 텍스처 구조(112)가 각각 형성될 수 있다. 예를 들면, 한정하는 것은 아니지만, 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면이 습식 또는 건식 식각되어 각각 표면 텍스처 구조가 형성될 수 있다.
- [0054] 이러한 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면에 각각 형성된 상부 텍스처 구조(111) 및 하부 텍스처 구조(112)는 이하에서 설명될 상부 터널 산화막(121), 하부 터널 산화막(122), 상부 진성 비정질 실리콘 박막(131), 하부 진성 비정질 실리콘 박막(132), 제2도전형 비정질 실리콘 박막(141), 제1도전형 비정질 실리콘 박막(142), 상부 투명 전극(151) 및 하부 투명 전극(152)에도 마찬가지로 텍스처 구조가 형성되도록 하여, 본 발명의 실시예에 따른 이중 접합 실리콘 태양 전지(100)의 광 포집 효율이 더욱 향상되도록 한다.
- [0055] 한편, 제1도전형 결정질 실리콘 기판을 제공하는 단계(S1)와 하기할 터널 산화막을 형성하는 단계(S2)의 사이에 화학적 산화 처리 단계(화학적 산화막 생성 단계)가 더 수행될 수 있다.

- [0056] 즉, 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면이 SC-1 솔루션, SC-2 솔루션, 질산, 염산, 황산, 인산 또는 불산으로 1분 내지 5분 동안 화학적 산화 처리될 수 있다. 즉, 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면이 SC-1 솔루션, SC-2 솔루션, 질산, 염산, 황산, 인산 또는 불산으로 1분 내지 5분 동안 화학적 산화 처리되어, 일정 두께의 화학적 산화막이 형성될 수 있다.
- [0057] 일례로, 암모니아, 과산화수소, 물을 일정한 비율로 섞어서 대략 75 °C 내지 90 °C 정도의 온도에서 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면에 존재할 수 있는 입자 및 유기 오염물이 제거될 수 있다.[SC-1(Standard Cleaning-1)]
- [0058] 다른 예로, 염산, 과산화수소, 물을 일정한 비율로 섞어 대략 75 °C 내지 90 °C 정도의 온도에서 제1도전형 결정질 실리콘 기판(110)의 상면 및 하면에 존재할 수 있는 친이성 금속 오염물이 제거될 수 있다. [SC-2(Standard Cleaning-2)]
- [0059] 또한, 이러한 세정 이후에, 상술한 SC-1 및/또는 SC-2 등에 의해 대략 1분 내지 5분 동안 처리되어 일정 두께의 화학적 산화막이 형성될 수 있다.
- [0060] 실질적으로, 상술한 세정 단계와 화학적 산화막 생성 단계는 별도의 공정에서 수행되거나 또는 동일 공정으로 수행될 수 있다.
- [0061] 이러한 화학적 산화 처리 단계에 의해, 하기할 터널 산화막을 형성하는 단계(S2)에서 핵성장 위치(nucleation cite)가 증가하게 되어, 터널 산화막이 레이어 바이 레이어(layer-by-layer)로 균일하게 증착될 수 있고, 이에 따라 터널 산화막의 표면 커버리지(surface coverage)가 증가되어 결국 패시베이션 특성이 더욱 향상된다.
- [0062] 도 3b에 도시된 바와 같이, 터널 산화막을 형성하는 단계(S2)에서, 제1도전형 결정질 실리콘 기판(110)의 상면(즉, 상부 텍스처 구조(111))에 상부 터널 산화막(121)이 형성되고, 제1도전형 결정질 실리콘 기판(110)의 하면(즉, 하부 텍스처 구조(112))에 하부 터널 산화막(122)이 형성된다.
- [0063] 여기서, 상부 터널 산화막(121) 및 하부 터널 산화막(122)을 형성하는 단계는, 예를 들면, 한정하는 것은 아니지만, 100°C 내지 400 °C의 온도 분위기에서 원자층 증착법(ALD: Atomic Layer Deposition)에 의해 Al_2O_3 가 대략 0.8 nm 내지 2 nm의 두께로 증착되어 이루어진다.
- [0064] 상부 터널 산화막(121) 및 하부 터널 산화막(122)의 두께가 대략 0.8 nm의 미만으로 형성되면 터널 산화막을 중심으로 그 상,하부에 있는 층이 상호간 직접 쇼트될 수 있고, 상부 터널 산화막(121) 및 하부 터널 산화막(122)의 두께가 대략 2 nm보다 크게 형성되면, 전자의 터널링 효율이 저하될 수 있다. 물론, 대략 2 nm보다 큰 두께의 터널 산화막의 형성에는 너무 많은 시간이 소요되어, 양산성이 저하된다.
- [0065] 한편, 터널 산화막의 형성 단계 이후, 상부 터널 산화막(121) 및 하부 터널 산화막(122)이 대략 150°C 내지 600 °C의 온도 분위기에서 대략 10분 내지 30분간 열처리하는 단계가 더 수행될 수 있다.
- [0066] 이러한 추가적인 열처리 단계에 의해, 상부 터널 산화막(121) 및 하부 터널 산화막(122)의 표면 커버리지가 더욱 증가하여, 태양 전지(100)의 다양한 효율 특성이 더욱 향상될 수 있다.
- [0067] 도 3c에 도시된 바와 같이, 진성 비정질 실리콘 박막을 형성하는 단계(S3)에서, 상부 진성 비정질 실리콘 박막(131)이 상부 터널 산화막(121)에 형성되고, 하부 진성 비정질 실리콘 박막(132)이 하부 터널 산화막(122)에 형성되어, 전자-정공의 재결합을 억제하는 패시베이션층 역할을 하게 된다.
- [0068] 여기서, 상부 진성 비정질 실리콘 박막(131) 및 하부 진성 비정질 실리콘 박막(132)은, 예를 들면, 한정하는 것은 아니지만, a-Si:H를 포함할 수 있으며, 이는 통상의 화학적 기상증착법(CVD), 상압 화학적 기상증착법(APCVD), 저압 화학적 기상증착법(LPCVD), 플라즈마 강화 화학적 기상증착법(PECVD), 원자층 증착법(ALD), 물리적 기상증착법(PVD), 스퍼터링 또는 고온증발 증착법 등으로 형성될 수 있다.
- [0069] 상술한 상부 터널 산화막(121) 및 하부 터널 산화막(122)에 의해, 포러스한 상부 진성 비정질 실리콘 박막(131) 및 포러스한 하부 진성 비정질 실리콘 박막(132)이 더욱 얇고(예를 들면, 대략 5 nm 이하) 균일하게 형성될 수 있다.
- [0070] 더욱이, 상부 진성 비정질 실리콘 박막(131) 및 하부 진성 비정질 실리콘 박막(132)의 형성 시 증착 챔버 내의 도펀트나 금속 불순물에 의한 오염이 발생하지 않게 된다.
- [0071] 도 3d에 도시된 바와 같이, 제1,2도전형 비정질 실리콘 박막을 형성하는 단계(S4)에서, 제2도전형 비정질 실리

콘 박막(141)이 상부 진성 비정질 실리콘 박막(131)에 형성되고, 제1도전형 비정질 실리콘 박막(142)이 하부 진성 비정질 실리콘 박막(132)에 형성된다. 이러한 구조에 의해 제2도전형 비정질 실리콘 박막(141)은 에미터층으로서 기능을 수행하도록 하고, 제1도전형 비정질 실리콘 박막(142)은 후면 전계층으로서 기능을 수행하도록 한다.

[0072] 도 3e에 도시된 바와 같이, 투명 전극을 형성하는 단계(S5)에서, 상부 투명 전극(151)이 제2도전형 비정질 실리콘 박막(141)에 형성되고, 하부 투명 전극(152)이 제1도전형 비정질 실리콘 박막(142)에 형성됨으로써, 반사 방지 역할을 하는 동시에 전극 역할을 수행하도록 한다. 여기서, 상부 투명 전극(151) 및 하부 투명 전극(152)은, 예를 들면, 한정하는 것은 아니지만, ITO(indium tin oxide) 또는 도핑된 ZnO 박막으로 형성될 수 있다.

[0073] 도 3f에 도시된 바와 같이, 금속 전극을 형성하는 단계(S6)에서, 상부 금속 전극(161)이 상부 투명 전극(151)에 형성되고, 하부 금속 전극(162)이 하부 투명 전극(152)에 형성된다.

[0074] 여기서, 이중 접합 실리콘 태양 전지(100)가 상부 및 하부에서 입사되는 태양광을 모두 발전에 이용할 수 있도록 상부 금속 전극(161) 및 하부 금속 전극(162)이 그리드 형태로 형성될 수 있다.

[0076] 이상에서 설명한 것은 본 발명에 따른 이중 접합 실리콘 태양 전지 및 그 제조 방법을 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

부호의 설명

[0077] 100; 본 발명의 실시예에 따른 이중 접합 실리콘 태양 전지

110; 제1도전형 결정질 실리콘 기판

111; 상부 텍스처 구조

112; 하부 텍스처 구조

121; 상부 터널 산화막

122; 하부 터널 산화막

131; 상부 진성 비정질 실리콘 박막

132; 하부 진성 비정질 실리콘 박막

141; 제2도전형 비정질 실리콘 박막

142; 제1도전형 비정질 실리콘 박막

151; 상부 투명 전극

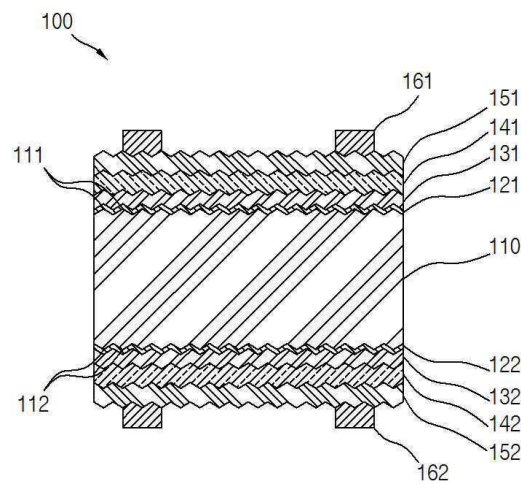
152; 하부 투명 전극

161; 상부 금속 전극

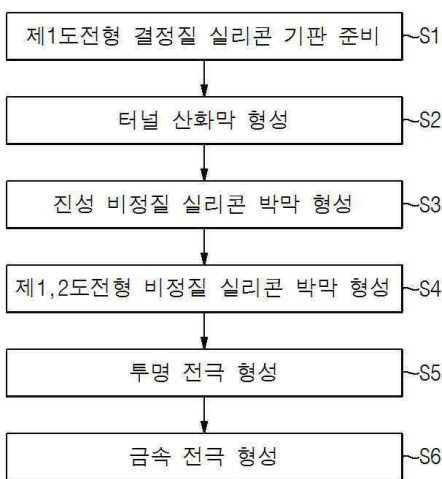
162; 하부 금속 전극

도면

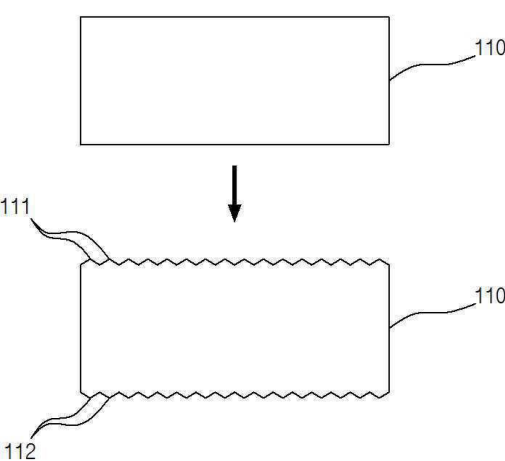
도면1



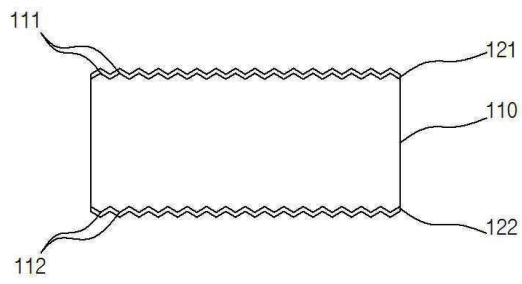
도면2



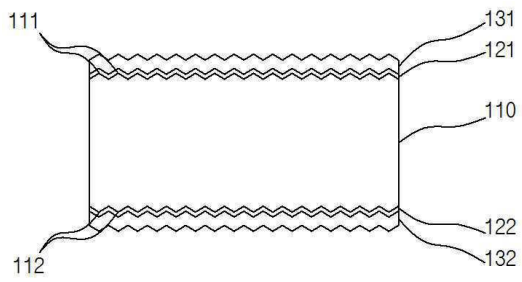
도면3a



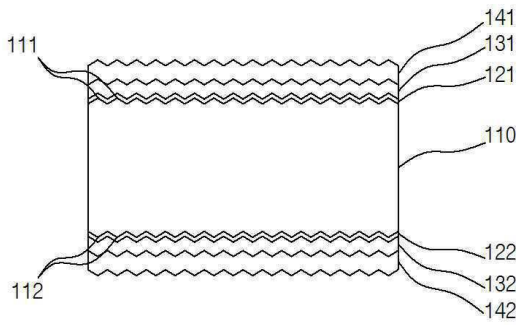
도면3b



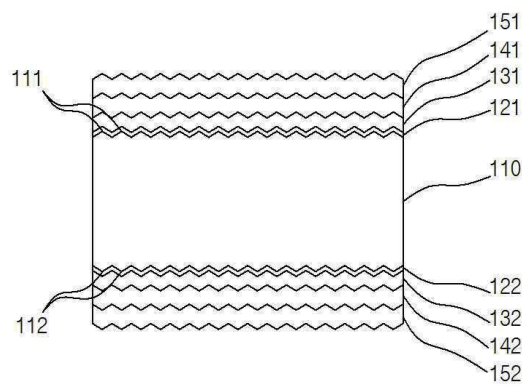
도면3c



도면3d



도면3e



도면3f

