

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6878848号
(P6878848)

(45) 発行日 令和3年6月2日 (2021. 6. 2)

(24) 登録日 令和3年5月7日 (2021. 5. 7)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 5 8 H
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 7 F
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 2 S
HO 1 L 21/8234 (2006. 01)	HO 1 L 29/78 6 5 2 K
HO 1 L 27/06 (2006. 01)	HO 1 L 29/78 6 5 5 A
請求項の数 26 (全 24 頁) 最終頁に続く	

(21) 出願番号	特願2016-224025 (P2016-224025)	(73) 特許権者	000005234
(22) 出願日	平成28年11月17日 (2016. 11. 17)		富士電機株式会社
(65) 公開番号	特開2017-147435 (P2017-147435A)		神奈川県川崎市川崎区田辺新田 1 番 1 号
(43) 公開日	平成29年8月24日 (2017. 8. 24)	(74) 代理人	110000877
審査請求日	令和1年10月11日 (2019. 10. 11)		龍華国際特許業務法人
(31) 優先権主張番号	特願2016-27035 (P2016-27035)	(72) 発明者	内藤 達也
(32) 優先日	平成28年2月16日 (2016. 2. 16)		神奈川県川崎市川崎区田辺新田 1 番 1 号
(33) 優先権主張国・地域又は機関	日本国 (JP)		富士電機株式会社内
		審査官	恩田 和彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板に形成されたトランジスタ部と、
 前記半導体基板に形成され、前記半導体基板のおもて面側にライフタイムキラーを有するダイオード部と、
 前記トランジスタ部と前記ダイオード部との間に設けられ、前記トランジスタ部のゲートと電氣的に接続されたゲートランナと、
 前記半導体基板のおもて面に形成された第 1 導電型のエミッタ領域と、
 前記半導体基板のおもて面に形成された、前記第 1 導電型と異なる第 2 導電型のベース領域と、
 前記半導体基板のおもて面側に形成され、前記半導体基板の不純物濃度よりも高濃度である前記第 1 導電型の蓄積層と、
 前記半導体基板のおもて面上に形成された層間絶縁膜と
 を備え、
 前記層間絶縁膜には、前記エミッタ領域および前記ベース領域の少なくとも一部の領域に対応して、前記層間絶縁膜を貫通するコンタクトホールが形成され、
 前記蓄積層は、前記トランジスタ部が有するトレンチ部の延伸方向において、前記コンタクトホールが形成された領域の内側に形成されている半導体装置。

【請求項 2】

10

20

半導体基板と、
前記半導体基板に形成されたトランジスタ部と、
前記半導体基板に形成され、前記半導体基板のおもて面側にライフタイムキラーを有するダイオード部と、
前記トランジスタ部と前記ダイオード部との間に設けられ、前記トランジスタ部のゲートと電氣的に接続されたゲートランナと、
前記トランジスタ部に隣接して設けられ、前記トランジスタ部の温度に応じた信号を検出する温度センサと、
センサ用配線を通じて前記温度センサと電氣的に接続され、前記温度センサの検出した信号が入力される温度センサ端子と

10

を備え、
前記ダイオード部は、前記ゲートランナおよび前記センサ用配線の少なくとも一方が前記ダイオード部を横断するための離間領域を有する

半導体装置。

【請求項 3】

前記半導体基板は、前記半導体基板のおもて面側であって、前記ゲートランナの下方の少なくとも一部の領域にライフタイムキラーを有する

請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記半導体基板は、前記半導体基板のおもて面側であって、前記ゲートランナの下方の全域にライフタイムキラーを有する

請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記半導体基板は、前記半導体基板のおもて面側であって、前記ゲートランナよりも前記トランジスタ部側の少なくとも一部の領域にライフタイムキラーを有する

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記トランジスタ部のコレクタ領域は、前記ゲートランナの下方の少なくとも一部の領域に形成されている

請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記トランジスタ部のコレクタ領域は、前記ゲートランナの下方の全域に形成されている

請求項 1 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記トランジスタ部のコレクタ領域は、前記ゲートランナよりも前記ダイオード部側の少なくとも一部の領域に形成されている

請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記ダイオード部のカソード領域は、前記ゲートランナの下方に形成されていない

請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記半導体基板と異なる導電型を有し、前記ゲートランナの下方に形成されたウェル領域を更に備える

請求項 1 から 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記トランジスタ部は、前記半導体基板のおもて面に形成されたゲートトレンチ部を備え、

前記ゲートトレンチ部の少なくとも一部は、前記ゲートランナの下方に形成されている

50

請求項 1 から 9 のいずれか一項に記載の半導体装置。

【請求項 1 2】

前記ダイオード部は、前記半導体装置の活性領域の端部に配置されている

請求項 1 から 1 1 のいずれか一項に記載の半導体装置。

【請求項 1 3】

前記ダイオード部は、前記半導体装置の活性領域の角部に配置されている

請求項 1 から 1 2 のいずれか一項に記載の半導体装置。

【請求項 1 4】

前記ダイオード部は、平面視で、前記トランジスタ部の周囲を囲んでいる

請求項 1 から 1 3 のいずれか一項に記載の半導体装置。

10

【請求項 1 5】

前記トランジスタ部は、平面視で、前記ダイオード部の周囲を囲んでいる

請求項 1 から 1 1 のいずれか一項に記載の半導体装置。

【請求項 1 6】

前記トランジスタ部に隣接して設けられ、前記トランジスタ部の温度に応じた信号を検出する温度センサと、

センサ用配線を通じて前記温度センサと電気的に接続され、前記温度センサの検出した信号が入力される温度センサ端子と

を更に備える

請求項 1 に記載の半導体装置。

20

【請求項 1 7】

前記ダイオード部は、前記ゲートランナおよび前記センサ用配線の少なくとも一方が前記ダイオード部を横断するための離間領域を有する

請求項 1 6 に記載の半導体装置。

【請求項 1 8】

前記温度センサは、ウェル領域の上方に配置される

請求項 2 に記載の半導体装置。

【請求項 1 9】

前記温度センサは、前記トランジスタ部に囲まれている

請求項 2 又は 1 8 に記載の半導体装置。

30

【請求項 2 0】

前記ダイオード部は、

前記半導体装置の活性領域の一端に形成される第 1 ダイオード領域と、

前記一端と対向する前記活性領域の他端に形成される第 2 ダイオード領域と

を有する請求項 2、1 8 又は 1 9 のいずれか一項に記載の半導体装置。

【請求項 2 1】

前記温度センサは、前記第 1 ダイオード領域および前記第 2 ダイオード領域の間に設けられる

請求項 2 0 に記載の半導体装置。

【請求項 2 2】

前記蓄積層は、前記ダイオード部が有するトレンチ部の延伸方向において、前記コンタクトホールが形成された領域の内側に形成されている

請求項 1 に記載の半導体装置。

40

【請求項 2 3】

前記蓄積層は、前記トランジスタ部、前記ダイオード部および前記ゲートランナが形成された領域に形成されている

請求項 1 又は 2 2 に記載の半導体装置。

【請求項 2 4】

前記蓄積層の少なくとも一部は、ウェル領域内に形成されている

請求項 1、2 2 又は 2 3 のいずれか一項に記載の半導体装置。

50

【請求項 25】

前記ダイオード部側の前記コンタクトホールは、平面視で、ウェル領域と離間して形成されている

請求項 1、22、23、又は24 のいずれか一項に記載の半導体装置。

【請求項 26】

前記トランジスタ部のトレンチ部の端部の少なくとも一部は、ウェル領域内に形成されている

請求項 1、22、23、24 又は25 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、RC-IGBT構造を有する半導体装置において、FWD領域とIGBT領域とが隣接して形成された構造を有することが知られている（例えば、特許文献1参照）。

[先行技術文献]

[特許文献]

特許文献1 特開2004-363328号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0003】

しかしながら、従来の半導体装置は、FWD領域に注入するライフタイムキラーがIGBT領域にも打ち込まれているため、IGBTの電気的特性が犠牲となる場合がある。

【課題を解決するための手段】

【0004】

本発明の第1の態様においては、半導体基板と、半導体基板に形成されたトランジスタ部と、半導体基板に形成され、半導体基板のおもて面側にライフタイムキラーを有するダイオード部と、トランジスタ部とダイオード部との間に設けられ、トランジスタ部のゲートと電氣的に接続されたゲートランナとを備える半導体装置を提供する。

30

【0005】

半導体基板は、半導体基板のおもて面側であって、ゲートランナの下方の少なくとも一部の領域にライフタイムキラーを有してよい。

【0006】

半導体基板は、半導体基板のおもて面側であって、ゲートランナの下方の全域にライフタイムキラーを有してよい。

【0007】

半導体基板は、半導体基板のおもて面側であって、ゲートランナよりもトランジスタ部側の少なくとも一部にライフタイムキラーを有してよい。

【0008】

40

トランジスタ部のコレクタ領域は、ゲートランナの下方の少なくとも一部に形成されてよい。

【0009】

トランジスタ部のコレクタ領域は、ゲートランナの下方の全域に形成されてよい。

【0010】

トランジスタ部のコレクタ領域は、ゲートランナよりもダイオード部側の少なくとも一部に形成されてよい。

【0011】

ダイオード部のカソード領域は、ゲートランナの下方に形成されていなくてよい。

【0012】

50

半導体装置は、半導体基板と異なる導電型を有し、ゲートランナの下方に形成されたウェル領域を更に備えてよい。

【0013】

トランジスタ部は、半導体基板のおもて面に形成されたゲートトレンチ部を備え、ゲートトレンチ部の少なくとも一部は、ゲートランナの下方に形成されてよい。

【0014】

ダイオード部は、半導体装置の活性領域の端部に配置されてよい。

【0015】

ダイオード部は、半導体装置の活性領域の角部に配置されてよい。

【0016】

ダイオード部は、平面視で、トランジスタ部の周囲を囲んでよい。

【0017】

トランジスタ部は、平面視で、ダイオード部の周囲を囲んでよい。

【0018】

トランジスタ部に隣接して設けられ、トランジスタ部の温度に応じた信号を検出する温度センサ部と、センサ用配線を通じて温度センサ部と電気的に接続され、温度センサ部の検出した信号が入力される温度センサ端子とを更に備えてよい。

【0019】

ダイオード部は、ゲートランナおよびセンサ用配線の少なくとも一方がダイオード部を横断するための離間領域を有してよい。

【0020】

温度センサは、ウェル領域の上方に配置されてよい。

【0021】

温度センサは、トランジスタ部に囲まれてよい。

【0022】

ダイオード部は、半導体装置の活性領域の一端に形成される第1ダイオード領域と、一端と対向する活性領域の他端に形成される第2ダイオード領域とを有してよい。

【0023】

温度センサは、第1ダイオード領域および第2ダイオード領域の間に設けられてよい。

【0024】

半導体基板のおもて面に形成された第1導電型のエミッタ領域と、半導体基板のおもて面に形成された、第1導電型と異なる第2導電型のベース領域と、半導体基板のおもて面側に形成され、半導体基板の不純物濃度よりも高濃度である第1導電型の蓄積層と、半導体基板のおもて面上に形成された層間絶縁膜とを更に備えてよい。また、層間絶縁膜には、エミッタ領域およびベース領域の少なくとも一部の領域に対応して、層間絶縁膜を貫通するコンタクトホールが形成されてよい。蓄積層は、トランジスタ部が有するトレンチ部の延伸方向において、コンタクトホールが形成された領域の内側に形成されてよい。

【0025】

蓄積層は、ダイオード部が有するトレンチ部の延伸方向において、コンタクトホールが形成された領域の内側に形成されてよい。

【0026】

蓄積層は、トランジスタ部、ダイオード部およびゲートランナが形成された領域に形成されてよい。

【0027】

蓄積層の少なくとも一部は、ウェル領域内に形成されてよい。

【0028】

ダイオード部側のコンタクトホールは、平面視で、ウェル領域と離間して形成されてよい。

【0029】

トランジスタ部のトレンチ部の端部の少なくとも一部は、ウェル領域内に形成されてよ

10

20

30

40

50

い。

【0030】

なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0031】

【図1】実施例1に係る半導体装置100の一例を示す平面図である。

【図2】実施例1に係る半導体装置100のより詳細な平面図の一例を示す。

【図3】実施例1に係る半導体装置100のa - a'断面の一例を示す。

【図4】比較例1に係る半導体装置500の構成を示す平面図である。

10

【図5】比較例1に係る半導体装置500のヘリウム照射領域を示す。

【図6】比較例1に係る半導体装置500のより詳細な平面図である。

【図7】比較例1に係る半導体装置500のb - b'断面の一例を示す。

【図8】実施例2に係る半導体装置100の構成の一例を示す。

【図9】実施例3に係る半導体装置100の構成の一例を示す。

【図10】実施例4に係る半導体装置100の構成の一例を示す。

【図11】温度センサ90の構成の一例を示す。

【図12】実施例5に係る半導体装置100のa - a'断面の一例を示す。

【図13】実施例6に係る半導体装置100のa - a'断面の一例を示す。

【図14】実施例7に係る半導体装置100の一例を示す平面図である。

20

【図15】実施例7に係る半導体装置100のc - c'断面の一例を示す。

【図16】実施例8に係る半導体装置100の一例を示す平面図である。

【図17】実施例8に係る半導体装置100のd - d'断面の一例を示す。

【図18】実施例9に係る半導体装置100の一例を示す平面図である。

【図19】実施例9に係る半導体装置100のd - d'断面の一例を示す。

【図20】実施例10に係る半導体装置100の一例を示す平面図である。

【図21】実施例10に係る半導体装置100のd - d'断面の一例を示す。

【図22】オン電圧 V_{on} (V)とターンオフ損失 E_{off} (mJ)との関係を示す。

【発明を実施するための形態】

【0032】

30

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0033】

図1は、実施例1に係る半導体装置100の一例を示す平面図である。半導体装置100は、活性領域102および外側領域105が形成された半導体基板を有する半導体チップである。半導体基板は、第1導電型を有する。本例においては、第1導電型をN型として、第2導電型をP型として説明する。ただし、第1導電型をP型として、第2導電型をN型としてもよい。

【0034】

40

活性領域102は、半導体装置100が駆動したときに電流が流れる領域である。活性領域102には、複数のトランジスタ部70およびダイオード部80が設けられる。また、活性領域102は、トランジスタ部70又はダイオード部80に隣接して、温度センサ90を有してもよい。

【0035】

トランジスタ部70は、IGBT (Insulated Gate Bipolar Transistor) 等のトランジスタを含む。一例において、トランジスタ部70は、短冊状に配列された複数のトランジスタを備える。トランジスタ部70が備える複数のトランジスタは、互いに電氣的に並列に接続され、ゲート、エミッタ、コレクタの各端子には同一の電位がそれぞれ印加される。本例のトランジスタ部70は、ダイオード部80

50

の周囲を覆って形成されている。

【 0 0 3 6 】

ダイオード部 8 0 は、FWD (F r e e W h e e l D i o d e) 等のダイオードを含む。一例において、ダイオード部 8 0 は、短冊状に配列された複数のダイオードを備える。ダイオード部 8 0 が備える複数のダイオードは、互いに電氣的に並列に設けられ、エミッタ (又はアノード) 、カソードの各端子にはそれぞれ同一の電位が印加される。

【 0 0 3 7 】

温度センサ 9 0 は、半導体基板 1 0 のおもて面の上方に形成され、半導体装置 1 0 0 の温度に応じた信号を検出する。一例において、温度センサ 9 0 は、P N ダイオードを備える。温度センサ 9 0 は、トランジスタ部 7 0 の温度を検出するために、トランジスタ部 7 0 の近傍に設けられるのが好ましい。但し、温度センサ 9 0 は、ダイオード部 8 0 の近傍に設けられてもよい。

10

【 0 0 3 8 】

外側領域 1 0 5 は、活性領域 1 0 2 の外側に設けられる。活性領域 1 0 2 の外側とは、活性領域 1 0 2 により囲まれておらず、且つ、活性領域 1 0 2 の中心よりも半導体基板 1 0 の端部に近い領域を指す。外側領域 1 0 5 は、活性領域 1 0 2 を囲んでいてもよい。本例の外側領域 1 0 5 は、ゲートパッド 1 0 6 、センス部 1 0 7 および温度検出部 1 0 8 を備える。また、外側領域 1 0 5 の更に外側には、エッジ終端領域 1 0 9 等が設けられてよい。

【 0 0 3 9 】

ゲートパッド 1 0 6 は、ゲートランナ 4 6 によりトランジスタ部 7 0 と接続されている。ゲートパッド 1 0 6 は、トランジスタ部 7 0 のゲートをゲート電位に設定する。トランジスタ部 7 0 のゲートとは、例えば、ゲートトレンチ部 4 0 内のゲート導電部を指す。

20

【 0 0 4 0 】

ゲートランナ 4 6 は、トランジスタ部 7 0 の周囲を覆うように形成されている。特に、ゲートランナ 4 6 は、トランジスタ部 7 0 とダイオード部 8 0 との間の境界領域に形成されることが好ましい。ゲートランナ 4 6 は、ポリシリコン等の導電性の材料で形成される。ゲートランナ 4 6 は、複数のトランジスタ部 7 0 と接続するとともに、ゲートパッド 1 0 6 に接続する。

【 0 0 4 1 】

センス部 1 0 7 は、トランジスタ部 7 0 に流れる電流を検出する。一例において、センス部 1 0 7 には、トランジスタ部 7 0 に流れるメイン電流に比例し、且つ、メイン電流よりも小さい電流が流れる。例えば、センス部 1 0 7 は、トランジスタ部 7 0 と並列に接続され、同一のゲート電位が入力される。なお、センス部 1 0 7 には、トランジスタ部 7 0 に接続される抵抗よりも大きな抵抗が接続されてよい。

30

【 0 0 4 2 】

温度検出部 1 0 8 は、温度センサ 9 0 と配線により接続された温度センサ端子の一例である。温度検出部 1 0 8 には、温度センサ 9 0 が検出した半導体装置 1 0 0 の温度を示す信号が入力される。温度検出部 1 0 8 は、入力された信号を外部に出力してもよい。また、半導体装置 1 0 0 は、温度センサ 9 0 の検出した温度に基づいて、駆動制御されてよい。なお、本例の温度センサ 9 0 の配線がゲートランナ 4 6 と一部交差している領域がある。この場合、一例において、ゲートランナ 4 6 を半導体基板のおもて面に熱酸化膜などの絶縁膜上に形成し、温度センサ 9 0 の配線をゲートランナ 4 6 の上方に層間絶縁膜などの絶縁膜を介して形成することにより、ゲートランナ 4 6 と温度センサ 9 0 の配線とが立体的に交差している。

40

【 0 0 4 3 】

エッジ終端領域 1 0 9 は、半導体基板のおもて面側の電界集中を緩和する。エッジ終端領域 1 0 9 は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

【 0 0 4 4 】

50

図2は、実施例1に係る半導体装置100のより詳細な平面図の一例を示す。本例の半導体装置100は、チップのおもて面側において、ゲートランナ46、エミッタ電極52、ゲートトレンチ部40、ダミートレンチ部30、エミッタトレンチ部60、ウェル領域17、エミッタ領域12、ベース領域14、コンタクト領域15およびコンタクトホール54, 55, 56, 57を備える。

【0045】

半導体基板のおもて面側の内部には、ゲートトレンチ部40、ダミートレンチ部30、エミッタトレンチ部60、ウェル領域17、エミッタ領域12、ベース領域14およびコンタクト領域15が形成される。また、半導体基板のおもて面の上方には、エミッタ電極52およびゲートランナ46が設けられる。なお、エミッタ電極52およびゲートランナ46と、半導体基板のおもて面との間には層間絶縁膜が形成されるが、図1では省略している。

10

【0046】

コンタクトホール54, 55, 56, 57は、半導体基板の上方に形成された層間絶縁膜を貫通して形成される。コンタクトホール54, 55, 56, 57を形成する位置は特に本例に限られない。

【0047】

エミッタ電極52は、コンタクトホール54, 56, 57を通して半導体基板と接触する。エミッタ電極52は、金属を含む材料で形成される。一例において、エミッタ電極52の少なくとも一部の領域はアルミで形成される。エミッタ電極52は、タンゲステンを含む材料で形成される領域を有してもよい。本例のエミッタ電極52は、トランジスタ部70およびダイオード部80にそれぞれ対応して設けられている。

20

【0048】

トランジスタ部70は、トランジスタ動作を行う領域のことである。トランジスタ部70の端については、本図では便宜的に、トランジスタ動作を行う領域上に形成されたエミッタ電極52の端としているが、適宜変更可能である。

【0049】

ダイオード部80は、FWD等のダイオード動作を行う領域のことである。ダイオード部80の端については、本図では便宜的に、ダイオード動作を行う領域上に形成されたエミッタ電極52の端としているが、適宜変更可能である。

30

【0050】

ゲートランナ46は、コンタクトホール55を通して、ゲートランナ46下層のポリシリコン層45と電気的に接続される。本例のゲートランナ46は、ポリシリコン層45を介して半導体基板と接続されている。ゲートランナ46は、エミッタ電極52と同様に金属を含む材料で形成される。

【0051】

ダミートレンチ部30は、半導体基板のおもて面において予め定められた延伸方向に延伸して形成される。ダミートレンチ部30は、トランジスタ部70の領域において所定の配列方向に沿って、ゲートトレンチ部40と所定の間隔で1つ以上配列されている。本例のダミートレンチ部30の形状は、両端に曲線形状を有するループ型である。

40

【0052】

ゲートトレンチ部40は、対向部41および突出部43を有する。対向部41は、ダミートレンチ部30と対向する範囲において、上述した延伸方向に延伸して形成される。つまり、対向部41は、ダミートレンチ部30と平行に形成される。突出部43は、対向部41から更に延伸して、ダミートレンチ部30と対向しない範囲に形成される。本例において、ダミートレンチ部30の両側に設けられた2つの対向部41が、1つの突出部43により接続される。突出部43の少なくとも一部は曲線形状を有してよい。本例のゲートトレンチ部40は、両端に突出部43が形成されたループ型形状を有する。

【0053】

突出部43とゲートランナ46をつなぐように、ポリシリコン層45が形成される。本

50

例の突出部 4 3 は、対向部 4 1 から最も離れた領域において、対向部 4 1 とは直交する方向に延伸する部分を有する。突出部 4 3 のうち、前記延伸する部分で、ゲートトレンチ部 4 0 内のポリシリコン層とポリシリコン層 4 5 とが接続されている。ポリシリコン層 4 5 は、コンタクトホール 5 5 を介してゲートランナ 4 6 と接続する。ゲートランナ 4 6 は、ゲートパッド 1 0 6 と接続する。以上により、外部回路等からゲートパッド 1 0 6 に印加されたゲート電位は、ゲートランナ 4 6、ポリシリコン層 4 5 を介して、ゲートトレンチ部 4 0 内のポリシリコン層に印加される。

【 0 0 5 4 】

本例のゲートトレンチ部 4 0 およびダミートレンチ部 3 0 は、所定の配列方向において交互に配置される。また、各トレンチ部は一定の間隔で配置されてよい。ただし、各トレンチ部の配置は上記の例に限定されない。2 つのダミートレンチ部 3 0 の間に複数のゲートトレンチ部 4 0 が配置されてよい。また、それぞれのダミートレンチ部 3 0 の間に設けられるゲートトレンチ部 4 0 の数は一定でなくともよい。

10

【 0 0 5 5 】

コンタクトホール 5 5 は、ゲートランナ 4 6 下部の層間絶縁膜に形成される。

【 0 0 5 6 】

エミッタトレンチ部 6 0 は、ダイオード部 8 0 が形成された領域に設けられる。エミッタトレンチ部 6 0 は、ループ型の形状と直線型の形状の両方を有してよい。また、本例のエミッタトレンチ部 6 0 は、ダミートレンチ部 3 0 およびゲートトレンチ部 4 0 とトレンチ幅が対応するように設けられている。但し、エミッタトレンチ部 6 0 の形状は、トランジスタ部 7 0 およびダイオード部 8 0 のレイアウトに応じて適宜変更されてよい。

20

【 0 0 5 7 】

ウェル領域 1 7 は、ゲートランナ 4 6 が設けられる領域から所定の範囲で形成される。また、ウェル領域 1 7 は、ゲートランナ 4 6 の下方に形成される。本例のウェル領域 1 7 は、ゲートランナ 4 6 からトランジスタ部 7 0 側とダイオード部 8 0 側とに延伸するように形成されている。ウェル領域 1 7 は、半導体基板が第 1 導電型の場合、半導体基板とは異なる第 2 導電型を有する。

【 0 0 5 8 】

コンタクト領域 1 5 は、ベース領域 1 4 のおもて面において、ベース領域 1 4 よりも不純物濃度の高い第 2 導電型の領域である。本例のコンタクト領域 1 5 は P + 型である。

30

【 0 0 5 9 】

エミッタ領域 1 2 は、トランジスタ部 7 0 において、コンタクト領域 1 5 のおもて面の一部に、半導体基板よりも不純物濃度が高い第 1 導電型の領域として選択的に形成される。本例のエミッタ領域 1 2 は N + 型である。コンタクト領域 1 5 およびエミッタ領域 1 2 のそれぞれは、隣接する一方のトレンチ部から、他方のトレンチ部まで形成される。トランジスタ部 7 0 の 1 以上のコンタクト領域 1 5 および 1 以上のエミッタ領域 1 2 は、各トレンチ部に挟まれる領域において、トレンチ部の延伸方向に沿って交互に露出するように形成される。

【 0 0 6 0 】

コンタクトホール 5 4 は、トランジスタ部 7 0 において、エミッタ領域 1 2 およびコンタクト領域 1 5 の上方に形成される。本例のコンタクトホール 5 4 は、エミッタ領域 1 2 とコンタクト領域 1 5 とにまたがって形成されている。コンタクトホール 5 4 は、エミッタ領域 1 2 のおもて面の全範囲を露出させるように形成されてよい。また、コンタクトホール 5 4 は、コンタクト領域 1 5 のおもて面の全範囲も露出させるように形成されてよい。但し、コンタクトホール 5 4 は、ベース領域 1 4 およびウェル領域 1 7 に対応する領域には形成されない。

40

【 0 0 6 1 】

また、コンタクトホール 5 4 は、ダイオード部 8 0 において、ベース領域 1 4 およびコンタクト領域 1 5 の上方に形成される。一例において、トランジスタ部 7 0 のコンタクトホール 5 4 と、ダイオード部 8 0 のコンタクトホール 5 4 とは、各トレンチ部の延伸方向

50

において同一の長さを有する。

【0062】

なお、ダイオード部80においては、ベース領域14のおもて面にコンタクト領域15を形成せず、ベース領域14のみとしてもよい。これにより、ダイオード部80において、ドリフト領域18への少数キャリアの過剰な注入を抑制できる。

【0063】

コンタクトホール56は、トランジスタ部70において、ダミートレンチ部30の上方に形成される。コンタクトホール56は、エミッタ電極52とダミートレンチ部30内に形成されたダミー導電部とを接続する。

【0064】

コンタクトホール57は、ダイオード部80において、エミッタトレンチ部60の上方に形成される。コンタクトホール57は、エミッタ電極52とエミッタトレンチ部60内に形成されたダミー導電部とを接続する。

【0065】

図3は、実施例1に係る半導体装置100のa-a'断面の一例を示す。本例の半導体装置100は、半導体基板10のドリフト領域18にライフタイムキラー47およびライフタイムキラー48を有する。なお、本例では、ゲートランナ46およびエミッタ電極52と、半導体基板10との間には層間絶縁膜26が図示されている。

【0066】

ライフタイムキラー47は、半導体基板10のおもて面側に形成され、キャリアのライフタイムを調整するために用いられる。ライフタイムキラー47を形成することにより、キャリアのライフタイムを短くできる。ライフタイムキラー47は、半導体基板10のおもて面側または裏面側からイオン等を照射して形成される。一例において、ライフタイムキラー47は、半導体基板10にヘリウムを照射することにより形成される。本例のライフタイムキラー47は、例えばダイオード部80のアノード領域側に形成され、アノード領域側のキャリアライフタイムを下げる。これにより、半導体装置100は、テール電流を小さくして、逆回復損失Errを低減できる。

【0067】

ライフタイムキラー48は、半導体基板10の裏面側に形成され、キャリアのライフタイムを短くする。ライフタイムキラー48は、例えば半導体基板10の裏面側から照射される。一例において、ライフタイムキラー48は、ヘリウムの照射により形成される。例えば、ライフタイムキラー48は、半導体装置100の定格逆電圧が印加された場合に、アノード領域と半導体基板10のn型領域との境界から広がる空乏層と接しない位置に形成される。

【0068】

本例の半導体基板10は、半導体基板10のおもて面側であって、ゲートランナ46の下方の少なくとも一部の領域にもライフタイムキラー47を有する。本明細書において、ゲートランナ46の下方とは、平面視で、ゲートランナ46の形成される領域であって、ゲートランナ46よりも半導体基板10の裏面側を指す。なお、本明細書において、平面視とは、半導体基板10のおもて面側から裏面側を見た場合の視点を指す。

【0069】

また、半導体基板10は、半導体基板10のおもて面側であって、ウェル領域17の下方の少なくとも一部の領域にもライフタイムキラー47を有してよい。これにより、不純物濃度が高いウェル領域17から、少数キャリアがドリフト領域18に過剰注入されることを抑制できる。本明細書において、ウェル領域17の下方とは、平面視で、ウェル領域17の形成される領域であって、ウェル領域17よりも半導体基板10の裏面側を指す。また、ウェル領域17の形成される領域とは、半導体基板10のおもて面において、ウェル領域17を形成するためのドーパントが注入される領域を指してよい。

【0070】

コレクタ領域22は、ゲートランナ46の下方の少なくとも一部の領域に設けられてい

10

20

30

40

50

る。コレクタ領域 22 は、ウェル領域 17 の下方の少なくとも一部の領域に設けられていてもよい。本例のコレクタ領域 22 は、ゲートランナ 46 の下方の少なくとも一部の領域に設けられているので、トランジスタ部 70 とカソード領域 28 とを離間できる。よって、半導体装置 100 は、カソード領域 28 からの影響によるトランジスタ部 70 の誤動作を抑制できる。

【0071】

[比較例 1]

図 4 は、比較例 1 に係る半導体装置 500 の構成を示す平面図である。本例の半導体装置 500 は、交互に配列されたトランジスタ部 570 およびダイオード部 580 を備える。半導体装置 100 と共通する符号で示される構成については、半導体装置 100 の場合と同様の機能を有する。半導体装置 500 は、ゲート端子 103 とトランジスタ部 570 とを接続するためのゲートランナ 546 を備える。

10

【0072】

ゲートランナ 546 は、交互に配列されたトランジスタ部 570 およびダイオード部 580 の周囲を囲むように配線される。本例のゲートランナ 546 は、トランジスタ部 570 同士の間と、ダイオード部 580 同士の間設けられる。また、ゲートランナ 546 は、トランジスタ部 570 およびダイオード部 580 をまとめて囲むように形成されている。即ち、本例のゲートランナ 546 は、トランジスタ部 570 とダイオード部 580 との間の境界領域には設けられていない。

【0073】

20

図 5 は、比較例 1 に係る半導体装置 500 のヘリウム照射領域を示す。破線で示された領域は、半導体基板のおもて面側において、ヘリウムイオンが照射される領域である。ヘリウムは、ダイオード部 580 を中心に、ダイオード部 580 とその周辺の領域に照射されている。また、トランジスタ部 570 は、おもて面側にヘリウムを照射する必要がないものの、トランジスタ部 570 とダイオード部 580 との境界領域においては、半導体装置 500 の誤動作を防止するために、ヘリウムが照射される場合がある。そのため、本例の半導体装置 500 は、トランジスタ部 570 に対してもヘリウムを照射されている。

【0074】

図 6 は、比較例 1 に係る半導体装置 500 のより詳細な平面図である。本例の半導体装置 500 は、チップのおもて面側において、ゲートランナ 546、エミッタ電極 552、ゲートトレンチ部 540、ダミートレンチ部 530、エミッタトレンチ部 560、ウェル領域 517、エミッタ領域 512、ベース領域 514、コンタクト領域 515 およびコンタクトホール 554、555、556、557 を備える。

30

【0075】

半導体装置 500 は、トランジスタ部 570 とダイオード部 580 が配列方向に並んで配置されている。そのため、ダイオード部 580 とトランジスタ部 570 との境界にはゲートランナ 546 が設けられていない。ゲートランナ 546 は、トランジスタ部 570 とダイオード部 580 との間に設けられていないので、トランジスタ部 570 とダイオード部 580 は隣接して形成されている。

【0076】

40

図 7 は、比較例 1 に係る半導体装置 500 の b - b' 断面の一例を示す。半導体装置 500 は、半導体基板 510 に形成されたダミートレンチ部 530、ゲートトレンチ部 540、エミッタトレンチ部 560、コレクタ領域 522、カソード領域 582 を備える。また、半導体装置 500 は、半導体基板 510 の下方にコレクタ電極 524 が形成されて、半導体基板 510 の上方に層間絶縁膜 526 およびエミッタ電極 552 が形成されている。なお、ゲートトレンチ部 540 はゲート端子 551 に接続され、ダミートレンチ部 530 およびエミッタトレンチ部 560 はエミッタ端子 553 に接続されている。

【0077】

半導体装置 500 は、半導体基板 510 のドリフト領域 518 に形成されたライフタイムキラ 547 およびライフタイムキラ 548 を有する。ライフタイムキラ 547 は

50

、ダイオード部 5 8 0 に対応して半導体基板 5 1 0 のおもて面側に設けられる。ライフタイムキラ 5 4 8 は、トランジスタ部 5 7 0 およびダイオード部 5 8 0 に対応して半導体基板 5 1 0 の裏面側に設けられる。

【 0 0 7 8 】

本例の半導体装置 5 0 0 は、トランジスタ部 5 7 0 とダイオード部 5 8 0 との間にゲートランナ 5 4 6 を有さない。半導体装置 5 0 0 は、誤動作を防止するために、半導体基板 5 1 0 のおもて面側であって、トランジスタ部 5 7 0 側にも、ライフタイムキラ 5 4 7 が設けられている。半導体装置 5 0 0 は、トランジスタ部 5 7 0 側にライフタイムキラ 5 4 7 が設けられることにより特性が悪化する場合がある。

【 0 0 7 9 】

10

[実施例 2]

図 8 は、実施例 2 に係る半導体装置 1 0 0 の構成の一例を示す。本例の半導体装置 1 0 0 は、活性領域 1 0 2 の端部に設けられた 2 つのダイオード部 8 0 a , 8 0 b を備える。本例の半導体装置 1 0 0 は、トランジスタ部 7 0 、ダイオード部 8 0 および温度センサ 9 0 の配置の一例を示しており、要求される特性等に応じて各領域の面積等は適宜変更されてよい。例えば、トランジスタ部 7 0 およびダイオード部 8 0 は、所定の面積比を有するように大きさが決定される。

【 0 0 8 0 】

ダイオード部 8 0 a は、活性領域 1 0 2 の一端に設けられる。ダイオード部 8 0 b は、ダイオード部 8 0 a が設けられた活性領域 1 0 2 の一端と異なる他端に設けられている。本例のダイオード部 8 0 b は、ダイオード部 8 0 a が設けられた一端と対向する活性領域 1 0 2 の端部に設けられている。このように、ダイオード部 8 0 は、活性領域 1 0 2 の端部に配置されることにより、活性領域 1 0 2 の一端側においてトランジスタ部 7 0 と接することがない。よって、ダイオード部 8 0 に照射するヘリウムにより、トランジスタ部 7 0 に与える影響が小さくなる。

20

【 0 0 8 1 】

トランジスタ部 7 0 は、活性領域 1 0 2 において、ダイオード部 8 0 a , 8 0 b が形成されていない領域に形成される。一例において、トランジスタ部 7 0 は、5 つの領域に分割して配置されている。トランジスタ部 7 0 は、それぞれゲートランナ 4 6 により周囲が囲まれて設けられている。そのため、トランジスタ部 7 0 とダイオード部 8 0 との境界において、必ずゲートランナ 4 6 が形成されている。これにより、トランジスタ部 7 0 の特性の悪化を抑制できる。

30

【 0 0 8 2 】

温度センサ 9 0 は、トランジスタ部 7 0 に囲まれて形成される。より具体的には、温度センサ 9 0 は、活性領域 1 0 2 の中心付近のトランジスタ部 7 0 の内側に設けられる。これにより、温度センサ 9 0 は、トランジスタ部 7 0 の最も高温になりやすい領域の温度を測定できる。但し、温度センサ 9 0 は、活性領域 1 0 2 の中心以外のトランジスタ部 7 0 の付近の領域に設けられてもよい。また、温度センサ 9 0 は、ダイオード部 8 0 の近傍に設けられてもよい。本例の温度センサ 9 0 は、ダイオード部 8 0 a とダイオード部 8 0 b との間に配置されている。

40

【 0 0 8 3 】

[実施例 3]

図 9 は、実施例 3 に係る半導体装置 1 0 0 の構成の一例を示す。本例の半導体装置 1 0 0 は、トランジスタ部 7 0 、ダイオード部 8 0 および温度センサ 9 0 の配置の一例を示しており、要求される特性等に応じて各領域の面積等は適宜変更されてよい。

【 0 0 8 4 】

ダイオード部 8 0 は、活性領域 1 0 2 の端部に形成される。特に本例のダイオード部 8 0 は、活性領域 1 0 2 の角部に形成されている。即ち、ダイオード部 8 0 は、活性領域 1 0 2 の端部に接する領域を多くすることにより、ダイオード部 8 0 とトランジスタ部 7 0 との境界領域が少なくなるように配置されている。よって、ダイオード部 8 0 に照射する

50

ヘリウムにより、トランジスタ部 70 に与える影響が小さくなる。

【0085】

トランジスタ部 70 は、活性領域 102 において、ダイオード部 80 が形成されていない領域に形成される。トランジスタ部 70 は、それぞれゲートランナ 46 が周囲を囲んで設けられている。そのため、トランジスタ部 70 とダイオード部 80 との境界においては、必ずゲートランナ 46 が形成されている。これにより、トランジスタ部 70 の特性の悪化を抑制できる。特に、本例のダイオード部 80 は、活性領域 102 の角部に設けられているので、トランジスタ部 70 と接する境界領域が 2 辺だけである。そのため、トランジスタ部 70 へのヘリウムの照射による影響が少ない。

【0086】

温度センサ 90 は、ダイオード部 80 の位置に応じて配置される。一例において温度センサ 90 は、配線がトランジスタ部 70 とダイオード部 80 との間に位置するように設けられる。これによりトランジスタ部 70 の面積を大きくすることができる。また、本例の温度センサ 90 は、温度センサ 90 と温度検出部 108 とを接続する配線が、ダイオード部 80 の 1 辺と隣接して設けられている。このように、ダイオード部 80 の周囲にもともとトランジスタ部 70 として動作しない無効領域を配置することにより、ダイオード部 80 に照射するヘリウムにより、トランジスタ部 70 に与える影響が更に小さくなる。

【0087】

[実施例 4]

図 10 は、実施例 4 に係る半導体装置 100 の構成の一例を示す。本例の半導体装置 100 は、トランジスタ部 70、ダイオード部 80 および温度センサ 90 の配置の一例を示しており、要求される特性等に応じて各領域の面積等は適宜変更されてよい。

【0088】

トランジスタ部 70 は、活性領域 102 の中心に形成される。活性領域 102 の中心とは、完全に活性領域 102 の中心である必要はなく、トランジスタ部 70 の周囲にダイオード部 80 等の他の領域が形成されていることを含んでよい。また、トランジスタ部 70 は、中心に温度センサ 90 が配置され、温度センサ 90 と温度検出部 108 とを接続するための配線が通るための凹部を有する。本例のトランジスタ部 70 は、温度センサ 90 および配線との境界にゲートランナ 46 を有する。即ち、ゲートランナ 46 は、トランジスタ部 70 の凹部に沿って配置されている。

【0089】

ダイオード部 80 は、トランジスタ部 70 の周囲を囲むように形成される。本例のダイオード部 80 は、一様な幅を有するように形成されているが、各辺において異なる幅を有してもよい。例えば、ダイオード部 80 の幅は、トランジスタ部 70 とダイオード部 80 とが特定の面積比率を有するように調整される。また、ダイオード部 80 は、温度センサ 90 の配線を設けるための離間領域 S を有する。

【0090】

図 11 は、半導体装置 100 の断面の一例を示す。同図は、特に温度センサ 90 が形成された領域の断面について示している。

【0091】

温度センサ 90 は、PN ダイオードを有する。温度センサ 90 は、PN ダイオードの電流 - 電圧特性が温度に応じて変化することを利用して、半導体装置 100 の温度を検出する。温度センサ 90 は、例えばゲート絶縁膜 49 を介して半導体基板 10 の上方に配置されている。より具体的には、温度センサ 90 は、ウェル領域 17 の上方に形成されている。このように、温度センサ 90 は、トランジスタ部 70 として動作しない無効領域であるウェル領域 17 の上方に形成されているので、トランジスタ部 70 の領域を狭めることなく配置できる。本例の温度センサ 90 は、第 1 導電型領域 91、第 2 導電型領域 92、第 1 接続部 93、第 2 接続部 94 および絶縁膜 95 を備える。

【0092】

第 1 導電型領域 91 および第 2 導電型領域 92 は、PN ダイオードを構成する。例えば

10

20

30

40

50

、第1導電型領域91はN型半導体で形成され、第2導電型領域92はP型半導体で形成される。

【0093】

第1接続部93および第2接続部94は、第1導電型領域91および第2導電型領域92にそれぞれ電氣的に接続される。また、第1接続部93および第2接続部94は、配線を通じて温度検出部108に電氣的に接続される。

【0094】

絶縁膜95は、第1接続部93および第2接続部94が第1導電型領域91および第2導電型領域92以外の接続不要な領域との電氣的に接続されないように絶縁する。

【0095】

[実施例5]

図12は、実施例5に係る半導体装置100のa-a'断面の一例を示す。本例の半導体装置100は、ライフタイムキラー47およびコレクタ領域22の配置例を示している。また、本例の半導体装置100は、図2のa-a'断面について図示されている。

【0096】

ライフタイムキラー47は、一例において、半導体基板10のおもて面側であって、ゲートランナ46の下方の全域に設けられる。本例の半導体装置100は、ライフタイムキラー47がゲートランナ46の下方の全域に形成されているが、トランジスタ部70側の領域には形成されていないので、トランジスタ部70の特性の悪化を抑制している。また、ライフタイムキラー47は、ウェル領域17の下方の全域に形成されてもよい。この場合も、ライフタイムキラー47は、トランジスタ部70側の領域に形成されていなくてよい。

【0097】

コレクタ領域22は、ゲートランナ46の下方の全域に設けられている。本例のコレクタ領域22は、ゲートランナ46の下方の全域に形成されているが、ダイオード部80側の領域に設けられていない。即ち、ダイオード部80の領域に影響を与えることなく、トランジスタ部70とカソード領域28とを離間できる。また、半導体装置100は、カソード領域28からの影響によるトランジスタ部70の誤動作を抑制できる。

【0098】

コレクタ領域22は、ウェル領域17の下方の全域に設けられてもよい。この場合も、コレクタ領域22は、ダイオード部80側の領域に設けられなくてよい。

【0099】

コレクタ領域22は、ダイオード部80に形成されたエミッタ電極52の端に対応する裏面側の位置を越えて形成されてよい。これにより、ダイオード部80のキャリアがトランジスタ部70側に回りこむ影響を抑制できる。

【0100】

[実施例6]

図13は、実施例6に係る半導体装置100のa-a'断面の一例を示す。本例の半導体装置100は、ライフタイムキラー47およびコレクタ領域22の配置例を示している。また、本例の半導体装置100は、図2のa-a'断面について図示されている。

【0101】

ライフタイムキラー47は、一例において、トランジスタ部70側の少なくとも一部に設けられる。本例のライフタイムキラー47は、半導体基板10のおもて面側であって、ゲートランナ46の下方の全域にも設けられている。即ち、本例のライフタイムキラー47は、ダイオード部80側からトランジスタ部70にまで延伸して形成されている。本例の半導体装置100は、ライフタイムキラー47をトランジスタ部70側にまで設けているので、カソード領域28からの影響によるトランジスタ部70の誤動作を抑制できる。

【0102】

コレクタ領域22は、ダイオード部80側の少なくとも一部に設けられている。また、コレクタ領域22は、ゲートランナ46の下方の全域にも設けられている。カソード領域

10

20

30

40

50

２８は、ゲートランナ４６の下方に形成されていない。即ち、本例のカソード領域２８は、実施例５に係る半導体装置１００よりも、トランジスタ部７０側から更に離れて形成されている。これにより、本例の半導体装置１００は、カソード領域２８からの影響によるトランジスタ部７０の誤動作を更に抑制しやすくなる。また、コレクタ領域２２は、ダイオード部８０側の少なくとも一部、およびウェル領域１７の下方の全域にも設けられていてよい。

【０１０３】

なお、ライフタイムキラー４７のトランジスタ部７０側の端の位置と、コレクタ領域２２のダイオード部８０側の端の位置は、前述の構成について適宜組合せ可能である。例えばライフタイムキラー４７のトランジスタ部７０側の端の位置は、図３のように、ゲートランナ４６あるいはウェル領域１７の下方の一部に形成されてよく、コレクタ領域２２のダイオード部８０側の端の位置は、図１３のように、ダイオード部８０側の少なくとも一部に設けるように延伸してもよい。これにより、ライフタイムキラー４７がトランジスタ部７０の特性に与える影響を十分小さくできる。

【０１０４】

他に、例えばライフタイムキラー４７のトランジスタ部７０側の端の位置は、図１３のように、ゲートランナ４６あるいはウェル領域１７の下方を越えてトランジスタ部７０の一部に延伸するように形成されてよく、コレクタ領域２２のダイオード部８０側の端の位置は、図３のように、ゲートランナ４６あるいはウェル領域１７の下方の一部に形成されてよい。これにより、ダイオード部８０からゲートランナ４６下部あるいはウェル領域１７下部に蓄積される少数キャリアが、トランジスタ部７０側に与える影響を抑制できる。

【０１０５】

〔実施例７〕

図１４は、実施例７に係る半導体装置１００の一例を示す平面図である。本例の半導体装置１００は、ゲートトレンチ部４０の内部にゲート絶縁膜を介して埋め込まれたポリシリコン層とゲートランナ４６とが直接接続された構造を有する。

【０１０６】

トランジスタ部７０は、ループ型形状を有するダミートレンチ部３０と、直線形状を有するゲートトレンチ部４０とを備える。但し、ダミートレンチ部３０およびゲートトレンチ部４０をループ型形状とするか直線形状とするかは適宜変更されてよい。

【０１０７】

ダイオード部８０は、実施例１の場合と同様に、ダミートレンチ部３０およびゲートトレンチ部４０のトレンチ幅と対応するように、ループ型形状および直線形状からなるエミッタトレンチ部６０を備える。但し、エミッタトレンチ部６０の形状は、トランジスタ部７０およびダイオード部８０のレイアウトに応じて適宜変更されてよい。

【０１０８】

ゲートランナ４６は、トランジスタ部７０とダイオード部８０との間に設けられる。本例のゲートランナ４６は、直線状に形成されている。

【０１０９】

ゲートトレンチ部４０は、ゲートランナ４６の延伸方向と平行に形成された領域と、ダミートレンチ部３０の延伸方向と平行に形成された領域とを有する。ゲートトレンチ部４０の少なくとも一部は、コンタクトホール５５を介してゲートランナ４６と接続されるように形成されている。ゲートトレンチ部４０の少なくとも一部は、ゲートランナ４６の下方に形成されてよい。

【０１１０】

図１５は、実施例７に係る半導体装置１００のｃ－ｃ'断面の一例を示す。本例の半導体装置１００は、トランジスタ部７０とダイオード部８０との間にゲートランナ４６を有するので、カソード領域２８からの影響によるトランジスタ部７０の誤動作を抑制できる。

【０１１１】

ライフタイムキラー４７は、一例において、トランジスタ部７０側の少なくとも一部に設けられる。本例のライフタイムキラー４７は、半導体基板１０のおもて面側であって、ゲートランナ４６の下方の全域にも設けられている。即ち、本例のライフタイムキラー４７は、ダイオード部８０側からトランジスタ部７０にまで延伸して形成されている。本例の半導体装置１００は、ライフタイムキラー４７をトランジスタ部７０側にまで設けているので、カソード領域２８からの影響によるトランジスタ部７０の誤動作を抑制できる。

【０１１２】

なお、本例のように、ゲートトレンチ部４０がゲートランナ４６と直接接続された場合であっても、他の実施例で示したようにライフタイムキラー４７とゲートランナ４６との関係を適宜設定してよい。

【０１１３】

コレクタ領域２２は、ダイオード部８０に形成されたエミッタ電極５２の端に対応する裏面側の位置を越えて形成されてよい。これにより、ダイオード部８０のキャリアがトランジスタ部７０側に回りこむ影響を抑制できる。

【０１１４】

[実施例 ８]

図１６は、実施例８に係る半導体装置１００の一例を示す平面図である。図１７は、実施例８に係る半導体装置１００の $d-d'$ 断面の一例を示す。本例の半導体装置１００は、実施例１に係る半導体装置１００の構成に加えて蓄積層１６を更に備える。

【０１１５】

蓄積層１６は、ベース領域１４の裏面側に形成される。蓄積層１６は、半導体基板１０の不純物濃度よりも高濃度に形成される。より具体的には、蓄積層１６の不純物濃度は、ドリフト領域１８の不純物濃度よりも高い。蓄積層１６は、隣接するトレンチ間に形成される。一例において、蓄積層１６の不純物濃度は、 $1E16\text{ cm}^{-3}$ 以上、 $1E18\text{ cm}^{-3}$ 以下である。なお、 E は１０のべき乗を意味し、例えば $1E16\text{ cm}^{-3}$ は $1 \times 10^{16}\text{ cm}^{-3}$ を意味する。例えば、蓄積層１６は、半導体基板１０のおもて面側からリン等の N 型不純物を注入することにより形成される。蓄積層１６を設けることにより、オン状態においてコレクタ領域２２からドリフト領域１８に注入された正孔のベース領域１４への流れ込みが抑制されるので、エミッタ領域１２からベース領域１４への電子の注入促進効果が高まる。これにより、半導体装置１００のオン電圧が低減される。

【０１１６】

本例の蓄積層１６は、トランジスタ部７０に形成されるがダイオード部８０には形成されていない。また、蓄積層１６は、平面視で、コンタクトホール５４が形成された領域に対応して形成される。本例の蓄積層１６は、トランジスタ部７０が有するトレンチ部の延伸方向において、コンタクトホール５４が形成された領域の内側に形成されている。これにより、本例の半導体装置１００は、蓄積層１６によるキャリア引抜き効果を高めて耐量の低下を抑制する。また、トランジスタ部７０のトレンチ部の端部の少なくとも一部は、ウェル領域１７内に形成されていることが好ましい。これにより、半導体装置１００の耐圧が向上する。

【０１１７】

[実施例 ９]

図１８は、実施例９に係る半導体装置１００の一例を示す平面図である。図１９は、実施例９に係る半導体装置１００の $d-d'$ 断面の一例を示す。本例の半導体装置１００は、実施例１に係る半導体装置１００の構成に加えて蓄積層１６を更に備える。

【０１１８】

本例の蓄積層１６は、トランジスタ部７０およびダイオード部８０の両方に形成される。但し、蓄積層１６は、ウェル領域１７には、形成されていない。つまり、ゲートランナ４６が形成された領域には、蓄積層１６が形成されていない。また、蓄積層１６は、平面視で、コンタクトホール５４が形成された領域に対応して形成される。トランジスタ部７０側のコンタクトホール５４は、平面視で、ウェル領域１７と離間して形成されている。

10

20

30

40

50

また、ダイオード部 80 側のコンタクトホール 54 も、平面視で、ウェル領域 17 と離間して形成されている。

【0119】

本例の蓄積層 16 は、トランジスタ部 70 が有するトレンチ部の延伸方向において、コンタクトホール 54 が形成された領域の内側に形成されている。また、ダイオード部 80 においても同様に、蓄積層 16 は、ダイオード部 80 が有するトレンチ部の延伸方向において、コンタクトホール 54 が形成された領域の内側に形成されている。これにより、本例の半導体装置 100 は、蓄積層 16 によるキャリア引抜き効果を高めて耐量の低下を抑制する。なお、ダイオード部 80 に蓄積層 16 を形成する場合、おもて面側のライフタイムキラー 47 が省略されてもよい。

10

【0120】

[実施例 10]

図 20 は、実施例 10 に係る半導体装置 100 の一例を示す平面図である。図 21 は、実施例 10 に係る半導体装置 100 の d - d' 断面の一例を示す。本例の半導体装置 100 は、実施例 1 に係る半導体装置 100 の構成に加えて蓄積層 16 を更に備える。

【0121】

本例の蓄積層 16 は、トランジスタ部 70 およびダイオード部 80 の両方に形成される。更に本例の蓄積層 16 の少なくとも一部は、ウェル領域 17 内に形成されている。つまり、蓄積層 16 は、ゲートランナ 46 が形成された領域にも、蓄積層 16 が形成されている。よって、本例の蓄積層 16 は、トランジスタ部 70、ダイオード部 80 およびゲートランナ 46 が形成された領域に形成されている。ここで、断面図において、ウェル領域 17 に形成された蓄積層を蓄積層 16a とし、ウェル領域 17 以外に形成された蓄積層を蓄積層 16b として示している。蓄積層 16b は、ベース領域 14 に形成されている。蓄積層 16b は、実施例 8 および 9 の蓄積層 16 と同様に N 型の高濃度層である。蓄積層 16a は、蓄積層 16b のように N 型となる必要はない。即ち、蓄積層 16a は、蓄積層 16b と同一のプロセスで形成されてよいが、ウェル領域 17 に形成されるので P 型のままであってよい。また、ウェル領域 17 の蓄積層 16a には、N 型の不純物が含まれていてよい。ウェル領域 17 における N 型の不純物の化学的な濃度は、ウェル領域 17 の P 型の不純物の化学的な濃度より低い。これにより、半導体装置 100 は、耐圧および耐量の低下を抑制できる。なお、ダイオード部 80 に蓄積層 16 を形成する場合、おもて面側のライフタイムキラー 47 が省略されてもよい。

20

30

【0122】

図 22 は、オン電圧 V_{on} (V) とターンオフ損失 E_{off} (mJ) との関係を示す。実施例 1 に係る半導体装置 100 は、比較例 1 に係る半導体装置 500 よりもターンオフ損失 E_{off} (mJ) が低減されている。これは、ダイオード部 80 が中央に設けられることにより、トランジスタ部 70 おもて面のライフタイムキラー導入領域が小さくなり、オン電圧 V_{on} (V) とターンオフ損失 E_{off} (mJ) のトレードオフが改善したことによる。

【0123】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

40

【0124】

特許請求の範囲、明細書、および図面中において示した装置、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に」、「等」を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

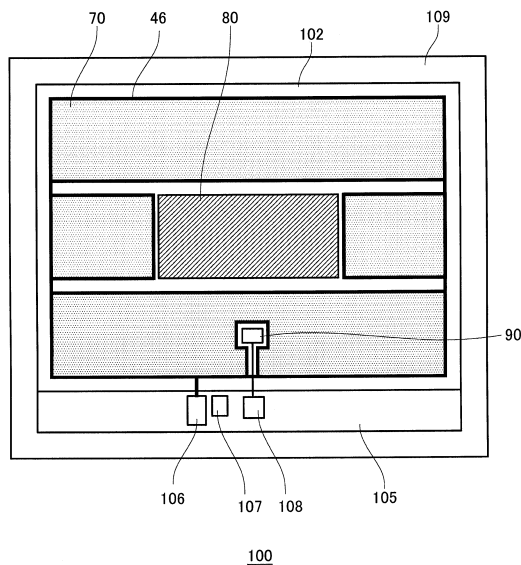
50

【符号の説明】

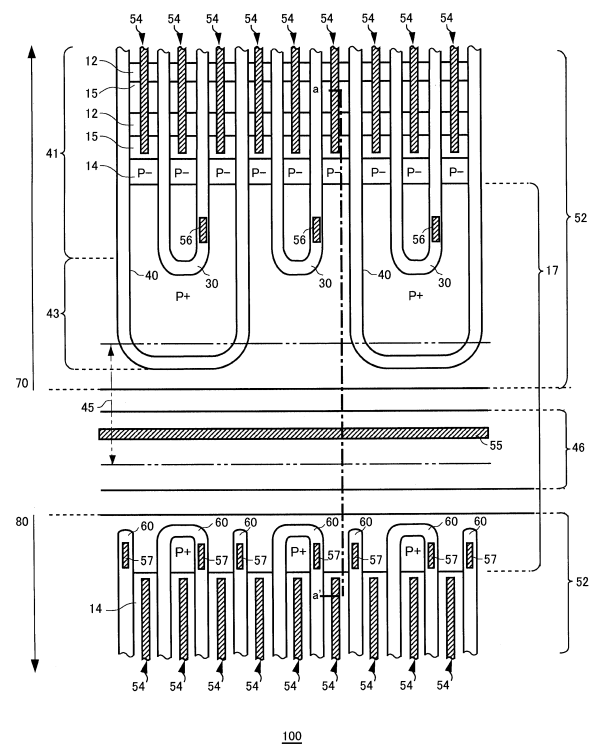
【 0 1 2 5 】

1 0 . . . 半 導 体 基 板、 1 2 . . . エ ミ ッ タ 領 域、 1 4 . . . ベ ー ス 領 域、 1 5 . . . コ
ン タ ク ト 領 域、 1 6 . . . 蓄 積 層、 1 7 . . . ウ ェ ル 領 域、 1 8 . . . ド リ フ ト 領 域、 2
2 . . . コ レ ク タ 領 域、 2 4 . . . コ レ ク タ 電 極、 2 6 . . . 層 間 絶 縁 膜、 2 8 . . . カ
ソ ード 領 域、 3 0 . . . ダ ミ ー ト レ ン チ 部、 4 0 . . . ゲ ー ト ト レ ン チ 部、 4 1 . . . 対
向 部、 4 3 . . . 突 出 部、 4 5 . . . ポ リ シ リ コ ン 層、 4 6 . . . ゲ ー ト ラ ン ナ、 4 7 .
. . . ラ イ フ タ イ ム キ ラ ー、 4 8 . . . ラ イ フ タ イ ム キ ラ ー、 4 9 . . . ゲ ー ト 絶 縁 膜、 5
2 . . . エ ミ ッ タ 電 極、 5 4 . . . コ ン タ ク ト ホ ー ル、 5 5 . . . コ ン タ ク ト ホ ー ル、 5
6 . . . コ ン タ ク ト ホ ー ル、 5 7 . . . コ ン タ ク ト ホ ー ル、 6 0 . . . エ ミ ッ タ ト レ ン チ
部、 7 0 . . . ト ラ ン ジ ス タ 部、 8 0 . . . ダ イ オ ード 部、 9 0 . . . 温 度 セ ン サ、 9 1
. . . 第 1 導 電 型 領 域、 9 2 . . . 第 2 導 電 型 領 域、 9 3 . . . 第 1 接 続 部、 9 4 . . .
第 2 接 続 部、 9 5 . . . 絶 縁 膜、 1 0 0 . . . 半 導 体 装 置、 1 0 2 . . . 活 性 領 域、 1 0
3 . . . ゲ ー ト 端 子、 1 0 5 . . . 外 側 領 域、 1 0 6 . . . ゲ ー ト パ ッ ド、 1 0 7 . . .
セ ン ス 部、 1 0 8 . . . 温 度 検 出 部、 1 0 9 . . . エ ヱ ジ 終 端 領 域、 5 0 0 . . . 半 導 体
装 置、 5 1 0 . . . 半 導 体 基 板、 5 1 2 . . . エ ミ ッ タ 領 域、 5 1 4 . . . ベ ー ス 領 域、
5 1 5 . . . コ ン タ ク ト 領 域、 5 1 7 . . . ウ ェ ル 領 域、 5 1 8 . . . ド リ フ ト 領 域、 5
2 2 . . . コ レ ク タ 領 域、 5 2 4 . . . コ レ ク タ 電 極、 5 2 6 . . . 層 間 絶 縁 膜、 5 3 0
. . . ダ ミ ー ト レ ン チ 部、 5 4 0 . . . ゲ ー ト ト レ ン チ 部、 5 4 6 . . . ゲ ー ト ラ ン ナ、
5 4 7 . . . ラ イ フ タ イ ム キ ラ ー、 5 4 8 . . . ラ イ フ タ イ ム キ ラ ー、 5 5 1 . . . ゲ ー
ト 端 子、 5 5 2 . . . エ ミ ッ タ 電 極、 5 5 3 . . . エ ミ ッ タ 端 子、 5 5 4 . . . コ ン タ ク
ト ホ ー ル、 5 5 5 . . . コ ン タ ク ト ホ ー ル、 5 5 6 . . . コ ン タ ク ト ホ ー ル、 5 5 7 . .
. . . コ ン タ ク ト ホ ー ル、 5 6 0 . . . エ ミ ッ タ ト レ ン チ 部、 5 7 0 . . . ト ラ ン ジ ス タ 部、
5 8 0 . . . ダ イ オ ード 部、 5 8 2 . . . カ ソ ード 領 域

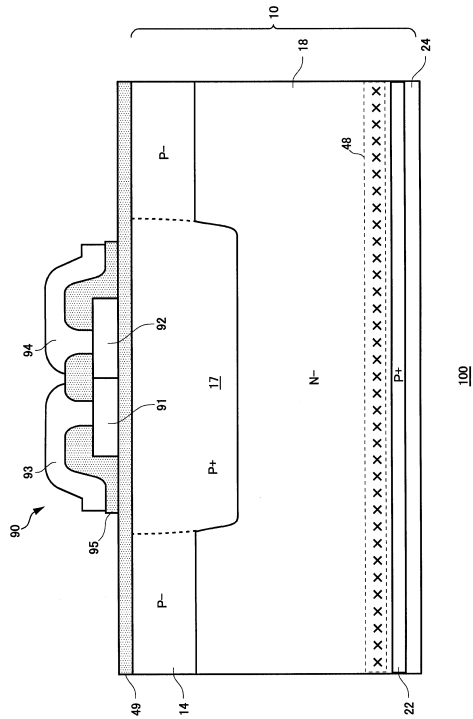
【 図 1 】



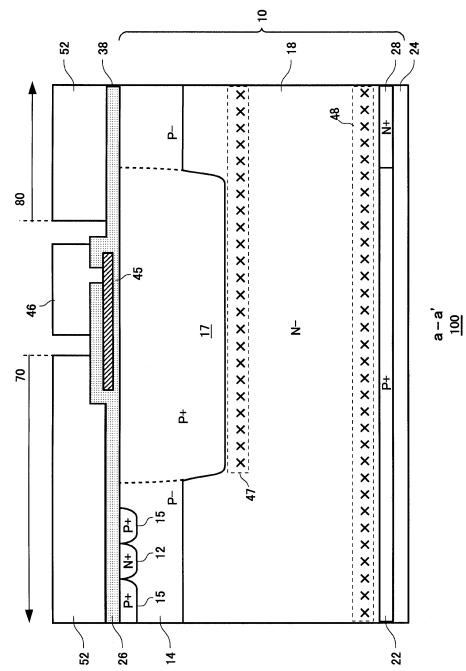
【圖 2】



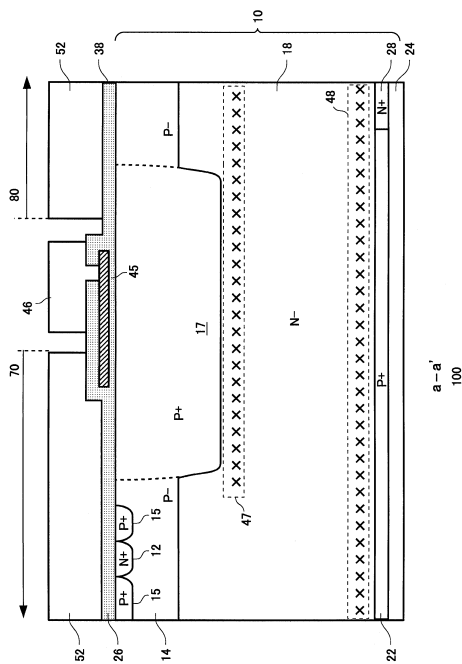
【 図 1 1 】



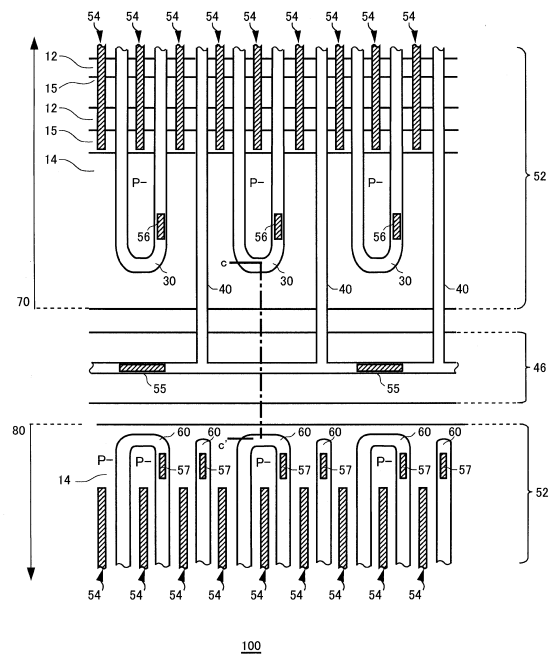
【 図 1 2 】



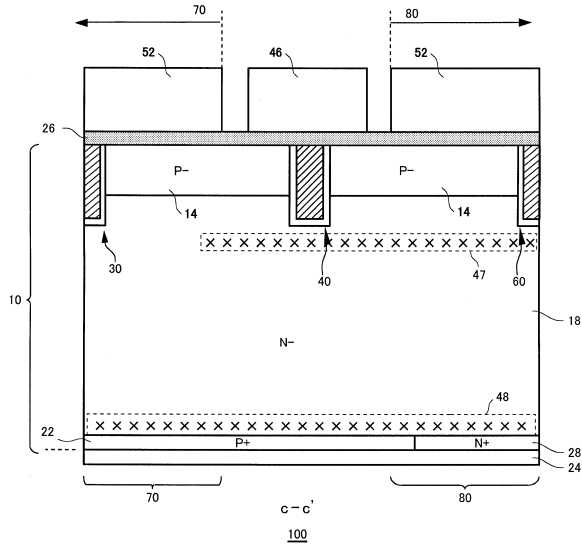
【 図 1 3 】



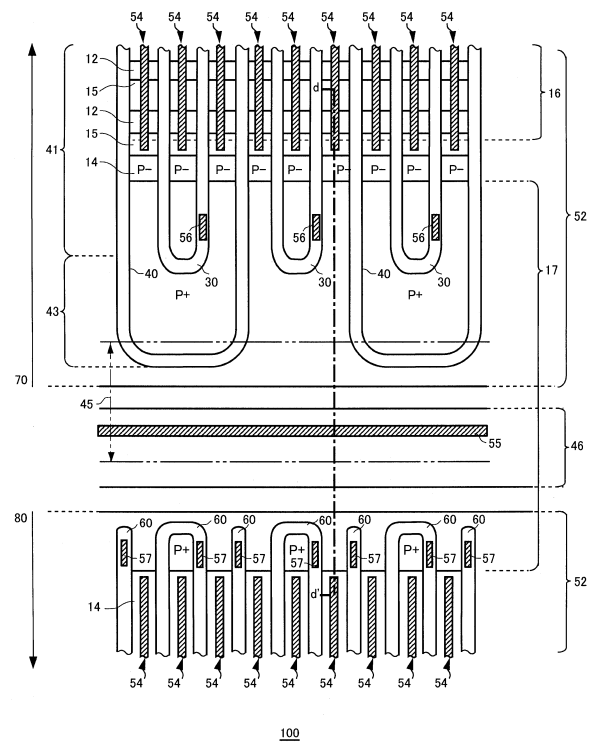
【 図 1 4 】



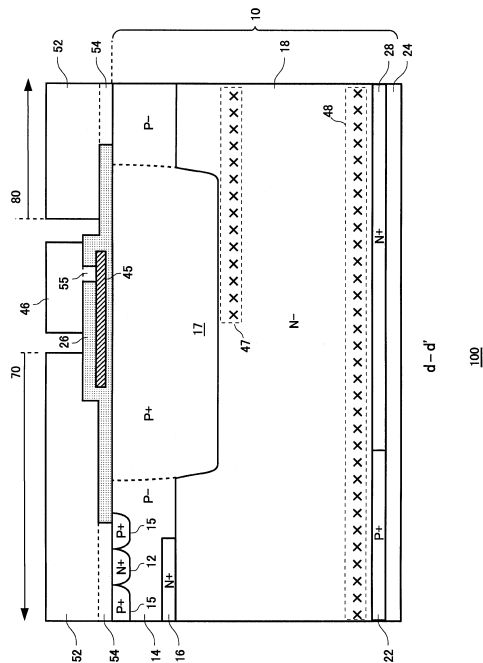
【図 15】



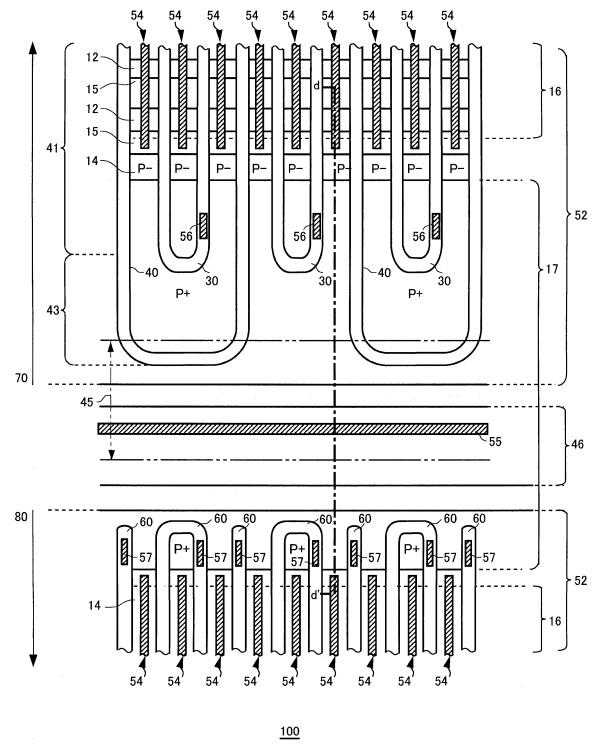
【図 16】



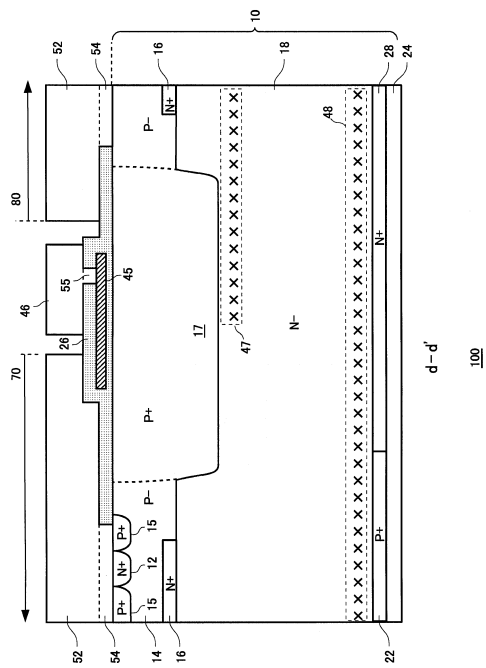
【図 17】



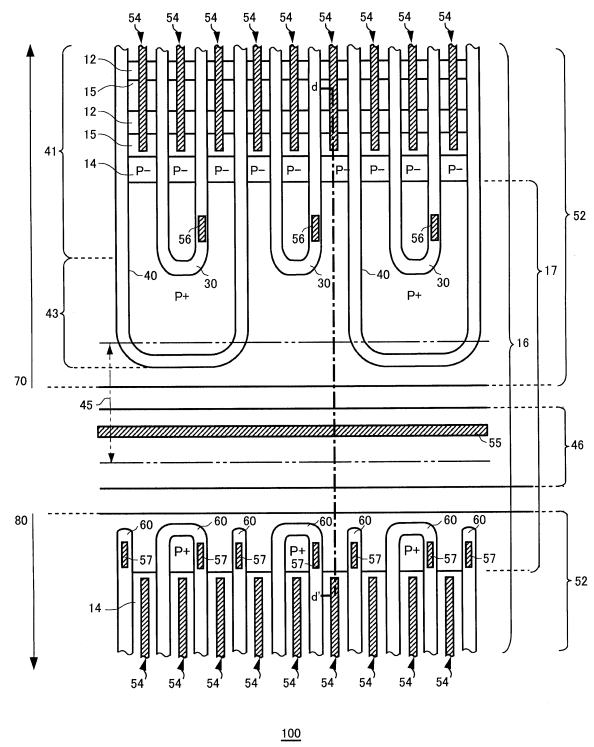
【図 18】



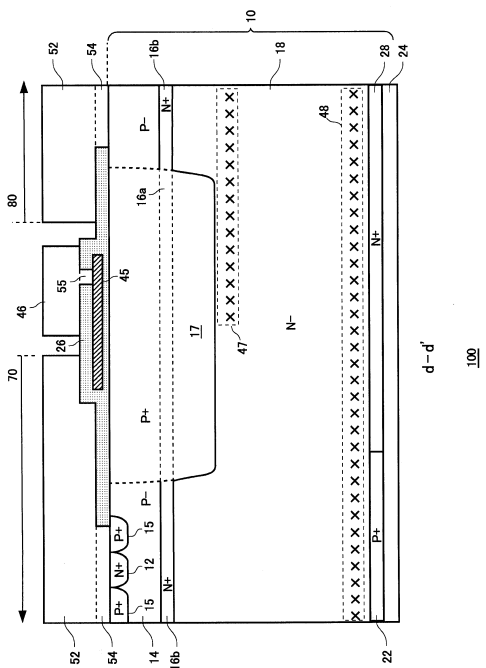
【 図 1 9 】



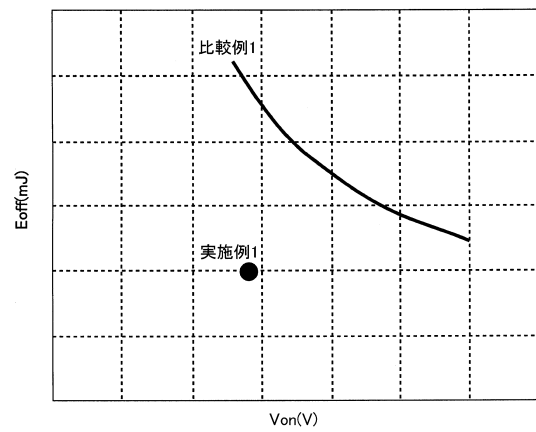
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



 フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 L	29/78	6 5 7 D
	H 0 1 L	29/78	6 5 5 G
	H 0 1 L	29/78	6 5 7 C
	H 0 1 L	29/78	6 5 2 H
	H 0 1 L	29/78	6 5 5 D
	H 0 1 L	29/78	6 5 2 J
	H 0 1 L	29/78	6 5 2 C
	H 0 1 L	27/06	1 0 2 A

(56)参考文献 特開2011-134998(JP,A)
 特開2004-363328(JP,A)
 特開2011-216825(JP,A)
 特開2009-021557(JP,A)
 特開2014-067763(JP,A)
 特開2011-035072(JP,A)
 特開2008-235405(JP,A)
 特開2006-302977(JP,A)
 特開2012-033897(JP,A)
 国際公開第2011/027474(WO,A1)
 国際公開第2011/125156(WO,A1)
 特開2016-006891(JP,A)
 特開2012-043890(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 9 / 7 8