

公告本

申請日期	85.9.13
案 號	85111194
類/Int. 別	H03L 7/06

(以上各欄由本局填註)

A4
C4

320796

320796

發明專利說明書

一、發明 名稱	中 文	數位計數器及數位PLL 迴路
	英 文	DIGITAL COUNTER AND DIGITAL PLL CIRCUIT
二、發明 創作人	姓 名	柳 內 弘
	國 籍	日 本
	住、居所	東京都品川區北品川6 丁目7 番35號 ソニー株式會社內 2-3 同上所
三、申請人	姓 名	(ソニー株式會社)
	(名稱)	新力股份有限公司
	國 籍	日 本
	住、居所 (事務所)	東京都品川區北品川6 丁目7 番35號
	代 表 人 姓 名	出井伸之

裝

訂

線

320796

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
1995年 9月20日 特願平7-242044號

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[產業上利用領域]

本發明為有關數位 PLL 迴路(數位鎖相迴路 PLL , Phase Locked Loop)及用在該迴路上之數位計數器。

[習知技術]

如第 8 圖所示，一般數位鎖相迴路係具有例如相位比較器 2、數位計數器 3、頻率倍增器 4 及分頻器 5。

相位比較器 2 將頻率 f_{ref} 的基準時鐘和從分頻器 5 來的振盪輸出 f_5 之相位加以比較，而依據其比較結果將「升、降」信號輸出於數位計數器 3。例如振盪輸出 f_5 的週期比基準時鐘低時，將「升」信號輸出於數位計數器 3，如較高時，將「降」信號輸出於數位計數器 3。

數位計數器 3 依據相位比較器 2 來的「升、降」信號，將計數值從最低位向最高位提升或及降下，而將 n 位元的計數值 S_3 輸出於頻率倍增器 4。

頻率倍增器 4 可盡到和電壓控制振盪器(VCO)同樣之功能，依據所輸入的計數值 S_3 決定振盪頻率，最後將頻率 f_0 之目標時鐘輸出。

分頻器 5 是將頻率倍增器 4 的輸出信號 S_4 ，分頻後之振盪輸出 f_5 輸出於相位比較器 2。

在第 8 圖所示之鎖相迴路中，如第 9 圖所示，要使其到達鎖定狀態時，如數位計數器 3 為 n 位計數，則其較長者，要有 $2^n / f_{ref}$ 之動作時間。

又，如第 10 圖所示，也有在目標頻率 f_0 近旁的頻率 f_{pri} ，設定計數值之初期值，以縮短到達鎖定狀態的時

五、發明說明(2)

間之手法，但，以這種手法時，目標頻率 f_0 如變化為 f_0' 或 f_0'' 時，不能發揮其應有之效果。

因而，在第8圖的數位鎖相迴路中，要縮短到達鎖定狀態的時間，必須減少數位計數器3的位元。

一方面，在第8圖的數位PLL迴路中，要以數位計數器3的計數值S3來控制頻率倍增器4時，例如是將頻率的移相量重疊於計數值S3的各位元上，惟其移相量太大時，抖動也大，而要數位PLL迴路的輸出頻率滿足於所必要之精確度時，必須增加數位計數器3的位元，並儘量減少移相量。

[發明欲解決之問題]

然而，在上述的以往之數位PLL迴路中，其提高輸出頻率的精確度與到達鎖定狀態的時間之縮短比，係在於相反之關係上，因而有無法使兩者同時獲得充分的特性之問題。

本發明係有鑑於上述以往技術之問題，目的在於提供數位PLL迴路中，可使輸出頻率高精度化，及可將到達鎖定狀態的時間縮短之數位PLL迴路，及用在該電路上之數位計數器。

[發明之解決手段]

為了解決上述以往技術之問題點，以達成上述目的，本發明之數位計數器是：從相位比較電路輸入其基準信號和頻率倍增電路的輸出信號之相位比較結果，而依據該比較結果進行計數，並將該計數值輸出於上述頻率

五、發明說明(3)

倍增電路之數位計數器，而其係依據上述比較結果，從最高位向最低位依次決定其計數值者。

又，本發明之數位計數器更為理想的是，依據上述基準信號的週期及上述頻率倍增電路的倍增數，以決定上述計數值中的最高位之位置者。

又，本發明之數位計數器更為理想的是：在上述基準信號和上述頻率倍增電路的輸出信號之相位未同步以前是依據上述比較結果，從最高位向最低位依次決定其計數值，而從上述基準信號和上述頻率倍增電路的輸出信號之相位同步以後，是依據上述比較結果，從最低位向最高位變更其計數值者。

又，本發明之數位計數器更為理想的是：具備第1計數器、第2計數器，及選擇手段；上述選擇手段在於上述基準信號和上述頻率倍增電路的輸出信號之相位未同步以前，是將上述比較結果輸出於上述第1計數器，而在於上述基準信號和上述頻率倍增電路的輸出信號之相位同步之後，是將上述比較結果輸出於上述第2計數器；上述第1計數器是依據從上述選擇手段輸入之上述比較結果，從最高位向最低位依次決定其計數值；上述第2計數器是以上述第1計數器的計數值為初期值，並依據由上述選擇手段輸入之比較結果，從最低位向最高位變更其計數值者。

又，本發明之數位PLL迴路係具備：頻率倍增電路；對基準信號和上述頻率倍增電路的輸出信號之相位加以

五、發明說明(4)

比較之相位比較電路；及從上述相位比較電路輸入比較結果，而依據該比較結果，從最高位向最低位依次決定其計數值，並將該計數值輸出於上述頻率倍增電路之數位計數器者。

又，本發明之數位PLL迴路更為理想的是：上述數位計數器係依據上述基準信號的週期及上述頻率倍增電路的倍增數，以決定上述計數值中之最高位之位置者。

又，本發明之數位PLL迴路更為理想的是：上述數位計數器於上述基準信號和上述頻率倍增電路的輸出信號之相位未同步以前，是依據上述比較結果，從最高位向最低位依次決定其計數值，而從上述基準信號和上述頻率倍增電路的輸出信號之相位同步以後，是依據上述比較結果，從最低位向最高位變更其計數值者。

再者，本發明之數位PLL迴路更為理想的是：上述數位計數器係具備第1計數器、第2計數器及選擇手段；上述選擇手段是於上述基準信號和上述頻率倍增電路的輸出信號之相位未同步以前，將上述比較結果輸出於上述第1計數器，而於上述基準信號和上述頻率倍增電路的輸出信號之相位同步以後，將上述比較結果輸出於上述第2計數器；上述第1計數器是依據從上述選擇手段輸入之上述比較結果，從最高位向最低位依次決定其計數值；上述第2計數器是以上述第1計數器的計數值為初期值，並依據從上述選擇手段輸入之上述比較結果，從最低位向最高位變更其計數值者。

五、發明說明(5)

本發明之數位計數器及數位PLL迴路中，例如在其最高位設定「1」，依據該設定值所獲得的頻率倍增電路之輸出信號和基準信號，由相位比較電路加以比較。而其比較結果，如頻率倍增電路的輸出信號週期比基準信號為短時，其設定的最高位決定為「1」，否則變更為「0」。然後將該處理從最高位向最低位依次進行，決定各位元之值。

[實施例]

以下，將本發明數位計數器及數位PLL迴路之實施例，參照圖面說明之。

第1實施例

第1圖為本實施例數位PLL迴路之構成圖。

如第1圖所示，本實施例數位PLL迴路係具備相位比較器2、數位計數器13、頻率倍增器4、及分頻器5。

相位比較器2是將頻率 f_{ref} 的基準時鐘和從分頻器5來的振盪輸出 f_5 之相位加以比較，根據該比較結果將「升、降」信號輸出於數位計數器13。例如振盪輸出 f_5 的週期比基準時鐘為短時，將「升」信號輸出於數位計數器13，如為相反，則將「降」信號輸出於數位計數器13。

頻率倍增器4可盡到和電壓控制振盪電路(VCO)同樣之功能，依據所輸入之計數值 S_3 決定振盪頻率，最後將頻率 f_0 之目標時鐘輸出。

又，數位PLL迴路的所有構成要素是根據基準時鐘，

五、發明說明(6)

或由基準時鐘所產生的時鐘而動作。

以下說明數位計數器13。

數位計數器13係具備多功能計數器11及同步判定電路12。

多功能計數器是輸入頻率 f_{ref} 的基準時鐘，從相位比較器2來的「升、降」信號，及從同步判定器12來的同步判定信號 S_{12} ，而參照同步判定信號 S_{12} ，在判定基準時鐘的頻率 f_{ref} 和目標頻率 f_o 之相位為同步以前為止，是依據相位比較器2來的「升、降」信號，從計數值的最高位(MSB)向最低位(LSB)決定各位元之輸出值。又，多功能計數器11並參照同步判定信號 S_{12} ，而從判定基準時鐘的頻率 f_{ref} 和目標頻率 f_o 之相位同步時開始，是依據相位比較器2來的「升、降」信號，從最低位開始計數。多功能計數器11的 n 位元之計數值13乃輸出於頻率倍增器4。

同步判定電路12是根據相位比較器2來的「升、降」信號，判定相位是否已到同步，而將同步判定信號 S_{12} 輸出於多功能計數器11。

以下，說明數位計數器13之動作情形。

第2圖、第3圖是數位計數器13之動作說明圖。

在數位計數器13中，已預先選擇第 n 位為其最高位。

如第2圖所示，在頻率 f_{ref} 的基準時鐘之時鐘 C_1 時，在第 n 位設定「1」，這時，頻率倍增4的輸出週期，例如成為第3圖所示之「 $1/f_n$ 」。於此，目標頻率 f_o

五、發明說明(8)

之值是一致於或極為接近於將基準時鐘的頻率 f_{ref} 倍增後之頻率。

其次，在第2圖中的時鐘C2時，於相位比較器2中，對基準時鐘的頻率 f_{ref} 和頻率 f_n 之相位加以比較。

接著在時鐘C3時，由於在時鐘C2時的相位比較結果，須要升高週期，因而相位比較器2將「升」信號輸出於多功能計數器11。由此，多功能計數器11將第 n 位決定為「1」，在第 $n-1$ 位設定「1」。這時，頻率倍增器4輸出的週期成為如第3圖中之「 $1/f_{n-1}$ 」。

接著，在第2圖中的時鐘C4時，於相位比較器2中，對基準時鐘的頻率 f_{ref} 和頻率 f_{n-1} 之相位加以比較。

接著，在時鐘C5時，由於在時鐘C4時的相位比較結果，須要降低週期，因而相位比較器2將「降」信號輸出於多功能計數器11。由此，多功能計數器11將第 $n-1$ 位決定為「0」，在第 $n-2$ 位設定「1」。這時，頻率倍增器4輸出的週期成為如第3圖中之「 $1/f_{n-2}$ 」。

接著，在第2圖中的時鐘C6時，於相位比較器2中，對基準時鐘的頻率 f_{ref} 和頻率 f_{n-2} 之相位加以比較。

接著，在時鐘C7時，由於在時鐘C6時的相位比較結果，須要降低週期，因而相位比較器2將「降」信號輸出於多功能計數器11。由此，多功能計數器11將第 $n-2$ 位決定為「0」，在第 $n-3$ 位設定「1」。這時，頻率倍增器4輸出的週期成為如第3圖中之「 $1/f_{n-3}$ 」。

然後，一直到上述同步判定電路12所發出的同步判定

五、發明說明 (8)

信號 S12 顯出相位為同步為止，反覆與上述處理同樣之處理。

依上述數位 PLL 迴路時，進行上述之處理以決定多功能計數器 11 之輸出計數值 S13，可使頻率倍增器 4 將基準時鐘的頻率 f_{ref} 倍增成為其最後之輸出頻率 f_o ，且，在短時間內，高精確度的靠近於相位無偏差之頻率。即，到鎖定狀態所需之時間，在於上述以往的數位計數器中，對於基準時鐘要有 2^n 時鐘，而本實施例的數位計數器 13 中，只不過是 $2n$ 時鐘，[第 5 圖中為 $2(n+1)$ 時鐘]，使用本實施例之數位計數器 13 時，可在短時間內到達鎖定狀態。例如 $n=10$ 時，以往的要 $2^{10}=2024$ 時鐘，而本實施例為 2×10 時鐘 [第 5 圖中為 $2(10+1)=22$ 時鐘]，可將到達鎖定時間縮短為 $1/50$ 倍。其結果是由處理時間之關係上，可將數位計數器 13 的位數比以往大幅增加，可大幅提升數位 PLL 迴路的輸出頻率之精確度。因此，依本實施例的數位 PLL 迴路時，可獲得輸出頻率之高精度化及到達鎖定狀態的時間之縮短化之雙重效果，可廣泛應用於顯示器的掃描用之數位 PLL 迴路等。

接著，同步判定信號 S12 顯出已成同步時，多功能計數器 11 會隨著基準時鐘 f_{ref} 的變化，將計數值 S12 轉換於可由最低位計數之升降計數器。

如此，在相位同步後將多功能計數器 11 轉換於從最低位計數之升降計數器，可使其成為追隨於電路及基準時鐘的誤差之高精確度之同步相位。又依本實施例之數位 PLL

五、發明說明(9)

迴路時，其係以2時鐘有一次的比率之相位比較，可使其對基準時鐘的誤差等持有高度之追隨性。

接著，參照第2圖，第4圖，說明第1圖中的數位計數器13之其他動作。

在數位計數器13中，預先選擇第 n 位為其最高位。

然後，如第2圖所示，在頻率 f_{ref} 的基準時鐘之C1時，在第 n 位設定「1」。這時候頻率倍增器4的輸出週期成為第4圖中之「 $1/f_n$ 」。

接著，在第2圖的時鐘C2時，相位比較器2會對基準時鐘的頻率 f_{ref} 和頻率 f_n 之相位加以比較。

接著，在時鐘C3時由於在時鐘C2時的相位比較結果須要將週期降低，因而相位比較器2會將「降」信號輸出於多功能計數器11。由此，多功能計數器將第 n 位決定為「0」，在第 $n-1$ 位設定「1」。這時候的頻率倍增器4之輸出週期成為第4圖中之「 $1/f_{n-1}$ 」。

接著，在第2圖的時鐘C4時，相位比較器2會對基準時鐘的頻率 f_{ref} 和頻率 f_{n-1} 之相位加以比較。

接著，在時鐘C5時，由於在時鐘C4時的相位比較結果，須要將週期升高，因而相位比較器2會將「升」信號輸出於多功能計數器11。由此多功能計數器將第 $n-1$ 位決定為「1」，在第 $n-2$ 位設定「1」。這時候的頻率倍增器4之輸出週期成為第4圖中之「 $1/f_{n-2}$ 」。

接著在第2圖的時鐘C6時，相位比較器會對基準時鐘的頻率 f_{ref} 和頻率 f_{n-2} 之相位加以比較。

五、發明說明(10)

接著，在時鐘 C7 時，由於在時鐘 C6 時的相位比較結果須要將週期降低，因而相位比較器 2 會將「降」信號輸出於多功能計數器 11。由此，多功能計數器將第 $n-2$ 位決定為「0」，在第 $n-3$ 位設定「1」。這時候的頻率倍增器 4 之輸出週期成為第 4 圖中之「 $1/f_{n-3}$ 」。

然後，一直到上述同步判定電路 12 所發出的同步判定信號 S12 顯出相位為同步為止，反覆與上述處理同樣之處理。

接著，同步判定信號 S12 顯出已成同步時，多功能計數器 11 會隨著基準時鐘的頻率 f_{ref} 之變化，將計數值 S12 轉換於可由最低位計數之升降計數器。

第 2 實施例

第 5 圖為本實施例數位鎖相迴路之構成圖。

如第 5 圖所示，本實施例數位 PLL 迴路係具備相位比較器 2、數位計數器 23、頻率倍增器 4、及分頻器 5。

數位計數器 23 並具多功能計數器 11、同步判定電路 12 及決定最高位計數器 21。

第 5 圖中與上述第 1 實施例的構成要素相同部分附與和第 1 圖相同之符號。

數位計數器 23 的決定最高位計數器 21 係具有內裝、或外裝附屬裝置而可產生比基準時鐘為高頻率信號之振盪器。決定最高位計數器 21 是以該振盪器的時鐘為基準，將基準時鐘的週期用升計數器計數，由該計數值和頻率倍增器 4 的增倍數之關係用選擇器來選擇最適當之最高

五、發明說明(11)

位。

第6圖是第5圖所示數位計數器23之動作說明圖。

如第6圖所示，第5圖的數位計數器23在基準時鐘中的時鐘C1時，由決定最高位計數器21選擇其最高位。

時鐘C2以後，多功能計數器11是使用C1時所選擇的最高位做和第1實施例同樣之動作。

用本實施例的數位計數器23時，可設定適當的最高位，因而，可容易的擴大數位PLL迴路所對應之頻率範圍。

第3實施例

第7圖為本實施例數位PLL迴路之構成圖。

如第7圖所示，本實施例數位PLL迴路係具備相位比較器2，數位計數器33、頻率倍增器4及分頻器5。

數位計數器33並具第1計數器31、第2計數器32、同步判定選擇器34及決定最高位計數器21。

第7圖中與上述第1實施例及第2實施例的構成要素相同部分附與和第1圖及第1圖相同之符號。

第1計數器31是經由同步判定選擇器34從相位比較器2輸入「升、降」信號，而根據該「升、降」信號，從決定最高位計數器21所決定的最高位向最低位，決定各位元之輸出值。

第2計數器32是以相位剛同步當時的第1計數器31之輸出值S31為初期值，於相位同步後，依據同步判定選擇器34來的「升、降」信號，對應於基準時鐘之變化進行升／降之計數。

五、發明說明(12)

同步判定選擇器 34 是根據相位比較器 2 來的「升、降」信號，判斷相位是否同步，在直到相位要同步之前，將相位比較器 2 的「升、降」信號輸出於第 1 計數器 31，並將第 1 計數器 31 的輸出值 S31 輸出於頻率倍增器 4。又，同步判定選擇器 34，從相位同步當時起，將相位比較器 2 的「升、降」信號輸出於第 2 計數器 32，並將第 2 計數器 32 的輸出值 S32 輸出於頻率倍增器 4。

用本實施例的數位計數器 33 時，數位 PLL 迴路也可獲得和上述第 1 實施例所示之同樣效果。

本發明並不限定於上述之實施例，如其係依據在相位比較器 2 中的比較結果，而使數位計數器的計數值從最高位向最低位依次決定者，均屬之。

[發明之效果]

依據本發明之數位計數器及數位 PLL 迴路時，在數位 PLL 迴路中，可獲得輸出頻率之高精度化，及到達鎖定時間之縮短化。

又，依據本發明之數位計數器及數位 PLL 迴路時，可容易擴大其對應頻率之範圍。

[附圖簡單說明]

第 1 圖：本發明第 1 實施例之數位 PLL 迴路構成圖。

第 2 圖：第 1 圖中的數位計數器之動作說明圖。

第 3 圖：第 1 圖中的數位計數器之動作說明圖。

第 4 圖：第 1 圖中的數位計數器之其他動作說明圖。

第 5 圖：本發明第 2 實施例之數位 PLL 迴路構成圖。

五、發明說明(13)

第6圖：第5圖中的數位計數器之動作說明圖。

第7圖：本發明第3實施例之數位PLL迴路構成圖。

第8圖：一般的數位PLL迴路之構成圖。

第9圖：第8圖中的數位PLL迴路之動作說明圖。

第10圖：第8圖中的數位PLL迴路之其他動作說明圖。

[符號說明]

2：相位比較器，

3、13、23、33：數位計數器，

4：頻率倍增器，

5：分頻器，

11：多功能計數器，

12：同步判定電路，

21：決定最高位計數器，

31：第1計數器，

32：第2計數器，

34：同步判定選擇器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：)

數位計數器及及數位 PLL 迴路

[目的]

在數位 PLL 迴路(鎖相迴路)中，提供一種可獲得輸出頻率之高精度化及到達鎖定時間之縮短化之數位計數器。

[構成]

在相位比較器 2 中，對頻率 f_{ref} 的基準時鐘，與分頻器 5 的輸出信號 S5 之相位加以比較，並對應於該比較結果，將「升、降」信號輸出於多功能計數器 11 及同步判定電路 12。多功能計數器 11 係根據「升、降」信號，從最高位向最低位依次決定各位元之值，而將其計數值 S13 輸出於頻率倍增器 4。同步判定電路 12 根據相位比較器 2 來的「升降」信號，判斷相位是否已同步，並將該判斷結果 S12 輸出於多功能計數器 11。

[選擇圖]

第 1 圖

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱：)

DIGITAL COUNTER AND DIGITAL PLL
CIRCUIT

[Object] To provide, a digital counter on the digital PLL circuit which is aiming at high-definition of the output frequency and shortening the time up to the lock status.

[Solution] The phase of reference lock of the frequency f_{ref} is compared with that of output signal S5 from the frequency divider in the phase comparator 2, the updown signal corresponding to said comparison is outputted to the multcounter 11 and synchronous discrimination circuit 12. The multcounter 11 decides the sequence of the value of each bit from the most significant bit to the least significant bit and outputs said counted value S13 is outputted to the frequency multiplier 4. The synchronous discrimination circuit 12 decides whether the phase has synchronized or not based on the updown signal from the phase comparator 2, and outputs the decision result S12 into the multcounter 11 (refer to Fig. 1).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種數位計數器，係從相位比較電路輸入該相位比較電路對於基準信號和頻率倍增電路的輸出信號之相位比較結果，而依據該比較結果進行計數，並將該計數值輸出於上述頻率倍增電路之數位計數器，其特徵為：
上述計數值係依據上述比較結果，從最高位向最低位依次決定者。
2. 如申請專利範圍第1項之數位計數器，其中
係依據上述基準信號的週期及上述頻率倍增電路的倍增數，以決定上述計數值中的最高位之位置。
3. 如申請專利範圍第2項之數位計數器，其中
係在上述基準信號和上述頻率倍增電路的輸出信號之相位直到同步之前，依據上述比較結果，從最高位向最低位依次決定其計數值；而
從上述基準信號和上述頻率倍增電路的輸出信號之相位同步以後，係依據上述比較結果，從最低位向最高位變更其計數值。
4. 如申請專利範圍第3項之數位計數器，其中
具第1計數器、第2計數器及選擇手段；
上述選擇手段在於上述基準信號和上述頻率倍增電路的輸出信號之相位直到同步以前係將上述比較結果輸出於上述第1計數器，而從上述基準信號和上述頻率倍增電路的輸出信號同步以後，係將上述比較結果輸出於上述第2計數器；
上述第1計數器係依據從上述選擇手段輸入的上述

六、申請專利範圍

比較結果，從最高位向最低位依次決定其計數值；而上述第2計數器係以上述第1計數器的計數值為其初期值，並依據從上述選擇手段輸入的上述比較結果，從最低位向最高位變更其計數值。

5. 一種數位PLL迴路，其特徵係具：

頻率倍增電路；

可對基準信號和上述頻率倍增電路的輸出信號之相位加以比較之相位比較電路；及

可從上述相位比較電路輸入其比較結果，而依據該比較結果，從最高位向最低位依次決定其計數值，並將該計數值輸出於上述頻率倍增器之數位計數器者。

6. 如申請專利範圍第5項之數位PLL迴路，其中

上述數位計數器係依據上述基準信號的週期及上述頻率倍增電路的倍增數，以決定上述計數值的最高位之位置。

7. 如申請專利範圍第6項之數位PLL迴路，其中

上述數位計數器係；

於上述基準信號和上述頻率倍增電路的輸出信號之相位直到同步以前，依據上述比較結果，從最高位向最低位依次決定其計數值；而

從上述基準信號和上述頻率倍增電路的輸出信號之相位同步以後，依據上述比較結果，從最低位向最高位變更其計數值。

8. 如申請專利範圍第7項之數位PLL迴路，其中

六、申請專利範圍

上述數位計數器係具第1計數器、第2計數器及選擇手段；

上述選擇手段係在上述基準信號和上述頻率倍增電路的輸出信號之相位直到同步以前，將上述比較結果輸出於上述第1計數器，而從上述基準信號和上述頻率倍增電路的信號之相位同步以後，將上述比較結果輸出於上述第2計數器；

上述第1計數器係依據從上述選擇手段輸入的上述比較結果，從最高位向最低位依次決定其計數值；而

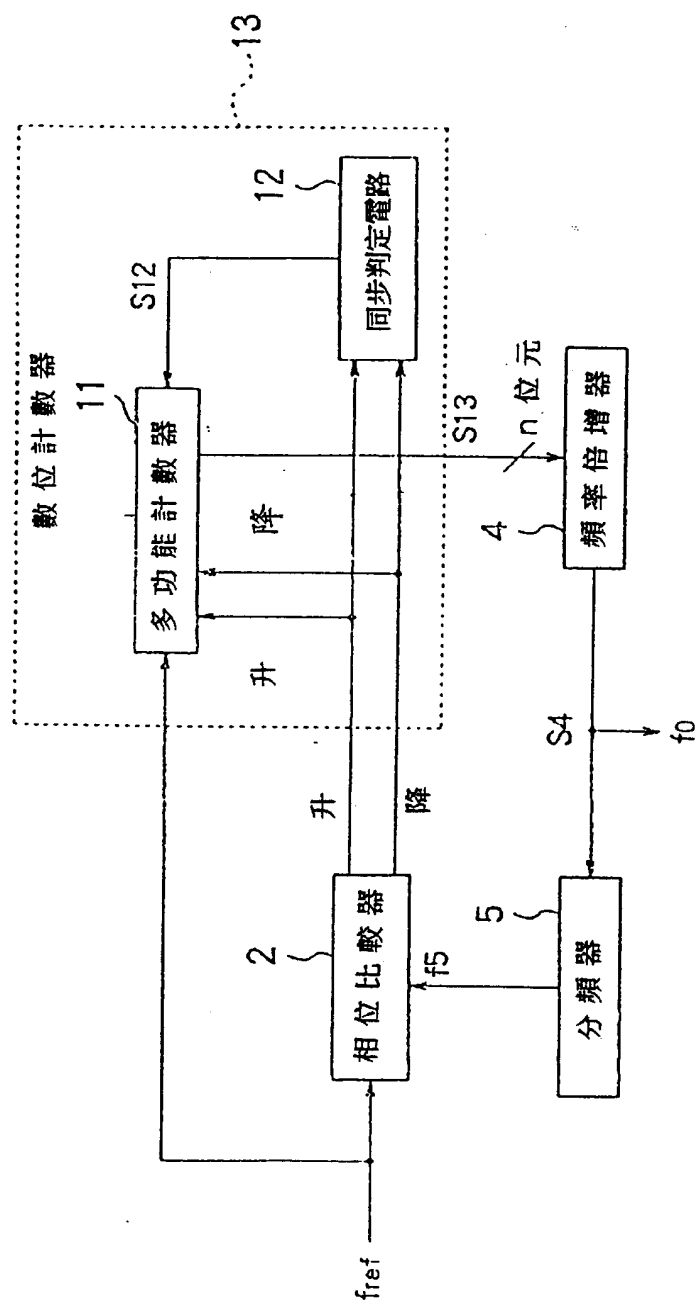
上述第2計數器係以上述第1計數器的計數值為其初期值，並依據從上述選擇手段輸入的上述比較結果，從最低位向最高位變更其計數值者。

(請先閱讀背面之注意事項再填寫本頁)

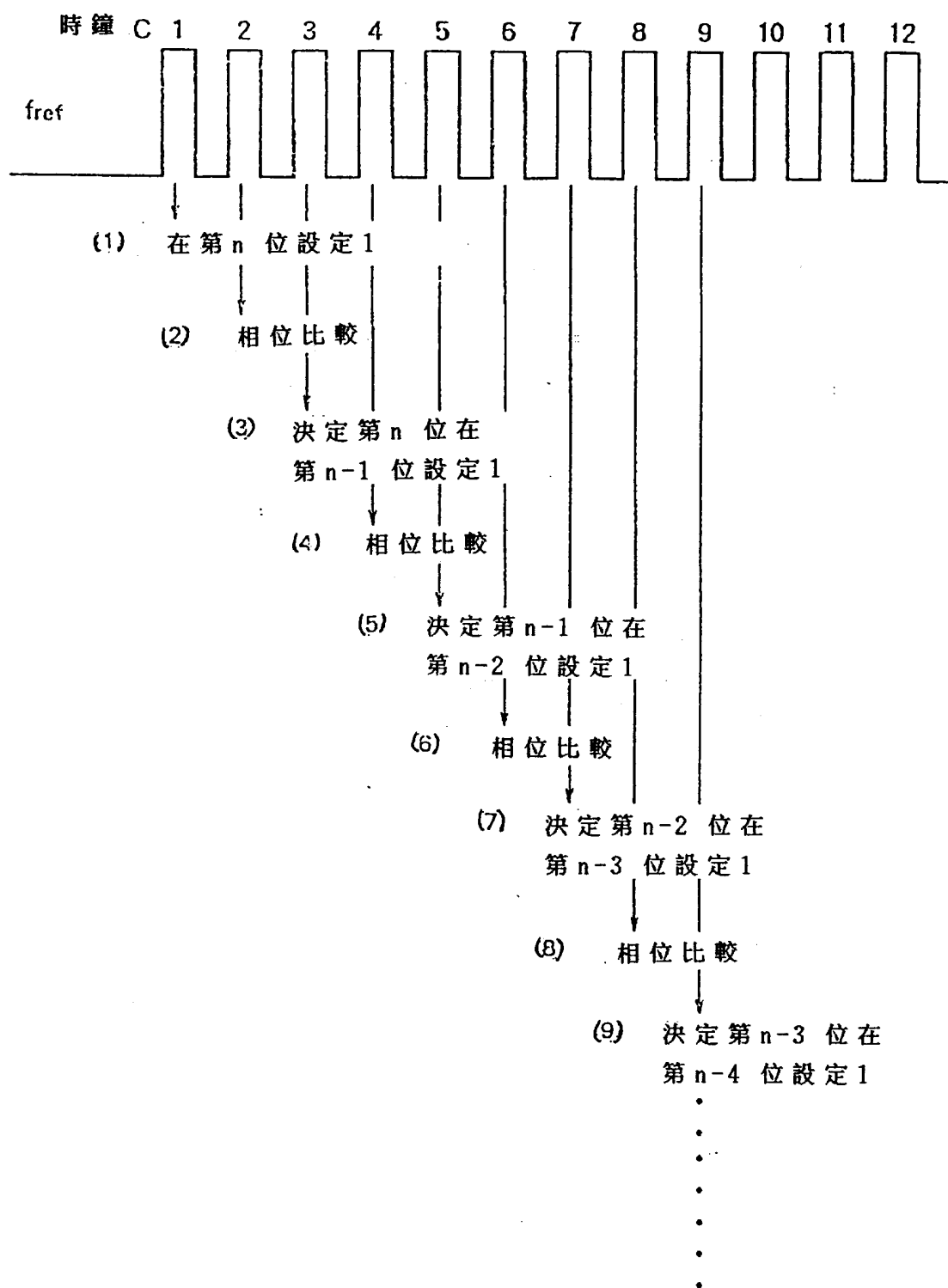
表

訂

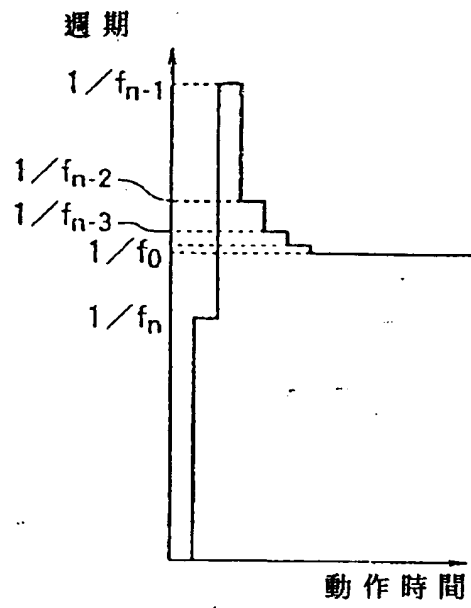
線



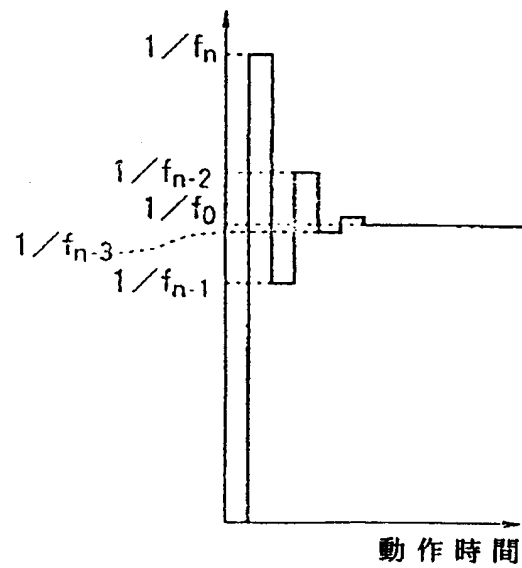
第1圖



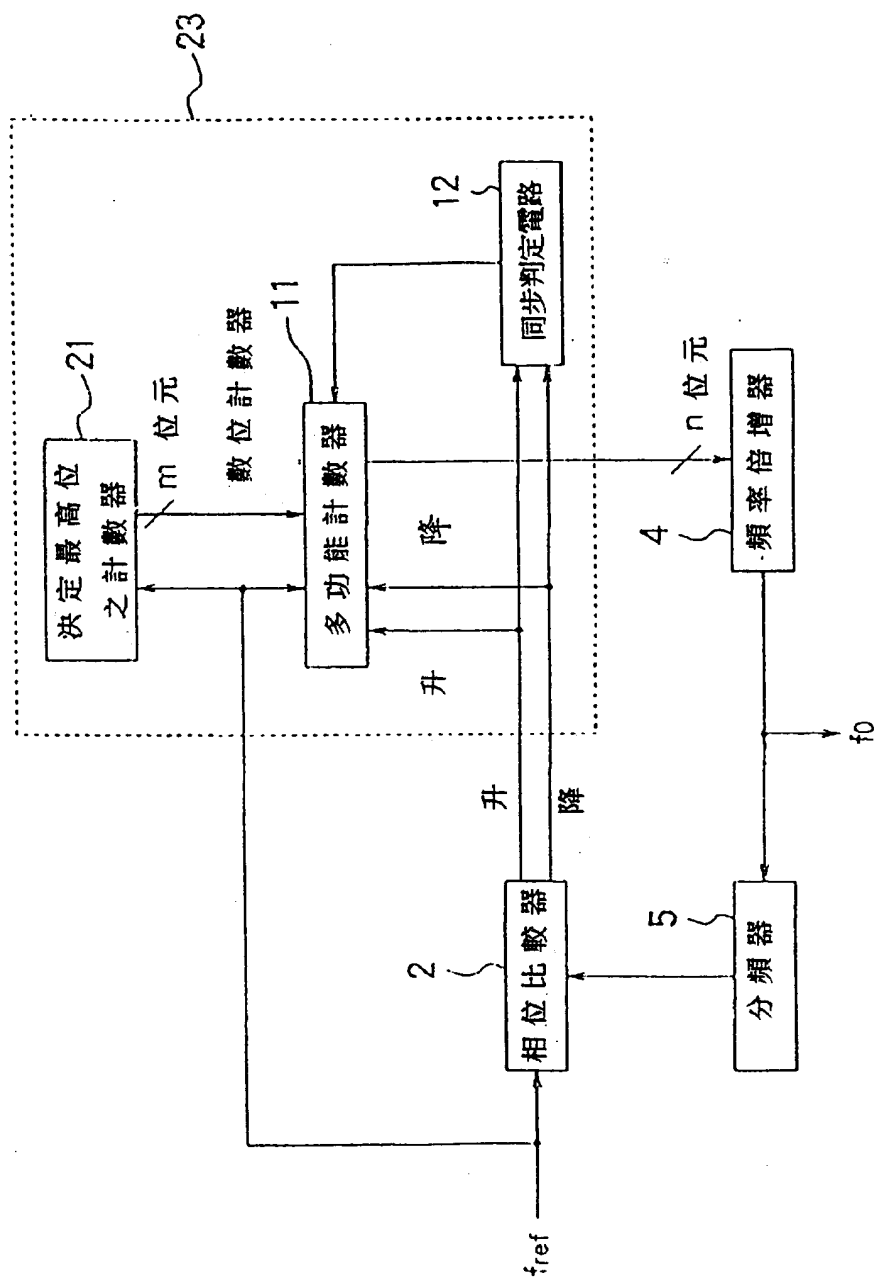
第2圖



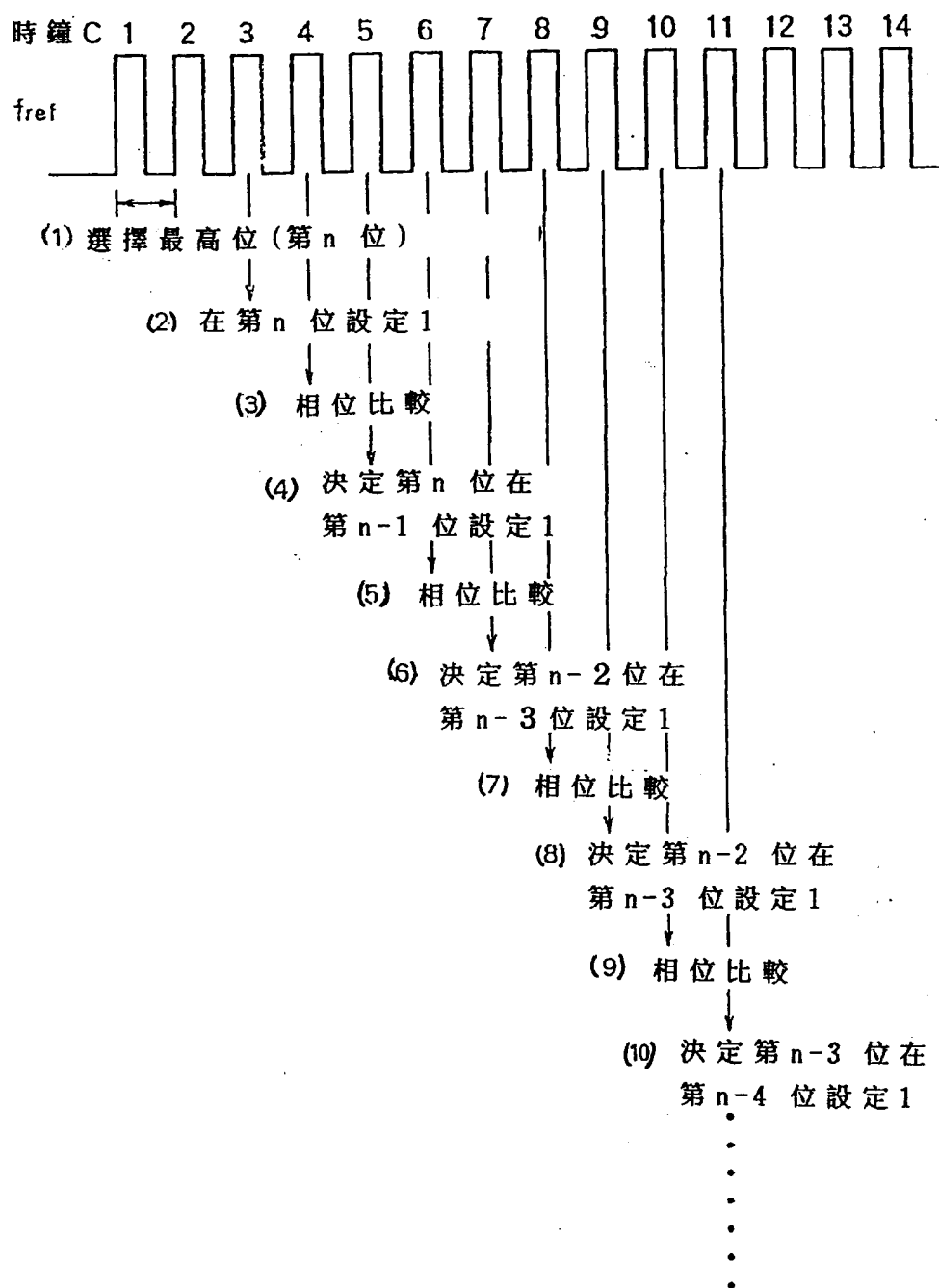
第3圖



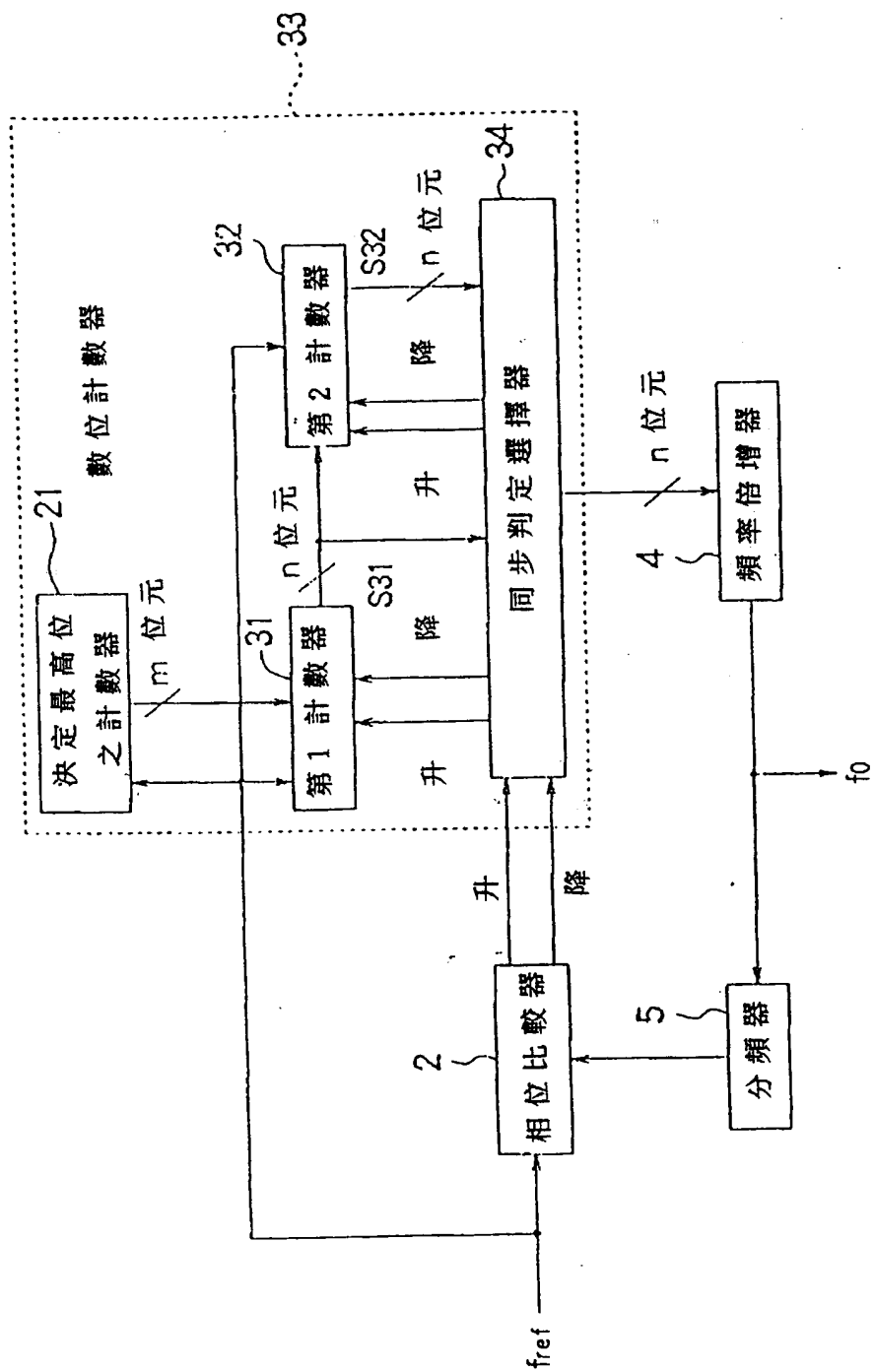
第4圖



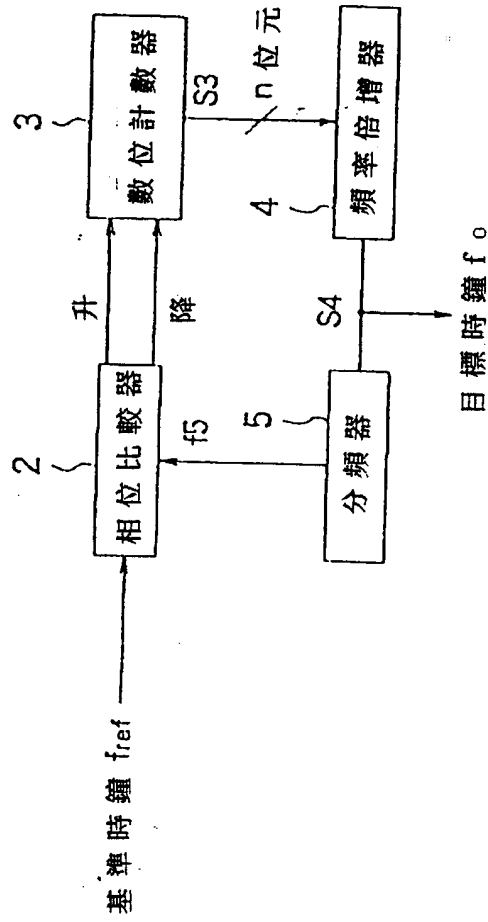
第5圖



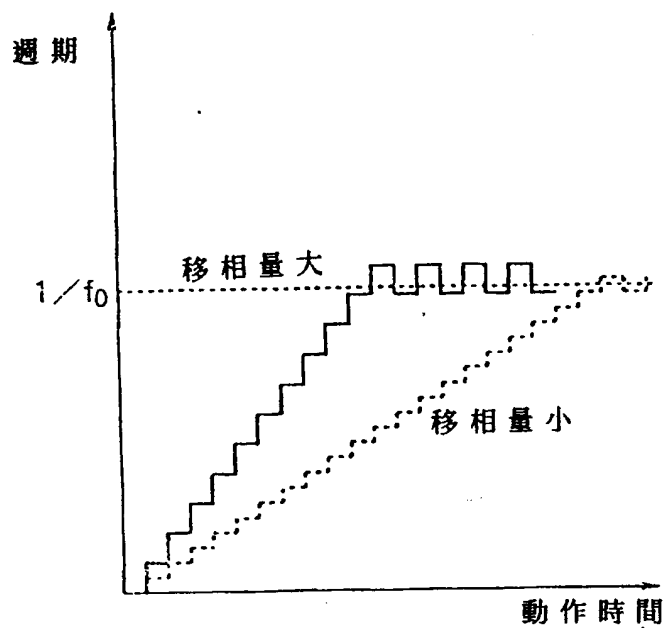
第6圖



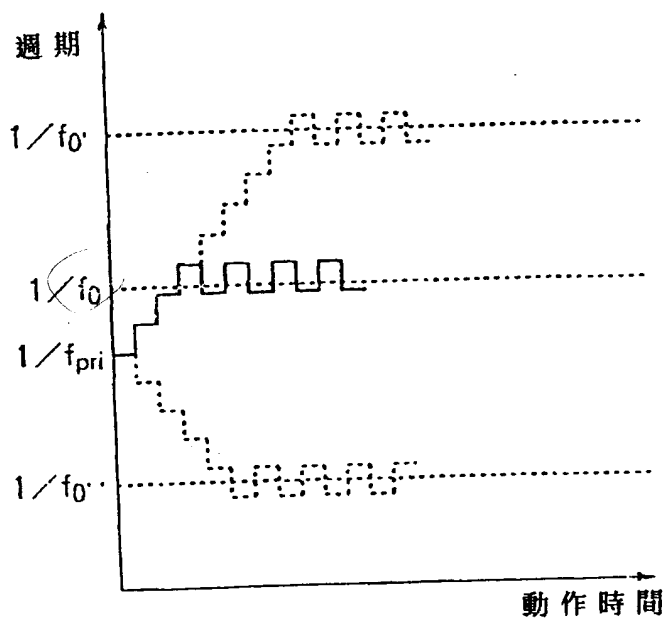
第7圖



第8圖



第9圖



第10圖