

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-33711

(P2010-33711A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 E	5 B 1 2 5
	G 1 1 C 17/00 6 1 1 A	
	G 1 1 C 17/00 6 1 2 B	
	G 1 1 C 17/00 6 1 2 E	

審査請求 有 請求項の数 3 O L (全 56 頁)

(21) 出願番号	特願2009-260615 (P2009-260615)	(71) 出願人	503121103
(22) 出願日	平成21年11月16日 (2009.11.16)		株式会社ルネサステクノロジ
(62) 分割の表示	特願2006-338452 (P2006-338452)		東京都千代田区大手町二丁目6番2号
	の分割	(74) 代理人	100089071
原出願日	平成8年9月30日 (1996.9.30)		弁理士 玉村 静世
		(72) 発明者	河原 尊之
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	佐藤 弘
			東京都青梅市今井2326番地 株式会社
			日立製作所デバイス開発センタ内
		(72) 発明者	野副 敦史
			東京都青梅市今井2326番地 株式会社
			日立製作所デバイス開発センタ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

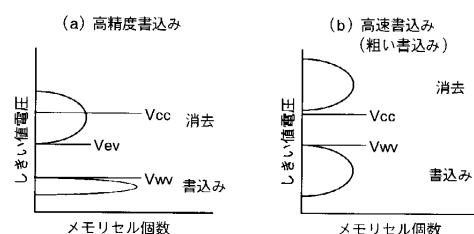
(57) 【要約】

【課題】 不揮発性メモリセルに対する書き込み動作を高速化する。

【解決手段】 半導体集積回路は、電氣的消去及び書き込み可能な不揮発性メモリセルを複数個備え、第1のしきい値電圧を持つ前記不揮発性メモリセルのしきい値電圧が第2のしきい値電圧に変化されるまで不揮発性メモリセルにパルス状電圧を与えるための制御手段を含む。このとき、前記制御手段は、前記第2のしきい値電圧を、電源電圧よりも低くかつ電源電圧の半分以上の範囲の電圧に制御する。これにより、半導体集積回路は、粗い書き込みだけを書込みモードとして持つことができる。メモリセルのしきい値電圧を変化させるのに必要なパルス数は、粗い書き込みモードの方が少ないから、これによって書き込み動作が高速化される。

【選択図】 図26

【図26】



【特許請求の範囲】

【請求項 1】

電氣的消去及び書込み可能な不揮発性メモリセルを複数個備え、夫々の不揮発性メモリセルのしきい値電圧は消去状態を示す第 1 のしきい値電圧分布と書込み状態を示す第 2 のしきい値電圧分布のいずれかに含まれることにより 1 ビットのデータを記憶し、前記不揮発性メモリセルへのデータの書込み動作、消去動作、及び読出し動作を制御する制御手段を含み、

前記制御手段は、前記消去動作において消去対象とされる前記不揮発性メモリセルのしきい値電圧が第 1 電圧を境界として第 1 のしきい値電圧分布に含まれることにより当該不揮発性メモリセルが消去状態にあることを判別し、前記書込み動作において書込み対象とされる前記不揮発性メモリセルのしきい値電圧が第 2 電圧を境界として前記第 2 のしきい値電圧分布に含まれることにより当該不揮発性メモリセルが書き込み状態にあることを判別し、

前記書込み動作に含まれる第 1 書込み動作において前記不揮発性メモリセルに書込まれるデータは、前記書込み動作に含まれる第 2 書込み動作において前記不揮発性メモリセルに書込まれるデータよりも相対的に情報保持時間が短く、

前記第 1 書込み動作により前記不揮発性メモリセルのしきい値電圧が前記第 1 のしきい値電圧分布から前記第 2 のしきい値電圧分布に変化する時間は前記第 2 の書込み動作による当該時間より短くなるように制御され、

前記第 1 書込み動作における前記第 2 電圧と前記第 2 書込み動作における前記第 2 電圧とは、異なる電圧値であることを特徴とする半導体集積回路。

【請求項 2】

前記第 1 電圧は前記消去動作における消去ベリファイ電圧であり、前記第 2 電圧は前記書込み動作における書込みベリファイ電圧であることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記書込み動作においては前記不揮発性メモリセルに複数回の書込み電圧が印加されることにより前記不揮発性メモリセルのしきい値電圧が変化し、

前記第 1 の書込み動作における 1 回の書込み電圧の印加による前記不揮発性メモリセルのしきい値電圧の変化量は、前記第 2 の書込み動作における当該変化量より大きくされることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的消去及び書込み可能な不揮発性メモリセルを備えた半導体集積回路に関する。

【背景技術】

【0002】

フラッシュメモリについて記載された文献の例としては、1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp61-62.がある。

【0003】

フラッシュメモリにおいて、そのメモリセルのしきい値電圧が高い状態を例えば消去状態、低い側状態を書込み（プログラム）状態として定義することができる。この場合、例えばワード線単位で一括して消去動作を行った後、書込みを行うことができる。消去動作及び書き込み動作では、しきい値電圧の変化が不所望に大きくならないように、所望のしきい値電圧を得られるまで、パルス状の電圧印加とベリファイが繰り返し行なわれる。

【0004】

消去状態のしきい値電圧から書き込み状態のしきい値電圧へ電圧を印加して移行させるとき、しきい値電圧が書き込み状態に近づくにつれて、しきい値電圧が変化しにくくなる。このため、同じパルス幅を印加していると、しきい値電圧はほとんど変化していないの

10

20

30

40

50

にベリファイ動作ばかりしているという状態となる。このため、一定の書き込み電圧レベルを用いて書き込みを行う場合には、しきい値電圧が書き込み状態に近づくにつれてパルス幅を長くしてやる。パルス幅を漸次長くする代わりに、電圧を徐々に高くしていてもよい。

【0005】

例えば、電源電圧 V_{cc} 例えば 3.3 V に対して、書き込みレベル（書き込み時のベリファイワード線電圧と等価）を例えば 1.5 V とし、書き込みパルスあたりメモリセルのしきい値電圧が 0.1 V ~ 0.2 V 変化するようにして高精度書き込みを実現していた。

【先行技術文献】

【非特許文献】

10

【0006】

【非特許文献 1】1994 Symposium on VLSI Circuits, Digest of Technical Papers, pp61-62.

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来は、電源電圧が例えば 3.3 V に対し、書き込みレベルはその大凡半分の例えば 1.5 V とされていた。この電圧にセンスアンプで検知するのに必要な電流差を得るためのしきい値電圧差を加えたものが消去状態の最低電圧 (V_{ev}) とされる。消去時にはメモリセルのしきい値電圧が V_{ev} 以上になったか否かを検出して消去パルス印加を制御する。書き込み電圧を下げ、これによって V_{ev} もできるだけ下げることによって低電圧動作と高信頼化を図ることができる。

20

【0008】

しかし、メモリセルの特性は、書き込み時に印加する電圧が同じときに、消去状態から書き込み状態のしきい値電圧に達するのに必要な時間は 3 桁ほどばらついてしまうのが実状である。このような条件でメモリセルの書き込みを行なうと、メモリセルの通常特性のばらつきでは、メモリセルのしきい値電圧変化が 0.2 V 以下となる書き込みパルス（幅、電圧）としておかないとメモリセルによってはしきい値電圧が 0 V 以下となる場合があった。3 桁のばらつきは等価的なしきい値電圧のばらつきに換算すると 3 V 程度となる。よって、書き込み状態にされるまでの時間が最も短いメモリセルのしきい値電圧が書き込み状態になってから、もっとも遅いメモリセルのしきい値電圧が書き込み状態になるまでに、1 書き込みパルス当たりのしきい値電圧の変化量は 0.2 V の変化であるから単純に計算して、15 回のパルスの印加が必要となる。このパルス毎にしきい値電圧が所望の値になったかどうかを判定するベリファイ動作が必要となり、これが書き込み時間の大きなオーバーヘッドとなっていた。

30

【0009】

本発明の目的は、不揮発性メモリセルに対する書き込み動作を高速化することにある。

【0010】

本発明の別の目的は、不揮発性メモリセルに対する書き込み動作の高速化と、データ保持の高信頼性とを両立することにある。

40

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】

すなわち、フラッシュメモリのような半導体集積回路は、電氣的消去及び書き込み可能な不揮発性メモリセルを複数個備え、第 1 のしきい値電圧を持つ前記不揮発性メモリセルの

50

しきい値電圧が第2のしきい値電圧に変化されるまで不揮発性メモリセルにパルス状電圧を与えるための制御手段を含む。前記前記制御手段は、前記パルス状電圧の印加毎に変化される不揮発性メモリセルのしきい値電圧の変化量が相対的に大きくされる第1の動作モードと相対的に小さくされる第2の動作モードとを有する。

【0014】

例えば、第1の動作モード（粗い書込み）における書込み電圧パルスのワンパルス当たりのメモリセルしきい値電圧変化量を ΔV_{th1} 、第2の動作モード（高精度書込み）における前記ワンパルス当たりのしきい値電圧変化量を ΔV_{th2} とする。この時、不揮発性メモリセルのしきい値電圧分布における消去状態の最低しきい値と書込み状態の最高しきい値との電圧差（セルウインドウ）を固定して考えた時、メモリセルのしきい値電圧を変化させるのに必要なパルス数は、 ΔV_{th1} の場合の方が ΔV_{th2} の場合よりも少ない。このため、第1の動作モード（ ΔV_{th1} ）を用いた場合のベリファイ回数は、第2の動作モード（ ΔV_{th2} ）を用いた場合よりも少ない。書込み時間は、メモリセルそのもののしきい値電圧を変化させる時間とベリファイを行なう時間などのオーバーヘッド時間との和となる。よって、ベリファイ回数が少ないほうがオーバーヘッド時間が少ないので全体としての書込み動作は高速化される。

【0015】

前記第1の動作モードにおけるメモリセルへの書込みレベル（しきい値電圧）は第2の動作モードにおけるそれよりも高くされることが望ましい。すなわち、前記しきい値電圧の変化量が相対的に大きな ΔV_{th1} の場合は書込み状態のしきい値分布が、第2の動作モードにおける ΔV_{th2} の場合の書込み状態のしきい値分布よりも大きくなる。よって、デブリートするのを避けるためにはそのようにすることが望ましい。換言すれば、第1の動作モード（粗い書込み）による書込みベリファイ電圧は第2の動作モード（高精度な書込み）による書込みベリファイ電圧よりもレベルを高くすることが望ましい。前記セルウインドウを第1の動作モードと第2の動作モードの場合で等しくしなくても、第1の動作モードで書込まれたメモリセルに対する消去レベルは第2の動作モードで書込まれたメモリセルの消去レベルよりも高くされる傾向を採る。よって、情報保持時の電界は第2の書込み動作モードで書込まれたメモリセルの方が小さく、情報保持時間は長くなる。即ち、第2の動作モードで書き込みされたメモリセルの方が情報保持性能は良好であり、この意味において、第2の動作モードは高精度な書込みであると、位置付けられる。

【0016】

前記制御手段は、第1の動作モードで書き込んだデータを前記第2の動作モードで書直しさせる書き直し制御手段を有することができる。即ち、書込み時間の短い第1の動作モードで書き込んだ後に、メモリセルのしきい値電圧の分布が狭くできる第2の動作モードで書き直しされる。書き直しは、メモリセルからデータを読み出し、これをセンスラッチにラッチし、ラッチされたデータを第2の動作モードによる書込み対象データとする。

【0017】

第1の動作モードと第2の動作モードは書直しだけでなく、第1の動作モードによる粗い書込みと、第2の動作モードによる高精度に書込とみを、アドレスエリア、書き換えの累積回数などの条件によって切換え制御することができる。

【0018】

粗い書込み専用のメモリマットと高精度書込み専用のメモリマットを専用化することも可能である。

【0019】

前記第1の動作モードにおける書込みデータを2値データとし、前記第2の動作モードにおける書込みデータを多値データとすることも可能である。このとき、書き直し制御のための手段は、第1の動作モードで書込まれた2値データを、第2の動作モードで多値データに書直しすることができる。

【0020】

半導体集積回路は、上記第1の動作モードで実現される粗い書込みだけを書込みモード

10

20

30

40

50

として持つことができる。即ち、半導体集積回路は、電氣的消去及び書込み可能な不揮発性メモリセルを複数個備え、第1のしきい値電圧を持つ前記不揮発性メモリセルのしきい値電圧が第2のしきい値電圧に変化されるまで不揮発性メモリセルにパルス状電圧を与えるための制御手段を含む。このとき、前記制御手段は、前記第2のしきい値電圧を、電源電圧よりも低くかつ電源電圧の半分以上の範囲の電圧に制御する。

【0021】

書込みモードとして粗い書込みモードだけを持つ半導体集積回路の別の観点によれば、前記制御手段は、電源電圧が3.3V近傍のとき、前記第2のしきい値電圧を、3.3Vよりも低くかつ2V以上の範囲の電圧に制御する。

【0022】

このとき、前記制御手段は、1回のパルス状電圧によるしきい値電圧の変化量を0.4V以上とすることができる。別の観点では、前記制御手段は、1回のパルス状電圧によるしきい値電圧の変化量を、前記第1のしきい値電圧と第2のしきい値電圧との電圧差の1/3以上とすることができる。

【0023】

NAND型に代表されるメモリアレイ構成を有する半導体集積回路の場合に、書込みモードとして粗い書込みモードだけを持つ観点によれば、当該半導体集積回路は、電氣的消去及び書込み可能な不揮発性メモリセルを複数個備え、第1のしきい値電圧を持つ前記不揮発性メモリセルのしきい値電圧が第2のしきい値電圧に変化されるまで不揮発性メモリセルにパルス状電圧を与えるための制御手段を含み、読み出し動作では非選択の不揮発性メモリセルにこれをオン状態にするための制御電圧を与える。このとき、前記制御手段は、前記第2のしきい値電圧を、前記制御電圧との電圧差が当該制御電圧よりも低くかつ電源電圧の半分以上の範囲の電圧にするように制御する。或いは、前記制御手段は、電源電圧が3.3V近傍のとき、前記第2のしきい値電圧を、前記制御電圧との電圧差が3.3Vよりも低くかつ2V以上の範囲の電圧にするように制御する。

【0024】

前述のように、メモリセルの特性は、書き込み時に印加する電圧が同じときに、消去状態から書込み状態のしきい値電圧に達するのに必要な時間で3桁ほどばらついてしまう。このような条件でメモリセルの書き込みを行なうと、メモリセルの通常特性ばらつきでは、メモリセルのしきい値電圧変化 ΔV_{th1} が0.2V以下となる書き込みパルス（幅、電圧）としておかないとメモリセルによってはしきい値電圧が0V以下となる場合があると考えられる。このとき、高速に書き込むためには、パルス幅を長くするか電圧を高くするかして、1回の書き込みパルス当たりの変化量 ΔV_{th1} を大きくする。しかし、これによってメモリセルがデプリートしやすくなる。これを防ぐために、書き込みレベルを高くする。例えば、電源電圧が3.3V程度のとき、書込み状態のしきい値電圧を2.0V程度にすると、 ΔV_{th1} を0.4Vにすることができる。上述の3桁のばらつきを仮定すると、3Vのしきい値電圧ばらつきと等価であるから8回のパルスで良いことになる。それだけペリフェイ動作の回数が少なくなるので高速に書き込むことができる。即ち、書き込みレベルを従来は電源電圧の1/2以下にしようとしていたのに対して、1/2以上とする。

【0025】

前記パルス状電圧のパルス幅の最小値（書込み動作における最初の書込み電圧を与える期間を決定する）を調整可能なトリミング手段を半導体集積回路に採用することができる。前記トリミング手段は更に、前記パルス状電圧のパルス幅の漸次増加率を調整可能にすることができる。ある半導体集積回路チップを別の半導体集積回路チップと同じパルス幅で最初の書込み電圧印加を行った場合には、実質的にしきい値電圧が殆ど変化されない無駄な書込み及びペリフェイを何回も経なければならず、書込み効率が著しく低下することがある。最小の書込み電圧パルス幅をトリミング可能であれば、プロセスばらつきによるメモリセルの特性の相違を、フラッシュメモリチップのような半導体集積回路チップ間で揃えること、若しくは最適化することが可能になる。すなわち、メモリセルのしきい値電圧のシフト量は、書込み電圧が同一であっても、プロセスばらつきなどによって微妙に異

10

20

30

40

50

なることが予想される。このような特性の相違を、フラッシュメモリチップのような半導体集積回路のウェーハプロセス等の検査工程で調整可能にすることは、高速書込みを可能にする上で重要である。

【0026】

尚、メモリセルアレイに形式によっては、前記パルス状電圧の最小値を調整したり、前記パルス状電圧の漸次増加率を調整したりするトリミング手段を採用することができる。

【0027】

前記フラッシュメモリのような半導体集積回路はディジタルスチルカメラを構成するためのデータ処理装置に適用できる。即ち、このデータ処理装置は、撮像手段と、前記半導体集積回路と、前記撮像手段で得られた画像データを前記第1の動作モードで逐次前記半導体集積回路に格納させる指示を与えると共に、半導体集積回路に第1の動作モードで格納された画像データを、前記撮像手段による撮像処理の休止期間を利用して、前記第2の動作モードにより多値データで半導体集積回路に書直しさせるモード制御手段とを含む。

10

【0028】

前記フラッシュメモリのような半導体集積回路はPCカードを構成するためのデータ処理装置に適用できる。即ち、PCカードを構成するためのデータ処理装置は、前記フラッシュメモリチップのような半導体集積回路と、PCカードへの外部電源の供給時は前記半導体集積回路に対する書込み動作を前記第1の動作モードとし、PCカードへの外部電源の遮断に呼応して、前記半導体集積回路に第1の動作モードで書込まれているデータを前記第2の動作モードにより多値データで半導体集積回路に書直しさせるモード制御手段とを含む。

20

【0029】

そのようなデータ処理システムにおいては、フラッシュメモリのような半導体集積回路の不揮発性メモリセルへのデータの高速書込みを実現出来るとともに、保持されたデータ保持の信頼性を高めることができる。

【発明の効果】

【0030】

本願において開示される発明のうち代表的なものについて簡単に説明すれば下記のとおりである。

【0031】

すなわち、不揮発性メモリセルに対する書き込み動作を高速化することができる。また、不揮発性メモリセルに対する書き込み動作の高速化と、データ保持の高信頼性とを両立することができる。

30

【図面の簡単な説明】

【0032】

【図1】粗い書込みモードと高精度書込みモードを有するフラッシュメモリの一例ブロック図である。

【図2】第1の書き込みと第2の書き込みの特性を夫々示す説明図である。

【図3】第1の書込みモード及び第2の書込みモードにおける書込み動作の一例フローチャートである。

40

【図4】書き直し動作の一例フローチャートである。

【図5】粗い書込みモードと高精度書込みモードを有する別のフラッシュメモリのブロック図である。

【図6】図5のフラッシュメモリにおける第1の書き込みと第2の書き込みの特性を示す説明図である。

【図7】第1の書込みモードと第2の書込みモードを指定するための条件を設定する手段を有するフラッシュメモリのブロック図が示される。

【図8】図7における動作切換え条件の一例を示す説明図である。

【図9】書込み電圧パルス幅を第1の書込みモードと第2の書込みモードとで同一とし、書込み電圧を第1の書込みモードと第2の書込みモードで相互に相違する一定電圧とする

50

フラッシュメモリの一例ブロック図である。

【図 1 0】図 9 のフラッシュメモリに関する書込み特性図である。

【図 1 1】第 2 書込みモードによる高精度書込みを多値書込みとするフラッシュメモリの一例ブロック図である。

【図 1 2】2 値書込みと多値書込みの夫々におけるメモリセルのしきい値分布の一例説明図である。

【図 1 3】2 値で書込んだデータを多値で書直す時の動作の一例を示す説明図である。

【図 1 4】2 値データを多値データに変換する別処方を示す説明図である。

【図 1 5】記憶情報の 2 値から多値への書直し動作におけるメモリセルの初期状態を示す説明図である。

10

【図 1 6】記憶情報の 2 値から多値への書直し動作における第 1 段階の書込みによるメモリセルの状態を示す説明図である。

【図 1 7】記憶情報の 2 値から多値への書直し動作における第 2 段階の書込みによるメモリセルの状態を示す説明図である。

【図 1 8】記憶情報の 2 値から多値への書直し動作における第 3 段階の書込みによるメモリセルの状態を示す説明図である。

【図 1 9】記憶情報の 2 値から多値への書直し動作における書込み動作完了時点でのメモリセルの状態を示す説明図である。

【図 2 0】前記第 1 の書込みモードによる粗い書込み専用のメモリマットと第 2 の書込みモードによる高精度書込み（多値書込みを含む）専用のメモリマットを物理的に分けるようにしたフラッシュメモリのブロック図である。

20

【図 2 1】粗い書込みと高精度書込みに兼用されるメモリマットを持つフラッシュメモリの一例ブロック図である。

【図 2 2】第 1 の書込みモード（粗い書き込み）による書込みデータと第 2 の書込みモード（高精度の書き込み）による書込みデータとをメモリマット中に混在させる場合の例を示す説明図である。

【図 2 3】図 2 2 の構成を採用した場合の書込み動作の一例フローチャートである。

【図 2 4】図 2 2 の構成を採用した場合の読み出し動作の一例フローチャートである。

【図 2 5】図 2 2 の構成を採用した場合の書き直し動作の一例フローチャートである。

【図 2 6】書き込みレベル（書込み状態のメモリセルのしきい値電圧）を V_{cc} の $1/2$ 以下にした場合と V_{cc} の $1/2$ 以上にした場合のしきい値電圧分布の比較説明図である。

30

【図 2 7】 V_{cc} の $1/2$ 以上にした場合における消去レベル及び書き込みレベルと一つの書込み電圧パルスあたりのしきい値電圧の変化量を示す説明図である。

【図 2 8】AND 型メモリセルにおける書込みの意義と NAND 型メモリセルにおける書込みの意義の相違を示す説明図である。

【図 2 9】メモリセルの消去レベル及び書き込みレベルと紫外線照射時のしきい値電圧（ V_{thi} ）との相関関係を図 2 8 の AND 型メモリセル構造と NAND 型メモリセル構造の場合に分けて示す説明図である。

【図 3 0】最小の書込み電圧パルス幅及び書込み電圧パルス幅の変化の大きさをトリミングできるようにしたフラッシュメモリの一例ブロック図である。

40

【図 3 1】図 3 0 におけるトリミングの対象の一つである最小の書込み電圧パルス幅のトリミングについての説明図である。

【図 3 2】図 3 0 におけるもう一つのトリミング対象である書込み電圧パルス幅の変化の大きさに関するトリミングについての説明図である。

【図 3 3】書込み電圧を変化させる方式において最小電圧絶対値及び変化の大きさをトリミングできるようにしたフラッシュメモリの一例ブロック図である。

【図 3 4】図 3 3 における一つのトリミングの対象である最小の書込み電圧値に関するトリミングの説明図である。

【図 3 5】図 3 3 におけるもうひとつのトリミング対象である書込み電圧値の漸増幅に関

50

するトリミングの説明図である。

【図 3 6】図 3 6 にはしきい値電圧の漸増幅等を途中で変えることができる手段を設けたフラッシュメモリの一例ブロック図である。

【図 3 7】図 3 6 においてしきい値電圧の漸増幅等を途中で変える手法の一例説明図である。

【図 3 8】書き込み電圧印加用パルス列発生手段（パルスジェネレータ）の一例ブロック図である。

【図 3 9】トリミング手段の一例ブロック図である。

【図 4 0】トリミング手段に含まれるアドレスジェネレータの一例ブロック図である。

【図 4 1】アドレスジェネレータに含まれるとトリミング回路の一例回路図である。

【図 4 2】パルスジェネレータやアドレスジェネレータを構成するカウンタユニットの一例説明図である。

【図 4 3】書き込み電圧パルス毎にしきい値電圧を変化させる手法の基本原理についての説明図である。

【図 4 4】電源回路をトリミングするための一例回路図である。

【図 4 5】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したデジタルスチルカメラの説明図である。

【図 4 6】図 4 5 のデジタルスチルカメラによる書き直し動作の一例フローチャートである。

【図 4 7】図 4 5 のデジタルスチルカメラによる書き直し動作の別のフローチャートである。

【図 4 8】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したメモリカードの一例ブロック図である。

【図 4 9】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したメモリカードの別のブロック図である。

【図 5 0】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したメモリカードの更に異なるブロック図である。

【図 5 1】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したコンピュータシステムのブロック図である。

【図 5 2】粗い書き込みと高精度書き込みモードを有するフラッシュメモリを適用したファイルメモリシステムの一例ブロック図である。

【図 5 3】フラッシュメモリの構成をセンスラッチとプリチャージ回路を主体に示す回路図である。

【図 5 4】メモリマットの詳細及びその X 系選択回路の一例を示す回路図である。

【図 5 5】AND 型メモリセルのレイアウト構成例を示す説明図である。

【図 5 6】NAND 型メモリセルのレイアウト構成例を示す説明図である。

【図 5 7】NOR 型メモリセルのレイアウト構成例を示す説明図である。

【図 5 8】DINOR 型メモリセルのレイアウト構成例を示す説明図である。

【図 5 9】メモリ動作に応じてメモリセルに印加すべき電圧状態の一例を示す説明図である。

【図 6 0】フラッシュメモリの全体的なブロック図である。

【図 6 1】2 値書き込みと多値書き込みの双方をサポートする別のフラッシュメモリのブロック図である。

【図 6 2】図 6 1 に示されるメモリセルアレイ及びセンスラッチの一部分を詳細に示した一例回路図である。

【図 6 3】一つのメモリセルに対する 4 値書き込みにおける書き込みベリファイ電圧としきい値電圧との関係を示す説明図である。

【図 6 4】書き込み時におけるワード線印加電圧の一例を示す説明図である。

【図 6 5】4 値データの書き込みの一例を説明するために 4 個のメモリセルと夫々に書き込まれる 4 値書き込みデータとの対応関係を示す説明図である。

10

20

30

40

50

【図 6 6】図 6 4 の書込み状態を得るための第 1 段階として 4 個のメモリセルを全て消去状態にしたときの当該 4 個のメモリセルの閾値電圧を示す説明図である。

【図 6 7】図 6 4 の書込み状態を得るための第 2 段階として 4 個のメモリセルを全て消去状態にした後の「書込み 1」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

【図 6 8】図 6 4 の書込み状態を得るための第 3 段階として「書込み 2」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

【図 6 9】図 6 4 の書込み状態を得るための第 4 段階として「書込み 3」によって得られるメモリセルの閾値電圧の変化を示す説明図である。

【図 7 0】書込み電圧の印加態様として書き込みパルス幅を漸増させる場合の電圧波形図の一例を示す説明図である。

【図 7 1】書込み電圧の印加態様として書き込みパルス電圧を漸増させる場合の電圧波形図の一例を示す説明図である。

【図 7 2】書込みデータを偶数及び奇数ビットに分離する回路の一例を示す論理回路図である。

【図 7 3】図 7 2 に示される回路の一例動作タイミング図である。

【図 7 4】図 6 1 のメモリセルアレイ、センスラッチ回路、書込み変換回路及び読出し変換回路の接続態様の一例を示すブロック図である。

【図 7 5】図 7 2 に示される回路で偶数及び奇数に分離されたデータから「書込み 1」～「書込み 3」のためのデータを生成する書込みデータ合成回路の一例論理回路図である。

【図 7 6】図 7 5 の書込みデータ合成回路による合成結果の一例を「書込み 1」～「書込み 3」の夫々に対応して示す説明図である。

【図 7 7】4 値でデータが書き込まれたメモリセルに対する読出し時におけるワード線電位とメモリセルの閾値電圧との関係を示す説明図である。

【図 7 8】読出しワード線へ印加する電圧の一例波形図である。

【図 7 9】4 値データの読出しの一例を説明するために 4 個のメモリセルと夫々に書き込まれた 4 値書込みデータとの対応関係を示す説明図である。

【図 8 0】図 7 9 に示されるメモリセルに対する「読出し 1」によって得られる 2 値データを示す説明図である。

【図 8 1】図 7 9 に示されるメモリセルに対する「読出し 2」によって得られる 2 値データを示す説明図である。

【図 8 2】図 7 9 に示されるメモリセルに対する「読出し 3」によって得られる 2 値データを示す説明図である。

【図 8 3】読出しデータ合成回路の一例を示す論理回路図である。

【図 8 4】読出しデータ合成回路の出力結果の一例を示す説明図である。

【図 8 5】読出しデータ合成回路の出力に基づいて上位ビットと下位ビットを交互に出力する回路の一例回路図である。

【図 8 6】図 8 5 に示される回路の一例動作タイミング図である。

【発明を実施するための形態】

【0033】

本発明の一例に係るフラッシュメモリの個々の特徴的な内容を説明する前に、当該フラッシュメモリの構成を、「センスラッチを中心としたフラッシュメモリの構成」、「AND 型メモリセルアレイ」、「メモリセルに対する電圧印加態様」、「フラッシュメモリのチップ構成」の順に、先ず、概略的に説明する。

【0034】

〔1-1. センスラッチを中心としたフラッシュメモリの構成〕

図 5 3 にはフラッシュメモリの構成がセンスラッチとプリチャージ回路を主体に示されている。1 及び 2 で示されるものはメモリマットである。メモリマット 1, 2 は電氣的に書き換え可能な複数個のメモリセル MC (代表的に 1 個図示されている) を有する。1 個のメモリセルは、コントロールゲート、フローティングゲート、ソース及びドレインを持

10

20

30

40

50

ち電氣的に書き換え可能な1個のトランジスタ（メモリセルトランジスタ）によって構成される。メモリセルMCのレイアウト構造は、特に制限されないが、所謂AND型とされる。AND型の構成では、複数の前記メモリセルトランジスタがそれらに共通のソース及びドレインを構成する夫々の拡散層（半導体領域）を介して並列配置され、ドレインを構成する拡散層は選択トランジスタ10を介してビット線BLUに、ソースを構成する拡散層は選択トランジスタ11を介してソース線12に結合されている。AND型メモリセル構造の詳細については後で説明する。SiSは選択トランジスタ11のスイッチ制御信号、SiDは選択トランジスタ10のスイッチ制御信号である。WLはメモリセルMCのコントロールゲートに結合されるワード線である。

【0035】

図53では夫々のメモリマットに含まれるビット線BLU、BLDを代表的に夫々1本ずつ示している。これに呼応して左右のビット線BLU、BLDに共有される一つのセンスラッチ3が代表的に示されている。特に制限されないが、一つのセンスラッチ3に必ず左右のビット線BLU、BLDに関する構成は当該センスラッチ3を中心に鏡面对称構造とされる。4、5で示されるものはビット線BLU、BLDに設けられたプリチャージ回路である。

【0036】

前記センスラッチ3は、一対のCMOSインバータから成るスタティックラッチ、即ち相互に一方のCMOSインバータの入力端子を他方のCMOSインバータの出力端子に結合して成る回路によって構成され、一方のCMOSインバータの出力がプリチャージ回路4を介してビット線BLUに、他方にCMOSインバータの出力がプリチャージ回路5を介してビット線BLDに結合されている。センスラッチ3の動作電源はSLP、SLNとされる。センスラッチ3はカラム選択ゲートトランジスタ6、7から供給される書込みデータをラッチし、或いは、読み出し又はベリファイ動作においてセットMOSTランジスタ43、53の状態に応じて初期データをラッチ、また、左右のビット線BLU、BLDの状態に応じたセンス動作などを行なう。

【0037】

前記プリチャージ回路4（5）は、ビット線BLU（BLD）とセンスラッチ3とを結ぶ信号伝達経路の途中に介在された転送MOSTランジスタ40（50）を有し、このMOSTランジスタ40（50）を挟んでセンスラッチ3の入出力端子にゲートが結合されたフィードバックMOSTランジスタ41（51）と、前記転送MOSTランジスタ40（50）を挟んでビット線BLU（BLD）にソースが結合されたMOSTランジスタ42（52）とが直列配置され、フィードバックMOSTランジスタ41（51）のドレインには電圧UPCが供給される。

【0038】

前記MOSTランジスタ41（51）はMOSTランジスタ40（50）がオフ状態のときセンスラッチ3の入出力端子のレベルに応じてスイッチ制御される。トランジスタ42（52）は信号PCU（PCD）のレベルに応じてコンダクタンス制御され、それに応じたレベルを電圧UPCに基づいてビット線BLU（BLD）に供給する。

【0039】

上記プリチャージ回路4、5は、読み出し、消去ベリファイ及び書込みベリファイ動作の前にビット線BLU、BLDのレベルを望ましいレベルにプリチャージする。MOSTランジスタ4A、5Aはセンスラッチ3のためのリファレンスレベルをビット線BLU、BLDに供給するためのトランジスタである。

【0040】

図53において8、9で示されるものは書込み・消去状態を判定するためのMOSTランジスタである。前記MOSTランジスタ8、9はそのゲートが対応するビット線に、そのソースが接地電位に結合される。図53に代表的に示された1個のセンスラッチ3を中心としたビット線BLU、BLDに係る構成は実際には多数存在されている。センスラッチ3を挟んで図53の左側のトランジスタ8のドレインは全て共通接続され、ビット線B

10

20

30

40

50

LUに代表される左側のビット線の状態（レベル）に応じた電流ECUを発生する。同様に、センスラッチ3を挟んで図53の右側のトランジスタ9のドレインも全て共通接続され、ビット線BLDに代表される右側のビット線の状態（レベル）に応じた電流ECDを発生する。特に図示はしないが、電流ECU（ECD）の変化に基づいてセンスラッチ3の左（右）側の全てのビット線BLU（BLD）の状態が同じ状態になったかを検出する電流センス型のアンプが設けられている。このアンプは、消去ベリファイ又は書き込みベリファイの対象とされる全てのメモリセルが所定のしきい値電圧になったかを検出するのに用いられる。

【0041】

尚、本明細書に添付された図面においてPチャンネル型MOSトランジスタはその基体ゲートに矢印を付してNチャンネル型MOSトランジスタと区別して図示してある。

【0042】

図54には前記メモリマット1の詳細及びそのX系選択回路の一例が示される。例えば前記メモリマット1は、128本のワード線WL(0)~WL(127)を一単位とする複数のブロックに分けられ、夫々のブロックにおいて、選択MOSトランジスタ11は共通の制御信号SiSでスイッチ制御され、選択MOSトランジスタ10は共通の選択信号SiDによってスイッチ制御される。図示はしないが、前記メモリマット2も上記同様に構成される。X系選択回路は、メインデコーダ17、ゲートデコーダ18及びサブデコーダ19によって構成される。サブデコーダ19は双方のメモリマット1, 2毎に設けられ、ワード線と一対一対応されるドライバDRVを備える。ドライバDRVの動作電源はブロック単位でメインデコーダ17から供給される。メインデコーダ17は、それに供給されるアドレス信号に従って排他的に一つのブロックに対応される前記ドライバDRVに動作電源を供給する。これとともに、ドライバDRVに動作電源を供給すべきブロックの選択MOSトランジスタ11, 10をオン状態に制御する。ゲートデコーダ18はそれに供給されるアドレス信号に従って各ブロックで1本のワード線を選択する選択信号を前記サブデコーダ19のドライバに供給する。このX系選択回路によれば、一つのブロックを選択し、選択されたブロックの中の1本のワード線を選択レベルに駆動することができる。そのときの駆動レベルは、メインデコーダ17の出力回路の動作電源によって決定される。メモリマット2のX系選択回路も上記同様に構成されている。

【0043】

前記メモリマット1, 2のX系選択回路は排他的に何れか一方が選択動作される。例えば、外部から供給されるアドレス信号の最下位ビット又は最上位ビットに従ってメモリマット1のメインデコーダ17又はメモリマット2のメインデコーダ17の何れか一方が動作可能にされる。

【0044】

[1-2. AND型メモリセルアレイ]

図55には上述のAND型メモリセルのレイアウト構成例が示される。同図に示されるメモリセルは2層のメタル配線層を用いるプロセスによって形成される構造とされ、メモリセルMC及び選択MOSトランジスタ10, 11は並列された縦方向の拡散層と横方向に延在されたポリシリコン等から成るコントロールゲートとの交差位置に形成されている。フラッシュメモリのメモリセルMCは例えばP型基板上に構成されたNチャンネル型MOSトランジスタとされる。このメモリセルMCは、フローティングゲート（Floating Gate）内の電荷の有る／無しにより情報を保持する事が可能である。例えばフローティングゲート内に電荷が注入されるとメモリセルのしきい値電圧は上昇する。コントロールゲートに印加する電圧値以上にしきい値電圧を上げる事によりメモリ電流は流れなくなる。またフローティングゲートから電荷を放出することによってそのしきい値電圧は低下される。コントロールゲートに印加される電圧値よりもしきい値電圧が低くされることにより、メモリ電流が流れるようになる。例えば電流の流れる状態を"0"情報保持状態（例えば書き込み状態）、電流の流れない状態を"1"情報保持状態（例えば消去状態）と割り当てる事が可能となる。これは定義上の事であるので、逆の定義を与えても何ら問題は無い。

【0045】

この明細書で一例として説明しているフラッシュメモリのメモリセルはAND型であるが、メモリセル構造はそれに限定されるものではなく、図56に示されるNAND型、図57に示されるNOR型、図58に示されるDINOR型等の別の構造を採用することも可能である。何れの構造であってもフラッシュメモリのメモリセルは基本的には全て同じ構成を備えているが、図55乃至図58に示されるようにアレイ状に配置したとき、夫々特徴が現われる。NOR型はメモリ毎にビット線（メタル配線層）とのコンタクトが必要であるため占有面積を小さくすることが難しいが、NAND型、DINOR型、AND型ではビット線とのコンタクトをブロック毎に配置すれば済むので、占有面積の低減を図ることができる。

10

【0046】

〔1-3. メモリセルに対する電圧印加態様〕

図59にはメモリ動作に応じてメモリセルMCに印加すべき電圧状態の一例が示される。メモリ動作はリード（read）、書込み（program）及び消去（erase）に大別される。書込みベリファイ及び消去ベリファイはリードと実質的に同じである。Vgはコントロールゲートに印加される電圧（コントロールゲート電圧）、Vdはドレインに印加される電圧（ドレイン電圧）、Vsはソースに印加される電圧（ソース電圧）を意味する。

【0047】

読み出し動作では、コントロールゲートに読み出し電位（Vcc）が印加され、これによってメモリセルに電流が流れるか流れないかによって、メモリセルの記憶データが判定される。読み出し動作を図53の構成に従って説明する。例えば、メモリマット1（MATU）に含まれるメモリセルMCに対して読み出しを行う場合、非選択メモリマット2（MATD）側のセットMOSTランジスタ53をオン状態にしてセンスラッチ3を活性化し、当該センスラッチ3のビット線BLU側にハイレベルをラッチさせる。そして、RPCUを $1V + V_{th}$ に制御してビット線BLUを1Vにプリチャージする。一方、非選択マット2側ではRPCDを $0.5V + V_{th}$ に制御してビット線BLDを0.5Vにプリチャージする。0.5Vはセンスラッチ3によるセンス動作におけるリファレンスレベルとされる。ワード線選択動作の後、トランスファMOSTランジスタ40, 50がオンされ、この時、センスラッチ3は、ビット線BLUのレベルが0.5Vよりも高いか低いかをセンスして、メモリセルMCからの読み出しデータをラッチする。

20

30

【0048】

消去においては、コントロールゲートに正電圧（12V）を印加しメモリセルのドレイン・ソースに負電圧（-4V）を印加する。このことによりフローティングゲート内にトンネル効果を用いて電荷を注入する事が可能となる。その結果、メモリセルMCのしきい値電圧が上昇する。例えば消去動作は、上記電圧印加状態を間欠的に実行し、メモリセルのしきい値電圧が消去ベリファイのためのワード線電位を越えるまで行なう。図54の構成において消去は例えばワード線単位で行われる。消去対象とされるワード線を含むブロックのメモリセルには選択MOSTランジスタ10, 11を介して夫々同じドレイン電圧とソース電圧が印加されることになる。従って、選択ブロックに含まれる非選択メモリセルには、 $V_g = 0V$ 、 $V_d = V_s = -4V$ が印加されることになる。非選択ブロックの選択MOSTランジスタ10, 11はオフ状態にされるから、非選択ブロックに含まれるメモリセルのドレインとソースはフローティング即ちオープン（open）にされ、コントロールゲート電圧は0Vにされる。消去ベリファイは、ベリファイのためのワード線電圧が異なるだけで前記読み出し動作と実質的に同じである。

40

【0049】

書き込みにおいては、コントロールゲートに負電位（-10V）を印加し、ドレインには正電圧（4V）を与え、ソースはフローティングにされる。書き込み対象メモリセルとワード線を共有する書き込み非対象メモリセルのドレインには0Vが印加される。このことによりドレインに正電圧が印加されたメモリセルのみ電荷の放出が行なわれる。その結果、メモリセルのしきい値電圧は減少する。書き込み動作は所望メモリセルのしきい値電圧が

50

書き込みベリファイのためのワード線電位より低くなるまで行われる。書き込み動作を図 5 3 の構成に従って説明すれば、前記カラム選択ゲート 6, 7 から入力された書き込みデータがセンスラッチ 3 にラッチされた後、P C U 及び P C D をハイレベルに制御し、これによってセンスラッチ 1 3 のハイレベル側入出力ノードに結合するビット線（例えば B L U）がハイレベルにプリチャージされる。そしてトランス M O S トランジスタ 4 0, 5 0 をオンにすることにより、ハイレベルにプリチャージされているビット線 B L U に書き込み用ドレイン電圧がセンスラッチ 3 から供給される。ビット線をメモリセル M C のドレインに接続する選択 M O S トランジスタ 1 0 は、信号 S i D により書き込み非選択マツト側では全てカットオフ状態にされている。これにより、書き込み選択マツト側で書き込み電圧が印加されたコントロールゲートに接続するメモリセルのうち、ビット線に書き込み電圧が供給されたメモリセルのしきい値電圧が低下される。この後の書き込みベリファイ動作も前記読み出しと同様に行われる。

10

【0050】

〔1-4. フラッシュメモリのチップ構成〕

図 6 0 には上記フラッシュメモリの全体的な構成をブロック図で示す。同図に示されるフラッシュメモリは、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような 1 個の半導体基板に形成されている。

【0051】

図 6 0 において M A T U で示されるものは前記メモリマツト 1 を構成し、M A T D で示されるものは前記メモリマツト 2 を構成する。各メモリマツト 1, 2 において 1 本のワード線負荷容量を分散させるために、同一アドレスに配置されるワード線は 2 分割され、夫々にサブデコーダ 1 9 が割り当てられている。特に制限されないが、このフラッシュメモリは、特に制限されないが、ディスク装置互換の A T A ファイルメモリに適用して有効なフラッシュメモリとされる。同一アドレスに配置されるワード線は $(2048 + 128) \times 2$ ビットのメモリセルを有し、それは 512 バイトのセクタと 16 バイトのセクタ管理エリアに対応される。その内の 16 バイト分は冗長用とされている。

20

【0052】

図 6 0 において 6 0 で示されるものはカラム系回路である。このカラム系回路 6 0 は、前記センスラッチ 3、プリチャージ回路 4, 5、カラム選択ゲート 6, 7 等の図 5 3 で示したカラム系回路、そしてカラム選択ゲートをスイッチ制御するためのカラムデコーダを含む回路ブロックとされる。カラム選択ゲート 6, 7 は夫々 8 対のコモンデータ線 6 1 とインタフェースされ、カラムデコーダは 8 対のコモンデータ線 6 1 とビット線 B L U, B L D との導通をカラムアドレス信号などに従って制御する。コモンデータ線 6 1 は入出力切換え回路 6 2 を介してメインアンプ (M A) 6 3 及び入出力バッファ 6 4 に結合される。入出力バッファ 6 4 はボンディングパッドのような外部接続電極 (I/O) を介して外部とインタフェースされる。

30

【0053】

前記入出力バッファ 6 4 はメモリデータの入出力、アドレスデータの入力、及びコマンドデータの入力に兼用される。メモリセルへの書き込みデータは入出力切換え回路 6 2 を介してコモンデータ線 6 1 に供給される。メモリマツトからの読み出しデータは入出力切換え回路 6 2 を介してメインアンプ 6 3 に供給され、そこで増幅されて入出力バッファ 6 4 に与えられる。

40

【0054】

入出力バッファ 6 4 に与えられたアドレスデータはアドレスカウンタ 6 5 に供給され、アドレスジェネレータ 6 6 を経て、メインデコーダ 1 7、ゲートデコーダ 1 8 及びカラムデコーダ等へ供給される。特に制限されないが、アドレスカウンタ 6 5 は初期値がアドレスデータとしてプリセットされ、コマンドにてフラッシュメモリに指示される動作モードに応じて順次インクリメント等される。インクリメント等されたアドレスはアドレスジェネレータ 6 5 から出力される。メモリマツト 1, 2 はデータ線に 16 バイト配置された予備ビット有し、冗長ヒューズ回路 6 7 のプログラム状態に従って救済回路 6 8 が欠陥ビッ

50

トのアドレスを冗長アドレスに置き換えてアドレスジェネレータ66に与え、これによって欠陥ビットが予備ビットに置き換えられる。アドレスジェネレータ66はその入力に従って内部相補アドレス信号を形成し、アドレス信号をメインデコーダ17、ゲートデコーダ18及びカラムデコーダ等に割り振る。

【0055】

86で示されるものはステータスレジスタ及びテスト系回路であり、フラッシュメモリの内部状態を入出力バッファ64を介して外部に出力可能にされ、また、バッファ87を介してレディー／ビジー・ステータスを外部に出力させる。

【0056】

外部からシリアルクロックSCが供給されるデータ入出力制御回路70は、前記メインアンプ63、入出力切換え回路62、及びアドレスカウンタ65と前記入出力バッファ64との間での入出力をシリアルクロックSCに同期化させる。

【0057】

制御信号入力バッファ71には外部制御信号が供給される。外部制御信号は、フラッシュメモリへの情報入力を指示するライトイネーブル信号WEB、フラッシュメモリの動作を指示するチップイネーブル信号CEB、フラッシュメモリの情報出力を指示するアウトプットイネーブル信号OEB、フラッシュメモリに供給されるべき情報がコマンドかデータかを指示する信号CED、及びリセット信号RESBとされる。フラッシュメモリの内部動作はクロックジェネレータ72から出力されるクロック信号に同期される。

【0058】

入出力バッファ64から供給されるコマンドは、コマンドデコーダ73に供給される。コマンドは、メモリセルに対する読み出し（リード）、書き込み（プログラム）及び消去（イレーズ）等に関するコマンドである。プログラム及びイレーズコマンドが指示する内容にはベリファイも含む。コマンドに基づく内部制御は所謂マイクロプログラム制御と類似の制御方式とされる。すなわち、ROMはコマンドに応じた処理を規定するための制御コード（ステート情報）の系列をコマンド毎に保有している。コマンドデコーダ73によるコマンドのデコード結果は、そのコマンドに対応される制御コード系列のROM75内の先頭アドレスとされる。このコマンド解読結果がROM75に与えられることにより、そのコマンドに対応される制御コード系列の先頭の制御コードがROM75から読出される。読出された制御コードはROMデコーダ76でデコードされ、書き込み消去判定回路80、直接系制御回路81及び電源制御回路82に動作制御信号を供給する。制御コード系列の第2番目以降の制御コードの指定は前記先頭制御コードのROMアドレスに基づいてROM制御系回路74が行なう。制御コードの実行順序を条件分岐させたりすることを考慮する場合には、マイクロプログラム同様に制御コードに次の制御コードのROMアドレスを保有させるようにしてもよい。

【0059】

前記電源制御回路82はリード、プログラム及びイレーズの動作に必要な各種回路の動作電源の供給制御を行なう。動作電源は、例えばシリコンのバンドギャップ等に基づいて基準電圧を発生する基準電圧発生回路85、この基準電圧発生回路85で形成された基準電圧を用いて-10V等の電源を生成するチャージポンプ回路84、そしてメインデコーダ等の各種回路の動作電源を、リード、イレーズ、プログラム等の動作に応じて切換える電源切換え回路83によって形成される。書き込み消去判定回路80は図53で説明したECU、ECDに基づいて書き込み動作や消去動作の完了を判定する回路である。判定結果は、ROM制御系回路74に供給され、一連の書き込み動作又は消去動作の次の制御ステップでの制御内容に反映される。直接系制御回路81はワード線選択タイミングやカラム選択タイミングを制御する。

【0060】

前記ROMデコーダ76でデコードされた制御情報が、書き込み消去判定回路80、直接系制御回路81及び電源制御回路82などに供給されることによって実現される動作は、以下に説明する動作モードに従った書き込み動作や書き直し動作などを実現するための

制御動作を含むことになる。このような制御をハードワイヤードロジックによって実現することも可能である。

【0061】

次に、概略的な構成が明らかにされた上記フラッシュメモリを基本にして、幾つかの特徴的な内容を持つフラッシュメモリについて説明していく。

【0062】

〔2. 粗い書込みモードと高精度書込みモード〕

図1に示されるフラッシュメモリFMR Y 1は粗い書込みモードと高精度書込みモードを有する。即ち、このフラッシュメモリFMR Y 1は、書込みパルスの1パルス当たりのしきい値電圧の変化量が異なる動作モードを持つ。

10

【0063】

書き込み動作では前述のような書き込み電圧が書き込み対象メモリセルに与えられるが、書き込み状態のメモリセルのしきい値電圧を比較的高精度に決定するため、若しくは書き込み状態のメモリセルのしきい値電圧のばらつきを小さく抑えるために、メモリセルにしきい値電圧が所定のしきい値電圧に到達するまで、書き込みパルスによって規定される時間毎に書き込み電圧を与えていく。当然、書き込み電圧を与える毎にベリファイが行なわれる。1回の書き込みでメモリセルのしきい値電圧の変化量が概ね一定になるように、前記書き込みパルス幅は、図43の(a)に示されるように、書き込みワード線電圧が一定の場合、順次長くされる。図43の(b)のように書き込みパルス幅を一定にする場合には、書き込みワード線電圧を順次高くする。図43の(c)に示されるように書き込み電圧と書き込みパルス巾の双方を変化させることも可能である。

20

【0064】

例えば図1のフラッシュメモリFMR Y 1は、例は図43の(a)に対応されるように、書き込みワード線電圧を一定にして、書き込みパルス幅(時間)を順次増やすようにするものである。そこで、書込み1パルスあたりのメモリセルしきい値電圧の変化量が ΔV_{th1} である第1の書込みモード(粗い書込み)のための第1の書込み電圧印加用パルス列発生手段100と、しきい値電圧変化量が ΔV_{th2} である第2の書込みモード(高精度書込み)のための第2の書込み電圧印加用パルス列発生手段(高精度書込み)101を備える。書込みパルスと書込みパルスとの間にしきい値電圧のベリファイ動作が行われることになる。

30

【0065】

図2の(a), (b)には第1の書き込みと第2の書き込みの特性が示されている。本明細書において時間軸のスケールは全て対数とされる。前述のように、書き込みパルス幅は書き込み動作が進むと共にそれぞれ長くされる。

【0066】

図2の(c), (d)には第1の書き込みと第2の書き込みによるメモリセルMCのしきい値分布が示される。

【0067】

このとき、消去状態の最低しきい値 V_{t2} 又は V_{t6} と書込み状態の最高しきい値 V_{t3} 又は V_{t7} との電圧差(セルウインドウ)を固定して考えた場合、メモリセルMCのしきい値電圧を変化させるのに必要なパルスの数は、 ΔV_{th1} の場合の方が ΔV_{th2} の場合よりも少ない。このため、第1の書込電圧印加用パルス列発生手段(しきい値の変化量 ΔV_{th1})100を用いた場合のベリファイ回数は、第2の書込電圧印加用パルス列発生手段(しきい値の変化量 ΔV_{th2})101を用いた場合よりも少なくなる。書込み時間は、メモリセルそのもののしきい値電圧を変化させる時間とベリファイを行なう時間などのオーバーヘッド時間との和となる。よって、ベリファイ回数が少ないほうがオーバーヘッド時間が少ないので書込み時間は短くなる。

40

【0068】

前記第1及び第2の書込電圧印加用パルス列発生手段100, 101は、特に図示はしないが、キャリア伝達型のバイナリカウンタを用い、これにプリセットしたデータの計数

50

結果が全ビット“1”にされるまでの時間によってパルス幅を制御することができる。このとき、第1及び第2の書込電圧印加用パルス列発生手段100, 101は夫々別個のハードウェアによって構成してもよいが、第1及び第2の書き込みを並列的に行なう必要がない場合には、そのようなバイナリカウンタは共通化でき、動作モードに応じて順次設定するプリセットデータの減少幅を相違させるように制御すればよい。その構成を図60の構成と対応させるなら、前記プリセットデータはROMデコーダ76から出力される。プリセットデータの値は、コマンドデコーダ73がコマンドを解読して判定する第1の書き込みモード又は第2の書き込みモードに従って決定される。前記バイナリカウンタは電源制御回路82に含まれ、ここで生成された書込みパルスに従って、電源切換え回路83が、書込みパルスによって規定される時間毎に書込みワード線電圧をX系選択回路に与える。

10

【0069】

フラッシュメモリFMRY1は、第1の書き込み電圧印加用パルス列発生手段（第1のパルス列発生手段とも称する）100による書き込みの時に用いる第1のベリファイ電圧発生手段102、第2の書き込み電圧印加用パルス列発生手段（第2のパルス列発生手段とも称する）101による書き込みの時に用いる第2のベリファイ電圧発生手段103を有する。何れを用いるかは切換え手段104の制御によってスイッチS1, S2で切換えられる。スイッチで選択された電圧は、動作モードに応じて、X系選択回路のワード線駆動電圧として用いられる。

【0070】

図2の(c), (d)に示すようにしきい値変化量が ΔV_{Th1} の場合は書き込み状態のしきい値分布は $V_{t3} \sim V_{t4}$ となり、これは ΔV_{Th2} の場合の書き込み状態のしきい値分布である $V_{t7} \sim V_{t8}$ よりも大きくなるから、第1の書き込みに利用するベリファイ電圧と第2の書き込みに利用するベリファイ電圧とを分ける方が得策だからである。メモリセルMCの特性、若しくはセルウインドウの電圧によっては分けなくてもよい場合もある。

20

【0071】

特に、上記のようにベリファイ電圧を第1の書き込みと第2の書き込みで分ける場合、デプリートするのを避けるためには、書き込み時のベリファイ電圧は V_{t3} （第1のベリファイ電圧） $> V_{t7}$ （第2のベリファイ電圧）と設定することが望ましい。図60の構成に対応させるならば、そのような第1及び第2の書き込みベリファイ電圧はチャージポンプ回路84によって874によって形成され、何れの書き込みベリファイ電圧を用いるかは、第1の書き込みコマンド又は第2の書き込みコマンドの解読結果に従ってROMデコーダ76から指示され、それに従って、電源切換え回路83が行なう。

30

【0072】

特に制限されないが、消去動作についても消去パルスを用いて段階的にメモリセルのしきい値電圧を上げていく動作が行なわれるが、その場合における消去パルスの1パルス当たりのしきい値電圧変化量は書き込み動作モードのような選択は行なわれない。第1の書き込みモードの消去動作では、 V_{t2} となるような消去ベリファイ電位がワード線に与えられる。また、第2の書き込みモードの消去動作では V_{t6} となるような消去ベリファイ電位がワード線に与えられる。これは、通常書き込みが第1の書き込みモードで行われ、その後の書直し時には第2の書き込みモードで書き込みが行われるため、そのような制御が可能となる。即ち、同一ワード上に書直すためには、そのワード線のメモリセルを一度消去状態にする必要がある。この時、消去ベリファイ電位を変えてそのしきい値電圧分布を $V_{t5} \sim V_{t6}$ となるように制御する。

40

【0073】

これらのことから、情報保持時の電界は第2の書き込みモードを経た方が小さく、情報保持時間は長い。換言すれば、記憶情報の保持性能若しくは保持期間は、第2の書き込みモードを経た方が優れていると言えることができる。

【0074】

読出し動作時におけるワード線選択レベルは、セルウインドウの幅、 V_{t3} と V_{t7} との相違、 V_{t2} と V_{t6} との相違等を考慮して、共通化することもできる。第1の書き込みモードと第

50

2の書き込みモードとが適用されるメモリ領域が物理的に分けられている場合には、読み出し動作のワード線選択レベルを当該領域毎に最適に相違させるようにしてもよい。

【0075】

図3には前記第1の書き込みモード及び第2の書き込みモードにおける書き込み動作の一例フローチャートが示される。即ち、書き込みコマンドが入力されると、コマンドデコーダ73でそのコマンドがデコードされ、第1の書き込みモードか第2の書き込みモードかが判定される。ROMデコーダ76のデコード信号によって書き込みパルス時間の増分値($\Delta t1$ 、 $\Delta t2$)及びベリファイ電圧($Vt3$ 、 $Vt7$)が決定される。第1の書き込みモードでは、書き込みパルス時間の増分値が $\Delta t1$ 、ベリファイ電圧が $Vt3$ にされる。第2の書き込みモードでは、書き込みパルス時間の増分値が $\Delta t2$ 、ベリファイ電圧が $Vt7$ とされる。ベリファイ電圧 $Vt3$ 、 $Vt7$ は図2の(c)，(d)で説明した通りである。書き込みパルス時間の増分値 $\Delta t1$ 、 $\Delta t2$ については、 $\Delta t1 > \Delta t2$ とされ、第1の書き込みモードにおける1書き込みパルス期間におけるしきい値電圧の変化量は、第2の書き込みモードのそれよりも大きくされている。その他の動作は、第1及び第2の書き込み動作相互間で同一である。この事からも明らかなように、書き込みモードが2種類あっても、それによって増大することになる物理的な回路規模は非常に少ないことを理解することができるであろう。前述のように、書き込みパルス時間の増分値は、これを発生するカウンタ値を書き込みモードに応じて変えればよい。また、ベリファイ電圧は、一つの電圧発生回路の複数の電圧出力ノードの電圧の中から一つを選択するスイッチS1，S2のオンオフで選択制御できる。或いは、電圧発生回路の発生電圧そのものを変えて制御してもよい。

【0076】

上記のように、第1の書き込みモードによる書き込み動作は第2の書き込みモードに比べて速いが、書き込まれたデータの信頼性(データ保持期間)という点では第2の書き込みモードの方が優れている。これを考慮したとき、図1のフラッシュメモリFMR Y1は、第1の書き込み電圧印加用パルス列発生手段100で書き込んだデータを、第2の書き込み電圧印加用パルス列発生手段101を用いて書き直すための制御手段(書き直し制御手段)105を有する。すなわち、書き込み時間の短い第1の書き込みモードで書き込んだ後に、しきい値電圧の分布が狭くできる第2の書き込みモードで書き直す。書き直しは、メモリセルMCからデータを読み出し、これをセンスラッチ3に反転して格納し、これに基づいて第2の書き込みモードで書き込みを行なえばよい。

【0077】

図4には書き直し動作の一例フローチャートが示される。第1の書き込みモードでは、書き込みデータがロードされ、それがセンスラッチ3にラッチされる。最初の書き込みパルス幅は $t1$ とされる。ベリファイ電圧は前記 $Vt3$ とされる。ベリファイがOKとなるまで、 $\Delta t1$ ずつパルス幅を長くして書き込みパルスを更新しながら、書き込み、ベリファイを繰り返す。 $\Delta t1$ はメモリセルMCのしきい値電圧とlog表示の書き込み時間の関係において、しきい値電圧の変化量 $\Delta Vth1$ が1回の書き込みパルス当たり一定となるように設定される。これによって高速に書き込み動作を完了出来る。

【0078】

書き直しモードは、第1の書き込みモードで書込まれたデータを第2の書き込みモードで書き直しする動作モードである。書き直しモードでは、第1の書き込みモードで書込まれたデータをセンスラッチ3に読み出す。これは通常の読み出し動作と同じである。通常の読み出しを行なってセンスラッチ3で増幅されてこれにラッチされたデータは、書き込みにとっては逆の電圧となっているので、反転する必要がある。最初の書き込みパルス幅は $t1$ とされる。ベリファイ電圧は $Vt7$ とされる。ベリファイがOKとなるまで、 $\Delta t2$ ずつパルス幅を長くして書き込みパルスを繰返し印加する。 $\Delta t2$ はメモリセルのしきい値電圧とlog表示の書き込み時間の関係において、しきい値電圧の変化量 $\Delta Vth2$ が1回の書き込みパルス当たり一定となるように設定される。 $Vt3 > Vt7$ 、 $\Delta Vth1 > \Delta Vth2$ であるので、第1の書き込みよりも低速となるが、保持時の電界は小さく、データ保持時間長くなり、書込まれたデータ保持の信頼性が向上される。

【0079】

図1に示される前記切換え手段104、スイッチS1、S2、書換え制御手段106、書き直し制御手段105は、図60のコマンドデコーダ73、ROM制御系回路74、ROM75、ROMデコーダ76、書込み消去判定回路80、電源切換え回路83電源制御回路82等によって構成されることになる。

【0080】

図5には書き込みパルス幅を一定にして書き込みワード線電圧を絶対的に順次高くして書込みを行なう形式のフラッシュメモリに第1の書込みモードと第2の書込みモードを適用した場合のブロック図が示される。

【0081】

図5に示されるフラッシュメモリFMRY2も粗い書込みモード（第1の書込みモード）と高精度書込みモード（第2の書込みモード）を有し、それらは、書込みパルスの1パルス当たりのしきい値電圧の変化量が異なる動作モードとされる。図1との相違点は、図43の（b）のように書き込みパルス幅を一定にして、書き込みワード線電圧を絶対的に順次高くして書込みを行なうことである。そこで、書込み1パルスあたりのメモリセルしきい値電圧の変化量が ΔV_{th1} である第1の書込み（粗い書込み）のための第1の書込み電圧列発生手段120と、しきい値電圧変化量が ΔV_{th2} である第2の書込み（高精度書込み）のための第2の書込み電圧列発生手段（高精度書込み）121を備える。

【0082】

図6の（a）、（b）には第1の書き込みと第2の書き込みの特性が示されている。前述のように、個々の書き込みパルス幅（書込み時間）は一定であり、書込み動作が進むに従って書込み電圧が漸増される。

【0083】

図6の（c）、（d）には第1の書き込みと第2の書き込みによるメモリセルMCのしきい値分布が示される。

【0084】

このフラッシュメモリFMRY2も図1の場合と同様に、第1のパルス列発生手段による書込み動作時に用いる第1のペリファイ電圧発生手段102、第2のパルス列発生手段による書込み動作時に用いる第2のペリファイ電圧発生手段103を有する。それらは、前述と同様に、書込みモードに応じて切換え手段104で切換えられる。

【0085】

このフラッシュメモリFMRY2の場合、図3及び図4で説明したフローチャートにおいて、書込みパルス時間の増分を変化させる代わりに、書込み電圧の絶対値の増分を変化させれば、同様の制御が可能にされる。図60の構成との対応は図1の場合と同様であるからその説明は省略する。

【0086】

図7は第1の書込みモードと第2の書込みモードを指定するための条件を設定する設定手段を有するフラッシュメモリFMRY3のブロック図が示される。すなわち、図4で説明した書直しモードに代表されるように、第1の書込みモードと第2の書込みモードを有する場合に、最初に第1の書込みモードで粗く書いた後、第2の書込みモードで高精度に書換える手法を採る代わりに、 ΔV_{th1} のモード（粗い、第1の書込みモード）と ΔV_{th2} のモード（高精度、第2の書込みモード）とを特定の条件で切り換えて用いることも可能である。その条件は切換え条件設定手段130に設定される。

【0087】

図8には切換え条件が例示されている。例えばメモリセルMCの特性劣化の程度がさほど進んでいないと考えられる書換え回数1万回程度までは第1の書込みモードとして書込み動作を最優先させ、それ以降はメモリセルの特性劣化による影響を考慮して第2の書込みモードとする。そのための書換え条件設定手段130は切換えを実行するときの書換え回数が設定される。このとき、書換え回数は、例えば、メモリマツに割り当てられた管理領域に保存され、切換え手段104はタイマ等を介して定期的にその書換え回数が設定

10

20

30

40

50

条件を超えたかを判定し、超えた場合には、外部から書込みモードが指示されたときは、第1の書込みモードから第2の書込みモードにする。またタイマ等を利用してデータ保持期間によって切替えることも可能である。また、ブロック、セクタ（例えばワード線毎の記憶領域）等の記憶領域を指定条件とすることができる。その条件はそれら領域のメモリアドレスによって与えることができる。この場合、切換え手段は、書込みアドレスと設定された条件アドレスを比較して、第1の書込み又は第2の書込みを選択する。アドレスの設定のために切換え条件設定手段130にはヒューズプログラム回路を採用することができる。或いは、フラッシュメモリのチップ単位で条件を設定することができる。例えば、第1の書込みモードが指定されているチップは、外部から書込み動作が指示されると、第1の書込みモードで書込みを行なう。この場合の切換え条件設定手段130はアルミスタスライスなど、製造プロセスで配線パターンマスクの変更で条件設定される形式が能率的である。

10

【0088】

図9には書込み電圧パルス幅を第1の書込みモードと第2の書込みモードで同一とし、書込み電圧を第1の書込みモードと第2の書込みモードで相互に相違する一定電圧とする場合の例が示される。即ち、第1の書込みモードと第2の書込みモードに共用されるパルス列発生手段140と、第1の書込み電圧発生手段141と、第2の書込み電圧発生手段142とが設けられている。第1の書込み電圧発生手段から出力される一定の第1の書込み電圧VBと、前記第2の書込み電圧発生手段142で発生される第2の書込み電圧VAを切換え手段143によりスイッチS1, S2で選択し、選択された書込み電圧がパルス列発生手段140に与えられる。パルス列発生手段140は、与えられた電圧のパルス列を書込み電圧として、X系選択回路に出力する。

20

【0089】

第1の書込みモードでは書込み電圧の絶対値はVBであり、第2の書込みモードでは書込み電圧の絶対値はVAである（ $VB > VA$ ）。

【0090】

この時の書込み特性としては、図10の（a），（b）に示されるように、書込み時間（対数スケール）に対するしきい値電圧の変化の傾きが双方共にK1で変わらない場合を想定する。このとき、 $VB > VA$ であるから、第1の書込みモードでは最初の書込みパルスによるしきい値の変化量は、第2の書込みモードに比べて大きくなる。したがって、目的のしきい値電圧までの書込みパルスの印加回数は第1の書込みモードの方が第2の書込みモードに比べて少なくなる。即ち、書込み動作を高速化できる。

30

【0091】

また、図10の（c），（d）に示されるように書込み時間（対数スケール）に対するしきい値電圧の変化の傾きが、第1に書込みモードの方が第2の書込みモードに比べて大きくなる（ $K2 > K1$ ）場合を想定する。実際にはメモリセルMCの物理的な特性から一般にそうなる場合が殆どであると考えられる。第1の書込みモードでは書込み電圧がVBでは傾きがK2であり、第2の書込みモードでは書込み電圧がVAでの傾きがK1と異なり、 $K1 > K2$ 、 $VB > VA$ の時、最初の書込みパルス電圧によるしきい値の変化は前述のように第1の書込みモードの方が第2の書込みモードより大きくされ、しかも、1回の書込みパルス電圧によるしきい値電圧の変化量もVBでは ΔV_{th2} となり、VAでの ΔV_{th1} よりも大きくされる。このため、目的のしきい値電圧までの書込みパルスの印加回数は第1の書込みモードの方が第2の書込みモードに比べて少なくなる。即ち、書込み動作を高速化できる。

40

【0092】

図9の構成によって得られる図10の（e），（f）に示されるしきい値電圧分布は、図1の構成による場合と同じ傾向にされる。

【0093】

図9の構成において第1の書込み電圧発生手段141及び第2の書込み電圧発生手段142は、図60の構成におけるチャージポンプ回路84で実現され、切換え手段143及びパルス列発生手段140は図60の電源切換え回路83及び電源制御回路82、そして

50

それらを制御するコマンドデコーダ 73、ROM 制御回路 74、ROM 75 及び ROM デコーダ 76 によって構成することができる。

【0094】

尚、図示は省略するが、図 5 及び図 6 で説明したように、書込みパルス幅を一定とし、書込み電圧を次第に増加させる形式で書込みを行なう場合には、書込み電圧列を第 1 の書込みモードと第 2 の書込みモードで相互に同一とし、パルス電圧幅を、第 1 の書込みモードと第 2 の書込みモードで相違させることができる。この場合における書込み動作の傾向は図 10 の場合と類似とされる。

【0095】

図 11 には第 2 書込みモードによる高精度書込みを多値書込みとするフラッシュメモリ 10 の一例が示される。図 12 には 2 値書込みと多値書込みの夫々におけるメモリセルのしきい値分布が示される。

【0096】

図 11 に示されるフラッシュメモリ FMRY 5 において第 1 の書込み電圧印加用パルス列発生手段 150 によって、図 1 及び図 2 で説明した第 1 の書込みモードと同じように粗く書き込むための書込みパルス電圧を発生する。これによる書込みデータは図 1 等で既に説明したものと同様に、2 値である。このとき、消去

レベルは $V_{t1} \sim V_{t2}$ であり、書込みレベルは $V_{t3} \sim V_{t4}$ とされる。第 2 の書込み電圧印加用パルス列発生手段 151 は図 1 及び図 2 で説明した第 2 の書込みモードと同じように高精度に書き込むための書込みパルス電圧を発生する。この場合の書込みデータは多値、例えば 4 値とされる。多値の書込みのために図 11 ではビット線の端に多値用のデータバッファ 152、153 が設けられている。多値書込みされたメモリセルのしきい値電圧分布は、消去レベルが $V_{t5} \sim V_{t6}$ であり、書込みレベルは 3 値あり、 $V_{t7} \sim V_{t8}$ 、 $V_{t9} \sim V_{t10}$ 、 $V_{t11} \sim V_{t12}$ とされる。

【0097】

第 1 のベリファイ電圧発生手段 154 は第 1 の書込みモードによる 2 値書込みのためのベリファイ電圧を発生する。第 2 のベリファイ電圧発生回路 155 は第 2 の書込みモードによる多値書込みのためのベリファイ電圧を発生する。

【0098】

選択制御手段 156 は、第 1 の書込みモードによる 2 値書込みでは第 1 の書込み電圧印加用パルス列発生手段 150 からの書込みパルス電圧を選択し、第 2 の書込みモードによる多値書込みでは第 2 の書込み電圧印加用パルス列発生手段 151 からの書込みパルス電圧を選択する。選択制御手段 157 は、第 1 の書込みモードによる 2 値書込みでは第 1 のベリファイ電圧発生手段 154 からのベリファイ電圧を選択し、第 2 の書込みモードによる多値書込みでは第 2 のベリファイ電圧発生手段 155 からのベリファイ電圧を選択する。

【0099】

2 値書込みモードの V_{t2} は多値書込みモードの V_{t6} と等しく、 V_{t3} は V_{t7} と等しい場合がある。2 値モードは粗く書き込む第 1 の書込みモードとされる。粗い書き込みができるのは、多値モードの $V_{t7} \sim V_{t12}$ のなかに $V_{t3} \sim V_{t4}$ のみを設ければ良いからである。多値モードではしきい値分布を狭くする必要があるので書き込みパルスの 1 パルス当りのしきい値電圧変化量を小さくする必要があり、書込み動作は遅くなるが、記憶容量は 2 倍となる。

【0100】

多値書込みの詳細については後で説明するが、例えば一つのメモリセルの記憶データを 4 値とする場合、2 値データ 2 ビットが一つのメモリセルの 4 値の記憶データを構成することになる。したがって、書込みでは、2 ビットのデータをデコードし、そのデコード結果に従って V_{t7} 、 V_{t9} 、 V_{t11} のどこまでを目標にして書込みを続けるかが制御される。これに呼応して、書込みベリファイ電圧も前記デコード結果に従って例えば V_{t7} 、 V_{t9} 、 V_{t11} の中から一つが選択される。読み出しでは、ワード線レベルが $V_{t6} \sim V_{t7}$ 、 $V_{t8} \sim V_{t9}$ 、 $V_{t10} \sim V_{t11}$ の間の電圧 (V_{r3} 、 V_{r2} 、 V_{r1}) に夫々切換えられ、夫々の場合で得られる読み出しデ

10

20

30

40

50

ータをエンコードして、夫々2値の2ビットのデータに変換する。多値用データバッファ152, 153は一つのメモリセルに対する3回の読み出しに際して先の読み出しデータを退避するラッチ回路である。これらの制御は書換え制御手段159Aで行なわれ、前記デコードやエンコードはデータ変換回路158で行なわれる。

【0101】

また、多値書込みか2値書込みかは前述の説明通り、コマンドで任意に指定することが可能である。また、書直し制御手段159Bを用いて、最初2値で高速に書込んだデータを、後から多値で書直すという動作を選択することも可能である。

【0102】

図13には2値で書込んだデータを多値で書直す時の動作例が示される。例えばワード線WL1上のメモリセルの2値データを読み出して一旦前記バッファ152に保持する。次にワード線WL2上のメモリセルからデータを読み出して今度は別のバッファ153にその読み出しデータを保持する。このようにして夫々2値の2ビットのデータがデータバッファ152, 153にラッチされると、当該2ビットのデータはデータ変換回路158でデコードされ4値書込みのための書込みデータが生成され、センスラッチにそのデータが与えられる。その後、前記デコードされた情報を前記書換え制御手段159Aが用いて、ワード線WL3の所定のメモリセルに、そのデータが4値のうちの一つの論理値として書込まれる。前記2ビットのデコード結果によっては書込み非選択で済む場合も当然ある。

【0103】

図14には2値データを多値データに変換する別の例が示される。図13の場合には同一ワード線上の隣接する2個のメモリセルが保有する2ビットを4値のデータに変換した。図14の場合には、バッファ152の全てのデータの後にバッファ153のデータを並べて、このデータ列に対して最初から2つずつ区切っていった、各々の区切られた2ビットを夫々4値のデータに順次変換する。

【0104】

図15～図19には2ビットの2値データによる4値書込み動作の手順が示される。各図には4値データの4値“01”、“11”、“10”、“00”が夫々示されている。この4値の夫々におけるメモリセルのしきい値電圧は状態“01”、“11”、“10”、“00”に対応されることになる。図15に示されるように、上記4値のデータが書込まれるメモリセルは最初、消去状態とされている。即ち、状態“00”である。4値“01”、“11”、“10”、“00”に対するセンスラッチSL1～SL4への書込みデータは図16に示されるように、“1”、“1”、“1”、“0”とされる。センスラッチにラッチされたデータ“1”は書込みを実施させ、“0”は書込み非実施とさせる。書込動作は、図16に示される第1の書込み、図17に示される第2の書込み、図18に示される第3の書込みとされる。第1乃至第3の一連の書込みは対応するセンスラッチの書込みデータが“0”にされるところまで進められる。第1乃至第3の各書込みは、ベリファイ電圧が相違されるだけであり、書込みパルス電圧の印加制御は同一である。

【0105】

図16の第1の書込み（ベリファイ電圧＝ V_{t7} ）が行なわれた場合には、書込み対象とされるメモリセルのしきい値電圧は状態“01”にされる。したがって、4値データ“01”に対応されるメモリセルのセンスラッチが“0”に反転され、“01”の書込みが完了される。即ち、第1の書込みは消去状態から“01”のしきい値状態を得るための書込み動作とされる。

【0106】

第1の書込みに続けて、図17の第2の書込み（ベリファイ電圧＝ V_{t9} ）が行なわれた場合には、書込み対象とされるメモリセルのしきい値電圧は状態“11”にされる。したがって、4値データ“11”に対応されるメモリセルのセンスラッチが“0”に反転され、“11”の書込みが完了される。即ち、第2の書込みは、第1の書込みに続けて行うことによって“11”のしきい値状態を得るための書込み動作とされる。

【0107】

第2の書込みに続けて、図18の第3の書込み（ベリファイ電圧＝ V_{t11} ）が行なわれた場合には、書込み対象とされるメモリセルのしきい値電圧は状態“10”にされる。したがって、4値データ“10”に対応されるメモリセルのセンスラッチが“0”に反転され、“10”の書込みが完了される。即ち、第3の書込みは、第1及び第2の書込みに続けて行なうことによって“10”のしきい値状態を得るための書込み動作とされる。

【0108】

図20に示されるフラッシュメモリFMR Y6は、前記第1の書込みモードによる粗い書込み専用のメモリマット1A、2Aと、第2の書込みモードによる高精度書込み（多値書込みを含む）専用のメモリマット1B、2Bを物理的に分けるようにしたものである。メモリマット1A、2Aのセンスラッチアレイと、メモリマット1B、2Bのセンスラッチアレイは夫々個別化されている。

10

【0109】

図21に示されるフラッシュメモリFMR Y7は、図13の構成に対し、粗い書込み専用のメモリマット1A、2Aと、高精度書込み専用のメモリマット1B、2Bとに兼用されている点が相違されている。尚、図20及び図21に示された個々の構成及び機能については前述の説明と基本的に同じであるから、その詳細な説明は省略する。

【0110】

図20及び図21の構成において、メモリマットセルアレー1A、2Aに対する書込みには、第1の書込み電圧印加用パルス列発生及びベリファイ電圧発生手段100、102が用いられる。メモリセルアレー1B、2Bに対する書込みには第2の書込み電圧印加用パルス列発生及びベリファイ電圧発生手段101、103が用いられる。

20

【0111】

粗い書込み専用のメモリマット1A、2Aと、高精度書込み専用のメモリマット1B、2Bとでは、メモリセルMCのトンネル膜厚、層間絶縁膜の厚さ、フローティングゲートの大きさ等のメモリセル構造を夫々に最適化するように個別化することができる。

【0112】

図22には第1の書込みモード（粗い書き込み）による書込みデータと第2の書込みモード（高精度の書き込み）による書込みデータとをメモリマット中に混在させる場合の例が示される。例えば、メモリマット1、2の一群のメモリセル（以下セクタと称する）毎に、第1の書込みモードによる粗い書き込みデータと第2の書込みモードによる高精度の書き込みデータとを混在させるために、セクタの一部を管理領域160とし、この領域160に第1の書込みモードで書込まれたデータか第2の書込みモードで書込まれたデータかを識別するための識別情報を書込んでおく。図22において、MR1～MRn、MC1～MCmが一つのセクタであり、このうちMC1～MCmがそれに対応する管理領域とされる。前記識別情報は、MC1～MCmの適当なビットに割り当てられることになる。管理領域160にはその外のセクタ管理情報の記憶領域が割り当てられている。図22では管理領域160のワード線WL21とそれ以外のセクタの部分（通常領域）161のワード線WL11とを分けてある。これは、例えばセクタデータの消去を、管理領域160におけるセクタデータの有効性を示すバリッドビットの反転で済ませたりすることができるようにするためであり、セクタデータの管理方式によっては同一ワード線上に配置してもよい。尚、図22ではフラッシュメモリのその他の構成は図示を省略してあるが、例えば図1に示される回路がその他に備えられている。

30

40

【0113】

図23には図22の構成を採用した場合の書込み動作のフローチャートが示される。書込みにおいて、書込みデータがセンスラッチにロードされると、第1の書込みモード（粗い書き込み）か、第2の書込みモード（多値を含む高精度書き込み）かによって、これまでの例で説明してきた第1の書込みモードのための書込み電圧パルス又は第2の書込みモードのための書込み電圧パルス（多値書込みも含む）を選択する。第1の書込みモードならば例えば“1”が当該セクタの管理領域に書込まれ、第2の書込みモードならば例えば“0”が当該セクタの管理領域に書込まれる。このとき、後述の管理領域のデータを読み

50

込んでから第1の書込みモードによるデータであるか第2の書込みモードによるデータであるかを判断するためには、管理領域の消去と書き込みのしきい値電圧分布は、通常領域に対するデータ書込みが第1の書込みモード又は第2のモードの何れでも同じであることが望ましい。このために、図22では、管理領域160と通常領域161とに夫々別々のX系選択回路を設けてある。これにより、管理領域160に対するベリファイ時のワード線電圧を、通常領域161のベリファイ時のワード線電圧と独立に設定できるので、通常領域が第1の書込みモードで書込まれるのか第2の書込みモードで書込みされるのかに拘らず、管理領域160のメモリセルに対しては一定の消去と書き込み状態を達成できる。

【0114】

図24には図22の構成を採用した場合の読み出し動作のフローチャートが示される。通常領域161からデータの読出す場合には、先ず、対応セクタの管理領域160からセクタ管理情報が図60のカラム系回路60を介して書込み・消去判定回路80に供給される。供給されたセクタ管理情報に含まれる前記選択情報が“1”であると書込み・消去判定回路80で判定されると、そのセクタの通常領域は第1の書込みモード（粗い書き込み）で書込まれたデータを保有するので、書込み・消去判定回路80の判定結果に基づいて、ROMデコーダ76から制御信号が電源制御回路82に出力されて第1の読み出しワード線電圧が選択され、データ領域（通常領域）161からデータが読出される。一方、“0”であった場合には、第2の書込みモード（多値を含む高精度書き込み）で書込まれているデータをセクタの通常領域から読み出すために、第2の読み出しワード線電圧が選択されてデータ領域（通常領域）161からデータが読出される。

【0115】

図25は図22の構成を採用した場合の書き直し動作の一例フローチャートが示される。ここでは、アドレスkからアドレスmまでを書き直しの対象とする場合について説明する。アドレス $n=k$ とおき、アドレスnの管理領域のデータを読出す。このデータが“1”である場合は、そのアドレスに対応されるセクタのデータは第1の書込みモード（粗い書き込み）で書き込まれていることになる。その場合には、そのセクタの通常領域161からデータを読み出し、このデータを第2のワード線電圧を選択して元のデータ記憶領域に第2の書込みモード（多値による高精度書き込みを含む）で書き直す。一方、“0”である場合には、既に第2の書込みモード（多値の高精度書き込みを含む）であるので、次のアドレスに移る。以上の動作を、目的とする最終アドレスまで繰り返す。

【0116】

〔3. 粗い書込み〕

以上で説明した各種フラッシュメモリは粗い書込みと高精度書込みの2つのモードを持っていた。次に、粗い書き込みを行なうことに着目して高速書込みを実現するフラッシュメモリの幾つかの例を説明する。すなわち、この項で説明するフラッシュメモリは、粗い書込みモードだけを持つことになる。

【0117】

図26の(a)に示されるしきい値電圧分布は、電源電圧 V_{cc} 例えば3.3Vに対して、書き込みレベル（書き込み時のベリファイワード線電圧と等価）を例えば1.5Vとし、書き込みパルスあたりメモリセルのしきい値電圧が0.1V～0.2V変化するようにして高精度書き込みを実現したフラッシュメモリのものである。このように V_{cc} 例えば3.3Vに対し、書き込みレベル V_{wv} が例えば1.5Vのような電圧にされているとき、この電圧に、センスアンプ（センスラッチ）で検知するのに必要な電流差を得るためのしきい値電圧差を加えたものが、消去状態の最低電圧 V_{ev} となる。消去状態のレベルは、他に信頼性の点からも決定する必要がある。消去時にはメモリセルのしきい値電圧が V_{ev} 以上になったか否かを検出して消去パルス電圧の印加を制御する。このように、 V_{wv} を下げ、これによって V_{ev} もできるだけ下げることで低電圧動作と高信頼化を図ることができる。

【0118】

しかし、メモリセルの特性は、書き込み時に印加する電圧が同じときに、消去状態から

V_{wv} のしきい値電圧に達するのに必要な時間で3桁ほどばらついてしまう。このような条件でメモリセルの書き込みを行なうと、メモリセルの通常特性ばらつきでは、メモリセルのしきい値電圧変化 ΔV_{th1} が0.2V以下となる書き込みパルス(幅、電圧)としておかないとメモリセルによってはしきい値電圧が0V以下となる場合があると考えられる。3桁のばらつきは等価なしきい値電圧のばらつきに換算すると3V程度となる。よって、最も書き込みが速いメモリセルのしきい値電圧が V_{wv} となってから、最も遅いメモリセルのしきい値電圧が V_{wv} となるまでに、1回の書き込みパルスあたりしきい値電圧の変化量は0.2Vの変化であるから単純に計算して15回のパルスの印加が必要となる。このパルス毎にしきい値電圧が所望の値になったかどうかを判定するベリファイ動作が必要となり、これが書き込み時間の大きなオーバーヘッドになる。

10

【0119】

よって、高速に書き込むためには、パルス幅を長くするか電圧を高くするかして、1書き込みパルスあたりの変化量 ΔV_{th1} を大きくする。しかし、これによってメモリセルがデプリートしやすくなる。よって、書き込みレベルを高くする。例えば、 V_{wv} を2.0Vにすると、 ΔV_{th1} を0.4Vにすることができる。上述の3桁のばらつきを仮定すると、3Vのしきい値電圧ばらつきと等価であるから8回のパルスで良いことになる。それだけベリファイ動作の回数が少なくなるので高速に書き込むことができる。即ち、書き込みレベル(書き込み状態のメモリセルのしきい値電圧)を従来は V_{cc} の $1/2$ 以下にしようとしていたのに対して、図26の(b)に示されるように、 V_{cc} の $1/2$ 以上とする。尚、チップが2種類以上の電源電圧をサポートしている時、上述の話は最も低い電源電圧に対してあてはまることになる。

20

【0120】

また、メモリセルの特性は、書き込み時に印加する電圧が同じ時、消去状態から V_{wv} のしきい値電圧に達するのに必要な時間で3桁程ばらつく。3桁のばらつきは、等価なしきい値電圧のばらつきに換算すると3V程度となる。この電圧に換算したばらつきを ΔV_{dv} とする。今回は、消去レベル(消去状態にしきい値電圧レベル)及び書き込みレベル(書き込み状態のしきい値電圧)を相対的に高めとし、1書き込みパルスあたりのしきい値電圧の変化量 ΔV_{th} を大きくし、ベリファイ動作回数を減らした。このとき、しきい値電圧のばらつきを吸収する(小さくする)のに必要なベリファイ動作回数を n とすると、 $n = \Delta V_{dv} \div \Delta V_{th}$ となる。この式から、メモリセルの構造や製造条件や個数などによって決まる ΔV_{dv} が得られたとき、消去レベル及び書き込みレベルからの制限が無いときの ΔV_{th} の効果的な設定方法が決まる。すなわち、 n は整数であるので、 ΔV_{th} を制限可能な刻み幅である0.1V大きくしたときに、 n が1回以上減らない場合は ΔV_{th} をこれ以上大きくしても、書き込み動作速度の向上(書き込みベリファイ回数の低減)という点で意味がないことになる。ここでは、書き込みレベルの制限を外しているとはいえ、 ΔV_{th} を大きくすればするほど、書き込み後のしきい値電圧分布は大きくなり(ばらつきが大きくなり)、デプリートし易くなる。また、移動電荷量も大きくなり、絶縁膜は移動出来る電荷量の累積値が10クーロン程であるから書換え可能回数も少なくなってしまう。これによるならば、 ΔV_{th} は小さい方がよい。よって、 n が1回以上減らない場合には、 ΔV_{th} が最適な値であると考えられる。すなわち、 ΔV_{th} を仮想的に0.1V増やしたとき、ベリファイ回数が1回以上減らなくなったときの ΔV_{th} の値を、粗い書き込みに採用すればよい。尚、書き込みレベルがリードディスクから制限を受けて決まる場合には、書き込みレベルの上限(最大 ΔV_{th} 量)が決定される。

30

40

【0121】

図27は、上記の事柄を消去レベル及び書き込みレベルと1書き込みパルスあたりのしきい値電圧の変化量の点から示したものである。消去時の判定電圧を V_{ev} (ベリファイ時のワード線電圧)とすると、メモリセルのしきい値電圧はこの V_{ev} 以上となる。消去時のしきい値電圧の最大値が V_{t1} である。また、書き込み時の判定電圧を V_{wv} (ベリファイ時のワード線電圧)とすると、メモリセルのしきい値電圧はこの V_{wv} 以下となる。特異なビットを除いた時には、しきい値電圧分布の最

50

低値が V_{t4} である。このとき、 V_{ev} と V_{wv} の間のしきい値電圧をもつメモリセルは存在しない。この V_{ev} と V_{wv} の間をしきい値電圧のセルウインドウと呼ぶ。このセルウインドウの大きさ（ V_{ev} と V_{wv} の電圧差）は、凡そ1 Vである。この間に、読み出し時のワード線電圧を設定する必要がある。

【0122】

この1 V程度のセルウインドウの中を、1書き込みパルスあたりの0.2 V以下の変化量 ΔV_{th1} で消去状態から書き込み状態へ移行していたとき、そのしきい値電圧分布は図26の(a)に示される通りである。これに対して、図26(b)では、セルウインドウの中を $\Delta V_{th1}=0.4V$ 以上で消去状態から書き込み状態へ

移行する。これによって、ベリファイ回数が減るのでオーバーヘッドが少なくなり高速書き込みが可能となる。

10

【0123】

書き込み動作として上記の粗い書き込みを行なうフラッシュメモリの構成についてはその全体的なブロック図を提示しないが、これは、図60のフラッシュメモリの構成において、1回の書き込み電圧パルスの幅の設定、ベリファイ電圧のレベル設定、ワード線選択レベルの設定など、図60に示される回路ブロックの機能を僅かに変えるだけで実現出来るからである。

【0124】

図28にはAND型メモリセルにおける書き込みの意義とNAND型メモリセルにおける書き込みの意義の相違が示される。ここまでの説明では、メモリセルのしきい値電圧を下げる動作を書き込み動作と呼んでいるが、これとは逆に、しきい値電圧が比較的低い状態に揃えられたメモリセルを選択的にしきい値電圧の高い状態にする動作（しきい値電圧を上げる動作）を書き込みと呼ぶこともある。前者においては、メモリセルのしきい値電圧が0V以下になることは許されない。後者においては、NAND型メモリセル構造を例とすれば、同様の条件は、メモリセルのしきい値電圧が V_{pw} 以上となるのが許されないこととなる。 V_{pw} は、読み出し時に非選択メモリセルのワード線に印加する電圧（パスメモリセル用のワード線電圧）である。

20

【0125】

図28に示されるようなしきい値電圧分布の上記AND型メモリセル構造の場合、書き込み時のベリファイ電圧 V_{wv} を2 V又は $1/2 V_{cc}$ 以上とする。図28に示されるようなしきい値電圧分布の上記NAND型メモリセル構造の場合、書き込み時のベリファイ電圧 V_{wv} とパスメモリセル用のワード線電圧 V_{pw} の電圧差を2V以上又は $1/2 V_{cc}$ 以上とする。ちなみに、上述の高精度の書き込みモード（第2の書き込みモード）と粗い書き込みモード（第1の書き込みモード）を有するフラッシュメモリにおいて、図28に示されるようなしきい値電圧分布の上記AND型メモリセル構造の場合、書き込み時のベリファイ電圧 V_{wv} （0 Vとの差である）が2つのモードで異なり、変化量大きい粗い書き込みモードの方を高く設定する。一方、図28に示されるようなしきい値電圧分布の上記NAND型メモリセル構造の場合、ベリファイ電圧 V_{wv} と V_{pw} の電圧差が2つのモードで異なり、変化量大きい粗い書き込みモードの方での差を大きく設定することになる。

30

【0126】

図29にはメモリセルの消去レベル及び書き込みレベルと紫外線照射時のしきい値電圧（熱平衡状態 V_{thi} ）との相関関係を図28のAND型メモリセル構造とNAND型メモリセル構造の場合に分けて示してある。紫外線照射時のしきい値電圧 V_{thi} は、概略的にはフローティングゲートにエレクトロンやホールが平衡状態におけるメモリセルのしきい値電圧を意味する。

40

【0127】

図29の(a), (b)は、 V_{thi} を V_{ev} と V_{wv} との中間に設定したものである。したがってリテンションマージン、リードディスタブマージンが共に満たされる。この状態では、ほぼ同じ時間で消去と書き込みを行うことができる。図29の(c), (d)は V_{thi} を V_{wv} 側に設定したものである。低い印加電圧で高速に書き込みを行うことが

50

できる。但し消去の信頼性が相対的に低くなる。図29の(e), (f)は V_{thi} を V_{ev} 側に設定したものである。図29の(c), (d)とは逆であってリテンションに対して強くなる。

【0128】

〔4. 書込み電圧パルス幅等に対するトリミング〕

図30は最小の書込み電圧パルス幅及び書込み電圧パルス幅の変化の大きさをトリミングできるようにしたフラッシュメモリFMR Y 8の一例が示される。170は書込み電圧印加用パルス列発生手段、171はトリミング手段、172は全体的な制御手段である。同図に示されるフラッシュメモリにおける書込みは、図1で説明したのと同様に、書込み電圧一定で書込み電圧パルス幅を漸次増加させる形式とされる。このフラッシュメモリFMR Y 8の基本的な構成は図60の構成と同じであり、書込み電圧パルス幅に対してトリミング可能にするための手段が新たに追加されている。

10

【0129】

トリミングの対象は二つ有り、第1は、図31に示されるように最小の書込み電圧パルス幅である。即ち、書込み動作における最初の書込み電圧を与える期間である。図31に示されるチップBをチップAと同じパルス幅で最初の書込み電圧印加を行った場合には、実質的にしきい値電圧が殆ど変化されない無駄な書込み及びベリファイを何回も経なければならない、書込み効率が著しく低下する。最小の書込み電圧パルス幅をトリミング可能であれば、プロセスばらつきによるメモリセルの特性の相違を、フラッシュメモリチップ間で揃えること、若しくは最適化することが可能になる。すなわち、メモリセルのしきい値電圧のシフト量は、書込み電圧が同一であっても、プロセスばらつきなどによって微妙に異なることが予想される。このような特性の相違を、フラッシュメモリのウェーハプロセス等の検査工程で調整可能にすることは、高速書込みを可能にする上で重要である。

20

【0130】

トリミング対象の第2は、書込み電圧パルス幅の変化の大きさである。即ち、図32の(a)と(b)に示されるように、パルス幅の漸次増加量をトリミング対象とする。

【0131】

図33には書込み電圧を変化させる方式において、最小電圧絶対値及び変化の大きさをトリミングできるようにしたフラッシュメモリFMR Y 9が示される。180は書込み電圧列発生手段、181はトリミング手段、182は全体的な制御手段である。同図に示されるフラッシュメモリにおける書込みは、図5で説明したのと同様に、書込みパルス幅一定で書込み電圧を漸次増加させる形式とされる。このフラッシュメモリFMR Y 9の基本的な構成は図60の構成と同じであり、書込み電圧に対してトリミング可能にするための手段が新たに追加されている。

30

【0132】

トリミングの対象は二つ有り、第1は、図34に示されるように最小の書込み電圧値 V_A , V_B である。トリミング対象の第2は、図35に示されるように書込み電圧値の漸増幅 ΔV_{WA} , ΔV_{WB} である。

【0133】

図36には上記変化の大きさを途中で変えることができる手段を設けたフラッシュメモリFMR Y 10が示される。190は書込み電圧印加用パルス列発生手段又は書込み電圧列発生手段、191はパルス列設定手段又は電圧列設定手段、192は全体的な制御手段である。このフラッシュメモリFMR Y 9の基本的な構成は図60の構成と同じである。

40

【0134】

例えば書込み電圧一定でパルス幅を漸増させる形式の書込みを行うものである場合、図37の(a)に示される書込み特性で例示されるように、チップ毎に書込み時間に対するしきい値電圧の変化の割合を変えることができる。例えば、図37の(b)に示されるように、直前のパルス幅に対するパルス幅の増加率が r_1 倍であるとき、途中から r_2 倍に変更することができる。また、図37の(c)に示されるように、当初の電圧増加量 V_{r1} を途中から V_{r2} に変更することができる。また、特に図示はしないが、変化の大きさ

50

を途中で変えるとは、途中で変化させなくすること（一定値にする）を含む概念である。

【0135】

図38乃至図42には、図30乃至図32で説明した前記パルス幅をトリミングするための具体的な構成が示されている。図38には前記書込み電圧印加用パルス列発生手段（パルスジェネレータとも称する）170の一例が示され、図39にはトリミング手段171の一例が示され、図40にはトリミング手段に含まれるアドレスジェネレータが示され、図41にはアドレスジェネレータに含まれるトリミング回路の一例が示され、図42にはパルスジェネレータやアドレスジェネレータを構成するカウンタユニットの一例が示される。

【0136】

先ず、図42に示されるカウンタユニットBCにおいて、CLKはクロック入力端子、Ciは下位からのキャリー入力端子、Doはデータ出力端子、Ci+1はキャリー出力端子、Diはプリセットデータ入力端子、Loadはプリセットデータ入力端子からのデータ入力指示信号である。同図には、プリセットデータのロードタイミングと、カウントアップ動作のタイミングも示されている。

【0137】

図38に示されるパルスジェネレータ170は直列接続された所定複数段の前記カウンタユニットBCを有し、クロック入力端子CLKはクロック信号CLK2が共通接続されている。このパルスジェネレータは、プリセットデータを計数値の初期値とする。カウンタユニットBCの各桁出力はAND等の論理ゲートに供給され、このANDゲートの出力が書込み電圧パルスとされる。前記カウンタユニットBCの各桁が全部ビット“1”にされることによってクロックパルスの周期が決定される。したがって、パルスジェネレータのビット数に対して、プリセットデータが小さいほど、書込み電圧パルス幅は大きくされる。

【0138】

図39に示されるトリミング手段は、前記パルスジェネレータ170のプリセットデータを生成する。即ち、ROMのメモリアレイ1710は、パルスジェネレータ170のプリセットデータとして、特に制限されないが、全ビット“0”から全ビット“1”までの値がROMワード毎WD0～WDmに順番に位格納されている。ROMワードの選択はデコーダ1712が行う。選択されたROMワードから読出されるプリセットデータはセン

【0139】

前記デコーダ1712にアドレス信号A0～Ajを供給するアドレスジェネレータ1713は、図40に示されるように、直列接続された所定複数段の前記カウンタユニットBCを有し、クロック入力端子CLKはクロック信号CLK1が共通接続され、また、カウンタユニットBCの間にはトリミング回路1714が配置されている。ロード信号load1はそのハイレベルによってアドレス出力を初期化することができる。

【0140】

トリミング回路1714は図41に示される回路構成を備えている。ヒューズFUS1、FUS2の非切断状態では、前段からのキャリーCi+1(Cix)を後段に、前段からのデータDi(Aix)を桁信号として出力する。一方のヒューズFUS1を切断すると、後段へのキャリー出力Ciと桁信号Aiは常時“1”にされる。ヒューズFUS1、FUS2を切断すると、後段へのキャリー出力Ciは常時“1”、桁信号Aiは常時“0”にされる。したがって、アドレスジェネレータ1713は、ヒューズFUS1、FUS2の切断状態に応じてアドレス信号A0～Ajの任意のビットを“1”又は“0”に固定することができる。したがって、カウンタユニットBCに配置されたトリミング回路1714のヒューズFUS1、FUS2を最下位側から所定個数プログラムすることにより、ROMのメモリアレイ1710から選択するワードの順番を1本置き、2本置き等のように設定することができる。上位側のカウンタユニットBCに配置されたトリミング回路1714のヒューズFUS1、FUS2をプログラムすれば、ROMのメモリアレイ1710から

10

20

30

40

50

最初に選択するワードを任意に指定することができる。これにより、図 30 乃至図 32 で説明したように、前記書込み電圧パルスの最小幅と、漸増幅を任意に設定することができる。

【0141】

図 44 には電源回路をトリミングするための回路構成が示されている。同図に示される電源回路 180 は図 60 の基準電源 84 やチャージポンプ回路 84 に相当される。オペアンプ 181 の反転入力端子（－）には制御信号 B1～Bj によって 0.1 V 刻みで電圧を入力出来るようになっている。電源回路 180 の出力電圧 V は抵抗回路 182 を介してオペアンプ 181 の非反転入力端子（＋）に帰還されている。この抵抗回路 182 は、制御信号 H0～Hi によって帰還抵抗を選択する。オペアンプ 181 や抵抗回路 182 は図 60 の電源制御回路 82 に含まれ、制御信号 B1～Bj は特に制限されないが図 60 の冗長ヒューズトリミング回路 67 から供給され、制御信号 H0～Hi は特に制限されないが図 60 の ROM デコーダ 76 から供給される。

【0142】

図 44 において例えば $V_{cc} = 3V$ 、 $i = 12$ 、 $j = 20$ 、電源回路 180 は負の電位を出力できるものとする。このとき、B10＝ハイレベル、B1～B9＝ローレベル、B11～B20＝ローレベルとするとオペアンプ 181 のリファレンス電圧は 1 V にされる。ここで、フラッシュメモリチップの製品ばらつきによって B10 によって 1 V が印加されない場合、他の信号 B1～B9、B11～Bj を選択することによって 1 V を確実に得ることができる抵抗回路 182 で分圧された電圧 V_a をオペアンプ 181 で比較し、 $V_a > 1$ のときは電源回路 180 を動作させ、 $V_a < 1$ のときは電源回路 180 の動作を停止させる。停止条件は、 $H_k = \text{ハイレベル}$ 、 $H_0 = H_1 = \dots H_{k-1} = H_{k+1} = \dots H_i = \text{ローレベル}$ のとき、 $V + (V_{cc} - V)k / (1 + i) = V_{refxx}$ とされる。 V_{refxx} は信号 Bj で印加される電位である。この式を上記条件で解くと、 $V = (13 - 3k) / (13 - k)$ によって H9 を選択すると $V = -3.5V$ 、H10 を選択すると $V = -5.7V$ 、H11 を選択すると $V = -10V$ とされる。このように信号 Hi を変化させることによって、書込み中に電位を変化させることが可能である。

【0143】

〔5. デジタルスチルカメラなどへの応用〕

上記粗い書込みで記憶されたデータを高精度（含む多値）書込みで書き直す手法を採用したフラッシュメモリをデジタルスチルカメラに応用した場合について説明する。

【0144】

図 45 にはそのようなデジタルスチルカメラが示されている。このカメラによれば、通常の撮影は粗い書込みで高速に行い、書込と書込の間、又はカメラの電源を切ったり、レンズカバーを閉めたりしたときに、粗い書込みで書き込まれているデータを高精度に書込みし直すようにするものである。図 45 において COF で示されるものは、書込みと書込みの間であること、カメラの電源を切ったこと、レンズカバーを閉めたこと（これによって電源を切った状態となる）を検出する検出手段である。レンズからの画像は撮像手段 CCD で検出され、エンコーダ ENC でエンコードされ、入出力回路 IO からメモリカード 191 に与えられる。メモリカード 191 は制御回路 ASIC がメモリチップ M1、M2 の制御などを行う。メモリチップ M1、M2 は前記第 1 の書込みモードと第 2 の書込みモードを有し、書き直し手段 105 を有する図 1 で説明したフラッシュメモリ等である。書き直しの手順は、基本的に図 4 で説明した通りである。書き直しモードの指定（コマンド）は、検出手段 COF の出力によって与えられ、撮影の間などに自動的に行われるようになっている。

【0145】

図 46 には図 45 のデジタルスチルカメラによる書き直し動作の一例が示される。この手順はステップ 192 で管理領域を参照し、高精度書込みがなされていない場合に、粗い書込みデータを高精な書込みで書き直しするものである。その処理はその処理は、カメラカバーを閉じる操作に連動して、先頭アドレスから最終アドレスに対して行われる。管理領域を参照する書き直しの基本的な処理は、図 22～図 25 に基づいて説明した通りで

ある。

【0146】

図47には図45のデジタルスチルカメラによる書き直し動作の別の例が示される。この手順は、今撮影して粗い書込みしか行っていないセクタアドレスの情報が格納される書き直しアドレス格納バッファが設けられている場合に、それに格納されているセクタアドレス情報に基づいて、書き直しデータ領域を取得するものである。

【0147】

書き直しのタイミングは、上記の他に、カメラ又はコンピュータシステムにおいて、メモリカードを抜くと同時に粗い書込みで書き込まれたデータを高精度書込みで書き直しを実行することも可能である。カメラ又はコンピュータシステムで使用中は粗い書込みで高速動作させ、メモリカードをその装置から抜いて保管させておくときはリテンションに優れた高精度書込みとする。

10

【0148】

図48には、メモリカードの引き抜きによるVccの低下を制御回路DTが検知したとき、メモリカード内のコンデンサC1の電荷で書き直しを行うようにしたメモリカードが示される。Vccが低下すると、制御回路DTの制御によってスイッチS1、S21がオフされ、外部のVccから切り離され、制御信号RWに書き直し開始が指示される。そうすると、スイッチS22がオンされ、フラッシュメモリM1、M2に書き直し用の電源が供給される。メモリカードを差し込む時にスイッチS21が遅れてオンすればメモリへの電源供給は遅れない。なお、コンデンサC1は制御回路DTで発生したVccよりも高い高電圧で充電しておいてもよい。

20

【0149】

図49の例は、図48と同様の目的で構成されているが、Vcc'にコンデンサC1を直接接続することで構成を簡単にしている。

【0150】

図50の例も図48と同様の目的で構成されているが、メモリカード内に書き直し動作用の電池193を設けている。

【0151】

図51は図26及び図27で説明した粗い書込みだけを行うフラッシュメモリの応用例システムが示される。図27で説明した粗い書込みだけを行う第1のフラッシュメモリ200はCPU201と第1のバス202で接続されている。このような第1のフラッシュメモリ200は高速書込みが可能であるからCPU201のメインメモリとしての利用に位置付けられている。メモリコントローラ(MC)203を介して第2のフラッシュメモリ204が第2のバス205に接続されている。第2のフラッシュメモリ204は高精度の書込み(含む多値)を行うものであり、例えば、データ保持時間が長いことが要求されるようなファイルメモリとしての利用に位置付けられている。

30

【0152】

図52には前述の各種フラッシュメモリを用いたファイルメモリシステムの一例ブロック図が示されている。90で示されるものは、特に制限されないが、PCカード化されたフラッシュメモリカードであり、ATA(AT Attachment)カードの一種とされる。このフラッシュメモリカード90は特に制限されないがIDE(Integrated Device Electronics)に準拠した標準バス91を介してパーソナルコンピュータ等のコンピュータ99に図示を省略するコネクタを介して着脱自在に装着可能にされる。

40

【0153】

フラッシュメモリカード90は、バスインタフェース部92、ライトバッファ93、ECC回路94、マイクロコンピュータ95、フラッシュメモリ96及び管理テーブルメモリ97を有し、それらは内部バス98に共通接続されている。

【0154】

前記バスインタフェース部92はATAカード等の仕様に準拠するように標準バス91との間でのインタフェース制御を行う。ライトバッファ93は標準バス91から供給され

50

る書込みデータを一時的に蓄えるデータバッファであり、フラッシュメモリ 96 にはライトバッファ 93 に蓄えられたデータが書き込まれる。前記 ECC 回路 94 はフラッシュメモリ 96 に格納されたデータの精度を向上させるためのエラー検出及びエラー訂正機能を有する回路である。前記管理テーブルメモリ 97 は例えばフラッシュメモリや EEPROM のような電氣的に書き換え可能な半導体メモリによって構成され、セクタ管理テーブルと書き換え回数管理テーブルが形成されている。セクタ管理テーブルにはフラッシュメモリ 96 の不良アドレス等が書き込まれる。特にフラッシュメモリの場合、書き込み/消去を繰り返して行なううちにメモリセルの特性が劣化するのでそのようなアドレスを保持することが必要である。書き換え回数管理テーブルはフラッシュメモリ 96 におけるメモリセルの書き換え回数を例えばフラッシュメモリのブロック毎に管理する情報を保有する。フラッシュメモリのメモリセルの特性は所定の書き換え回数の範囲内で保証されている。前記マイクロコンピュータ 95 はフラッシュメモリカード 90 に対するアクセス要求に従ってカード内部を全体的に制御し、例えばフラッシュメモリに対する動作の指示や前記コマンドを発行してフラッシュメモリ 96 をアクセス制御したり管理テーブルメモリ 97 を制御する。

10

【0155】

〔6. 多値書き込み可能なフラッシュメモリの他の例〕

図 6 1 には前記多値書き込みが可能なフラッシュメモリの更に別の例が示される。このフラッシュメモリは、一つのメモリセルに 2 ビットの情報を書き込むこと、即ち 4 値でデータを書き込むことができ、そして当該情報を読み出すことができる。更に、前述したように、2 値でデータの書き込みを高速に行い、その後、2 値のデータを 4 値で書直しすることが可能にされている。

20

【0156】

図 6 1 において 303 で示されるものは、メモリセルアレイであり、センスラッチ回路 304 を挟んで両側に配置されている。図 6 1 では代表的に片側のメモリセルアレイだけが図示されているが、実際には紙面の表裏方向、即ちメモリセルアレイ 303 の深さ方向にもう一つのメモリセルアレイが配置されているものと理解されたい。メモリセルアレイ 303 は、フローティングゲートとコントロールゲートを備えた多数のメモリセルを有し、メモリセルのコントロールゲートはワード線 306 に、メモリセルのドレインはビット線 305 に、メモリセルのソースは図示しないソース線に接続される。ワード線 306 及びビット線 305 は代表的にそれぞれ 1 本ずつ示されている。ワードドライバ 307 はロウデコーダ 308 から出力される選択信号に基づいてワード線を駆動する。ビット線 305 の一端側にはセンスラッチ回路 304 が設けられ、また、ビット線 305 はカラムデコーダ 311 から出力される選択信号に基づいてカラムスイッチ回路で選択され、選択されたビット線がメインアンプ 310 に導通される。図 6 1 においてカラムスイッチ回路はセンスラッチ回路 304 に含まれているものと理解されたい。カラムデコーダ 311 及びロウデコーダ 308 にはアドレスバッファ 313 からアドレス信号が供給される。消去、書き込み、読み出しなどの動作モードに応じて必要とされるワードドライバ 307 等の動作電圧の切換えは電源切換え回路 309 によって行われる。制御回路 312 は図示しないアクセス制御信号やクロック信号 318 を外部から受け、また、データバスなどを介してコマンドが供給される。制御回路 312 はコマンドに従って内部動作を制御する。その制御手法は、特に制限されないが、図 6 0 で説明したフラッシュメモリと同様であり、コマンドのデコード結果に従って ROM をアクセスし、ROM から読出される制御コードをデコードすることによって各種内部制御信号を生成する様になっている。コマンドによってフラッシュメモリに指定される動作モードは、特に制限されないが、前記第 1 の書き込みコマンドによる粗い書き込み、そして前記書直しモードを含んでいる。読み出しや消去動作モードを備えていることは言うまでもない。図 6 1 に示されるフラッシュメモリにおいて、一方のメモリセルアレイ 303 は第 1 の書き込み（粗い書き込み）専用領域とされ、図示を省略した他方のメモリセルアレイは第 2 の書き込み（高精度書き込み）専用領域とされる。書直しモードが指定された場合には、前者メモリセルアレイにおける 2 個のメモリセルのデータが

30

40

50

一単位として、後者のメモリセルアレイの1個のメモリセルに4値の内の一つの値で書込まれる。

【0157】

図61に示されるフラッシュメモリにおける4値書込み技術によって書込みされた一つのメモリセルの情報記憶状態は、消去状態、第1の書込み状態、第2の書込み状態、第3の書込み状態の中から選ばれた一つの状態とされる。全部で4通りの情報記憶状態は、夫々2値の2ビットのデータによって決定される状態とされる。即ち、2ビットのデータを一つのメモリセルに記憶することができる。そのために、書込み動作時にワード線に印加する書込みベリファイ電圧を相互に異なる3種類設定し、これらを順次切り替えて、3回に分けて書込み動作を行い、これら各書込み動作において、書込みを行うメモリセルに接続されたセンスラッチ（センスラッチ回路304に含まれるセンスラッチ）に保持させる2値（1ビット）の書込みデータ“0”または“1”（‘LOW’または‘High’）を、前記3回に分けた書込み動作の各書込み動作毎に制御する、書込みデータ変換回路301を設け、一つのメモリセルに4値（2ビット）の情報を書込む。また、読出し動作時にワード線に印加するワード線選択レベルとしての電圧を3種類設定し、3回の読出し動作でメモリセルから読み出される夫々2値（1ビット）のデータをセンスラッチ回路304を介して取り込み、3回の読出し動作終了後に2ビットで4値の情報に変換する読み出しデータ変換回路302を備える。

10

【0158】

書直しモードでは、メモリセルから2ビットで合計4値データを読み出し、これを前記書込みデータ変換回路301を通して1ビットで4値のデータとして、4値専用のメモリセルアレイに書込む。

20

【0159】

図61を用いて、4値データの書込み動作及び4値データの読み出し動作について、その概要をまず述べる。

【0160】

4値書込み動作は書き込む2値（1ビット）のデータ列をDin16からメインアンプ310で増幅して書込みデータ変換回路1へ信号線317を通して送る。この書込みデータ変換回路301は、書き込む2値（1ビット）のデータ列を、例えば奇数ビット、偶数ビットに分離してメモリセルアレイ303中の非選択のメモリセルに接続されるセンスラッチ（非選択センスラッチと言う）に信号線318を通して転送し、一時的にラッチさせる。そのような非選択センスラッチはデータバッファとして兼用される。そして、書込みデータ変換回路1は、「書込み1（第1の書込み状態を得るための書込み動作）」、「書込み2（第2の書込み状態を得るための書込み動作）」、「書込み3（第3の書込み状態を得るための書込み動作）」の各動作毎に、非選択センスラッチが保持しているデータを信号線318を通して取り込み、それを、「書込み1」、「書込み2」、「書込み3」に応じて、選択されたメモリセルに書き込む4値（2ビット）のデータに対応した2値（1ビット）のデータ“0”または“1”（‘Low’または‘High’）に変換し、変換したデータを信号線318を通して、選択されたメモリセルに接続されたセンスラッチ回路304の中のセンスラッチ（選択センスラッチと言う）に転送し、これにラッチされた2値データに従って、前記「書込み1」、「書込み2」、「書込み3」の各書込み動作が行われる。

30

40

【0161】

こうして、奇数ビット、偶数ビットに分けられた2値のデータを、非選択となるメモリセルのセンスラッチに一時的に保持させて、ベリファイ電圧の異なる3回の書込み動作（「書込み1」～「書込み3」）毎に、書込み変換回路301を用いて2値（1ビット）の書込みデータを合成し、ベリファイ電圧がそれぞれ異なる書込み動作を行うことによって、一つのメモリセルに4値（2ビット）の情報を書き込むことができる。

【0162】

読出し動作では、異なる3種類の電圧が順番にワード線306に印加され、各3回の読

50

み出し動作によってメモリセルアレイ 303 中のメモリセルから選択センスラッチに読み出される 2 値 (1 ビット) の情報 “0” または “1” (‘Low’ または ‘High’) は、それぞれ異なる非選択センスラッチに転送されて、一時的に保持される。3 回の読み出し動作によって読み出され、選択センスラッチから非選択センスラッチに転送されて、ラッチされた 3 種類の 2 値 (1 ビット) のデータ “0” または “1” (“Low” または “High”) は、信号線 319 を通して読出しデータ変換回路 302 に転送される。読み出しデータ変換回路 302 は、そのようにして転送されたデータに基づいて、4 値 (2 ビット) のデータの上位ビット、下位ビットを合成する。読み出しデータ変換回路 302 は、合成された上位ビット及び下位ビットを交互に出力させて 2 値 (1 ビット) のデータ列とし、これが、メインアンプ 310 で増幅されて、Dout 317 から出力される。

10

【0163】

図 6 2 には図 6 1 に示されたフラッシュメモリのメモリセルアレイ 303 及びセンスラッチ回路 304 に係る回路構成の一部が代表的に示されている。図 6 2 に示される構成は、センスラッチ SL を挟んでビット線 BL の反対側にもビット線 BL a が配置されている。特に制限されないが、ビット線 BL a はビット線 BL と 1 対 1 対応で設けられている。アクセスに際しては、相互に一方が他方のリファレンス用ビット線として用いられ、何れがリファレンス用のビット線とされるかは、アクセス対象とされるメモリセルの配置によって相対的に決定される。それに関する制御は前記制御回路 312 が行うことになる。

【0164】

図 6 2 において、N1～N8、N1a～N8a は NMOS スイッチ、SL はセンスラッチ、MC、MCa はメモリセル、VCC は電源電圧、VWL はメモリセルの基板電圧、GND は接地電位、WL、WL a はワード線、BL、BL a はビット線、S、Sa は共通ソース線、DDC、DDCa はビット線をディスチャージするための制御信号線、SiS、SiSa はそれぞれメモリセル MC、MCa のソース側を共通ソース線 S、Sa に接続する制御信号線、RPC、RPCa は読出し動作時にビット線をプリチャージする制御信号線、PC、PCa は書込みベリファイ動作時にビット線をプリチャージする制御信号線、TR、TRa はビット線とセンスラッチを接続する制御信号線、IOT、IOB は入出力線、YG はセンスラッチと入出力線を接続する制御信号線、PP、PN はそれぞれ、センスラッチ SL の PMOS トランジスタ、NMOS トランジスタの動作電源を表す。

20

【0165】

前記ビット線 BL、BL a は、特に制限されないが、アルミニウム配線によって形成され、1 本のビット線 BL、BL a には、特に制限されないが、メモリセルの直列回路が配置され (図 6 2 にはメモリセルの直列回路は 1 本のビット線に対して 1 本が代表的に示されている)、当該複数個のメモリセルの直列回路の中から一つを対応するビット線に導通させるために NMOS スイッチ N2、N2a が設けられている。前記 NMOS スイッチ N2、N2a は制御信号 SiD、SiDa によってスイッチ制御される。

30

【0166】

以下、上に述べた 4 値書込み動作、4 値読出し動作についての詳細を説明する。以下では、専ら 4 値書込みと 4 値読み出しについて説明する。この内容が理解されれば、書き直しの動作では、2 値で書込まれたデータをメモリセルアレイから読出して前記書込み変換回路 301 を用いて 4 値書込みを行えばよいことを理解することができる。この時の 4 値書込みアドレスは前述のフラッシュメモリの例からも明らかなように内部で生成すればよい。例えば 2 値書込み領域か 4 値書込み領域かを指示するアドレスビット (例えば最上位ビット) だけを変更して、最初の 2 値書込みデータの読み出しアドレスを流用することができる。

40

【0167】

《1》書込み動作

図 6 3 から図 7 3 を参照しながら書込み及び書込みベリファイのための構成と作用を詳細に説明する。図 6 3 には書込みベリファイ時にワード線に印加する電圧と、4 値 (2 ビット) の情報が書き込まれたメモリセルのしきい値電圧の分布の関係を示す。この場合のメモリセルのしきい値電圧とメモリセルに書込まれた 4 値 (2 ビット) の情報の対応づけ

50

は、しきい値電圧が一番高い V_{th0} の状態（メモリセルの消去状態）を情報“00”が書込まれた状態とし、しきい値電圧が二番目に高い V_{th1} の状態を情報“01”が書込まれた状態、しきい値電圧が三番目に高い状態 V_{th2} の状態を情報“10”が書込まれた状態、しきい値電圧が一番低い V_{th3} の状態を情報“11”が書込まれた状態としている。

【0168】

一つのメモリセルに4値（2ビット）の情報を記憶させるには、メモリセルのしきい値電圧の分布を図63の様に、4極化すればよい。書込み動作及びそれに続く書込みベリファイ動作によって、メモリセルのしきい値電圧の分布を制御するために、書込みベリファイ電圧を図63の4個のメモリセルのしきい値電圧 V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3} に対して、 $V_{th0} > V_{v1} > V_{th1}$ 、 $V_{th1} > V_{v2} > V_{th2}$ 、 $V_{th2} > V_{v3} > V_{th3}$ を満たす3種類の電圧 V_{v1} 、 V_{v2} 、 V_{v3} として、書込みベリファイ動作時にワード線に印加する。図64にそのワード線印加電圧の例を示してある。図64中の「書込み1」、「書込み2」、「書込み3」の各動作は全て、一回の書込みと一回の書込みベリファイ動作の2つを表している。「書込み1」の動作によって、4値データ“01”、“10”、“11”を書込みたいメモリセルのしきい値電圧を V_{v1} より低くし、「書込み2」の動作によって、4値データ“10”、“11”を書込みたいメモリセルのしきい値電圧を V_{v2} より低くし、「書込み3」の動作によっては、4値データ“11”を書込みたいメモリセルのみのしきい値電圧を V_{v3} より低くする。「書込み1」～「書込み3」の各動作について以下に示す。

【0169】

「書込み1」、「書込み2」、「書込み3」の各動作は「書込み1」の動作の前に消去動作を行なう点と、書込みベリファイ時にワード線に印加する電圧が異なる2点を除き、図62に代表的に示された回路の動作は共通である。そこでまず、「書込み1」～「書込み3」の書込み及び書込みベリファイ動作における共通の動作について、図62を用いて説明する。

【0170】

メモリセルMCに書き込む場合は非反転側の入出力線IOTをハイレベル（以下単に‘High’とも記す）、反転側の入出力線IOBをローレベル（以下単に‘Low’とも記す）にする。全ての動作において、IOTとIOBは常にコンプリメンタリ信号となる。そして、制御信号線YGを選択レベルに立ち上げて、NMOSスイッチN8とN8aをオンさせる。これによってセンスラッチSLに、‘High’のデータがラッチされる。このとき、センスラッチSLのノードA側は‘High’、ノードAa側は‘Low’となる。次に、センスラッチSLのPMOSTランジスタ側の電源電圧PPを電源電圧VCCから例えば4〔V〕に上げ、制御信号線PC線と制御信号線PCaを選択レベルに立ち上げてNMOSスイッチN5とN5aをオンさせる。このとき、センスラッチSLに‘High’がラッチされているから、センスラッチSLのノードA側が‘High’で、NMOSスイッチN7がオンし、NMOSスイッチN5を通してビット線BLが4〔V〕にプリチャージされる。一方、センスラッチSLのノードAa側は‘Low’であるから、NMOSスイッチN7はオフの状態、ビット線BLaはプリチャージされず、ビット線BLaは0〔V〕とされる。この後、制御信号線PCとPCaの電圧が非選択レベルにされて、NMOSスイッチN5とN5aがオフされ、次いで、制御信号線SIDが立ち上げられ、NMOSスイッチN2がオン状態にされる。そして、ワード線WLに例えば9〔V〕が印加され、制御信号線TR、TRaが選択レベルに立ち上げられてNMOSスイッチN6、N6aがオン状態にされ、これによってメモリセルMCに書込みが行われる。このときメモリセルMCの基板電圧VWELは例えば0〔V〕にされる。この後、ワード線WLが0〔V〕にされ、制御信号線TR、TRaの電圧が非選択レベルに立ち下げられてNMOSスイッチN6、N6aがオフにされ、その後で、制御信号線DDC、DDCaが選択レベルに立ち上げられてNMOSスイッチN1、N1aがオンにされることにより、書込み対象とされたビット線BLとリファレンス側のビット線BLaがディスチャージさ

れ、これらビット線BL、BLaの電位が0〔V〕に初期化される。そして、制御信号線DDC、DDCaの電圧が非選択レベルに立ち下げられてNMOSスイッチN1、N1aがオフ状態にされてから、次に示す書込みベリファイ動作が行なわれる。

【0171】

書込みベリファイ動作ではまず、センスラッチSLのPMOSトランジスタ側の電源PPの電圧が電源電圧VCCとされ、制御信号線PC線が選択レベルに立ち上げられて、NMOSスイッチN5がオン状態にされる。このとき、上記書込み動作で記したように、センスラッチSLに情報“1”（‘High’）がラッチされていると、NMOSスイッチN7がオンし、ビット線BLはプリチャージされるが、情報“0”（‘Low’）がラッチされている場合はNMOSスイッチN7はオフであるからビット線BLはプリチャージされない。また、制御信号線RPCaが選択レベルに立ち上げられてNMOSスイッチN4aがオン状態にされて、リファレンス側のビット線BLaがビット線BLよりも低い電圧にプリチャージされる。次に、制御信号線PC、RPCaの電圧が共に非選択レベルに立ち下げられてNMOSスイッチN5、N4aがオフ状態に反転された後、センスラッチSLのPMOSトランジスタ側の電源PPがVSS（接地電位のような低電位側の電源電圧）に、NMOSトランジスタ側の電源PNがVCC（高電位側の電源電圧）にされて、センスラッチSLがディスチャージされる。次いで、制御信号線SiDとSiSが選択レベルに立ち上げられて、NMOSスイッチN2とN3がオン状態にされ、ワード線WLにベリファイ電圧Vv1、Vv2、Vv3の何れか一つが印加される。このとき、ソース線SとメモリセルMCの基板電圧VWLは0〔V〕にされる。前記書込み動作により、メモリセルMCのしきい値電圧がワード線の選択レベルよりも低い状態になっている場合にはメモリセルMCがオンし、ビット線BLからソース線S側に電流が流れ、ビット線BLの電位が下がる。一方、書込み動作でメモリセルMCのしきい値電圧がワード線の選択レベルよりも低い状態になっていない場合にはメモリセルMCはオン状態にされず、ビット線BLの電位は下がらない。ワード線の電圧を0〔V〕に戻してから、制御信号線SiD、SiSの電圧を下げてNMOSスイッチN1とN3をオフさせ、制御信号線TRとTRaを選択レベルに立ち上げてNMOSスイッチN6とN6aをオンさせ、センスラッチSLのPMOSトランジスタ側の電源PPをVCCに、NMOSトランジスタ側の電源PNをVSSにしてセンスラッチSLを活性化し、これによってセンスラッチSLは、ビット線BLとリファレンス側のビット線BLaとの電位差を増幅する。このとき、メモリセルMCがオン状態にされていたなら、ビット線BL側の電位が下がり、リファレンス側のビット線BLaに対してレベルが低くなったとき、センスラッチSLにラッチされた‘High’は‘Low’に反転する。メモリセルがオフであった場合にはビット線BLaの電位が下がらず、リファレンス側のビット線BLaに対してレベルが高くなっているため、センスラッチSLにラッチされた‘High’は‘High’のまま反転しない。このベリファイ動作によって、センスラッチSLにラッチされた‘High’が‘Low’に反転するまで、書込み動作と、書込みベリファイ動作が繰り返される。上記書込み及び書込みベリファイの各動作制御は制御回路312によって行われる。

【0172】

次に、メモリセルMCへの4値（2ビット）の書込みにおけるメモリセルのしきい値電圧の制御方法について説明する。この制御方法は、後述の書込みデータ変換回路301により、3回の書込み動作に従い、非選択のセンスラッチを用いて順次書き込む4値（2ビット）のデータに対応した2値（1ビット）の信号“0”または“1”（‘Low’または‘High’）に変換することによって、以下に示すように一つのメモリセルに4値（2ビット）の書込みを可能とする。

【0173】

今、図65のように一本のワード線WLに接続する4個のメモリセルMC1、MC2、MC3、MC4のそれぞれに、4値のデータ“00”、“01”、“10”、“11”を書き込む場合を考える。これら4値のデータ“00”、“01”、“10”、“11”は1ビットのデータ列“00011011”を2個ずつ区切ったものである。通常この8個

10

20

30

40

50

【 0 1 7 4 】

【 0 1 7 5 】

【 0 1 7 6 】

【 0 1 7 7 】

【 0 1 7 8 】

図 6 4 のワード線電圧印加の例では、それぞれの段階（「書込み 1」～「書込み 3」）

での書込み動作後の書込みベリファイ動作を一回行って、所要のしきい値電圧を得られた場合である。ワード線への書込み電圧の印加形式は図64の他に、図70や図71に示される方式を選択できる。図70の方式は、1回の書込み電圧の印加時間即ち書込みパルス幅を徐々に大きくする制御を意味する。図71の方式は、1回の書込みパルス幅は一定とし、そのときの書込み電圧レベルを徐々に大きく制御しようとするものである。

【0179】

次に、2値（1ビット）の書込みデータ列から、「書込み1」～「書込み3」における4値（2ビット）書込みのための2値データW1T～W3T、およびそのコンプリメンタリ信号W1B～W3Bへの変換方式について説明する。

【0180】

図72には2値（1ビット）の書込みデータ列を奇数、偶数ビットに分離する回路の一例が示される。同図に示される回路の特長は、書き込むべき2値のデータ列をDT、DBのコンプリメンタリ信号に分離した後で、互いに半周期ずれたクロック信号CLK1、CLK2によって、奇数ビットのWOT、WOB（WOTとWOBは互いにコンプリメンタリ信号）、偶数ビットのWET、WEB（WETとWEBは互いにコンプリメンタリ信号）に分離するという点である。

【0181】

図73を用いて図72に示される回路の動作を説明する。図73にはフラッシュメモリのデータ入力端子（Din）16に2値（1ビット）の書込みデータ列が“1”、“1”と連続して（‘High’，‘High’と連続して）入力された場合が一例として示され、この入力された書込みデータ列がインバータ回路INV1、INV2によりDT、DBのコンプリメンタリ信号に分離され、分離された信号DT、DBは、互いに半周期ずれたクロック信号CLK1、CLK2に同期されて、それぞれ互いにコンプリメンタリ信号の組WOT、WOB（奇数ビット）、WET、WEB（偶数ビット）が形成される。この例においてコンプリメンタリ（相補）信号に変換するのは、前記センスラッチSLの入力が差動若しくは相補信号とされていることに応ずるものであり、必ずしもそれに限定されるものではない。

【0182】

図74には、そのように偶数ビットと奇数ビットに分離された相補データを用いて4値書込みを行うための回路構成が示される。同図に示される構成は、図1のメモリセルアレイ303、センスラッチ回路304、書込み変換回路301、読出し変換回路302に対応される構成例である。特に制限されないが、メモリセルアレイ303は4個に分割されたメモリアレイ303A～メモリアレイ303Dによって構成され、センスラッチ回路304は4個に分割されたセンスラッチ回路304A～センスラッチ回路304Dによって構成され、書込み変換回路301は4個に分割された書込み変換回路301A～書込み変換回路301Dによって構成される。アクセスは、4個のメモリアレイ303A～303Dの中から選ばれた1個のメモリアレイに対して行われるものとする。前記コンプリメンタリ信号WOT、WOB、WET、WEBの信号線は、スイッチSW1a～SW4aを介して書き込み変換回路301Aに、スイッチSW1b～SW4bを介して書き込み変換回路301Bに、スイッチSW1c～SW4cを介して書き込み変換回路1Cに、スイッチSW1d～SW4dを介して書き込み変換回路301Dに接続されている。また、入出力線IOTa、IOBaに結合された書込み変換回路301Aとセンスラッチ回路304AはスイッチSBa、STaを介して前記コンプリメンタリ信号WOT、WOBの信号線に接続可能にされ、入出力線IOTd、IOBdに結合された書込み変換回路1Dとセンスラッチ回路4DはスイッチSBd、STdを介して前記コンプリメンタリ信号WOT、WOBの信号線に接続可能にされる。同様に、入出力線IOTb、IOBbに結合された書込み変換回路301Bとセンスラッチ回路304BはスイッチSBb、STbを介して前記コンプリメンタリ信号WET、WEBの信号線に接続可能にされ、入出力線IOTc、IOBcに結合された書込み変換回路1Cとセンスラッチ回路304CはスイッチSBc、STcを介して前記コンプリメンタリ信号WET、WEBの信号線に接続可能にされる

10

20

30

40

50

。また、センスラッチ回路 304A～センスラッチ回路 304Dは、スイッチ SRTa, SRBa, SRTb, SRBb, SRTc, SRBc, SRTd, SRBdを介して相互にラッチ信号の授受を行うことができる。前記各スイッチの制御は制御回路 12によって行われる。また、各センスラッチ回路 304A～304Dはスイッチ SOTa, SOB a, SOTb, SOBb, SOTc, SOBc, SOTd, SOBdを介して読み出し変換回路 2に接続可能にされている。

【0183】

図 74に示される回路は、1つの選択されたメモリアレイに4値（2ビット）の情報を書込むために、図 72の分離回路によって、奇数ビットと偶数ビットに分離された信号を、2つの非選択メモリアレイに接続するセンスラッチ回路にラッチさせて一時的に保持させ、「書込み1」～「書込み3」の各動作において、選択されたメモリアレイに設けられた書込み変換回路を用いて「書込み1」～「書込み3」に対応される2値データW1T～W3T及びそのコンプリメンタリ信号W1B～W3Bを合成して、選択メモリアレイのセンスラッチ回路 304にラッチさせて書込みを行うものである。

【0184】

例えばメモリアレイ 303Aを選択メモリアレイとし（メモリアレイ 303B～303Dは非選択メモリアレイ）、この選択メモリアレイ 303Aに含まれるメモリセルに書き込みを行なう場合を考える。図 69に示した回路によって分離された奇数ビットWOT, WOBをスイッチ STd, SBdを閉じて、センスラッチ回路 304Dに保持させ、偶数ビットWET, WEBをスイッチ STb, SBbを閉じてセンスラッチ回路 304Bに保持させる。偶数ビットはセンスラッチ回路 304Cに保持させても良いが、ここではセンスラッチ回路 304Bに保持させた場合について、以下説明する。「書込み1」～「書込み3」の各動作において、センスラッチ回路 304Dに保持された奇数ビットの情報WOT, WOBと、センスラッチ回路 304Bに保持され偶数ビットの情報WET, WEBを、選択メモリアレイ 301Aの書込み変換回路 301Aにスイッチ STd, SBd, STb, SBbとSW1a～SW4aを閉じて転送する。転送を受けた書込み変換回路 301Aは、4値（2ビット）の情報をメモリセルに書込むための2値（1ビット）のデータ“0”または“1”（‘High’または‘Low’）に変換して選択メモリアレイ 303Aのセンスラッチ回路 304Aにラッチさせて書込み及び、書込みベリファイを行なう。書込み変換回路 301A～301Dが行うデータ合成のための回路構成と動作例を次に説明する。

【0185】

図 75には書込み変換回路が備える書込みデータ合成回路の一例が示される。図 74の書込み変換回路 301A～301Dは全てこの図 75に示した回路によって実現されている。同図に示される書込みデータ合成回路は、2ビットのコンプリメンタリ信号の内の非反転データWOT, WETを合成してセンスラッチ SLの入出力線 IOTに与えるデータW1T～W3Tを「書込み1」～「書込み3」に対応してそれぞれ合成する回路部分 400と、2ビットのコンプリメンタリ信号の内の反転データWOB, WEBを合成してセンスラッチ SLの入出力線 IOBに与えるデータW1B～W3Bを「書込み1」～「書込み3」に対応してそれぞれ合成する回路部分 401とに大別される。回路部分 400は、2ビットのコンプリメンタリ信号の内の非反転データWOT, WETに基づいて、「書込み1」のときはモード信号MWD1によって選択された信号パスを介してデータW1Tを形成し、「書込み2」のときはモード信号MWD2によって選択された信号パスを介してデータW2Tを形成し、「書込み3」のときはモード信号MWD3によって選択された信号パスを介してデータW3Tを形成する。回路部分 401は、2ビットのコンプリメンタリ信号の内の反転データWOT, WETに基づいて、「書込み1」のときはモード信号MWD1によって選択された信号パスを介してデータW1Bを形成し、「書込み2」のときはモード信号MWD2によって選択された信号パスを介してデータW2Bを形成し、「書込み3」のときはモード信号MWD3によって選択された信号パスを介してデータW3Bを形成する。「書込み1」においては、選択されたメモリアレイのセンスラッチ SLの入出

10

20

30

40

50

力線 I O T, I O B にはデータ W 1 T, W 1 B が与えられて書込み及び書込みベリファイが行われ、「書込み 2」においては、選択されたメモリアレイのセンスラッチ S L の出力線 I O T, I O B にはデータ W 2 T, W 2 B が与えられて書込み及び書込みベリファイが行われ、「書込み 3」においては、選択されたメモリアレイのセンスラッチ S L の出力線 I O T, I O B にはデータ W 3 T, W 3 B が与えられて書込み及び書込みベリファイが行われる。選択側の書込み変換回路 3 0 1 A には、「書込み 1」～「書込み 3」の夫々において、W O T, W E T が非選択側のセンスラッチ回路 3 0 4 D から、W O B, W E B が非選択側のセンスラッチ回路 3 0 4 C から与えられる。

【0186】

図 7 6 の (A), (B), (C) には図 7 5 に示されるデータ合成回路によって得られる出力結果が示されている。「書込み 1」を行なう場合は、図 7 5 の信号 M W D 1 を ' H i g h ' にする。同様に、「書込み 2」、「書込み 3」を行なう場合はそれぞれ信号 M W D 2, M W D 3 を ' H i g h ' にする。図 7 6 の (A), (B), (C) に示された I O T, I O B の出力は、「書込み 1」から「書込み 3」の動作において、外部からの書込むべき 2 値のデータ列 (“ 0 ” “ 0 ”, “ 0 ” “ 1 ”, “ 1 ” “ 0 ”, “ 1 ” “ 1 ”) に対して図 6 7 乃至図 6 9 に示した書込み 2 値データ W 1 T ~ W 3 T に対応される。

【0187】

同様に、他のメモリアレイに書込みを行なう場合は、奇数ビット、偶数ビットに分けられたデータを非選択となるアレイのうちの 2 つのセンスラッチ回路にデータを一時的に保持させて、書込みの時に、保持されたデータを選択メモリの書込み変換回路に転送し、書込みデータを合成して、選択メモリアレイのセンスラッチ回路にラッチさせればよい。

【0188】

尚、図 7 2 に示される偶数、奇数ビットに分離する回路と図 7 5 に示されるデータ合成回路は書込みデータ変換回路 1 に含まれている。

【0189】

《2》読出し動作

次に、一つのメモリセルに格納された 2 ビット分の情報を読み出すための構成を詳細に説明する。まず、一つのメモリセルに書き込まれた 2 ビット (4 値) のデータを読出し、1 ビット (2 値) のデータ列に変換するための構成を図 7 7 乃至図 8 6 をも参照しながら説明する。

【0190】

前記項目《1》の書込み動作によって、図 7 7 のように、4 極化されたメモリセルのしきい値電圧に対して、この例では、読出し動作時にワード線に印加する電圧を、図 7 7 に示す様な $V_{th0} > V_{r1} > V_{th1}$, $V_{th1} > V_{r2} > V_{th2}$, $V_{th2} > V_{r3} > V_{th3}$ をそれぞれ満たす電圧 V_{r1} , V_{r2} , V_{r3} とする。そのときにワード線に印加する電圧の例を図 7 8 に示す。ワード線に電圧 V_{r1} を印加して読出しを行なう動作を「読出し 1」とし、同様に電圧 V_{r2} , V_{r3} を印加して読出しを行なう動作をそれぞれ、「読出し 2」、「読出し 3」と称する。このように読み出し動作を 3 回行うことは、メモリセルに書込まれた 4 値 (2 ビット) の情報を「読出し 1」～「読出し 3」の各読み出し動作毎に、2 値 (1 ビット) の情報として読み出すことに他ならない。

【0191】

前記「読出し 1」～「読出し 3」におけるメモリアレイ、センスラッチ回路を含む要部回路の動作は共通であるので、図 6 2 に基づいて先ずその共通部分についての読出し動作を説明する。

【0192】

データ読出しに際しては先ず、センスラッチ S L の P M O S トランジスタ側の電源 P P を接地電位 V S S に、N M O S トランジスタ側の電源 P N を電源電圧 V C C にする。この後、制御信号線 R P C, S i D を選択レベルに立ち上げてそれぞれ、N M O S スイッチ N 4, N 2 をオン動作させて、選択されたメモリセル M C に接続するビット線 B L とノード A 側を例えば 1 V にプリチャージし、同時に制御信号線 R P C a を選択レベルに立ち上げ

てそれぞれ、NMOSスイッチN4aをオンさせて、リファレンス側のノードAaを例えば0.5[V]にプリチャージする。次に、制御信号線RPC、RPCaの電圧を非選択レベルに下げてNMOSスイッチN4、N4aをオフ状態にしてから、制御信号線SiSを選択レベルに立ち上げ、NMOSスイッチN3をオン状態に、そして、ソース線St、メモリセルの基板電圧VWE Lを0[V]とし、ワード線に読出し電圧を印加する。この時、メモリセルMCのしきい値電圧がワード線に印加された電圧よりも低い場合は、メモリセルMCがオン状態にされて、ビット線BL側からソース線側に電流が流れ、ビット線BLとノードA側の電圧が低下する。一方、メモリセルMCのしきい値電圧がワード線に印加された電圧よりも高い場合は、メモリセルMCはオン動作せず、メモリセルには電流は流れないからビット線BLとノードAの電圧は下がらない。そして、ワード線WLの電圧を0[V]にし、制御信号線SiD、SiSの電圧を非選択レベルに下げてそれぞれ、NMOSスイッチN2、N3をオフさせた後、制御信号線TR、TRaを選択レベルに立ち上げて、NMOSスイッチN6、N6aをオン動作させ、次いで、センスラッチSLのPMOSTランジスタ側の電源PPをVCCに、NMOSTランジスタ側の電源をVSSにし、ノードAとリファレンス側のノードAaの電圧差を増幅する。増幅動作が確定するタイミングをもって制御信号線YGを選択レベルに立ち上げて、NMOSスイッチN8、N8aをオン動作させることにより、センスラッチSLが保持している情報が、入出力線IOT、IOBに出力される。入出力線IOT、IOBには互いにコンプリメンタリ信号が出力される。

10

【0193】

20

次に「読出し1」～「読出し3」の各動作におけるメモリセルに書き込まれた4値(2ビット)の情報の読出しについて図76の場合を一例として説明する。図76においては、一本のワード線WLに接続した4個のメモリセルMC1～MC4に、“00”、“01”、“10”、“11”のそれぞれ4値(2ビット)のデータが書き込まれている場合を想定する。これらの4個の値は、すでに述べた書込み動作により、2値(1ビット)のデータ列“00011011”が2個ずつ区切られて“00”、“01”、“10”、“11”として、それぞれメモリセルMC1～MC4に記憶されたものである。また、SL1～SL4はそれぞれメモリセルMC1～MC4に接続されたセンスラッチを表す。この例では、簡単なセンスラッチの構成により一つのメモリセルに記憶された多値(4値)の読み出しが実現できる。

30

【0194】

図80は「読出し1」の動作によって、メモリセルMC1～MC4のしきい値電圧とワード線に印加する読出し電圧Vr1との関係及び、メモリセルMC1～MC4から読み出され、センスラッチSL1～SL4にラッチされる2値(1ビット)のデータR1Tの、“0”又は“1”(‘High’又は‘Low’)を示した図である。同様に図61、図82もそれぞれメモリセルMC1～MC4のしきい値電圧とワード線に印加する読出し電圧Vr2、Vr3との関係及び、「読出し2」、「読出し3」の各動作によって、メモリセルMC1～MC4から読み出され、センスラッチSL1～SL4にラッチされる2値(1ビット)のデータR2T、R2Tを示した図である。前述の図74の構成から成るフラッシュメモリについて、これら2値(1ビット)の情報が圧縮され、4値(2ビット)の情報が記憶されたメモリセルから読み出される2値(1ビット)のデータR1T～R3T、及びそのコンプリメンタリ信号R1B～R3Bから、メモリセルに4値のデータとして圧縮されて記憶される前の2値(1ビット)の情報へ変換する手法を説明する。

40

【0195】

図74の選択メモリアレイ303Aの情報を読み出す場合を一例として説明する。「読出し1」の動作によって、読み出された2値(1ビット)のデータR1T及び、そのコンプリメンタリ信号R1Bはセンスラッチ回路304Aから、スイッチSRTa、SRBa、SRTb、SRBbを閉じてセンスラッチ回路303Bへ転送され、それによってセンスラッチ304BはデータR1T、R1Bを保持する。それらのスイッチSRTa、SRBa、SRTb、SRBbを開いた(オフした)後、「読出し2」の動作が行われる。「

50

読み出し 2」の場合には、スイッチスイッチ SRTa, SRBa, SRTc, SRBc が閉じられる（オンされる）ことにより、選択メモリアレイ 3A から読み出された 2 値（1 ビット）のデータ R2T, R2B は、センスラッチ回路 304A からセンスラッチ 304C へ転送され、これによってセンスラッチ回路 304C はデータ R2T, R2B を保持する。この後、これらのスイッチを開いてから、「読み出し 3」の動作を開始して、2 値（1 ビット）のデータ R3T, R3B を読み出し、センスラッチ 304A に保持させる。3 個のセンスラッチ回路 304A, 304B, 304C に保持された 3 個の読み出しデータはスイッチ SOTa, SOB a, SOTb, SOB b, SOTd, SOB d を介して読み出し変換回路 302 に与えられる。読み出し変換回路 302 は、そのデータを 1 ビットずつのデータ列に変換若しくは復元する。

10

【0196】

図 83 には「読み出し 1」～「読み出し 3」の動作によって読み出された 2 値（1 ビット）のデータ R1T～R3T 及びそのコンプリメンタリ信号 R1B～R3B から、メモリセルに記憶されていた 4 値（2 ビット）のデータ“00”、“01”、“10”、“11”に変換する回路例が示されている。

【0197】

同図に示される読み出しデータ合成回路は、入出力線 IOT 側の回路部分 400 と入出力線 IOB 側の回路部分 401 に大別される。回路部分 400 は、「読み出し 1」～「読み出し 3」の 3 回の読み出しによって得られた非反転信号 R1T～R3T に基づいて、2 ビットの非反転信号 YT, XT を並列的に形成する。回路部分 401 は、「読み出し 1」～「読み出し 3」の 3 回の読み出しによって得られた反転信号 R1B～R3B に基づいて、2 ビットの反転信号 YB, XB を並列的に形成する。即ち、この読み出しデータ合成回路は、センスラッチ回路 304A, 304B, 304C から転送されるデータ R1T, R2T, R3T とそのコンプリメンタリ信号 R1B, R2B, R3B を 4 値（2 ビット）のデータ列に変換する。XT は 4 値（2 ビット）のデータの上位ビットを、YT は下位ビットを表す。XB, YB はその信号のコンプリメンタリ信号である。例えば、4 値のデータが“10”の場合、上位ビットは“1”、下位ビットは“0”となる。

20

【0198】

図 84 には前記「読み出し 1」～「読み出し 3」によって得られたデータ R1T～R3T（R1B～R3B）とそれによって得られる合成出力 XT, YT（XB, YB）との関係が示されている。

30

【0199】

前記読み出しデータ合成回路で得られた上位ビットの XT, XB、下位ビットの YT, YB は、図 85 に示される回路で、交互に選択されて 2 ビットのデータとして出力される。図 85 に示される回路は、クロック信号 CLK3 に同期させて、上位ビット XT, 下位ビット YT を交互に IOT に、上位ビットのコンプリメンタリ信号 XB, 下位ビットのコンプリメンタリ信号 YB を交互に IOB へ出力させる CMOS トランスファゲート GXT, GYT が設けられて成る。これによって、一つのメモリセルに記憶されている 4 値の情報を 2 ビットのデータ列として読み出すことができる。

【0200】

図 86 には図 80 の回路の一例動作タイミングとして、“XT, YT”が“11”の場合（コンプリメンタリ信号“XB, YB”は“00”）、すなわち、一つのメモリセルに記憶された情報が 4 値（2 ビット）で“11”の場合を例とした IOT, IOB の出力を表す。XT, XB の信号は、クロック信号 CLK3 が‘High’の状態の時に CMOS トランスファゲート GXT, GXB が開いてそれぞれ入出力線 IOT, IOB に出力される。この時、CMOS トランスファゲート GYT, GYB は閉じており、YT, YB の信号は出力されない。一方、クロック信号 CLK3 が‘Low’の状態の時には CMOS トランスファゲート GYT, GYB が開き、YT, YB の信号が入出力線 IOT, IOB に出力され、XT, XB の信号はトランスファゲート GXT, GXB が閉じているため、出力されない。

40

50

【0201】

尚、図83に示された読出しデータ合成回路と、図85に示された上位及び下位ビットの交互出力回路は前記読出し変換回路302に含まれている。

【0202】

以上説明したように、「読出し1」～「読出し3」の3回の動作により、メモリセルに書込まれている4値（2ビット）の情報に対応して、夫々読み出された2値（1ビット）のデータを非選択メモリアレイのセンスラッチ回路304に転送して、3回の読出しが終了した後に、これらの2値（1ビット）のデータを、読出しデータ変換回路302によって、2値（1ビット）のデータ列に変換して4値（2ビット）の情報を読み出す。

【0203】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば本発明はフラッシュメモリに限定されず、EEPROM等の不揮発性メモリ、更にはそのようなメモリをオンチップメモリとして備えたマイクロコンピュータ等の半導体集積回路にも適用することができる。また、本発明に係る半導体集積回路はデジタルスチルカメラやPCカードに限定されず、その他種々のデータ処理システムに広く適用することができる。

【符号の説明】

【0204】

- 1 メモリマット
- 2 メモリマット
- 100 第1の書き込み電圧印加用パルス列発生手段
- 101 第1の書き込み電圧印加用パルス列発生手段
- 102 第1のベリファイ電圧発生手段
- 103 第2のベリファイ電圧発生手段
- 105 書直し制御手段
- 106 書換え制御手段
- 120 第1の書き込み電圧列発生手段
- 121 第2の書き込み電圧列発生手段
- 130 切換え条件設定手段
- 140 パルス列発生手段
- 141 第1の電圧発生手段
- 142 第2の電圧発生手段
- 143 切換え手段
- 150 第1の書き込み電圧印加用パルス列発生手段
- 151 第1の書き込み電圧印加用パルス列発生手段
- 152, 153 多値用データバッファ
- 154 第1のベリファイ電圧発生手段
- 155 第2のベリファイ電圧発生手段
- 159A 書直し制御手段
- 159B 書換え制御手段
- 160 通常領域
- 161 管理領域
- 170 書き込み電圧印加用パルス列発生手段
- 171 トリミング手段
- 180 書き込み電圧列発生手段
- 181 トリミング手段

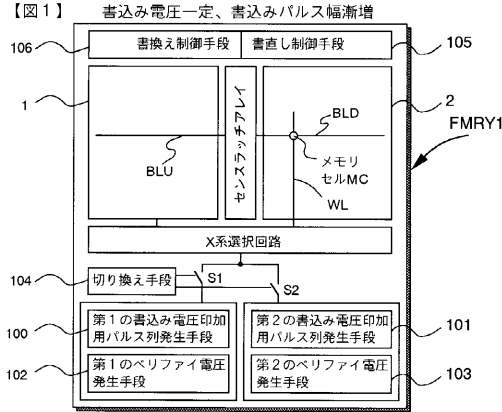
10

20

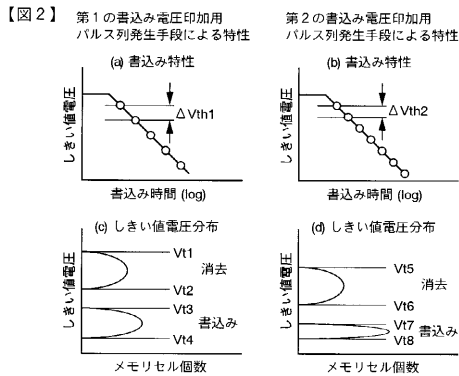
30

40

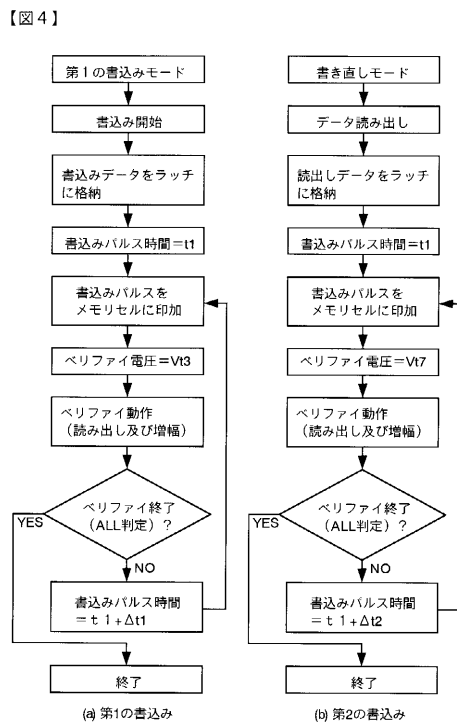
【図 1】



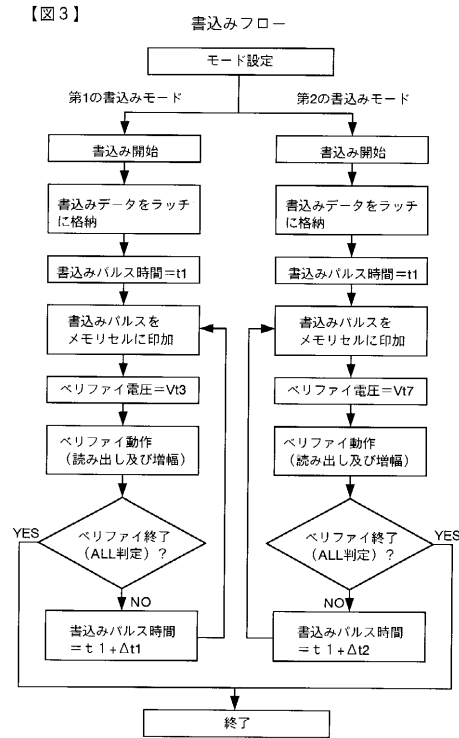
【図 2】



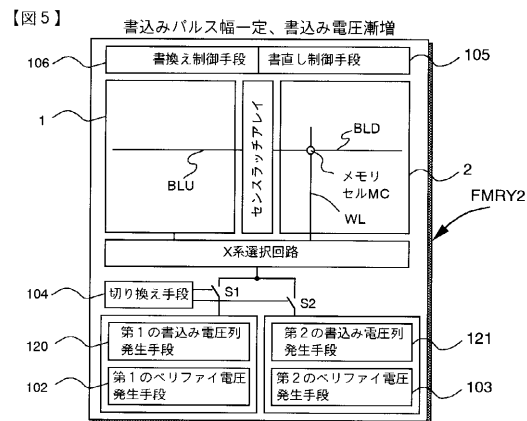
【図 4】



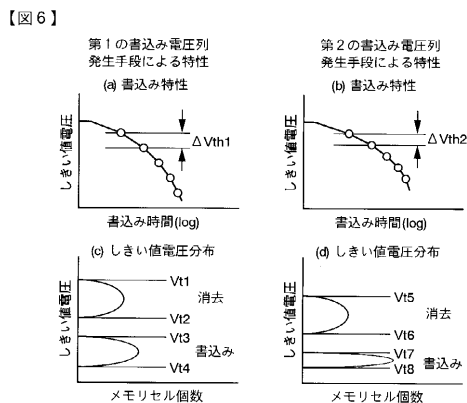
【図 3】



【図 5】

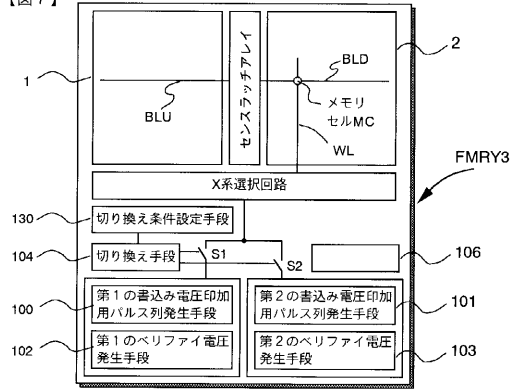


【図 6】



【図 7】

【図 7】



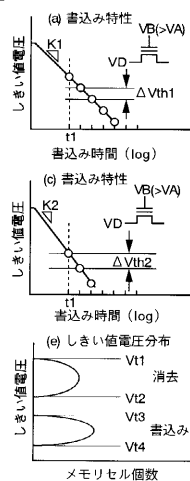
【図 8】

【図 8】

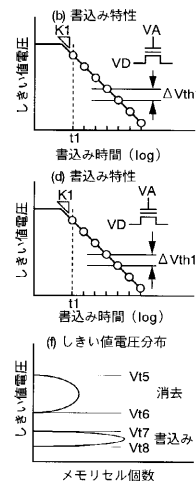
使用手段	第1の書き込み電圧印加用パルス列発生手段 (第1の書き込みモード)	第2の書き込み電圧印加用パルス列発生手段 (第2の書き込みモード)
しきい値電圧分布		
切り換え条件例	書き換え回数 1 万回まで 一ヶ月間データ保持 セクタ A ブロック A チップ A	書き換え回数 1 万回以上 10 年間データ保持 セクタ B ブロック B チップ B

【図 10】

【図 10】 第1の書き込み電圧による特性

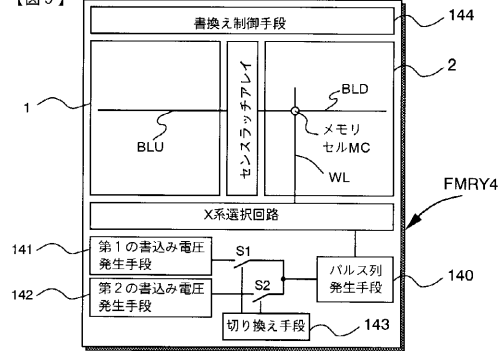


第2の書き込み電圧による特性



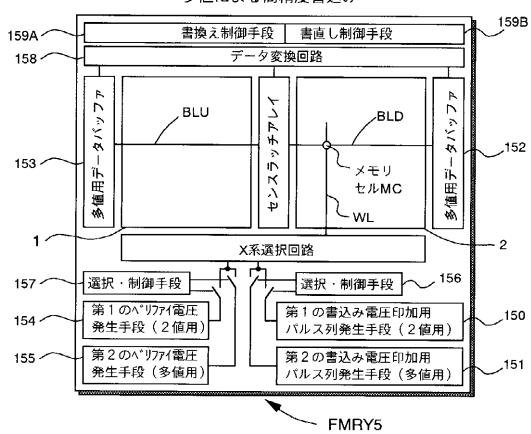
【図 9】

【図 9】



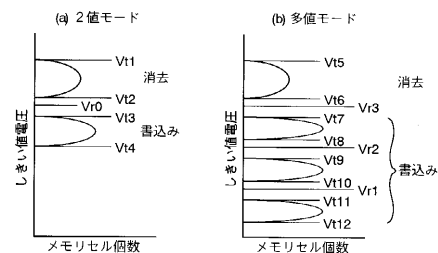
【図 11】

【図 11】 多値による高精度書き込み



【図 12】

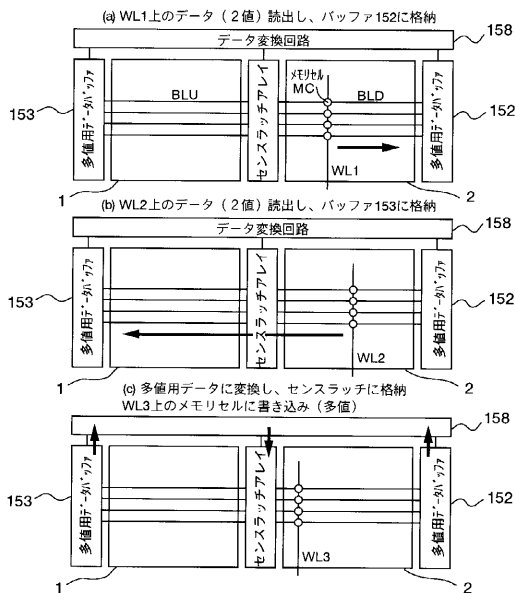
【図 12】



【 図 1 3 】

【图 1 3】

2 値データから多値データへの変換例

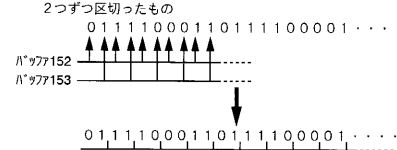


【図 14】

【図 14】 2 値データから多値データへの変換例を示す図

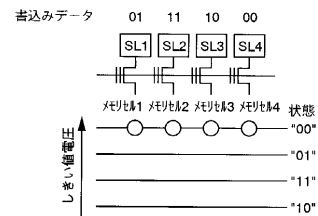
番号	1	2	3	4	5	6	7	8	9	10	...
ハツファ152のデータ	0	1	1	0	1	0	1	1	0	0	...
ハツファ153のデータ	1	1	0	0	1	1	1	0	0	1	...

書き込むデータ：バッファ152とバッファ153のデータを交互に並べ、2つつづ区切ったもの



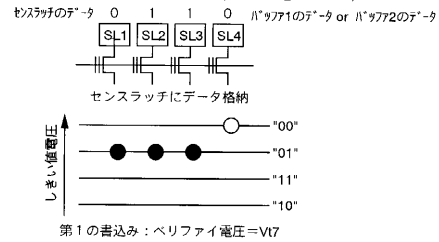
【図 15】

【図15】 2値から多値への書直し（消去状態）



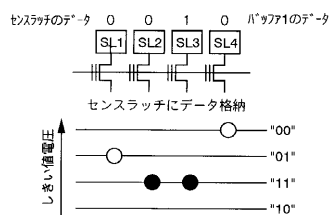
【 図 1 6 】

【図16】 2値から多値への書き直し (ハザード電圧 = V_{th})



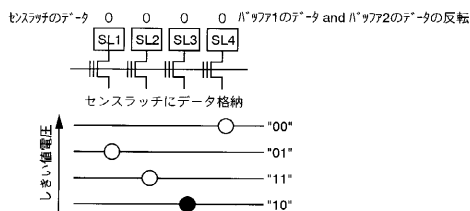
【图 17】

【図17】 2値から多値への書直し（ヘリファイ電圧＝ V_{t9} ）



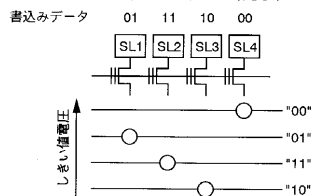
【图 18】

【図 18】 2 値から多値への書直し (ℎ⁺リファイ電圧 = V_{t11})



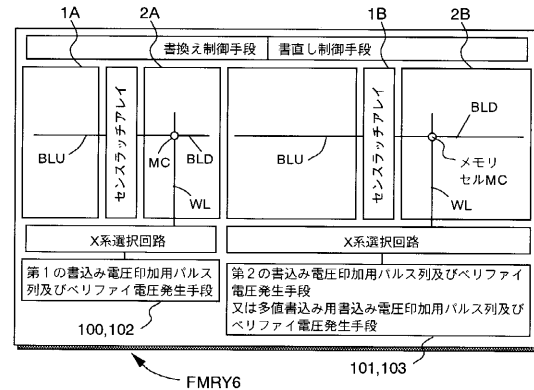
【図 19】

【図19】 2値から多値への書直し（完了）



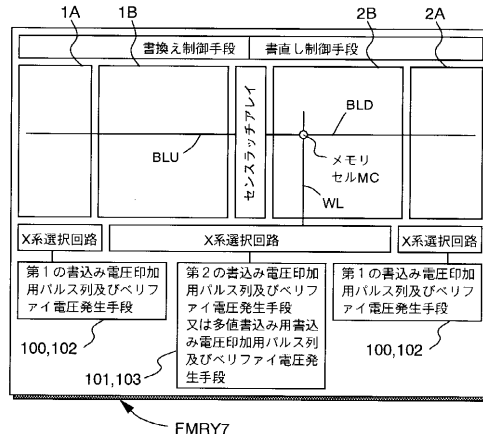
【 図 2 0 】

【图 20】



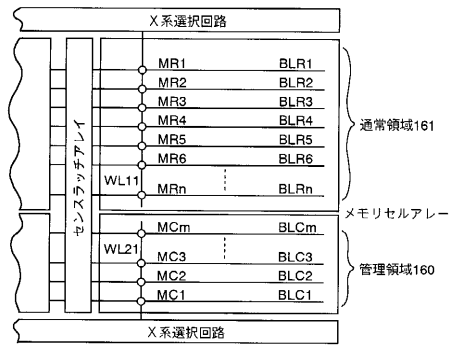
【 図 2 1 】

【图 2 1】



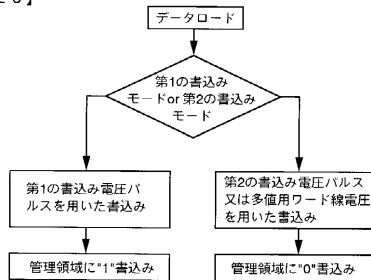
【図 2 2】

【図 2 2】



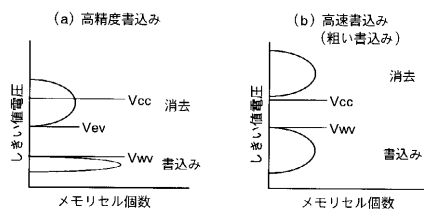
【図 2 3】

【図 2 3】



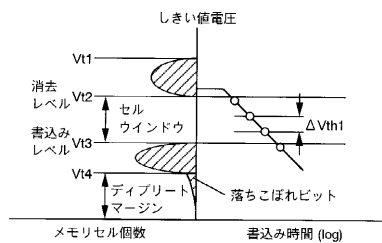
【図 2 6】

【図 2 6】



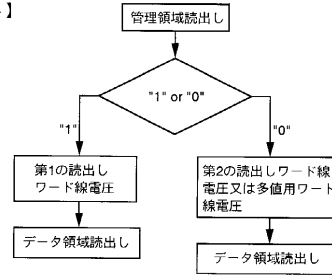
【図 2 7】

【図 2 7】



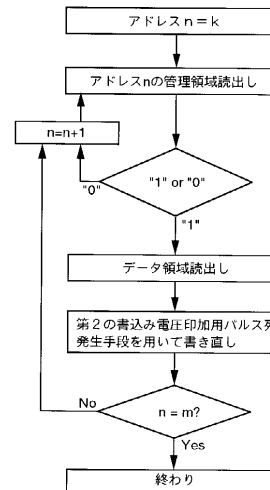
【図 2 4】

【図 2 4】



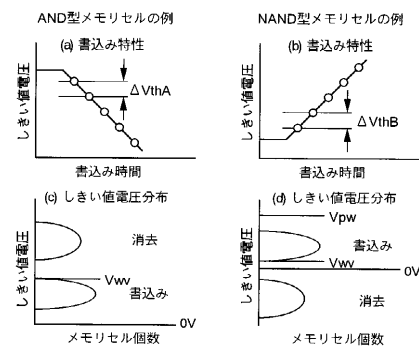
【図 2 5】

【図 2 5】



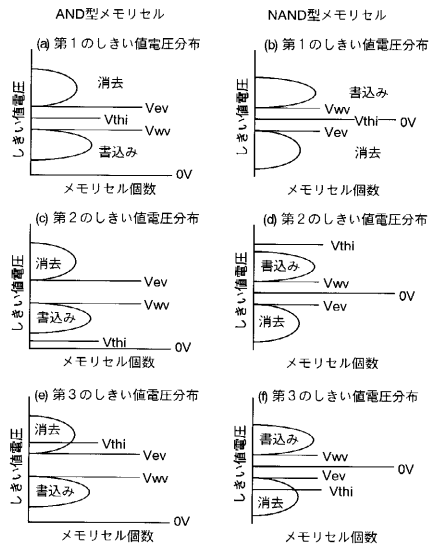
【図 2 8】

【図 2 8】



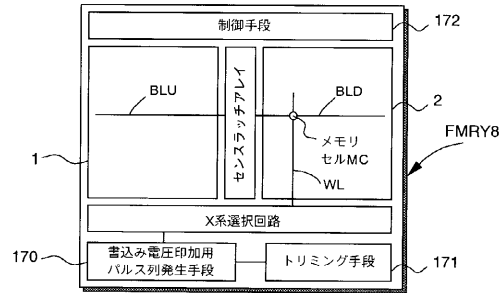
【図 29】

【図 29】



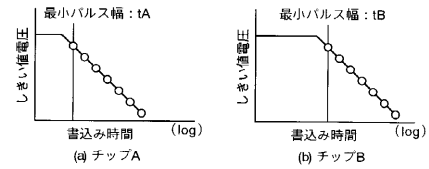
【図 30】

【図 30】



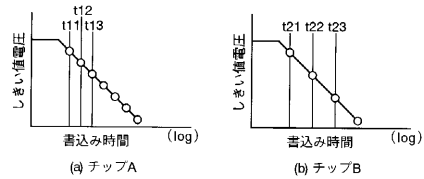
【図 31】

【図 31】



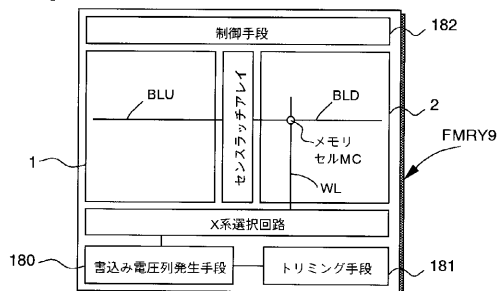
【図 32】

【図 32】



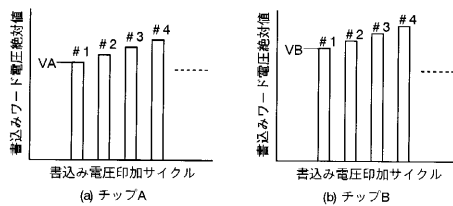
【図 33】

【図 33】



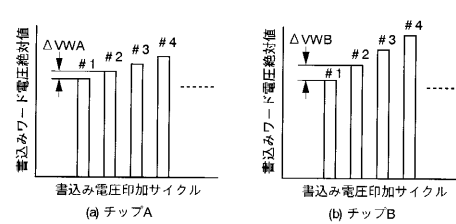
【図 34】

【図 34】



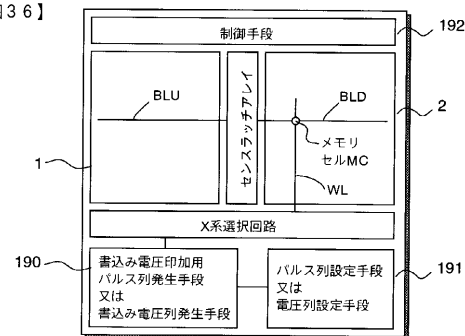
【図 35】

【図 35】



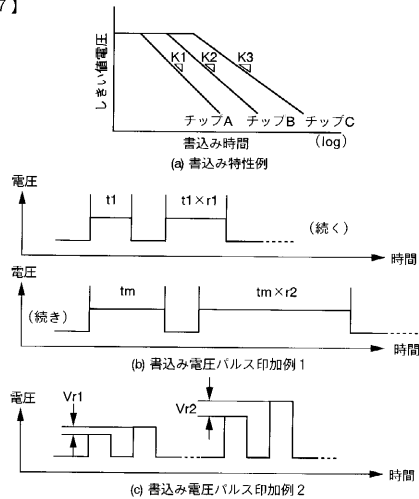
【図 36】

【図 36】



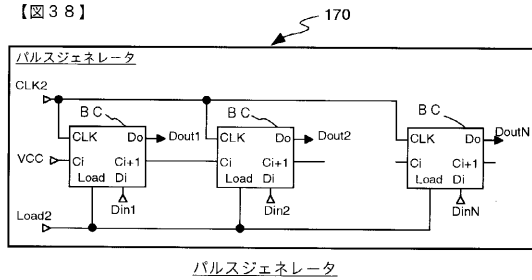
【図 37】

【図 37】



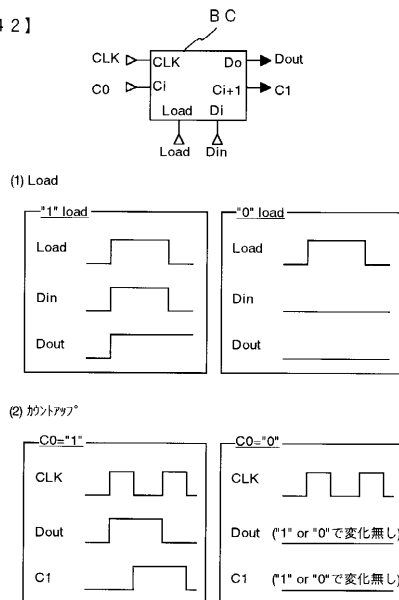
【図 38】

【図 38】



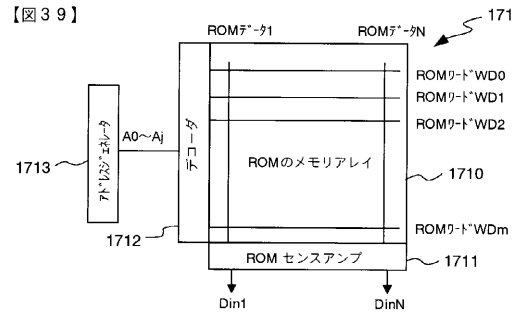
【図 42】

【図 42】



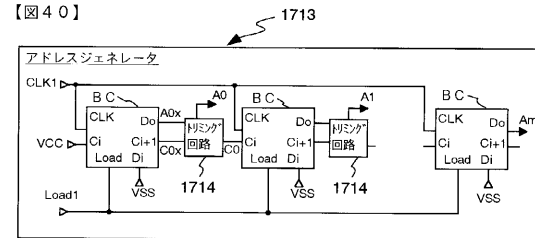
【図 39】

【図 39】



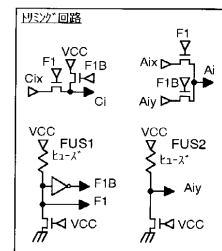
【図 40】

【図 40】



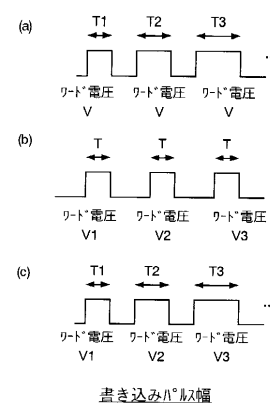
【図 41】

【図 41】



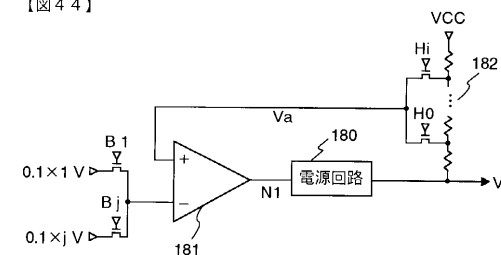
【図 43】

【図 43】



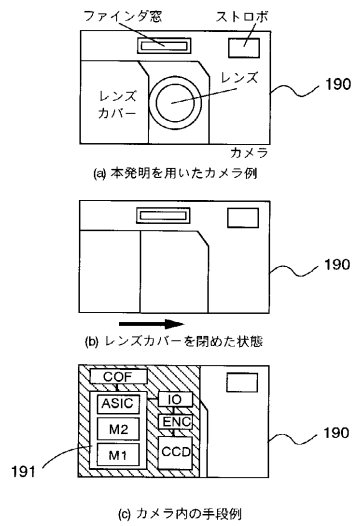
【図 44】

【図 44】



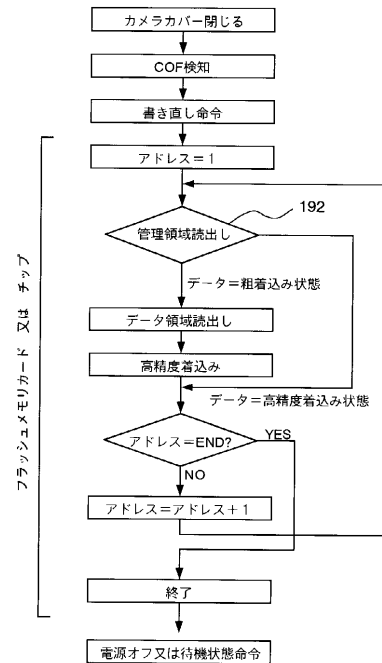
【図 45】

【図 45】



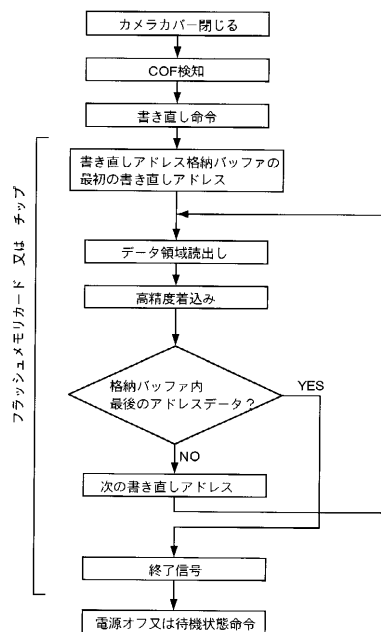
【図 46】

【図 46】



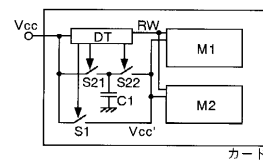
【図 47】

【図 47】



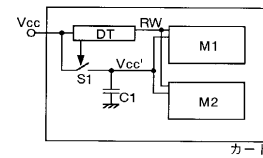
【図 48】

【図 48】



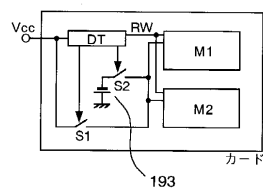
【図 49】

【図 49】



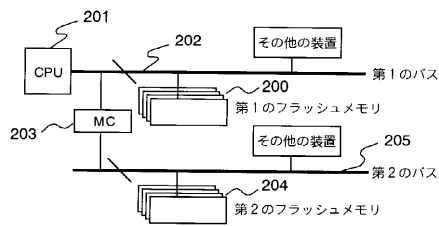
【図 50】

【図 50】



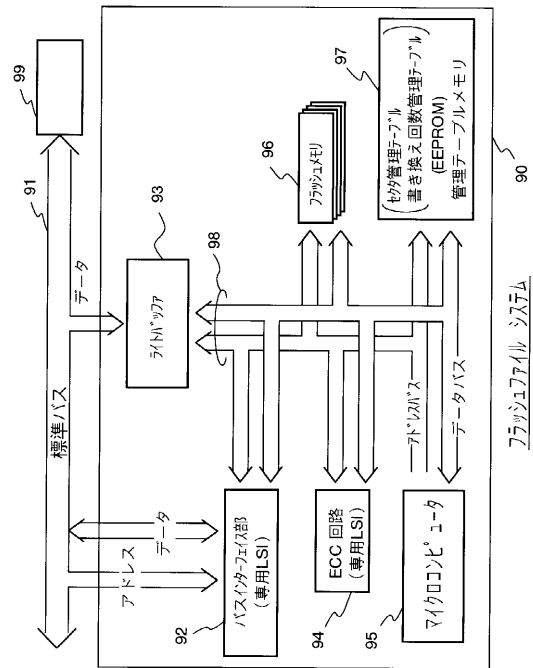
【図 5 1】

【図 5 1】



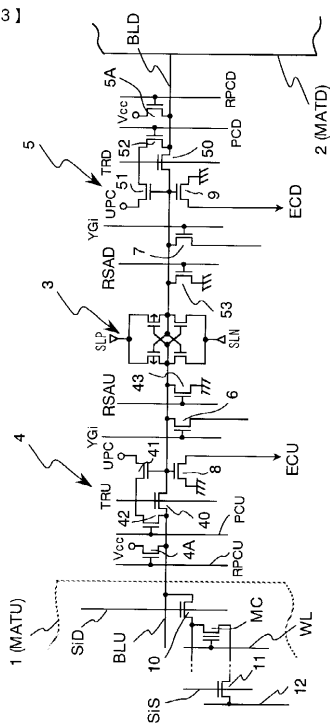
【図 5 2】

【図 5 2】



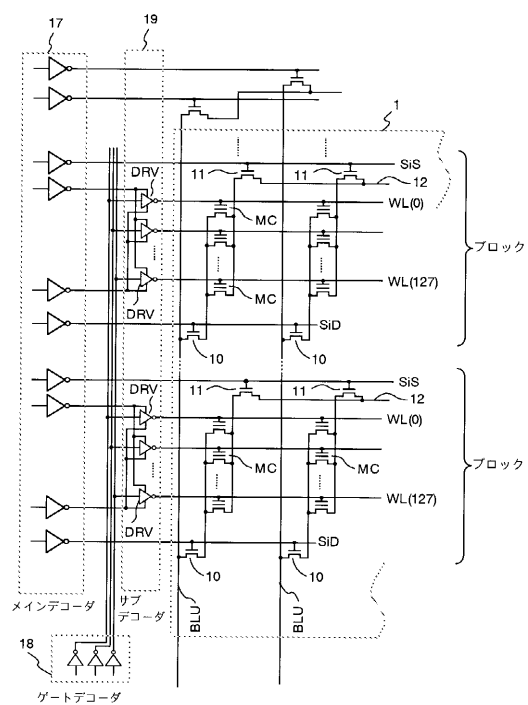
【図 5 3】

【図 5 3】



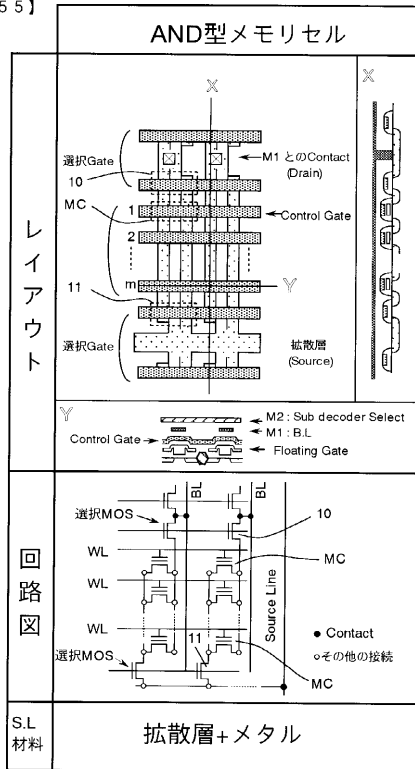
【図 5 4】

【図 5 4】



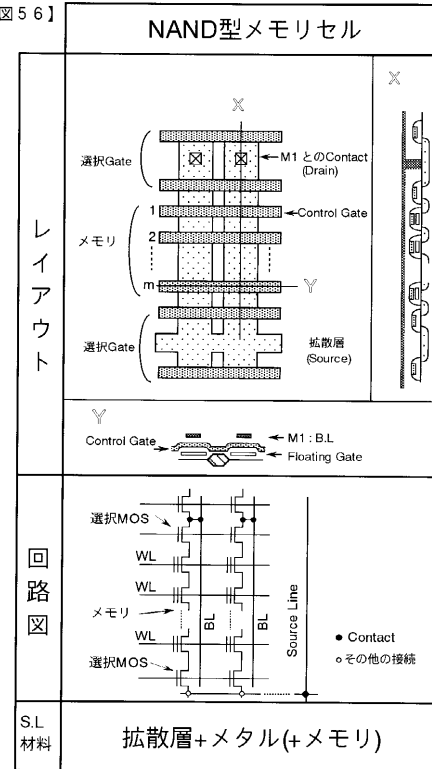
【図 5 5】

【図 5 5】



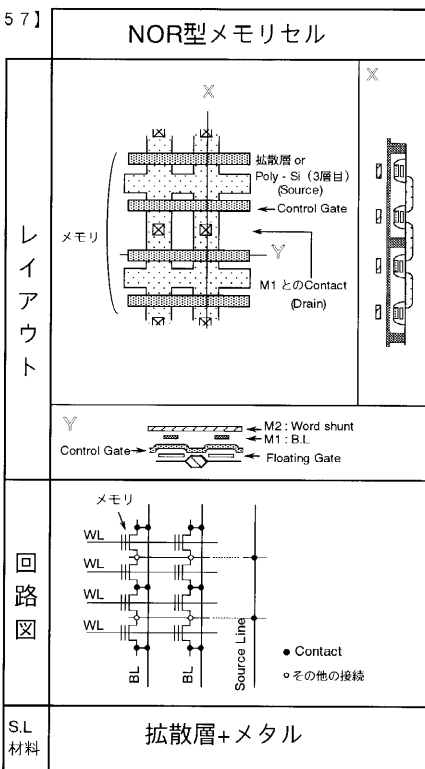
【図 5 6】

【図 5 6】



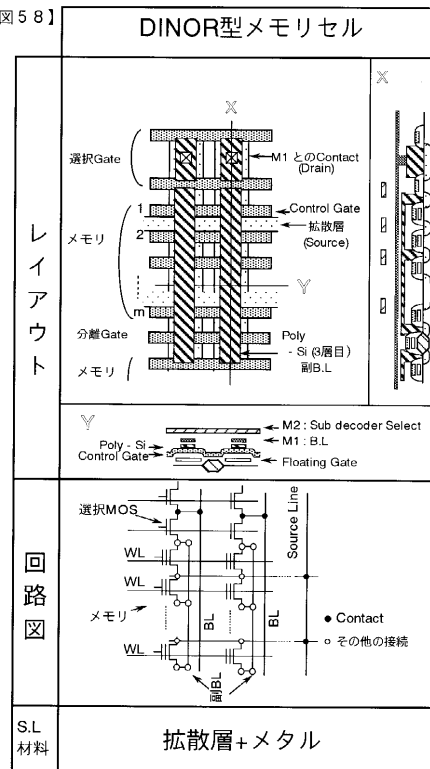
【図 5 7】

【図 5 7】



【図 5 8】

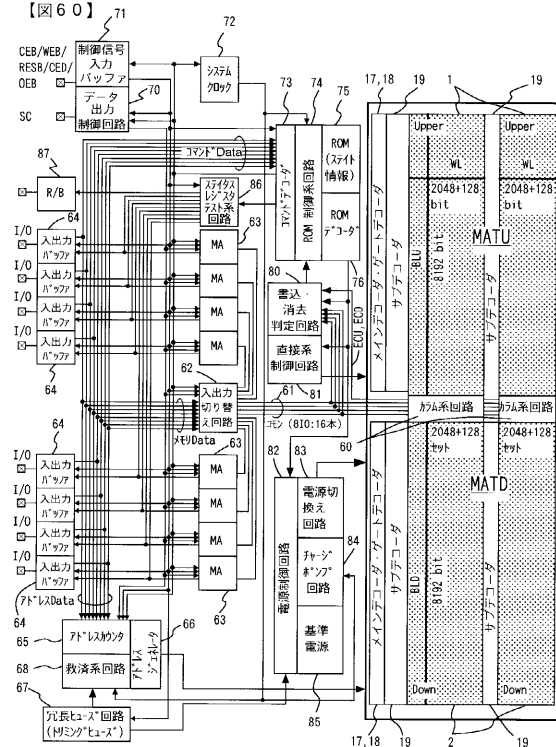
【図 5 8】



【图 5 9】

(選択ブロック/非選択ブロック)

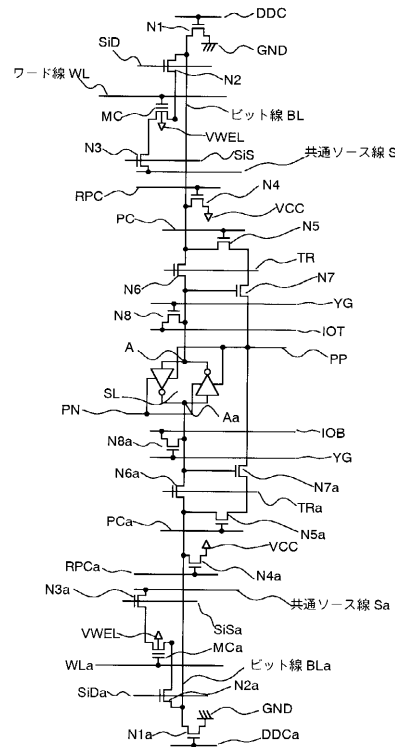
【☒ 6 0】



【図 6 1】

Fig. 1 is a block diagram of a semiconductor device. The device includes a ROM (308) and a RAM (303). The ROM (308) is connected to a ROM decoder (307) and a RAM decoder (305). The RAM (303) is connected to a RAM decoder (305) and a word line (306). The word line (306) is connected to a bit line (304). The bit line (304) is connected to a sense amplifier (310). The sense amplifier (310) is connected to a main amplifier (311). The main amplifier (311) is connected to a column decoder (312). The column decoder (312) is connected to a control circuit (313). The control circuit (313) is connected to an address buffer (314). The address buffer (314) is connected to a power switching circuit (315). The power switching circuit (315) is connected to a bus (309). The bus (309) is connected to the ROM (308), the RAM (303), and the control circuit (313). The device also includes a read data conversion circuit (302) and a write data conversion circuit (319). The read data conversion circuit (302) is connected to the sense amplifier (310) and the main amplifier (311). The write data conversion circuit (319) is connected to the main amplifier (311) and the control circuit (313). The device has an input (318 CLK) and an output (317 Dout). The input (318 CLK) is connected to the control circuit (313). The output (317 Dout) is connected to the main amplifier (311). The device also has a data input (316 Din) and a data output (317 Dout). The data input (316 Din) is connected to the control circuit (313). The data output (317 Dout) is connected to the main amplifier (311).

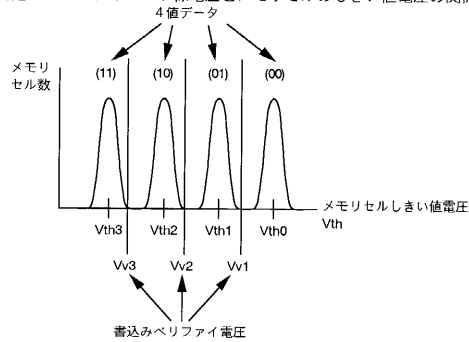
【図62】 メモリアレー、センスラッチの要部回路



【図 6 3】

【図 6 3】

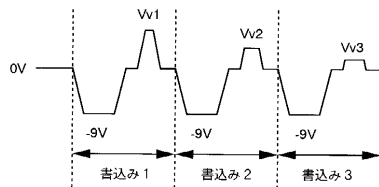
書き込みペリファイード線電圧とメモリセルのしきい値電圧の関係



【図 6 4】

【図 6 4】

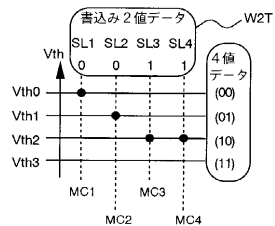
書き込み時ワード線印加電圧の例



【図 6 8】

【図 6 8】

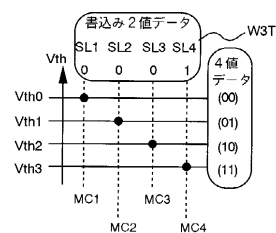
「書き込み 2」によるメモリセルのしきい値電圧変化



【図 6 9】

【図 6 9】

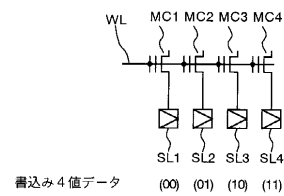
「書き込み 3」によるメモリセルのしきい値電圧変化



【図 6 5】

【図 6 5】

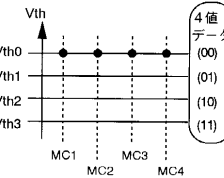
書き込み 4 値データとメモリセル



【図 6 6】

【図 6 6】

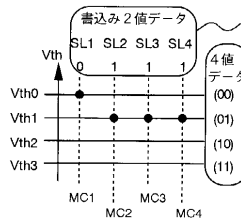
書き込み前のメモリセルのしきい値電圧 (消去状態)



【図 6 7】

【図 6 7】

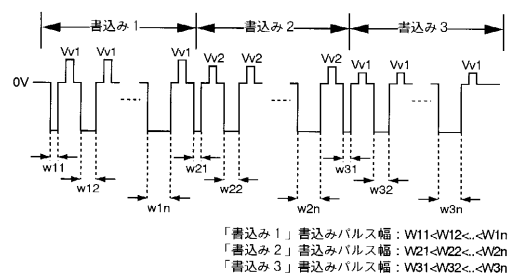
「書き込み 1」によるメモリセルのしきい値電圧変化



【図 7 0】

【図 7 0】

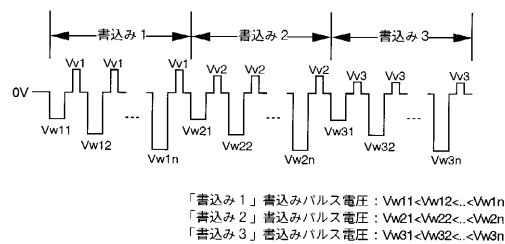
書き込みパルス幅を漸増



【図 7 1】

【図 7 1】

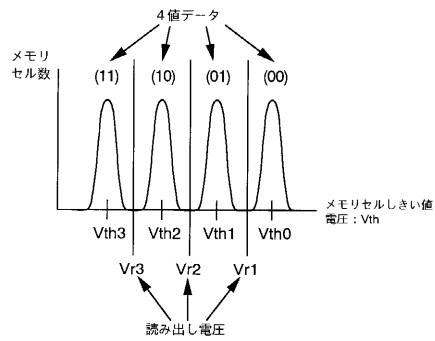
書き込みパルス電圧を漸増



【図 77】

【図 77】

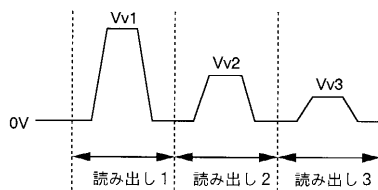
本発明の第9の実施例
読み出しワード電圧とメモリセルのしきい値電圧の関係



【図 78】

【図 78】

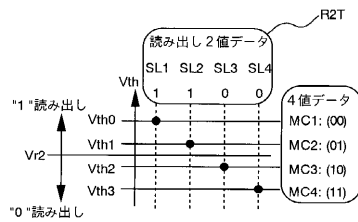
読み出し時ワード線印加電圧



【図 81】

【図 81】

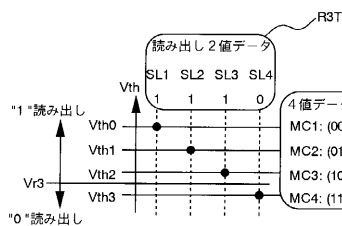
メモリセルのしきい値電圧と「読み出し 2」による読み出し 2 値データ



【図 82】

【図 82】

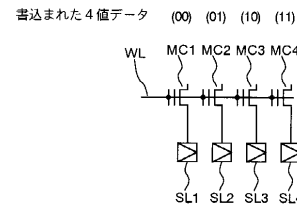
メモリセルのしきい値電圧と「読み出し 3」による読み出し 2 値データ



【図 79】

【図 79】

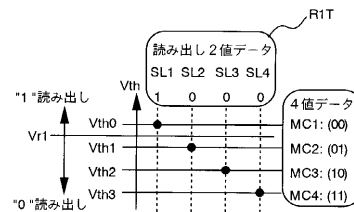
書込まれた 4 値データとメモリセル



【図 80】

【図 80】

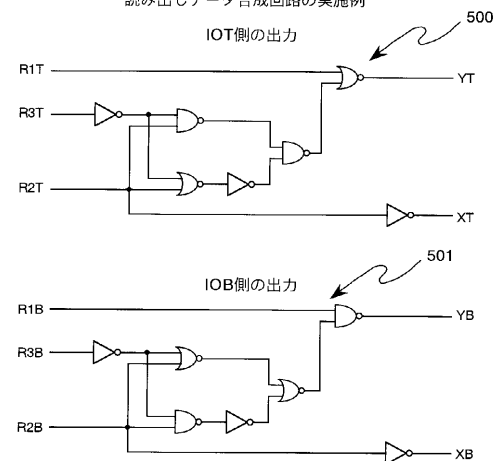
メモリセルのしきい値電圧と「読み出し 1」による読み出し 2 値データ



【図 83】

【図 83】

読み出しデータ合成回路の実施例



【図 8 4】

【図 8 4】

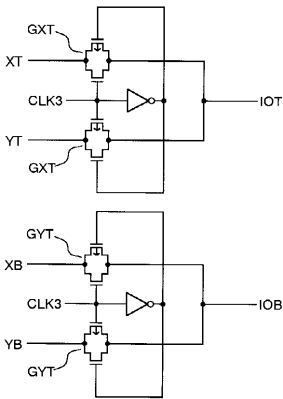
読み出しデータ合成回路の出力結果



【図 8 5】

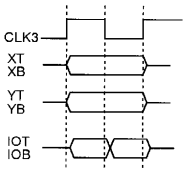
【図 8 5】

上位ビット、下位ビットを交互に出力する回路の実施例



【図 8 6】

【図 8 6】



フロントページの続き

- (72)発明者 吉田 敬一
東京都青梅市今井2 3 2 6番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 野田 敏史
東京都青梅市今井2 3 2 6番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 久保埜 昌次
東京都小平市上水本町5丁目2 0番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 小谷 博昭
東京都青梅市今井2 3 2 6番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 木村 勝高
東京都国分寺市東恋ヶ窪一丁目2 8 0番地 株式会社日立製作所中央研究所内

Fターム(参考) 5B125 BA02 BA19 CA01 DA01 DA09 DB01 DB08 DB09 DB10 DB12
DB13 DB14 DB17 DB18 DB19 DC08 DC12 DD08 DD09 DE08
DE11 DE14 EA03 EA07 EA10 EB08 EB09 ED07 ED09 EE04
EE12 EE15 EG03 EG04 EG05 EG08 EG18 EH04 EK03 FA01
FA02 FA06 FA07 FA10