

## 發明專利說明書 290307398

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92107395 ※IPC分類：H03L 7/16※申請日期：92年04月01日

## 壹、發明名稱：

(中文) 通訊用半導體積體電路及無線通訊系統(英文) 通信用半導體集積回路および無線通信システム

## 貳、發明人(共 4 人)

## 發明人 1

姓名：(中文) 大澤弘孝(英文) 大澤弘孝住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財産權本部  
內(英文) 日本国東京都千代田区丸の内一丁目5番1  
号新丸ビル(株)日立製作所知的財産權本部  
內

## 參、申請人(共 1 人)

## 申請人 1

姓名或名稱：(中文) 日立製作所股份有限公司(英文) 株式会社日立製作所住居所地址：(中文) 日本國東京都千代田區神田駿河台四丁目六  
番地

(或營業所) (英文) \_\_\_\_\_

國籍：(中文) 日本(英文) JAPAN代表人：(中文) 1. 庄山悅彦

(英文) \_\_\_\_\_

發明人 2

姓名：(中文) 笠原真澄  
(英文) 笠原真澄

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部  
內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財產權本部  
內

發明人 3

姓名：(中文) 倉上典之  
(英文) 倉上典之

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部  
內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財產權本部  
內

發明人 4

姓名：(中文) 魚住俊彌  
(英文) 魚住俊弥

住居所地址：(中文) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財產權本部  
內

(英文) 日本国東京都千代田区丸の内一丁目5番1号新丸ビル(株)日立製作所知的財產權本部  
內

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/04/26 ; 2002-125631

---

(1)

## 玖、發明說明

### 【發明所屬之技術領域】

本發明是關於，應用在備有 VCO (電壓控制振盪器) 而振盪頻率可以切換的 PLL(Phase Locked Loop) 電路時很有效的技術，而且是關於，PLL 電路的高速引入 (pull in) 技術，例如，應用在可以送受複數個頻帶的訊號的攜帶式電話機等之無線通訊裝置，用以產生與接收訊號或發送訊號合成的規定頻率之振盪訊號的 PLL 電路，及備有此電路的高頻用半導體積體電路，以及無線通訊系統時很有效的技術。

### 【先前技術】

在例如攜帶式電話機的無線通訊系統，產生與接收訊號或發送訊號合成的規定頻率之振盪訊號的局部振盪器是使用 PLL 電路。傳統的攜帶式電話機有一種雙頻帶方式攜帶式電話機，可以使用，例如 880 ~ 915 MHz 頻帶的 GSM (Global System for Mobile Communication)，與 1710 ~ 1785 MHz 頻帶的 DCS (Digital Cellular System) 兩個頻帶的訊號。而這種雙頻帶方式攜帶式電話機，有一種是可以藉由切換 PLL 電路的頻率，以一個 PLL 電路對應兩個頻帶。

但是，近年來又有，除了 GSM 或 DCS 以外又能處理例如 1850~1915 MHz 頻帶的 PCS(Personal Communication System) 訊號的三頻帶方式的攜帶式電話機的需求。同時

(2)

，將來攜帶式電話機可能會被要求能在更多頻帶使用。

在能夠因應這種複數頻帶的攜帶式電話機使用，進行發送訊號的調變或接收訊號的解調的高頻用半導體積體電路(以下稱作高頻 IC)，從減少零件數的觀點，直接變換方式是最有效。然而，直接變換方式在對應複數個頻帶時雖然比較容易，但 VCO 的可振盪的頻率範圍變寬。在此，如果要以一個 VCO 對應所有的頻率，VCO 的控制電壓的靈敏度變高，較易受到外部雜訊或電源電壓變動的影響。

另一方面，有效的零件數的減少方法是，將傳統上與一般的高頻 IC 分開以別的模組提供的 VCO，與高頻 IC 形成在同一個半導體晶片上。然而，晶片上 VCO(on chip VCO)因製造上的理由，振盪頻率絕對值的參差不齊很明顯，因此，在製造後調整振盪頻率的功能變成不可或缺。而如果以傳統的半導體積體電路所使用的一般性方法，藉由選擇掩罩或選擇焊接線的修正，來調整這種參差不齊，將無法避免成本的增加。

因此，本發明人等曾開發成功一種通訊用半導體積體電路(高頻 IC)，具備有，將構成 PLL 電路的振盪電路構成爲可以在複數個頻帶動作，將振盪電路的控制電壓固定在規定值之狀態下，測量各頻帶之振盪電路的振盪頻率，將其記憶在記憶電路，而比較 PLL 動作時所給予的指定頻帶用的設定值，與上述記憶的頻率測量值，從其比較結果決定實際在振盪電路使用的頻帶，如此，縱使爲了對應複數個頻帶而加寬 VCO 的可振盪的頻率範圍，VCO 的控

(3)

制電壓的靈敏度也不會變高，不易受到外部雜訊或電源電壓變動的影響，同時，能夠以內部電路自動補正 VCO 參差不齊的振盪頻率的 PLL 電路，並已提出申請(日本特願 2002 - 11050 號：對應 PCT 出願 No. GB 2002/005152)。

### 【發明內容】

在攜帶式電話機有，決定開始收發訊動作時使用的頻率，起動 VCO 進行引入(pull in)控制使 PLL 電路以該頻率振盪的控制動作，這種引入控制動作最好能在短時間內完成。上述先前申請案對 PLL 電路的引入控制未有揭示。

PLL 電路的高速引入技術有，例如，在開始引入時，對產生 VCO 控制電壓的迴路濾波器的電容器充電的充電泵，增加其電流之方法。然而，這種引入方法卻存在有：在充電泵平常動作時的充放電用電流源外，另需要在引入時增加電流的電源；同時，PLL 電路的可設定頻率範圍較寬時，在正確引入所希望的設定頻率時需要麻煩的時間控制等的課題。

本發明的目的在提供，PLL 電路的可設定頻率範圍較寬時，也不必在充電泵平常動作時的充放電用電流源外，另設電流源，可高速引入所希望的設定頻率之通訊用半導體積體電路(高頻 IC)。

本發明的其他目的在提供，PLL 電路的可設定頻率範圍較寬時，仍能以高速正確引入所希望的設定頻率之通訊

(4)

用半導體積體電路。

本發明的另一其他目的在提供，能夠藉複數個頻帶的頻率進行通訊，且可以將 VCO 形成在同一半導體晶片上，可以藉此削減零件數之通訊用半導體積體電路。

本發明的上述及其他目的以及新穎的特徵可以從本說明書之記述及附圖獲得進一步的瞭解。

茲簡單說明本案所揭示的本發明中具代表性者之概要如下。

亦即，將構成 PLL 電路的振盪電路構成爲可以在複數個頻帶動作，將振盪電路的控制電壓固定在規定值之狀態下，測量各頻帶之振盪電路的振盪頻率，記憶在記憶電路，而比較 PLL 動作時所給予的指定頻率用的設定值，與上述記憶的頻率的測量值，從其比較結果決定實際在振盪電路使用的頻帶，同時求出所選擇頻帶的最大頻率與設定頻率之頻率差，再從頻率差與所選擇的頻帶的頻率可變範圍決定最接近設定頻率的控制電壓，將該控制電壓供給振盪電路令其開始振盪動作，再閉合 PLL 迴路將其鎖定。

依據上述手段時，因爲可以使開始振盪動作時施加的初期電壓，非常接近振盪電路以所希望的頻率振盪時施加的控制電壓，因此可以獲得，具備有，不必配設 PLL 的引入用電流源，而且能正確並高速進行引入的 PLL 電路之通訊用半導體積體電路。

(5)

## 【實施方式】

以下參照附圖說明本發明的實施例。第 1 圖表示應用本發明的可高速引入的 PLL 電路的實施例。圖中，10 是 VCO(電壓控制振盪器)；11 是使用水晶振盪子以準確度很高的頻率振盪的基準振盪電路(TCXO)；12 是用以將 VCO10 的振盪訊號  $\phi_{vco}$  分頻的可變分頻電路；13 是將基準振盪電路 11 的基準振盪訊號  $\phi_{ref}$  分頻成  $1/65$  的固定分頻電路；14 是用以比較可變分頻電路 12 與固定分頻電路 13 分頻的訊號的相位，輸出對應相位差的電壓 UP、DOWN 的相位比較器；15 是充電泵；16 是迴路濾波器，而藉由充電泵 15 將迴路濾波器 16 的電容元件充電，當作上述 VCO(電壓控制振盪器)10 的控制電壓  $V_c$  輸出，構成 VCO10 以規定頻率振盪動作的 PLL 環。

本實施例的 PLL 電路是如第 1 圖所示，在充電泵 15 與迴路濾波器 16 之間設有：可以在測量頻率時或引入 PLL 時取代充電泵 15 的電壓  $V_c$ ，將規定的直流電壓 VDC 供給迴路濾波器 16 的開關 SW0；產生施加於充電泵 15 的直流電壓 VDC 的引入初期電壓產生電路 17；計算 VCO10 的振盪訊號而分頻的可變分頻電路 12；記憶由該可變分頻電路 12 所計算的值，由暫存器等構成的記憶電路 18；比較記憶在記憶電路 18 頻率值，與從外部設定在可變分頻電路 12 的設定值  $N8 \sim N0$  及  $A5$ 、 $A4$ ，產生 VCO10 的頻帶切換訊號  $VB3 \sim VB0$  的使用頻帶決定電路 19；控制開關 SW0、可變分頻電路 12、記憶電路 18 及使用頻帶決

(6)

定電路 19 的控制電路 20 等。

測量頻率時，從開關 SW0 供給迴路濾波器 16 的直流電壓 VDC 只要是在控制電壓  $V_c$  的有效可變範圍，則任何電壓值均可以，本實施例是選擇控制電壓  $V_c$  的可變範圍的上限值 ( $V_{cp-max}$ )。測量頻率中，直流電壓 VDC 在切換頻帶時仍維持同一值。

VCO10 是由例如使用 LC 共振電路的柯耳匹茲 (Colpitts) 型振盪電路所構成，同時，經由各個開關元件並聯設有複數個構成 LC 共振電路的電容元件，藉由上述頻帶切換訊號 VB3 ~ VB0 選擇性使該開關元件導通，切換所連接的電容元件，亦即切換 LC 共振電路的 C 之值，便可以分段切換振盪頻率。另一方面，VCO10 的可變電容元件是使用變容二極體，藉由來自上述迴路濾波器 16 的控制電壓  $V_c$  改變此變容二極體的電容值，使振盪頻率成連續性變化。

要擴大 VCO 應涵蓋的頻率範圍時，如果僅藉控制電壓  $V_c$  使變容二極體的電容值變化，則如第 2 圖 (A) 所示， $V_c - f_{vco}$  特性會變急峻，VCO 的靈敏度，亦即頻率變化量與控制電壓變化量的比 ( $\Delta f / \Delta V_c$ ) 變大，抗雜訊的能力變弱。亦即，只要在控制電壓  $V_c$  有稍許雜訊，VCO 的振盪頻率  $f_{vco}(\varnothing vco)$  便會產生很大變化。

因此，本實施例的 VCO10 是將構成 LC 共振電路的複數個電容元件配設成並聯，而以頻帶切換訊號 VB3 ~ VB0 分 n 段切換所使用的電容元件，令 C 之值變化，藉此如第

(7)

2 圖 (B) 所示，使其能夠進行依照複數個  $V_c - f_{vco}$  特性曲線的振盪控制。而且，本實施例因為配設記憶電路 18 及使用頻帶決定電路 19，傳統的 PLL 電路所需要的頻率調整作業可以省略。

亦即，傳統的 PLL 電路在例如第 2 圖 (B) 所示之具有複數個  $V_c - f_{vco}$  特性線時，仍須令 VCO 動作，測量頻率，使各複數個  $V_c - f_{vco}$  特性線具規定的初期值及規定的斜度。對此，本實施例的 PLL 電路是預先切換開關 SW0，將規定的直流電壓 VDC 施加在 VCO10，測量各頻帶的頻率，記憶在記憶電路 18，實際使用時則比較從外部供給可變分頻電路 12 的對應指定頻帶的設定值 N8 ~ N0 及 A5、A4，與記憶在記憶電路 18 的測量值，而從如第 2 圖 (B) 所示之複數個 (n 個)  $V_c - f_{vco}$  特性線中選擇一個能夠涵蓋指定頻帶的頻率範圍的特性線，以進行 VCO 的切換 (電容元件的切換)。

依照這種方式時，如果考慮相互間的參差不齊而預先使其涵蓋較希望涵蓋的頻率範圍稍寬的範圍，同時設計 VCO 使其如第 2 圖 (B) 所示，相鄰接的 n 階段的  $V_c - f_{vco}$  特性線相互間之頻率範圍有一些 (最好是各一半) 重疊，便會找到一定涵蓋指定頻帶的特性線。因此，依據測量而瞭解的實際的特性，選擇對應各指定頻帶者便可以，不需要再對頻率，同時也不需要預先令使用頻帶與 VCO 的切換狀態成 1 對 1 相對應。

可變分頻電路 12 是由：將 VCO10 的振盪頻率分頻的

(8)

預換算器 (pre scaler) 21；將以預換算器 21 分頻的訊號再分頻的第 1 計數器 22N 及第 2 計數器 22A 構成的模計數器 22；所構成。

藉預換算器 21 與模計數器 22 分頻的方法已是習用的方法。預換算器 21 可以作分頻比不相同的兩種分頻，例如  $1/64$  分頻及  $1/65$  分頻，而以第 2 計數器 22A 的完成計數訊號進行切換。第 1 計數器 22N 與第 2 計數器 22A 是可程式化計數器，第 1 計數器 22N 是設定，以基準振盪訊號  $\phi_{ref}$  的頻率  $f_{ref}$  與預換算器 21 的第 1 分頻比 (實施例是 64)，除所希望獲得的頻率 (希望獲得的輸出的 VCO 之振盪頻率  $f_{vco}$ ) 時的整數部，第 2 計數器 22A 是設定其餘數 (MOD)，結束計算所設定的值後，再度進行設定值的計數。

具體上是，例如基準振盪訊號  $\phi_{ref}$  的頻率  $f_{ref}$  是 400 kHz，所希望的 VCO 的振盪頻率  $f_{vco}$  是 3789.6 MHz 時，因為  $3789.6 \div 0.4 \div 64 = 148$  餘數 2，因此，設定在第 1 計數器 22N 的值 N 是「148」，設定在第 2 計數器 22A 的值 A 是「2」。以設定這種值之狀態下，若預換算器 21 與模計數器 22 動作，預換算器 21 將先進行  $1/64$  分頻動作，而當第 2 計數器 22A 將其輸出計算到設定值的「2」時，從第 2 計數器 22A 輸出完成計數訊號 MC，藉由此訊號 MC 切換預換算器 21 的動作，而一直到第 2 計數器 22A 再度計數到設定值「2」之前，預換算器 21 以  $1/65$  分頻動作。

(9)

由於進行這種動作，模計數器 22 便能夠不僅是整數比，而是以具有小數部的比進行分頻。實施例的 PLL 電路是加上回授控制 VCO10 的振盪，使第 1 計數器 22N 的輸出的頻率與基準振盪訊號  $\phi_{ref}$  的頻率  $f_{ref}(400 \text{ kHz})$  相一致，因此在設定於第 1 計數器 22N 的值 N 是「148」，設定於第 2 計數器 22A 的值 A 是「2」的上述具體例子時，VCO10 的振盪頻率  $f_{vco}$  是，

$$f_{vco} = (64 \times 148 + 2) \times f_{ref} = 9474 \times 400 = 3789600,$$

因此是 3789.6 MHz。

再者，第 1 計數器 22N 與第 2 計數器 22A 實際上是二進位數的計數器，因此，設定在第 1 計數器 22N 的值 N 與設定在第 2 計數器 22A 的值 A 是二進位碼。雖然在本實施例未特別限定，但在 PLL 動作時，第 1 計數器 22N 是以 9 位元計數器，第 2 計數器 22A 是以 6 位元計數器動作，因此設定在第 1 計數器 22N 的值 N 是 9 位元碼  $N_8 \sim N_0$ ，設定在第 2 計數器 22A 的值 A 是 6 位元碼  $A_5 \sim A_0$ 。

而且，在本實施例，第 1 計數器 22N 在測量頻率時可以當作 11 位元的計數器動作。VCO10 可能作 16 頻帶，亦即 16 階段的頻率切換，記憶電路 18 則設有用以記憶分別對此 16 頻帶測量的頻率的 16 個暫存器  $RRG_0 \sim REG_{15}$ 。同時，在使用頻帶決定電路 19 備有，用以比較記憶在記憶電路 18 的暫存器  $RRG_0 \sim REG_{15}$  的值，與設定在第 1 計數器 22N 的 9 位元碼  $N_8 \sim N_0$  及設定在第 2

(10)

計數器 22A 的 6 位元碼 A5 ~ A0 中的上位 2 位元 A5、A4 的 11 位元線的比較器，可輸出對 VCO10 的頻帶切換訊號的 4 位元碼 VB3 ~ VB0。

控制電路 20 在測量頻率時，產生用以順序選擇對 VCO10 的 16 個頻帶的切換訊號 VB3 ~ VB0。並且，控制電路 20 在測量頻率時，使第 1 計數器 22N 成為 11 位元的計數器動作，同時控制第 1 計數器 22N，令其計算不是基準振盪訊號  $\phi_{ref}$  的 1 個周期，而是 4 個周期的較第 1 實施例為長期間的時鐘脈衝數。同時，控制電路 20 在測量頻率時，令第 2 計數器 22A 停止動作，進行模計數器 22 的分頻比的切換。藉此，在測量頻率時，模計數器 22 僅作  $1/64$  的分頻動作。

在本實施例，在測量頻率時令其進行不是基準振盪訊號  $\phi_{ref}$  的 1 個周期，而是 4 個周期的計數動作的理由是，要提高測量準確度。亦即，由於設有預換算器 21，若假設基準振盪訊號  $\phi_{ref}$  的 1 個周期的測量在第 1 計數器 22N 所產生的最大誤差，亦即  $\phi_{ref}$  的 1 個周期的測量中計數器 22N 發生的是 1 脈衝的計數錯誤，這時的誤差會被放大預換算器 21 的分頻比的 64 倍。因此，基準振盪訊號  $\phi_{ref}$  是 400 kHz 時，第 1 計數器 22N 的最大誤差是 25.6 MHz (= 400 kHz  $\times$  64)，但 4 個周期的測量中在計數器 22N 產生的誤差降低成  $1/4$  之約 6.4 MHz。

在測量頻率時由第 1 計數器 22N 計算的 11 位元的計數值是儲存在記憶電路 18 的任一暫存器。而此項儲存的

(11)

值在 PLL 動作時，上位 8 位元被視為是整數部，在使用頻帶決定電路 19，與從外部供應的第 1 計數器 22N 的設定碼 N8 ~ N0 作比較。同時，記憶電路 18 的儲存在暫存器的值中下位 2 位元被視為是小數部，在使用頻帶決定電路 19，與從外部供應的第 1 計數器 22N 的設定碼 A5 ~ A0 中的上位 2 位元作比較。而從記憶電路 18 的各暫存器 RRG0 ~ REG15 的儲存值，與設定碼 N8 ~ N0 及 A5、A4 的比較結果決定 VCO10 使用的頻帶，產生選擇該頻帶的頻帶切換碼 VB3 ~ VB0 供給 VCO10。VCO10 在使用於例如 GSM 之通訊系統之 PLL 電路時，將各頻帶對應 GSM 的頻道間隔，設定成例如 400 kHz 的間隔。

以下使用第 3 圖之流程圖，說明本實施例的 PLL 電路的控制電路 20 的頻率測量動作及 PLL 的引入動作的程序。再者，頻率測量是例如每一次接通系統的電源時進行。

控制電路 20 在開始 RFVCO 的頻率測量時，首先切換開關 SW0，向迴路濾波器 16 供應直流電壓 VDC(步驟 S1)。而等候迴路濾波器 16 之電壓 Vc 穩定，VCO10 的振盪頻率穩定下來(步驟 S2)。接著，將預換算器 21 的分頻比固定在 1/64，同時將第 1 計數器 22N 設定成能當 11 位元計數器動作(步驟 S3)。然後，參照表示選擇頻帶的指標輸出選擇 VCO10 的頻帶的 VB3 ~ VB0 碼(步驟 S4)。在此，最初選擇的頻帶是，例如頻率範圍最低的 BAND 0。

接著，令第 1 計數器 22N 在基準振盪訊號  $\phi_{ref}$  的 4

(12)

個周期進行計數動作(步驟 S5)。然後在下一步驟 S6，將記憶器的計數值儲存在記憶電路 18 的任一暫存器。最初儲存的暫存器是第 1 暫存器 REG 0。然後，判斷是否已完成所有頻帶的頻率測量(步驟 S7)。若未完成，則在步驟 S8 將表示選擇頻帶的指標加值(+1)而回到步驟 S4。重複步驟 S4 ~S8 的動作。而在完成所有頻帶的頻率測量後，從步驟 S7 移行到步驟 S9 的待機模態，結束頻率測量。

此後，在待機狀態下，隨著開始收發訊而從基頻帶電路供給對應使用頻帶的頻率設定值時，則在使用頻帶決定電路 19，從依據其頻率設定值的記憶電路 18 的各暫存器 REG 0 ~ REG 15 的儲存值，與設定碼 N8~ N0 及 A5、A4 的比較結果，決定 VCO10 的使用頻帶，在引入初期電壓產生電路 17 以下述程序選擇引入初期電壓(步驟 S10)。

接著，由控制電路 20 切換開關 SW 0，將引入初期電壓產生電路 17 所產生的電壓施加在迴路濾波器 16，開始引入(步驟 S11)。而在開始引入，經過規定時間，迴路穩定後，由控制電路 20 切換開關 SW 0，連接充電泵 15 與迴路濾波器 16，鎖住 PLL 迴路後，開始收發訊(步驟 S12)。為了進行這種時間控制，控制電路 20 備有計時器 TMR。計時器 TMR 可依據，例如來自基準振盪電路 11 的基準振盪訊號  $\phi_{ref}$  進行計時動作。

接著說明，引入初期電壓產生電路 17。

先檢討從基頻帶電路供給相當於頻率  $f(S)$  的設定值，而回應此從  $n$  個(例如 16 個)頻待中選擇第  $i$  個頻帶時之

(13)

情形。假設此頻帶  $i$  的控制電壓可變範圍內之最大頻率為  $f(i: \max)$ ，最小頻率為  $f(i: \min)$  時，是  $f(i: \min) < f(s) < f(i: \max)$ 。而如果較被選擇之頻帶低一個頻帶的頻帶為  $i - 1$  時，此頻帶  $i - 1$  的控制電壓可變範圍內之最大頻率為  $f(i - 1: \max)$ ，最小頻率為  $f(i - 1: \min)$ ，則  $f(i: \min) = f(i - 1: \max)$ 。

另一方面，假設 PLL 電路以最大頻率  $f(i: \max)$  鎖定時的迴路濾波器 16 的電壓為  $V_{cp-\max}$ ，以最小頻率為  $f(i: \min)$  鎖定時的迴路濾波器 16 的電壓為  $V_{cp-\min}$  時，以設定頻率  $f(s)$  鎖定時的迴路濾波器 16 的電壓  $V_{cp-s}$  可以從第 4 圖以下示方式求得。再者，上述之測量頻率時，是以控制電壓可變範圍內的最高電壓  $V_{cp-\max}$  測量，其結果記憶在記憶電路 18 的暫存器 REG 0 ~ REG 15。

這時，首先從記憶電路 18 讀出，對應設定頻率  $F(s)$  選擇的頻帶  $i$  的最大頻率  $f(i: \max)$ ，及較此低一個的頻帶  $i - 1$  的最大頻率  $f(i - 1: \max)$ ，算出頻率差  $\Delta f_A = f(i: \max) - f(i - 1: \max)$ 。同時，算出所選擇的頻帶  $i$  的最大頻率  $f(i: \max)$  與設定頻率  $f(s)$  的差  $\Delta f_B = f(i: \max) - f(s)$ 。使用此等頻率差  $\Delta f_A$  與  $\Delta f_B$  時，PLL 迴路在設定頻率  $f(s)$  鎖定時的迴路濾波器 16 的電壓  $V_{cp-s}$ ，便可以用下式表示，

$$V_{cp-s} = V_{cp-\min} + (V_{cp-\max} - V_{cp-\min}) \times (1 - \Delta f_B / \Delta f_A)$$

(14)

因此，以這種電壓  $V_{cp-s}$  作為初期電壓  $VDC_i$  施加在迴路濾波器 16 時，便可以高速引入 PLL。但是要在半導體積體電路實現產生由此式表示之連續電壓的電路，需要高準確度的 D/A 變換電路。因此，本實施例是，對應頻率設定值  $f(s)$  成階段式設定施加於迴路濾波器 16 的引入初期電壓  $VDC_i$ 。具體上是，如第 4 圖所示，配設可產生將控制電壓可變範圍  $V_{cp-max} \sim V_{cp-min}$  分割成 M 個（例如 4 個）時的分壓  $V_{c1}$ 、 $V_{c2}$ 、 $V_{c3}$  及  $V_{cp-max}$  的電路，從此等電壓中選擇最接近相當於頻率設定值  $f(s)$  的濾波器電壓  $V_{cp-s}$  者，作為引入初期電壓  $VDC_i$ ，而施加在迴路濾波器 16。

第 5 圖是這時的引入初期電壓產生電路 17 的具體電路例子。本實施例的引入初期電壓產生電路 17 是由：串聯連接在電源電壓端子  $V_{cc}$  與接地點之間的電阻  $R_1 \sim R_5$  所成的電阻分割電路 71；選擇由該電阻分割電路 71 產生的電壓的任一電壓將其輸出的開關  $SW_1 \sim SW_4$  所構成的選擇器電路 72；算出接近對應頻率設定值  $f(s)$  的濾波器電壓的電壓運算電路 73；將該運算電路 73 的輸出解碼產生上述選擇器電路 72 的開關  $SW_1 \sim SW_4$  的 ON·OFF 用控制訊號的變換電路 74，所構成。

電阻分割電路 71 的電阻  $R_1 \sim R_5$  的電阻值設定成可以產生最大控制電壓  $V_{cp-max}$  與分壓  $V_{c1}$ 、 $V_{c2}$ 、 $V_{c3}$  的值。不需要最小控制電壓  $V_{cp-min}$  的理由是，因為頻帶低一個的頻帶  $i - 1$  施加最大電壓  $V_{cp-max}$  時，其結果與

(15)

選擇頻帶  $i$  施加最小電壓  $V_{cp-min}$  相同。

在上述運算電路 73，可以藉由下式運算式算出引入初期電壓  $VDC_i$ 。

$$VDC_i = V_{cp-min} + \{ (V_{cp-max} - V_{cp-min}) \cdot M \} \times INT \{ (1 - \Delta f_B \cdot \Delta f_A) \times M \}$$

再者，在上述數式，「INT」表示整數化。在此之整數化是以四捨五入較佳，但也可以把小數點以下去掉。這樣可以簡化電路。除了藉由上述運算式算出引入初期電壓  $VDC_i$  外，也可以從  $INT \{ (1 - \Delta f_B \cdot \Delta f_A) \times M$  算出整數值，再藉解碼器等構成的變換電路 74 等變換此值，產生選擇器電路 72 的控制訊號。

其次說明將本發明的 PLL 電路應用在構成多頻帶方式的無線電通訊系統的高頻 IC 時之情形。第 6 圖表示高頻 IC 的詳細架構例子及通訊機的整體概略架構。雖不特別限定，但本實施例的系統是所謂直接變換方式。

在第 6 圖，100 是訊號電波的收發訊用天線、200 是高頻 IC、110 是收發切換用之開關、120 是放大發送訊號的高頻電力放大電路，130 是發送用振盪器 (TXVCO)、140 是構成發送側 PLL 電路的迴路濾波器、150 是與產生對應所希望頻帶的頻率的振盪訊號的高頻振盪器 (RFVCO)10，一併構成 RF 用 PLL 電路的基準振盪電路 11，與迴路濾波器 16 等外部附設電路及零件、160 是從接

(16)

收訊號去除不需要電波的高頻濾波器、300 是將發送資料變換成 I、Q 訊號或控制高頻 IC 200 的基頻帶電路 (LSI)。高頻 IC 200 是在 1 片半導體晶片上構成爲半導體積體電路。

本實施例的高頻 IC 200 是藉由：RFVCO10；由第 1 圖所示固定分頻電路 13、相位比較器 14、充電泵 15、切換開關 SW0、預換算器 21、模計數器 22 等所構成，與上述 RFVCO10 或外部附加的基準振盪電路 11 及迴路濾波器 16 一起構成 PLL 電路的 RF 用 PLL 構成電路 205；由引入初期電壓產生電路 17、記憶電路 18、使用頻帶決定電路 19、控制電路 20 等構成的頻道控制電路 206；用以產生例如 320 MHz 的中間頻率的振盪訊號  $\phi$  IF 的振盪電路 (IFVCO)210；將振盪電路 210 產生的振盪訊號  $\phi$  IF 分頻，產生例如 80 MHz 的載波的分頻電路 220；對從分頻電路 220 輸出的載波，以基頻帶電路 300 供給的 I 訊號及 Q 訊號直接加以調變的調變電路 230；將高頻振盪器 10 供給的振盪訊號  $\phi$  RF 分頻的分頻電路 250；將該分頻電路 250 分頻的訊號  $\phi$  RF 與發送用振盪器 (TXVCO)130 回授的發送訊號  $\phi$  TX 合成，產生相當於兩訊號的頻率差的頻率的訊號  $\phi$  mix 的混頻器 260；去除從該混頻器 260 漏出的高頻成分的諧波濾波器 242；用以檢出上述混頻器 260 的訊號與來自上述調變電路 230 的調變訊號的相位差的相位檢測電路 270；依該相位檢測電路 270 輸出的訊號 (UP、DOWN) 動作的充電泵 280；以及模態控制電路 290 等，構

(17)

成發送系電路。

同時，在高頻 IC 200 的晶片上配設有：用以放大接收訊號的低雜訊放大器 310；在接收訊號合成高頻振盪器 150 的振盪訊號  $\phi$  RF 被分頻電路 250 分頻的訊號，藉此進行解調的解調電路 320；放大解調的訊號而輸出到基頻帶電路 300 的可程式化增益放大器 330 等，作為構成接收系的電路。雖不特別限定，但本實施例是由發送系電路與接收系電路共用上述基準振盪電路 11 與迴路濾波器 16 等外部附設零件，與設在晶片上的 RFVCO10 及 RF 用 PLL 構成電路 205 以及頻道控制電路 206 構成的 RF 合成器。

同時，以充電泵 280、相位檢測電路 270、迴路濾波器 140、發送用振盪器 (TXVCO)130、混頻器 260 構成進行頻率變換的發送用 PLL 電路 TxPLL。在多頻帶方式的無線電通訊系統，依使用的頻帶，由例如基頻帶電路 300 的指令切換上述高頻振盪器 10 的振盪頻率  $\phi$  RF，藉此切換發送頻率。

控制電路 290 設有控制暫存器 CRG，此控制暫存器 CRG 是依據來自基頻帶電路 300 的訊號進行設定。具體上是，從基頻帶電路 300 對高頻 IC 200 供應同步用的時鐘脈衝訊號 CLK、資料訊號 SDATA、控制訊號的饋入起動訊號 LEN，模態控制電路 290 在饋入起動訊號 LEN 在有效位準時，跟時鐘脈衝訊號 CLK 同步取進從基頻帶電路 300 傳送過來的資料訊號 SDATA，而將其設置在上述控制暫存器 CRG。雖不特別限定，但資料訊號 SDATA 是

(18)

以串行方式傳送。基頻帶電路 300 是由微處理器構成。

雖不特別限定，但在控制暫存器 CRG 設有：使上述實施例之 RFVCO10 的頻率測量開始的控制位元；用以指定接收模態、發送模態、等候時等，僅一部分電路在動作，至少含振盪電路的大部分電路停止的睡眠狀態的待機模態、令 PLL 電路起動的暖身模態等模態的位元；指定發送用 PLL 電路 TxPLL 的引入模態的位元等。

表 1 表示本實施例的三頻帶用高頻 IC 的中間頻率用振盪器 (IFVCO)210、發送用振盪器 (TXVCO)130 及高頻用振盪器 (RFVCO)10 的振盪訊號  $\phi$  IF、 $\phi$  TX、 $\phi$  RF 的頻率設定例子。

【表 1】

	IFVCO (MHz)	TXIF (MHz)	TXVCO (MHz)	RXVCO (MHz)	
				接收時	發送時
GSM900	640	80	880	3700	3840
	640	80	915	3840	3980
DCS1800	640	80	1710	3610	3580
	640	80	1785	3760	3730
PCS1900	640	80	1850	3860	3860
	640	80	1910	3980	3980

如表 1 所示，本實施例的中間頻率用振盪器 (IFVCO)

(19)

210 的振盪頻率在 GSM、DCS、PCS 任一方式均為 640 MHz，而在分頻電路 220 進行 1/8 的分頻，產生 80 MHz 的載波 TXIF，進行調變。

另一方面，高頻用振盪器 (RFVCO)10 的振盪頻率在 GSM 時設定在 3840 ~ 3980 MHz、DCS 時設定在 3580 ~ 3730 MHz、PCS 時則設定在 3860 ~ 3980 MHz，而在分頻電路 250，GSM 時進行 1/4 的分頻，DCS 及 PCS 時進行 1/2 的分頻，成為  $\phi$  RF 供給混頻器 260。混頻器 260 則輸出相當於此  $\phi$  RF 與來自發送用振盪器 130 的發送用振盪訊號  $\phi$  TX 的頻率差 (FRF - FTX) 的訊號，發送用 PLL (TxPLL) 便動作使此差訊號與調變訊號的頻率 FTXIF 相一致。

再者，在第 6 圖的實施例表示，將本發明的 PLL 電路應用在，用以產生於混頻器 260 與接收訊號合成的 RF 訊號 (高頻訊號) 的 RF 用 PLL 電路時之情形，但也可以應用在，用以產生於混頻器與發送訊號合成的 IF 訊號 (中間頻率訊號) 的 IF 用 PLL 電路。雖未圖示，也可以在藉由來自基頻帶電路 300 的 I 訊號與 Q 訊號直接調變發送訊號的直接昇頻變換方式的高頻 IC，應用在產生發送訊號的發送用 PLL 電路。

其次，參照第 7 圖，說明將本發明的 PLL 電路應用在構成極性還路 (polar loop) 方式的無線電通訊系統的高頻 IC 時的實施例。

在第 7 圖，120 是包含驅動天線 100 進行發送的高頻

(20)

電力放大電路(以下簡稱為電力放大器)121、或用以檢出發送電力的耦合器 122 等的電力模組；200 是能夠進行 GSM 系統的 GMSK 調變，或 EDGE 系統的 8 - PSK 調變的高頻 IC；300 是依據發送資料(基頻帶訊號)產生 I/Q 訊號，或產生高頻 IC 200 的控制訊號或電力模組 120 內對電力放大電路 121 的偏壓 VBIAS 的基頻帶電路；TxVCO 是用以產生相位調變的發送訊號(載波)的發送用振盪器；LPF1 是用以限制相位控制迴路的頻帶的迴路濾波器。

高頻 IC 200 與基頻帶電路 LSI 300 分別在一個半導體晶片上構成為半導體積體電路。高頻 IC 200 的晶片上除了發送系電路以外，另有：由低雜訊放大器(LNA)；將接收訊號降頻變換成中間頻率的訊號的混頻器(Rx - MIX)；高增益的可程式化增益放大器(PGA)等構成的接收系電路 410。

本實施例的極性還路(polar loop)方式的無線電通訊系統具備有：相位控制用的回授迴路(以下簡稱為相位迴路)之外；另有振幅控制用的回授迴路(以下簡稱為振幅迴路)的兩種控制迴路。

構成本實施例的極性還路的高頻 IC 200 具備有：用以產生高頻的振盪訊號  $\phi$  RF 的振盪器(RF - VCO)10；用以產生中頻的振盪訊號  $\phi$  IF 的振盪器(IF - VCO) 210；從 IF - VCO210 產生的振盪訊號  $\phi$  IF 產生相位相互錯開 90° 的訊號的相位分頻電路 220；混合從基頻帶電路 LSI300

(21)

供給的 I/Q 訊號，與在相位分頻電路 220 分頻的訊號，進行直交調變的直交調變電路 230；混合來自發送用振盪器 TxVCO 的回授訊號與來自 RF - VCO10 的振盪訊號

$\phi$  RF，降頻變換成如 80 MHz 的訊號的混頻器 260；用以檢測該混頻器 260 的輸出訊號與上述直交調變電路 230 的輸出訊號的相位差的相位檢測電路 270；混合來自用以檢測電力放大電路 121 的輸出位準的上述耦合器 122 的訊號，與來自高頻振盪器 RF - VCO10 的振盪訊號  $\phi$  RF 的混頻器 132；放大該混頻器 132 的輸出的回授側可變增益放大電路 MVGA；將放大的訊號與上述直交調變電路 230 的輸出訊號做比較，而檢出振幅差的振幅檢測電路 450；產生對應振幅檢測電路 450 的輸出的電壓，同時節制振幅迴路的頻帶的迴路濾波器 LPF2；放大迴路濾波器 LPF2 的輸出的前行側可變增益放大電路 IVGA；控制可變增益放大電路 MVGA 及 IVGA 的增益的增益控制電路 460；用以設定晶片內的控制資訊或動作模態等的暫存器 470；依據暫存器 470 的設定值輸出對晶片內部的各電路的定時訊號，令其依動作模式以規定順序動作的序列產生器 480 等。

本實施例的高頻 IC 200 是對應上述 RF - VCO10，配設有：由第 1 圖所示固定分頻電路 13、相位比較器 14、充電泵 15、切換開關 SW0、預換算器 21、模計數器 22 等所構成，與上述 RFVCO10 或外部附加的基準振盪電路 11 及迴路濾波器 16 一起構成 PLL 電路的 RF 用 PLL 構成電路 205；及由引入初期電壓產生電路 17、記憶電路 18、

(22)

使用頻帶決定電路 19、控制電路 20 等構成的頻道控制電路 206。藉此可以自動選擇最合適的頻帶，高速進行開始送受信時的 PLL 電路之引入。產生基準的振盪訊號的基準振盪電路 11 是以外部附加零件構成。

本實施例是以上述耦合器 122 - 混頻器 132 - 可變增益放大電路 MVGA - 振幅檢測電路 450 - 迴路濾波器 LPF2 - 可變增益放大電路 IVGA - 電力放大電路 121 構成振幅迴路。同時，以相位檢測電路 270 - 迴路濾波器 LPF1 - 發送用振盪器 TxVCO - 混頻器 260 - 相位檢測電路 270 構成相位迴路。在相位迴路，如果在直交調變電路 230 的輸出訊號與來自混頻器 260 的回授訊號產生相位差，則向發送用振盪器 TxVCO 的頻率控制端子供應可使此誤差減少的電壓，來自混頻器 260 的回授訊號的相位便與直交調變電路 230 的輸出訊號的相位一致。藉由此相位迴路控制發送用振盪器 TxVCO 的輸出訊號的相位，使其不會因電源電壓的變動或溫度變化而偏移。再者，發送用振盪器 TxVCO 的振幅是維持一定大小。

而且，本實施例設有切換開關 SW10，可以使上述可變增益放大電路 MVGA 的輸出回授到相位檢測電路 270，使耦合器 122 - 混頻器 132 - 可變增益放大電路 MVGA 的路徑可以當作振幅迴路與相位迴路之共同回授路徑使用。開關 SW10 可以對應從基頻帶電路 LSI 300 設定暫存器 470 的設定狀態，由序列產生器 480 進行切換。

因 EDGE 模態時在電力放大電路 121 含有相位調變成

(23)

分及振幅調變成分之雙方，因此對具有輸出側的相位成分的相位檢測電路 270 之回授訊號，可以使用發送用振盪器 TxVCO 的輸出或電力放大電路 121 的輸出的任一方。但是，開始發送時，電力放大電路 121 的輸出尚未上昇，因此從振幅迴路的回授訊號無法鎖定相位迴路。另一方面，在 EDGE 模態，振幅迴路的回授路徑是不可缺，因此在迴路鎖定後可共用振幅迴路，遮斷含混頻器 260 的狹義的相位迴路，藉此可以降低電力消耗，又可進行精密度更高的相位調變。本實施例是在輸出上昇時，將開關 SW10 切換至選擇從相位迴路的回授訊號的一側令其動作，迴路穩定後切換至選擇從振幅迴路之回授訊號的一側。

同時，相位迴路上的迴路濾波器 LPF1 是由電容器 C0、C1 及與 C1 串聯的電阻 R1 所構成。但是，迴路濾波器 LPF1 的頻帶是考慮僅進行相位調變的 GMSK 模態，適當決定各電容或電阻的值，使其頻帶為雜訊抑制度高的例如 1.2 MHz 的頻帶。

在本實施例的發送電路，如果以 8 - PSK 調變模態動作時，在振幅迴路時，電力放大電路 121 的輸出由耦合器 122 加以檢出，其檢出訊號在混頻器 132 變換成中間頻帶 (IF)，由可變增益放大電路 MVGA 加以放大，成為回授訊號 SFB 而供給振幅檢測電路 450。而在振幅檢測電路 450，由直交調變電路 230 調變的發送訊號與回授訊號 SFB 作比較，檢出振幅差，其振幅差在可變增益放大電路 MVGA 被放大，當作控制電壓 VAPC 施加在電力放大電路

(24)

121，進行振幅控制。

在本實施例，電力放大電路 121 是由 FET 等所構成，由設在電力模組 120 的電壓控制電路(未圖示)產生對應上述控制電壓 VAPC 的驅動電壓(Vdd)施加在此 FET 的汲極端子或源極端子。同時，電力 FET 的閘極端子則施加有由未圖示的偏壓電路產生的適當的偏壓 VBIAS。

在此說明，前行路徑上的可變增益放大電路 IVGA 與回授路徑上的可變增益放大電路 MVGA 的增益控制如下。

在對應 EDGE 或 GSM 的攜帶式電話終端機，會進行，使電力放大電路的輸出電力 POUT 在一定時間內增加或減少到所希望值的電力控制。在極性迴路是藉由控制可變增益放大電路 MVGA 的增益，來進行此項電力控制。具體上是，如果使可變增益放大電路 MVGA 的增益減少，振幅迴路的回授訊號會減少，因此，為了使其與來自調變電路的基準訊號一致，控制電力放大器使其增益 GPA(POUT/PIN)增加，因此輸出電力 POUT 增加。希望減少輸出電力 POUT 時，減少可變增益放大電路 MVGA 的增益即可。本實施例的可變增益放大電路 MVGA 的增益控制，是利用來自基頻帶電路 LSI 300 的控制電壓 VRAMP。而且，可變增益放大電路 MVGA 的增益 GMVGA 的減少或增加的比例，與電力放大器的增益 GPA 的增加或減少的比例恆常相等。

因此，對控制電壓 VRAMP 的可變增益放大電路

(25)

MVGA 的增益的變化成向右下降的直線，對控制電壓 VRAMP 的電力放大電路 121 的增益的變化成向右上昇的直線。同時，藉此可以使電力放大電路 121 的輸出電力 POUT 對控制電壓 VRAMP 成直線增加。如此，藉由控制電壓 VRAMP 使電力放大電路 121 的輸出電力 POUT 以 dB 單位加以線形控制，對使振幅迴路穩定動作很有效。

另一方面，來自調變電路 230 的基準訊號是在 8 - PSK 調變的訊號，振幅成分是有變化，但因振幅控制迴路的作用控制成電力放大電路的輸出電力 POUT 的振幅成分與基準訊號 SREF 一致。這時，電力放大器 120 的輸出電力 POUT 是藉由上述電力控制維持在所希望的值。如此，在極性迴路可以維持所希望的輸出電力，而對以 8 - PSK 調變的振幅成分不會有影響。

以上，依據實施例具體說明由本發明人等所完成的發明，但本發明並非限定如實施例。例如在上述實施例的 PLL 電路，是以控制電壓的分割數 M 為「4」時進行說明，但分割數並不限定為「4」，「5」或「6」均可以。分割數愈多，可以正確設定引入初期電壓 VDCi，縮短引入時間。但是，分割數太多，引入初期電壓產生電路 17 的電路規模會變大，同時，引入時間的定時器控制會變複雜，因此對某些電路形式，若分割數太多，有時缺點會比優點多。

同時，在實施例，是預先將使用規定的一個直流電壓 (實施例是  $V_{cp-max}$ ) 測量的 VCO10 的頻率，記憶在記憶電

(26)

路 18，在 PLL 電路開始動作時，依據從此記憶電路 18 讀出的頻率資訊與來自基頻帶的指定頻率資訊選擇引入初期電壓，但是也可以使用複數個直流電壓(第 4 圖的  $V_{cp-max}$ ， $V_{c3}$ 、 $V_{c2}$ 、 $V_{c1}$  等)分別測量 VCO10 的頻率而記憶在記憶電路 18，在 PLL 電路開始動作時，由使用頻帶決定電路 19 爲了決定要使用的頻帶，而依據從此記憶電路 18 讀出的頻率資訊選擇引入初期電壓。

而且，在實施例，是將記憶預先測量的 VCO10 的頻率的記憶電路 18，與決定 VCO10 的使用頻帶的使用頻帶決定電路 19 設在高頻 IC 內，但也可以省略使用頻帶決定電路 19，僅將記憶電路 18 設在高頻 IC 內，PLL 電路開始動作時，由基頻帶電路 300 從此記憶電路 18 讀出頻率資訊，決定 VCO10 的使用頻帶，連同頻帶切換碼 VB3 ~ VB0 供給控制引入初期電壓產生電路 17 內的選擇器電路 72 的訊號。而且，實施例是將測量頻率時的直流電壓 VDC，從電壓產生電路 17 經由迴路濾波器 16 供給 VCO10，但也可以從電壓產生電路 17 當作 VCO 控制電壓  $V_c$  直接供給 VCO10。

以上的說明，主要是將本發明人等所完成的發明，應用在成爲其背景の利用領域的攜帶式電話機的無線電系統的 PLL 電路之情形，但是，本發明並非限定如此，也可以利用在，備有 PLL 電路的半導體積體電路，特別是可以在備有 VCO 的可變頻率範圍廣大的 PLL 電路的半導體積體電路。

(27)

茲簡單說明，可以從本發明所揭示的發明中具代表性者獲得的效果如下。

亦即，依照本發明時，可以實現，具備有，由於在開始振盪動作時，能夠施加極接近振盪電路以所希望的頻率振盪時所施加的初期電壓，因此，可以不必配設 PLL 之引入用電流源，而且能夠正確且高速引入的 PLL 電路的通訊用半導體積體電路。並且，在使用本發明的通訊用半導體積體電路的無線電通訊系統，可以藉由複數個頻帶的訊號進行通訊，而且，可以將 VCO 與調變解調電路等一起形成在一片晶片上，藉此可以減少構成系統的零件數，達成裝置的小型化。

#### 【圖式簡單說明】

第 1 圖是應用本發明的 PLL 電路的一實施例的方塊圖。

第 2 圖是表示在 PLL 電路令 VCO 的頻率可變範圍連續變化時，及分成各頻道變化時之控制電壓  $V_c$  與振盪頻率  $f_{vco}$  之關係的曲線圖。

第 3 圖是表示實施例之 PLL 電路的 VCO 之頻率測量程序及 PLL 電路的引入動作程序的一個例子的流程圖。

第 4 圖是說明實施例之 PLL 的 PLL 電路之引入初期電壓的決定方法之圖。

第 5 圖是表示構成實施例的 PLL 電路的引入初期電壓產生電路的具體例子之架構圖。

(28)

第 6 圖是表示應用本發明的 PLL 電路的直接變換方式的無線通訊系統的架構例子之方塊圖。

第 7 圖是表示應用本發明的 PLL 電路的極性迴路方式的無線通訊系統的架構例子之方塊圖。

【圖號說明】

10：電壓控制振盪器

11：基準振盪電路

14：相位比較電路

15：充電泵

16：迴路濾波器

17：引入初期電壓產生電路

18：記憶電路

19：使用頻道決定電路

20：控制電路

22：模計數器

71：電阻分割電路

72：選擇器電路

73：運算電路

74：變換電路

100：收發訊用天線

110：收發切換用之開關

120：高頻電力放大器

130：發訊用振盪器

(29)

140 : 迴路濾波器

160 : 高頻濾波器

200 : 高頻 IC

205 : RF 用 PLL 構成電路

206 : 頻道控制電路

210 : 振盪電路

220 : 分頻電路

230 : 調變電路

240 : 分頻電路

260 : 混合器

270 : 相位檢測電路

280 : 充電泵

290 : 控制電路

300 : 基頻電路

#### 肆、中文發明摘要

發明之名稱：通訊用半導體積體電路及無線通訊系統  
本發明提供，PLL 電路的可設定頻率範圍很大時，仍可以不必在平常動作時之充放電用電流源外，另行配設電流源，能夠高速引入 (pull in) 所希望的設定頻率之通訊用半導體積體電路 (高頻 IC)。

將構成 PLL 電路的振盪電路 (VCO10) 構成爲可以在複數個頻帶動作，將振盪電路的控制電壓 (Vc) 固定在規定值 (VDC) 之狀態下，測量各頻帶之振盪電路的振盪頻率，記憶在記憶電路 (18)，而比較 PLL 動作時所給予的頻帶指定用的設定值，與上述記憶的頻率的測量值，從其比較結果決定實際在振盪電路使用的頻帶，同時求出所選擇頻帶的最大頻率與設定頻率之頻率差，再從該頻率差與所選擇的頻帶的頻率可變範圍決定最接近設定頻率的控制電壓，將該控制電壓供給振盪電路令其開始振盪動作，再閉合 PLL 環將其鎖定。

#### 伍、英文發明摘要

發明之名稱：

(1)

**拾、申請專利範圍**

1. 一種通訊用半導體積體電路，包含，備有：可檢出規定頻率的基準訊號與回授訊號的相位差之相位檢測電路；回應該相位檢測電路所檢出的相位差產生電壓之充電泵；及構成爲可依該充電泵所充放電的濾波器電容的電壓，成爲可振盪的振盪電路，可輸出對應被指定頻率資訊的頻率的振盪訊號之 PLL 電路，其特徵爲，具備有：

用以記憶上述振盪電路之被測量的頻率資訊之記憶手段；

比較記憶在上述記憶手段的測量頻率資訊，與上述被指定的頻率資訊，而產生用以指定上述振盪電路的振盪頻帶的訊號之頻帶決定電路；

依據對應記憶在上述記憶手段的上述頻帶決定電路所決定的振盪頻帶的測量頻率，與上述被指定的頻率資訊，產生加在上述濾波器電容或振盪電路的電壓之電壓產生電路；

選擇性供給對應上述充電泵的輸出的電壓或上述電壓產生電路所產生的電壓，作爲上述振盪電路的控制電壓之控制電壓切換手段；以及

進行上述控制電壓切換手段的切換控制之控制電路，

在上述 PLL 電路開始動作時，藉由上述控制電壓切換手段，以上述電壓產生電路所產生的電壓作爲初期電壓，將其供給上述濾波器電容或上述振盪電路，進行引入 (pull in) 動作，然後切換上述控制電壓切換手段，向上述

(2)

振盪電路供應對應充電泵的輸出的電壓，以鎖定 PLL 迴路。

2.如申請專利範圍第 1 項所述之通訊用半導體積體電路，其中

從上述被選擇的頻帶的最大頻率與設定頻率的頻率差，及被選擇的頻帶的頻率可變範圍，決定最接近設定頻率的控制電壓，藉由上述控制電壓切換手段供應該控制電壓。

3.如申請專利範圍第 1 項所述之通訊用半導體積體電路，其中

在測量上述振盪電路的振盪訊號的頻率時，將上述電壓產生電路所產生的規定電壓，供給上述濾波器電容或上述振盪電路。

4.如申請專利範圍第 1 項所述之通訊用半導體積體電路，其中

備有，可測量上述振盪電路的振盪頻率的頻率計數器

，  
上述控制電路在使上述 PLL 電路成為開迴路的狀態下，藉由上述控制電壓切換手段所供應的規定直流電壓，使上述振盪電路產生振盪，而以上述頻率計數器按規定的各頻帶測量其頻率，由上述記憶手段加以記憶，而在使上述 PLL 電路成為閉迴路而動作時，依據來自上述頻帶決定電路的訊號，以上述指定的頻帶使上述振盪電路產生振盪動作。

(3)

5.如申請專利範圍第 4 項所述之通訊用半導體積體電路，其中

在上述振盪電路與上述相位比較電路之間，設有用以將來自上述振盪電路的振盪訊號分頻的計數電路，而以該計數電路兼作為測量上述頻率時的頻率計數器。

6.如申請專利範圍第 5 項所述之通訊用半導體積體電路，其中

上述計數電路包含：可切換分頻比的分頻電路；可計算相當於，以上述基準訊號的頻率除上述振盪電路應輸出的訊號的頻率，再以上述分頻電路的一方的分頻比除的商之值的第 1 可程式化計數器；可計算相當於上述除算的餘數之值的第 2 可程式化計數器，

而在上述記憶電路記憶由上述第 1 可程式化計數器所計算的值。

7.如申請專利範圍第 6 項所述之通訊用半導體積體電路，其中

上述頻帶決定電路是藉由比較記憶在上述記憶手段的測量頻率資訊，與設定在上述第 1 可程式化計數器及第 2 可程式化計數器的頻率資訊，產生用以指定上述振盪電路的振盪頻帶的訊號。

8.如申請專利範圍第 1 項所述之通訊用半導體積體電路，其中

具備有：藉由合成從上述 PLL 電路輸出的振盪訊號或將其分頻的訊號與接收訊號，而獲得解調的訊號之第 1

(4)

混頻器；及藉由合成從上述 PLL 電路輸出的振盪訊號或將其分頻的訊號與發送訊號，而獲得相當於頻率差的頻率的訊號之第 2 混頻器。

9.如申請專利範圍第 1 項所述之通訊用半導體積體電路，其中

具備有：藉由合成從上述 PLL 電路輸出的振盪訊號與電力放大器輸出的檢測訊號，而獲得變換頻率的訊號之第 3 混頻器。

10.一種無線通訊系統，其特徵為，具備有：

備有：可檢出規定頻率的基準訊號與回授訊號的相位差之相位檢測電路；回應該相位檢測電路所檢出的相位差產生電壓之充電泵；及構成為可依該充電泵所充放電的濾波器電容的電壓，成為可在複數個頻帶振盪的振盪電路，可輸出對應被指定頻率資訊的頻率的振盪訊號之 PLL 電路；

用以記憶按上述振盪電路的規定頻帶測量的頻率資訊之記憶手段；

比較記憶在上述記憶手段的測量頻率資訊，與上述被指定的頻率資訊，而產生指定上述振盪電路的振盪頻帶的訊號之頻帶決定電路；

依據對應記憶在上述記憶手段的上述頻帶決定電路所決定的振盪頻帶的測量頻率，與上述被指定的頻率資訊，產生加在上述濾波器電容或振盪電路的電壓之電壓產生電路；

(5)

選擇性供給對應上述充電泵的輸出的電壓或上述電壓產生電路所產生的電壓，作為上述振盪電路的控制電壓之控制電壓切換手段；以及

進行上述控制電壓切換手段的切換控制之控制電路：  
包含：

在上述 PLL 電路開始動作時，藉由上述控制電壓切換手段，以上述電壓產生電路所產生的電壓作為初期電壓，將其供給上述濾波器電容或上述振盪電路，進行引入動作，然後切換上述控制電壓切換手段，向上述振盪電路供應對應充電泵的輸出的電壓，以鎖定 PLL 迴路，使其產生振盪的通訊用半導體積體電路；

從藉由該通訊用半導體積體電路降頻變換至所希望的頻率的接收訊號，抽出資料，或將發送資料變換成 I、Q 訊號的基頻帶電路，

上述指定頻率資訊是由上述基頻帶電路供給上述通訊用半導體積體電路。

11.如申請專利範圍第 10 項所述之無線通訊系統，其中

備有：用以控制從發送用振盪電路輸出的載波的相位之相位控制迴路；及用以控制從電力放大電路輸出的發送輸出訊號的振幅之振幅控制迴路，可以藉由調變相位的第 1 調變模態發送，與藉由調變相位及振幅的第 2 模態發送，可以進行，使用至少包含 900 MHz 頻帶的 GSM 方式的兩個以上頻率的通訊方式之收發訊。

(6)

12. 一種通訊用半導體積體電路，包含，備有：可檢出規定頻率的基準訊號與回授訊號的相位差之相位檢測電路；回應該相位檢測電路所檢出的相位差產生電壓之電壓產生電路；及可依據該電壓產生電路的電壓振盪動作的振盪電路，可輸出對應被指定的頻率資訊的頻率的振盪訊號之 PLL 電路，其特徵為，具備有：

用以記憶上述振盪電路之被測量的頻率資訊之記憶手段；

比較記憶在上述記憶手段的測量頻率資訊，與上述被指定的頻率資訊，而產生指定上述振盪電路的振盪頻帶的訊號之頻帶決定電路；

依據對應記憶在上述記憶手段的上述頻帶決定電路所決定的振盪頻帶的測量頻率，產生加在上述振盪電路的電壓之電壓產生電路；

選擇性供給對應上述電壓產生電路產成的電壓或上述電壓產生電路產生的電壓之控制電壓切換手段；以及

進行上述控制電壓切換手段的切換控制之控制電路；

而藉由上述控制電壓切換手段，向上述振盪電路供應上述電壓產生電路所產生的電壓，然後向上述振盪電路供應上述電壓產生電路所形生的電壓。

13. 如申請專利範圍第 12 項所述之通訊用半導體積體電路，其中

從上述被選擇的頻帶的最大頻率與設定頻率的頻率差，及被選擇的頻帶的頻率可變範圍，決定最接近設定頻率

(7)

的控制電壓，藉由上述控制電壓切換手段供應該控制電壓。

14.如申請專利範圍第 12 項所述之通訊用半導體積體電路，其中

在測量上述振盪電路的振盪訊號的頻率時，將上述電壓產生電路所產生的規定電壓，供給上述振盪電路。

15.如申請專利範圍第 12 項所述之通訊用半導體積體電路，其中

備有，可測量上述振盪電路的振盪頻率的頻率計數器

上述控制電路在使上述 PLL 電路成爲開迴路的狀態下，藉由上述控制電壓切換手段所供應的規定直流電壓，使上述振盪電路產生振盪，而以上述頻率計數器按規定的各頻帶測量其頻率，由上述記憶手段加以記憶，而在使上述 PLL 電路成爲閉迴路而動作時，依據來自上述頻帶決定電路的訊號，以上述指定的頻帶使上述振盪電路產生振盪。

16.如申請專利範圍第 15 項所述之通訊用半導體積體電路，其中

在上述振盪電路與上述相位比較電路之間，設有用以將來自上述振盪電路的振盪訊號分頻的計數電路，而以該計數電路兼作爲測量上述頻率時的頻率計數器。

17.如申請專利範圍第 16 項所述之通訊用半導體積體電路，其中

(8)

上述計數電路包含：可切換分頻比的分頻電路；可計算相當於，以上述基準訊號的頻率除上述振盪電路應輸出的訊號的頻率，再以上述分頻電路的一方的分頻比除的商之值的第 1 可程式化計數器；可計算相當於上述除算的餘數之值的第 2 可程式化計數器，

而在上述記憶電路記憶由上述第 1 可程式化計數器所計算的值。

18.如申請專利範圍第 17 項所述之通訊用半導體積體電路，其中

上述頻帶決定電路是藉由比較記憶在上述記憶手段的測量頻率資訊，與設定在上述第 1 可程式化計數器及第 2 可程式化計數器的頻率資訊，產生用以指定上述振盪電路的振盪頻帶的訊號。

19.如申請專利範圍第 12 項所述之通訊用半導體積體電路，其中

具備有：藉由合成從上述 PLL 電路輸出的振盪訊號或將其分頻的訊號與接收訊號，而獲得解調的訊號之第 1 混頻器；及藉由合成從上述 PLL 電路輸出的振盪訊號或將其分頻的訊號與發送訊號，而獲得相當於頻率差的頻率的訊號之第 2 混頻器。

20.如申請專利範圍第 12 項所述之通訊用半導體積體電路，其中

具備有：藉由合成從上述 PLL 電路輸出的振盪訊號與電力放大器輸出的檢測訊號，而獲得變換頻率的訊號之

(9)

第 3 混頻器。

21. 一種無線通訊系統，其特徵為，具備有：

備有：可檢出規定頻率的基準訊號與回授訊號的相位差之相位檢測電路；回應該相位檢測電路所檢出的相位差產生電壓之電壓產生電路；及構成為可依該電壓產生電路的電壓，成為可在複數個頻率振盪的振盪電路，可輸出對應被指定的頻率資訊的頻率的振盪訊號之 PLL 電路；

用以記憶按上述振盪電路之規定頻帶測量的頻率資訊之記憶手段；

比較記憶在上述記憶手段的測量頻率資訊，與上述被指定的頻率資訊，而產生指定上述振盪電路的振盪頻帶的訊號之頻帶決定電路；

依據對應記憶在上述記憶手段的上述頻帶決定電路所決定的振盪頻帶的測量頻率，產生加在上述振盪電路的電壓之電壓產生電路；

選擇性供給對應上述電壓產生電路產成的電壓或上述電壓產生電路所產生的電壓之控制電壓切換手段；以及

進行上述控制電壓切換手段的切換控制之控制電路；

包含：

藉由上述控制電壓切換手段，將上述電壓產生電路所產生的電壓供給上述振盪電路，然後，將上述電壓產生電路產成的電壓供給上述振盪電路之通訊用半導體積體電路；

從藉由該通訊用半導體積體電路降頻變頻至所希望頻

(10)

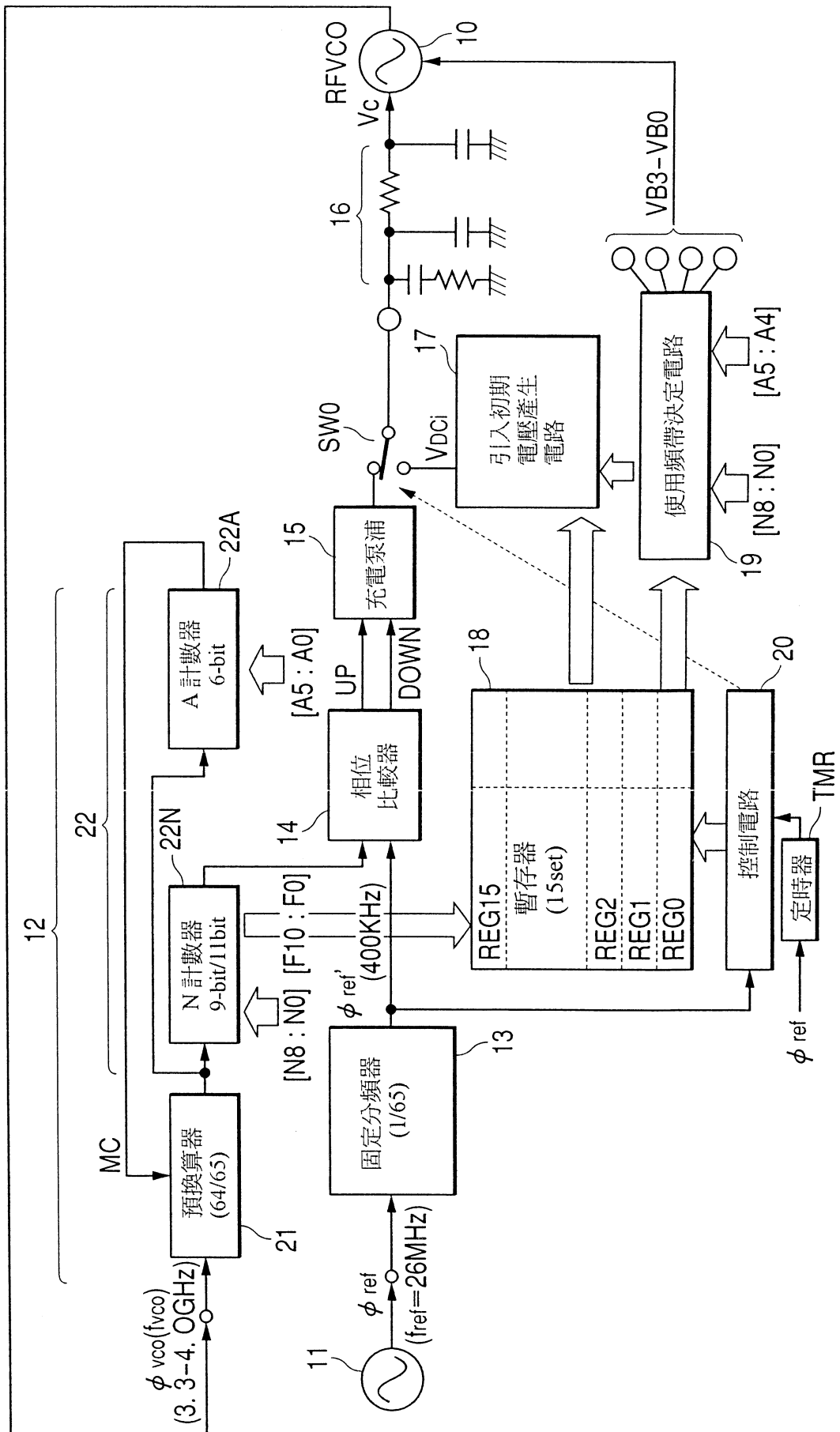
率的接收訊號，抽出資料的基頻帶電路，

上述指定頻率資訊是由上述基頻帶電路供給上述通訊用半導體積體電路。

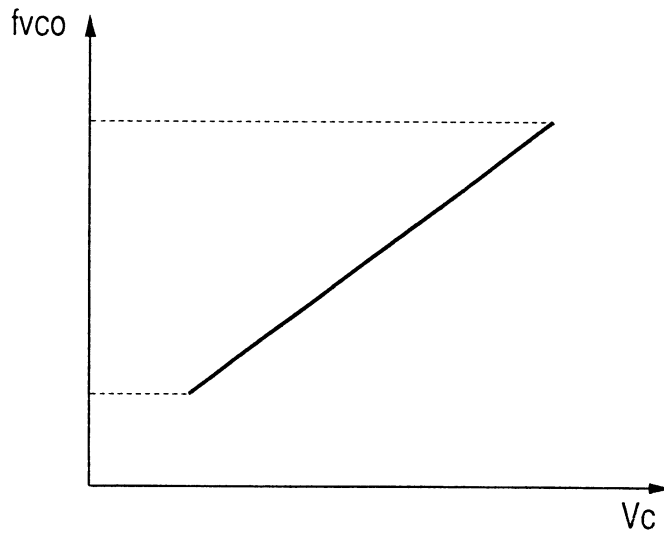
22.如申請專利範圍第 21 項所述之無線通訊系統，其中

備有：用以控制從發送用振盪電路輸出的載波的相位之相位控制迴路；及用以控制從電力放大電路輸出的發送輸出訊號的振幅之振幅控制迴路，可以藉由調變相位的第 1 調變模態發送，與藉由調變相位及振幅的第 2 模態發送，可以進行，使用至少包含 900 MHz 頻帶的 GSM 方式的兩個以上頻率的通訊方式之收發訊。

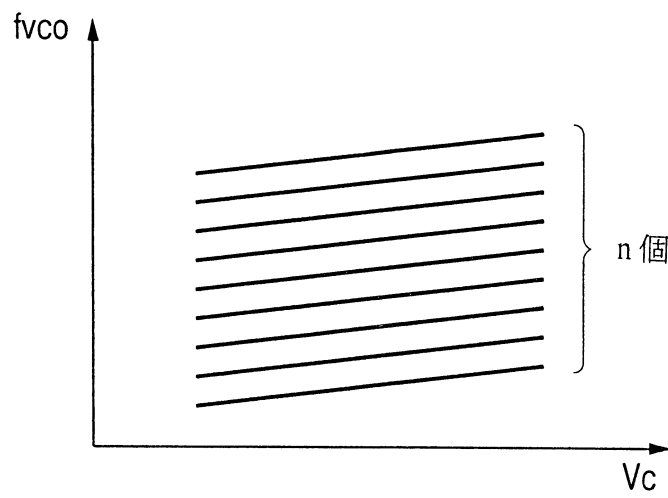
第 1 圖



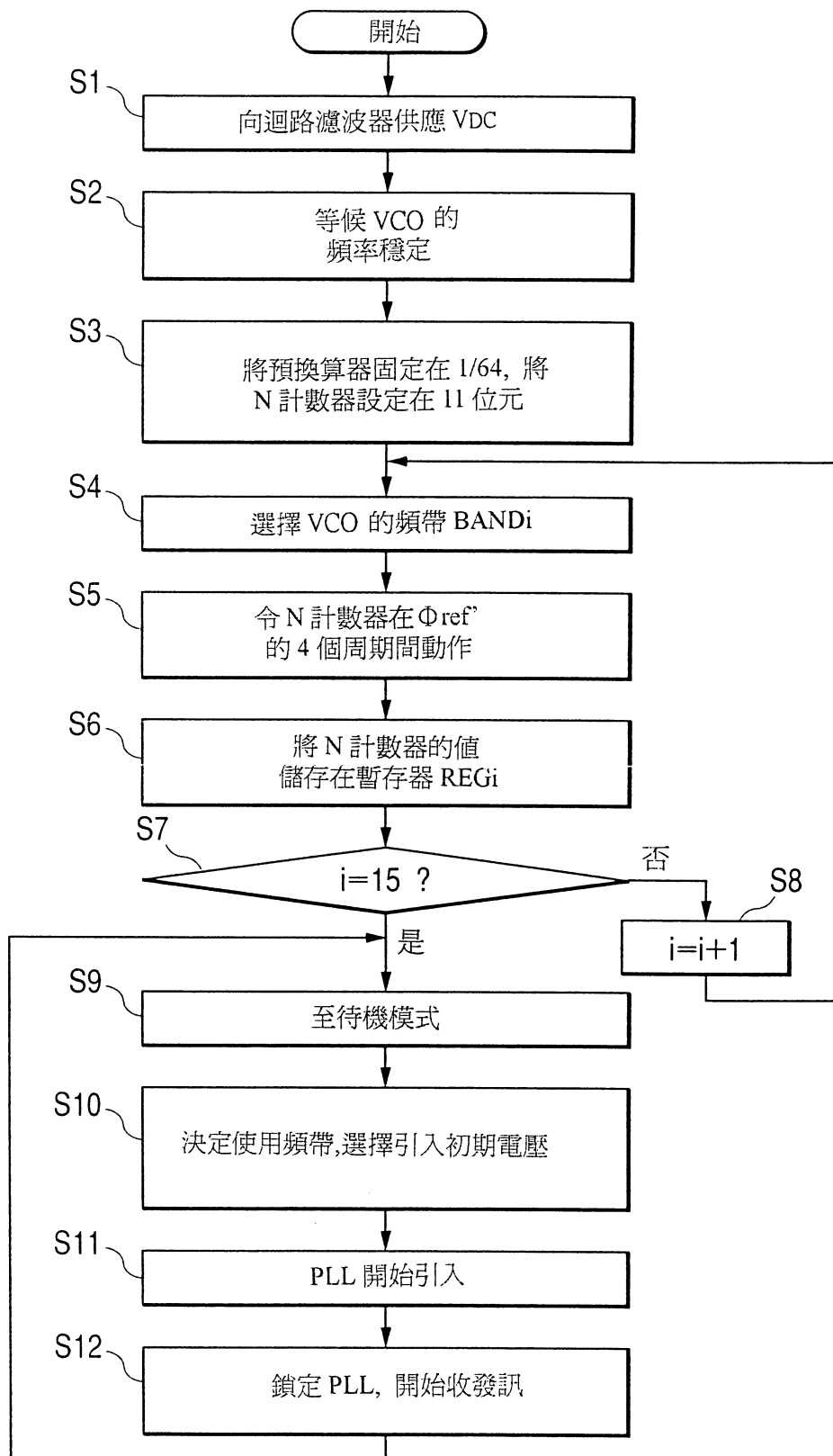
第 2 圖 (A)



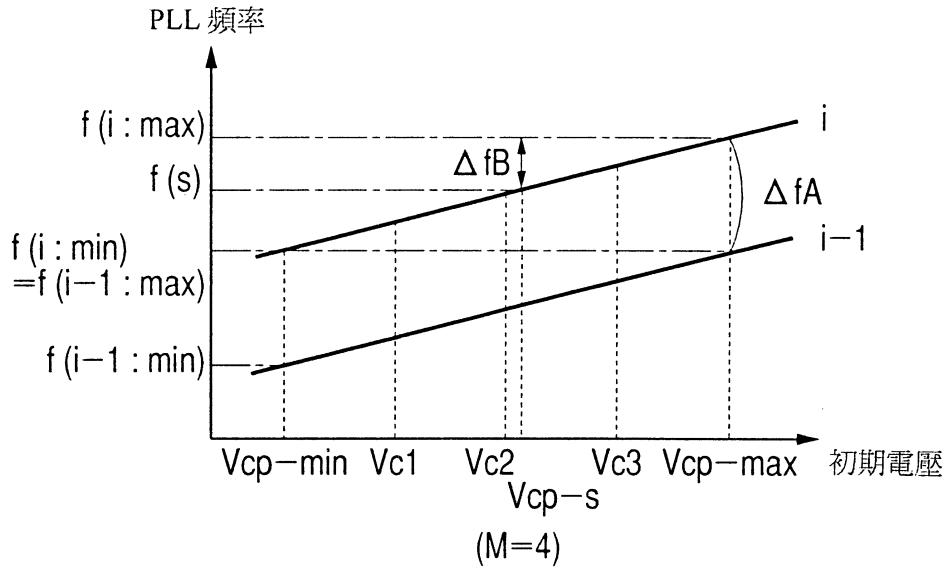
第 2 圖 (B)



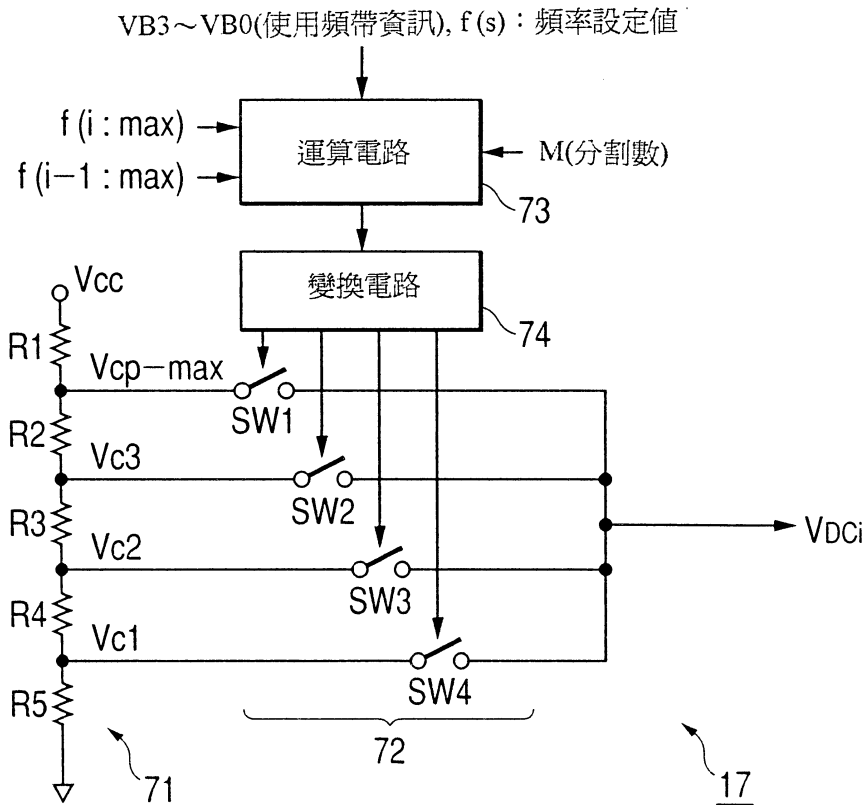
## 第 3 圖



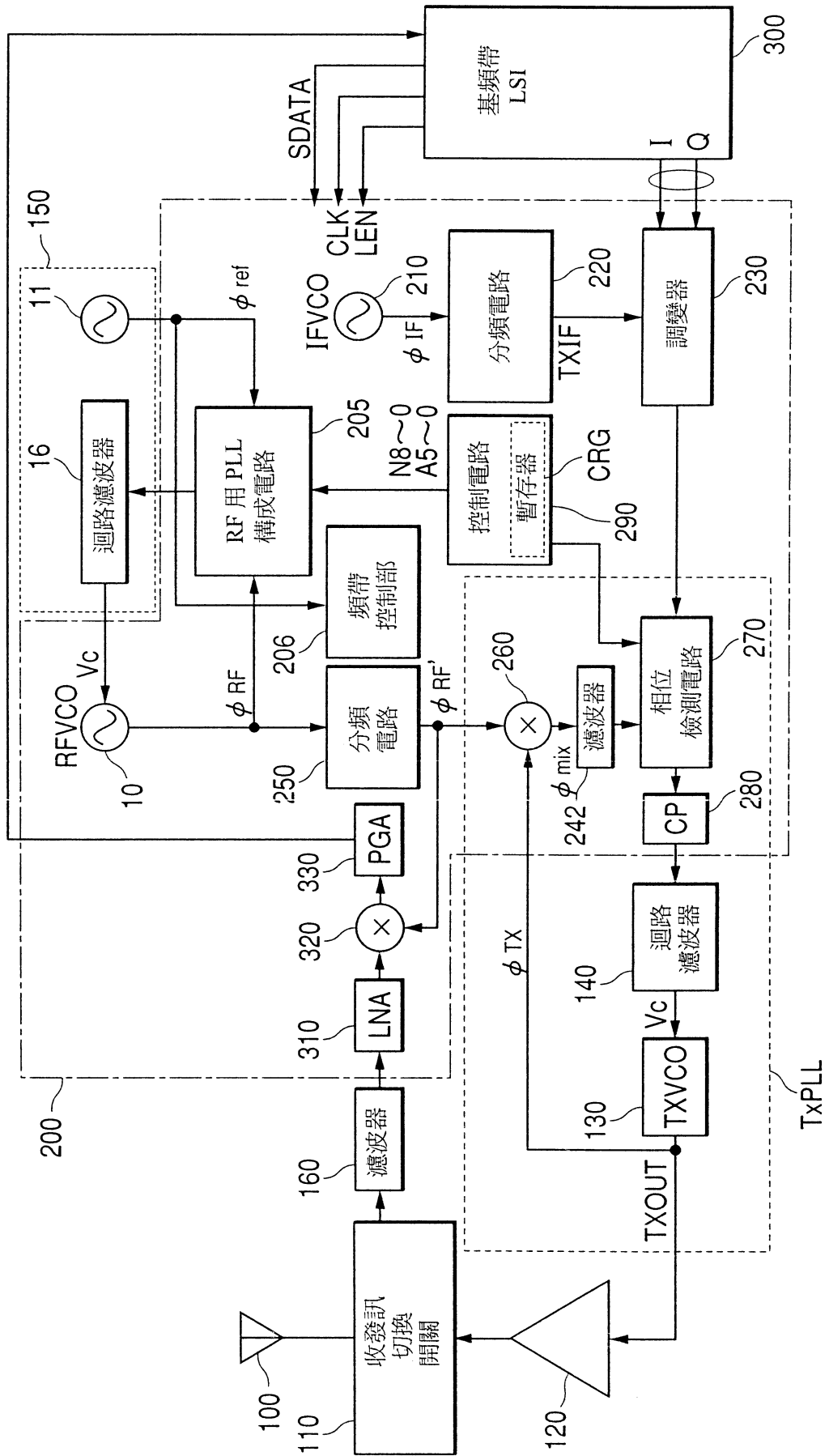
第 4 圖



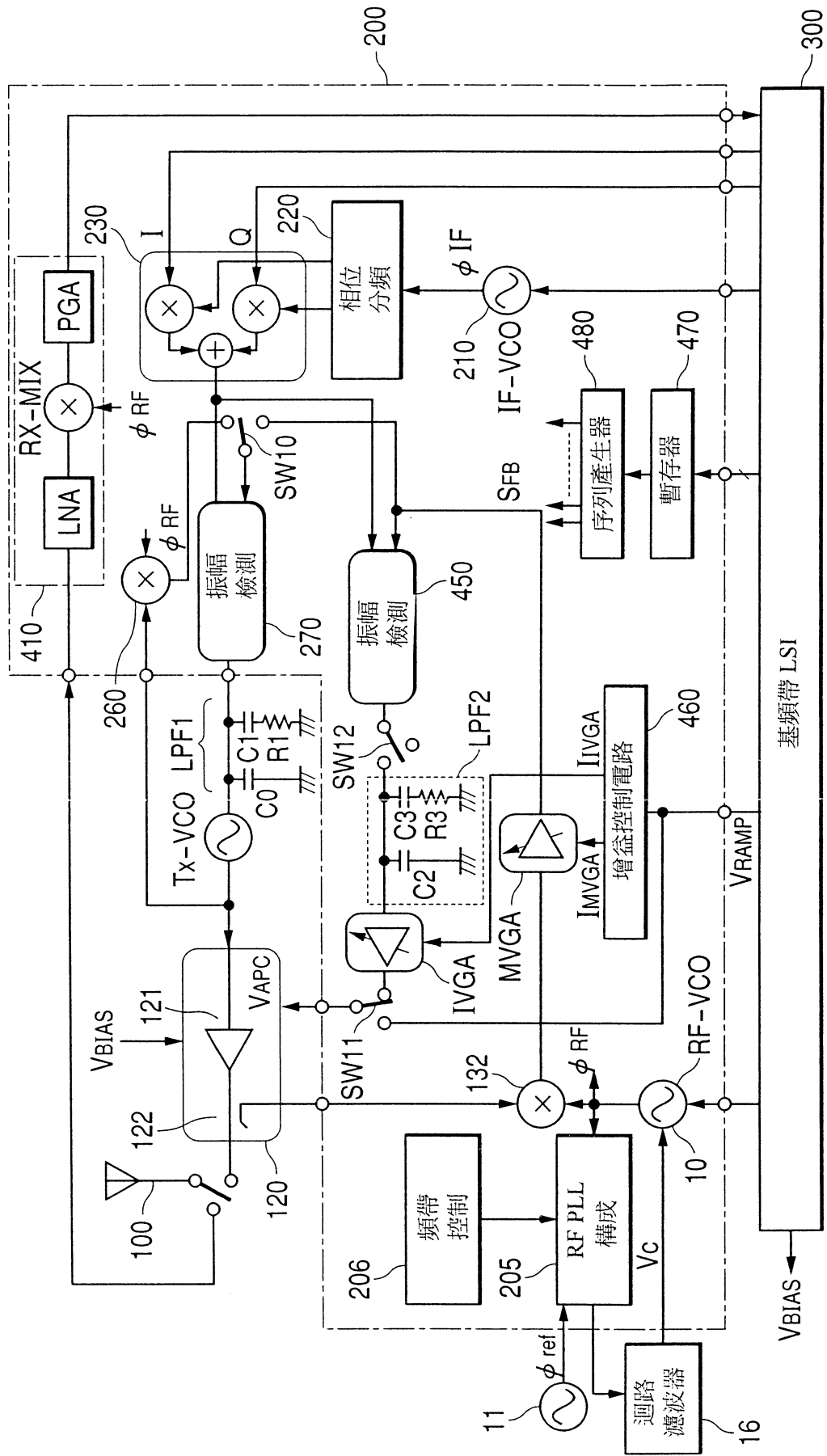
第 5 圖



第 6 圖



第 7 圖



陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

- 10：高頻振盪器
- 11：基準振盪電路
- 12：可變分頻電路
- 13：固定分頻電路
- 14：相位比較電路
- 15：充電泵
- 16：迴路濾波器
- 17：引入初期電壓產生電路
- 18：頻率記憶電路
- 19：使用頻道決定電路
- 20：控制電路
- 21：預換算器
- 22：模計數器
- 22A：A 計數器
- 22B：N 計數器
- TMR：計時器
- 22N：第 1 計數器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：