

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月2日(02.08.2018)



(10) 国際公開番号

WO 2018/139636 A1

(51) 国際特許分類:

H03K 17/695 (2006.01) H02M 1/08 (2006.01)
H01H 47/32 (2006.01) H03K 7/08 (2006.01)

(21) 国際出願番号: PCT/JP2018/002686

(22) 国際出願日: 2018年1月29日(29.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-014439 2017年1月30日(30.01.2017) JP
特願 2018-010329 2018年1月25日(25.01.2018) JP

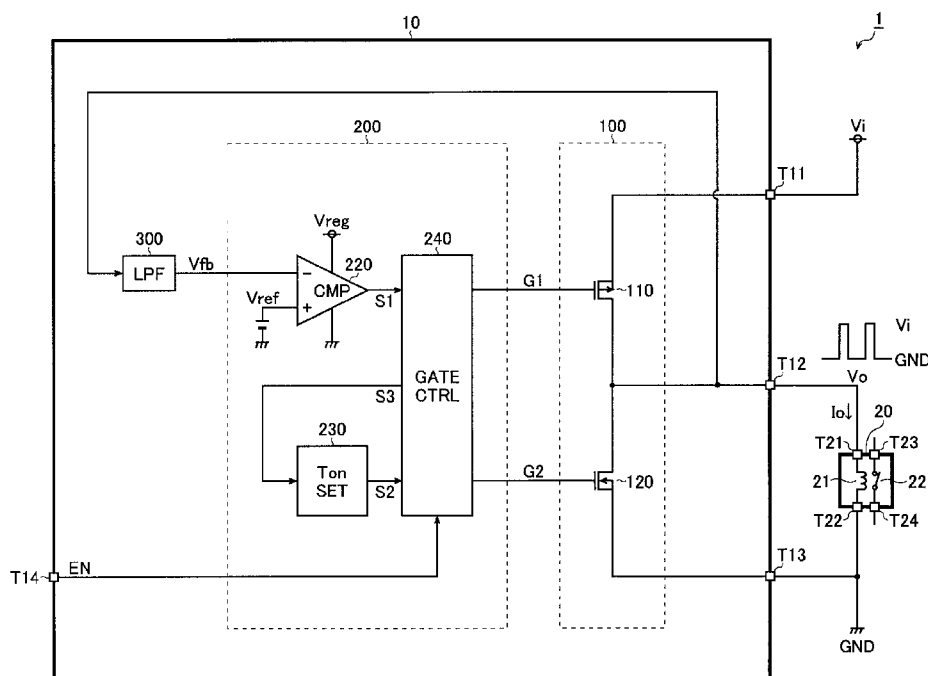
(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 大下 寛人 (OSHITA Hiroto); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 立石 哲夫 (TATEISHI Tetsuo); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 福本 洋祐 (FUKUMOTO Yosuke); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 山口 雄平 (YAMAGUCHI Yuhei); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 今村 洋寿 (IMAMURA Yoju); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株

(54) Title: PULSE CONTROL DEVICE

(54) 発明の名称: パルス制御装置

[図2]



(57) **Abstract:** A pulse control device 10 comprises: a switch output unit 100 which generates a pulse output voltage Vo from a direct-current input voltage Vi and supplies the pulse output voltage Vo to a load (such as a relay coil 21 of a mechanical relay 20); a low-pass filter unit 300 which receives a feedback input of the pulse output voltage Vo and generates a feedback voltage Vfb; and an output feedback control unit 200 which receives an input of the feedback voltage Vfb and controls the switch output unit 100 so that an average value of the pulse output voltage Vo becomes constant.

式会社内 Kyoto (JP). 鶴山 元規(TSURUYAMA Genki); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

The low-pass filter unit 300 may be configured without a coil.

(57) 要約: パルス制御装置 10 は、直流入力電圧 V_i からパルス出力電圧 V_o を生成して負荷 (例えばメカリレー 20 のリレーコイル 21) に供給するスイッチ出力部 100 と、パルス出力電圧 V_o の帰還入力を受けて帰還電圧 V_{fb} を生成するローパスフィルタ部 300 と、帰還電圧 V_{fb} の入力を受け付けてパルス出力電圧 V_o の平均値が一定となるようにスイッチ出力部 100 を制御する出力帰還制御部 200 と、を有する。なお、ローパスフィルタ部 300 は、コイルを含まない構成とすればよい。

明 細 書

発明の名称：パルス制御装置

技術分野

[0001] 本明細書中に開示されている発明は、パルス制御装置に関する。

背景技術

[0002] 従来より、様々な電気機器（家電機器、産業機器、運輸機器、及び、農業機器など）の絶縁スイッチ手段として、メカリレー（＝機械式継電器）が広く一般に用いられている。

[0003] 図22は、メカリレーを備えた電気機器の従来例を示す図である。本従来例の電気機器Xでは、スイッチX10を用いてコイル電流をオン／オフすることにより、メカリレーX20の開閉駆動が行われる。しかしながら、本従来例の構成では、直流入力電圧V_iがリレーコイルX21に直接的に印加されているので、直流入力電圧V_iの電圧値（例えば、DC6V、DC12V、DC24V、DC48V）に応じて、リレーコイルX21の径や巻数を変えなければならず、コスト面や管理面に課題があった。

[0004] なお、上記に関連する従来技術の一例としては、特許文献1～特許文献4を挙げることができる。

[0005] 特許文献1の制御フローを要約すると、次のようになる。（1）パルス電圧を生成してスイッチング素子に入力する。（2）各周期毎に、コイル電流の最大値が動作電流値を上回り、かつ、最小値が復帰電流値を下回らないように、パルス電圧のパルス幅と周期を予め設定している。（3）回生ダイオードを設けることにより、パルス電圧がオフ期間となってもコイル電流は徐々に減少していく。

[0006] なお、本技術は、オープン制御であり、パルス電圧のパルス幅や周期は一定である。そのため、スイッチング制御回路やスイッチング素子の特性ばらつきに起因して、パルス電圧にもばらつきが生じやすい。

[0007] 特許文献2の制御フローを要約すると、次のようになる。（1）入力電圧

を上げていきこれをモニタする。（２）入力電圧が上昇して下側基準電圧に達するとスイッチング素子をオンしてアナログ制御を開始する。（３）入力電圧がさらに上昇して上側基準電圧に達するとPWM [pulse width modulation] 制御に移行して消費電力を抑える。（４）アナログ制御であってもPWM制御であっても、入力電圧が過励磁電圧値を超えていれば、これが復帰電圧値付近となるまで出力を抑える。

[0008] 本技術では、駆動回路内に２つの出力端子を備えており、入力電圧（直流電圧）のモニタ結果に応じて出力端子を択一することにより、アナログ制御とPWM制御の切替を行っている。なお、本技術でも回生ダイオードが設けられている。

[0009] 特許文献３の制御フローを要約すると、次のようになる。（１）リレー制御回路によりスイッチング素子をオンさせてコイル電流を流す。（２）コイル電流が過励磁電流値に達し、リレーが閉じてオン状態に切り替わると、コイル電流が保持電流値を下回らないようにPWM制御を始める。なお、スイッチング素子のオフ期間には、回生ダイオードによりコイル電流が緩やかに減少する。（３）コイル電流が保持電流値を下回ると、リレーが開放されてオフ状態となる。

[0010] 本技術では、駆動信号のPWM制御（パルス印加）により、リレーのオン状態におけるコイル電流を削減している。ただし、スイッチング周波数を上げ過ぎると、発熱が問題となり、逆に、スイッチング周波数を下げ過ぎると、人間の可聴周波数帯域に入って音鳴りが生じる。

[0011] 特許文献４の制御フローを要約すると、次のようになる。（１）可変電圧レギュレータの直流出力電圧を過励磁電圧値に設定する。（２）リレー制御回路によりスイッチング素子をオンさせて、リレーコイルに過励磁電流を流すことによりリレーをオン状態とする。（３）可変電圧レギュレータの直流出力電圧を保持電圧値まで低下させる。（４）スイッチング素子をオフさせて、コイル電流を遮断することによりリレーをオフ状態とする。

[0012] 本技術では、リレーコイルの前段に設けられた可変電圧レギュレータによ

ってコイル電流を制御することにより、高周波数駆動による発熱を抑えている。なお、本技術では、回生ダイオードが不要となる。ただし、直流出力電圧の帰還入力を受け付けて出力帰還制御を行う可変電圧レギュレータには、平滑フィルタを設ける必要があるので、その分だけ部品点数が多くなっていた。

先行技術文献

特許文献

- [0013] 特許文献1：特開2006-114446号公報
特許文献2：特開2015-153556号公報
特許文献3：特開2003-32919号公報
特許文献4：特開2011-216229号公報

発明の概要

発明が解決しようとする課題

- [0014] 上記したように、リレーコイルに直流入力電圧を直接印加する構成では、リレーコイルの統一が難しいという課題があり、リレーコイルの前段にDC／DCコンバータを追加する構成では、平滑フィルタが必要になるという課題があった。また、リレーコイルに印加する電圧をPWM制御する構成についても、オープン制御時の出力ばらつき、高周波駆動時の発熱、ないしは、低周波駆動時の音鳴りなど、様々な課題があった。
- [0015] なお、上記に挙げた種々の課題は、リレーコイルを駆動するときだけでなく、その他の誘導性負荷（モータコイルやソレノイドなど）、或いは、自身に印加される電圧のスイッチング周波数が十分に高ければ、その動作に支障を生じない負荷（発光ダイオードや誘起EL [electro-luminescence] 素子など）を駆動するときにも当てはまる。
- [0016] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、負荷の駆動に適したパルス制御装置を提供することを目的とする。

課題を解決するための手段

- [0017] 本明細書中に開示されているパルス制御装置は、直流入力電圧からパルス出力電圧を生成して負荷に供給するスイッチ出力部と、前記パルス出力電圧の帰還入力を受けて帰還電圧を生成するローパスフィルタ部と、前記帰還電圧の入力を受け付けて前記パルス出力電圧の平均値が一定となるように前記スイッチ出力部を制御する出力帰還制御部と、を有する構成とされている。
- [0018] また、本明細書中に開示されているパルス制御装置は、メカリレーのリレーコイルにパルス出力電圧を供給するスイッチ出力部と、前記メカリレーの発光素子に出力電流を供給する発光素子駆動部と、を有する構成とされている。
- [0019] また、本明細書中に開示されているパルス制御装置は、リレーコイルにパルス出力電圧を供給するスイッチ出力部を有し、前記スイッチ出力部は、前記リレーコイルに対して並列に接続された同期整流トランジスタまたは整流ダイオードを含み、前記同期整流トランジスタに付随するボディダイオードまたは前記整流ダイオードは、回生ダイオードとして利用される構成とされている。
- [0020] また、本明細書中に開示されているメカリレーは、リレーコイルと、直流入力電圧が印加される第1フレームと、前記リレーコイルの第1端が接続される第2フレームと、前記リレーコイルの第2端が接続される第3フレームと、前記第1フレーム、前記第2フレーム、及び、前記第3フレームに直接実装されて前記リレーコイルにパルス出力電圧を供給するパルス制御装置と、を有する構成とされている。
- [0021] なお、本発明のその他の特徴、要素、ステップ、利点、及び、特性については、以下に続く、発明を実施するための形態やこれに関する添付の図面によりさらに明らかとなる。

発明の効果

- [0022] 本明細書中に開示されている発明によれば、負荷の駆動に適したパルス制御装置を提供することが可能となる。

図面の簡単な説明

- [0023] [図1]メカリレーを備えた電気機器の比較例を示す図
- [図2]メカリレーを備えた電気機器の第1実施形態を示す図
- [図3]メカリレーの一構成例を示す図
- [図4]ローパスフィルタ部の一構成例を示す図
- [図5]オン時間設定部の一構成例を示す図
- [図6]ゲート制御部の一構成例を示す図
- [図7]出力帰還制御動作の一例を示すタイミングチャート
- [図8]メカリレーを備えた電気機器の第2実施形態を示す図
- [図9]基準電圧切替動作の一例を示すタイミングチャート
- [図10]メカリレーを備えた電気機器の第3実施形態を示す図
- [図11]メカリレーを備えた電気機器の第4実施形態を示す図
- [図12]LEDを備えたメカリレーの一例を示す図
- [図13]LEDを備えたメカリレーの別の一例を示す図
- [図14]メカリレーを備えた電気機器の第5実施形態を示す図
- [図15]LED駆動部の一例を示す図
- [図16]メカリレーを備えた電気機器の第6実施形態を示す図
- [図17]メカリレーを備えた電気機器の第7実施形態を示す図
- [図18]メカリレーを備えた電気機器の第8実施形態を示す図
- [図19]パルス制御装置の実装例を示す図
- [図20]パルス制御装置のパッケージ例を示す図
- [図21]パルス制御装置の別の実装例を示す図
- [図22]メカリレーを備えた電気機器の従来例を示す図

発明を実施するための形態

[0024] <比較例>

以下では、メカリレーを備えた電気機器の新規な構成を説明する前に、これと対比される比較例について簡単に説明しておく。

[0025] 図1は、メカリレーを備えた電気機器の比較例を示す図である。本比較例

の電気機器Xでは、先出の従来例（図22）をベースとしつつ、直流入力電圧 V_i から所望の直流出力電圧 V_o （例えばDC5V）を生成してリレーコイルX21に供給するDC/DCコンバータX30が追加されている。

[0026] 本比較例の構成であれば、直流入力電圧 V_i の電圧値に依ることなく、常に一定の直流出力電圧 V_o がリレーコイルX21に印加されるので、リレーコイルX21の径や巻数を統一することができる。しかしながら、本比較例の構成では、直流出力電圧 V_o の平滑手段として、DC/DCコンバータX30のコントローラICX31にコイルX32とキャパシタX33を外付けしなければならない、部品点数が増えてしまう。

[0027] <第1実施形態>

図2は、メカリレーを備えた電気機器の第1実施形態を示す図である。本実施形態の電気機器1は、パルス制御装置10とメカリレー20を有する。

[0028] パルス制御装置10は、直流入力電圧 V_i （例えば、DC6V、DC12V、DC24V、DC48V）からパルス出力電圧 V_o を生成して負荷に供給する半導体集積回路装置である。なお、本実施形態の電気機器1において、パルス制御装置10は、負荷としてメカリレー20の電磁部21（特に、これに含まれるリレーコイル）が接続されることにより、メカリレー20の開閉駆動を行うリレー駆動装置として機能する。

[0029] メカリレー20は、電磁部21と、電磁部21から電氣的に絶縁された接点機構部22とを含み、電磁部21の励磁/非励磁に応じて接点機構部22の開閉駆動を行う。このように、電気機器1のスイッチ手段としてメカリレー20を用いることにより、入力側（電磁部21側）と出力側（接点機構部22側）との絶縁性を確保したまま、スイッチを切り替えることが可能となる。なお、メカリレー20の種類や用途については、制御リレー、ラッチングリレー（キープリレー）、ラチェットリレー、I/O用リレー、ターミナルリレー/リレーターミナル、または、高容量リレー（交流負荷用/直流負荷用）などを挙げることができる。

[0030] <メカリレー>

図3は、メカリレー20の一構成例を示す図である。本構成例のメカリレー20において、電磁部21は、リレーコイル21aと、鉄心21bと、接極子21cと、カード21dと、を含む。一方、接点機構部22は、固定接点22a及び22bと、可動バネ22cと、可動接点22dと、を含む。また、メカリレー20は、外部との電氣的な接続を確立するために、外部端子T21～T24を備えている。

[0031] リレーコイル21aは、鉄心21b（または、鉄心21bを軸とするコイルボビン（不図示））に捲回されており、その両端は外部端子T21及びT22に接続されている。パルス制御装置10からリレーコイル21aへの通電が行われると、リレーコイル21aに磁界が生じて鉄心21bが磁化されるので、ヒンジを回転軸として接極子21cが鉄心21bに引き寄せられる。

[0032] このとき、接極子21cに連結されたカード21dは、これと接触している可動バネ22cを固定接点22b側へ付勢するように押し込む。その結果、可動バネ22cの先端に設けられている可動接点22dが固定接点22bと接触するので、外部端子T23と外部端子T24との間が、固定接点22b、可動接点22d、可動バネ22c、及び、固定接点22aを介して電氣的に導通された状態（＝メカリレー20のオン状態）となる。

[0033] 一方、パルス制御装置10からリレーコイル21aへの通電が停止されると、リレーコイル21aに生じていた磁界がなくなるので、接極子21cを引き寄せていた鉄心21bの磁力が消失する。その結果、可動バネ22cの復元力により、接極子21c及びカード21dが元の位置に戻り、可動接点22dが固定接点22bから離間される。その結果、外部端子T23と外部端子T24との間が電氣的に絶縁された状態（＝メカリレー20のオフ状態）に戻る。

[0034] なお、本図では、ヒンジ形のメカリレー20を例に挙げたが、メカリレー20の構造については、これ以外の形式（例えばプランジャ形）を採用しても構わない。

[0035] <パルス制御装置>

図2に戻り、パルス制御装置10の構成及び動作について述べる。本実施形態のパルス制御装置10には、スイッチ出力部100と、出力帰還制御部200と、ローパスフィルタ部300が集積化されている。また、パルス制御装置10は、外部との電気的な接続を確立するために、外部端子T11～T14を備えている。

[0036] パルス制御装置10の外部において、外部端子T11は、直流入力電圧 V_i の印加端に接続されている。外部端子T12は、メカリレー20の外部端子T21(=電磁部21に含まれるリレーコイル21aの第1端)に接続されている。外部端子T13は、メカリレー20の外部端子T22(=電磁部21に含まれるリレーコイル21aの第2端)に接続されている。なお、外部端子T13は、接地端(=接地電圧GNDの印加端)にも接続されている。外部端子T14は、イネーブル信号EN(=メカリレー20のオン/オフ制御信号に相当)の印加端に接続されている。

[0037] スイッチ出力部100は、上側スイッチ110(例えば、PMOSFET [P-channel type metal oxide semiconductor field effect transistor])と、下側スイッチ120(例えば、NMOSFET [N-channel type MOSFET])を含み、直流入力電圧 V_i からパルス出力電圧 V_o を生成してメカリレー20の電磁部21(特にこれに含まれるリレーコイル21a)に供給する。

[0038] スイッチ出力部100の接続関係について述べる。上側スイッチ110のソースとバックゲートは、いずれも外部端子T11に接続されている。上側スイッチ110のドレインと下側スイッチ120のドレインは、いずれも外部端子T12に接続されている。下側スイッチ120のソースとバックゲートは、いずれも外部端子T13に接続されている。

[0039] 上側スイッチ110のゲートには、上側ゲート信号G1が入力されている。上側スイッチ110は、上側ゲート信号G1がハイレベル(= V_i)であるときにオフし、上側ゲート信号G1がローレベル(= $V_{regB}=V_i$ -

V_{reg} 、ただし、 V_{reg} は所定の内部電源電圧)であるときにオンする。

[0040] 下側スイッチ120のゲートには、下側ゲート信号G2が入力されている。下側スイッチ120は、下側ゲート信号G1がハイレベル(= V_{reg})であるときにオンし、下側ゲート信号G2がローレベル(= GND)であるときにオフする。

[0041] 上側スイッチ110がオンして下側スイッチ120がオフしているときには、パルス出力電圧 V_o がハイレベル(= V_i)となる。一方、上側スイッチ110がオフして下側スイッチ120がオンしているときには、パルス出力電圧 V_o がローレベル(= GND)となる。このように、パルス出力電圧 V_o は、直流入力電圧 V_i と接地電圧 GND との間でパルス駆動される矩形波電圧となる。

[0042] ローパスフィルタ部300は、パルス制御装置10の内部において、スイッチ出力部100からパルス出力電圧 V_o の帰還入力を受け付けており、これを鈍らせた帰還電圧 V_{fb} を生成する。なお、ローパスフィルタ部300の入力端は、上側スイッチ110と下側スイッチ120との接続ノード(=外部端子T12)に接続されている。

[0043] 出力帰還制御部200は、帰還電圧生成部300から帰還電圧 V_{fb} の入力を受け付けており、パルス出力電圧 V_o の平均値が所定の目標平均値 V_{o_ave} (例えばDC5V)となるように、上側ゲート信号G1と下側ゲート信号G2をそれぞれ生成してスイッチ出力部100を制御する。なお、出力帰還制御部200は、コンパレータ220と、オン時間設定部230と、ゲート制御部240と、を含む。

[0044] コンパレータ220は、反転入力端(−)に入力される帰還電圧 V_{fb} と非反転入力端(+)に入力される基準電圧 V_{ref} (=例えば電源変動や温度変動に依存しないバンドギャップ基準電圧)とを比較してセット信号S1を生成する。セット信号S1は、帰還電圧 V_{fb} が基準電圧 V_{ref} よりも低いときにハイレベル(= V_{reg})となり、逆に、帰還電圧 V_{fb} が基準

電圧 V_{ref} よりも高いときにローレベル (= GND) となる。

[0045] オン時間設定部 230 は、ゲート制御部 240 からゲート制御信号 S_3 (詳細は後述) の入力を受け付けており、上側スイッチ 110 がオンされてから所定のオン時間 T_{on} が経過した後、リセット信号 S_2 にトリガパルスを発生させる。

[0046] ゲート制御部 240 は、セット信号 S_1 とリセット信号 S_2 に応じて上側ゲート信号 G_1 と下側ゲート信号 G_2 を生成する。

[0047] なお、本実施形態における出力帰還制御部 200 は、帰還電圧 V_{fb} に基づいて、ヒステリシス制御方式 (本図の例では、ボトム検出オン時間固定方式) により、スイッチ出力部 100 を制御する。この出力帰還制御動作については、後ほど詳細に説明する。

[0048] また、出力帰還制御部 200 は、外部端子 T14 に入力されるイネーブル信号 E_N に応じてパルス出力電圧 V_o の生成可否が制御される。より具体的に述べると、出力帰還制御部 200 は、イネーブル信号 E_N がハイレベル (= コイル通電時の論理レベル) であるときにアクティブ状態 (= パルス出力電圧 V_o の生成が許可された状態) となり、イネーブル信号 E_N がローレベル (= コイル非通電時の論理レベル) であるときにシャットダウン状態 (= パルス出力電圧の生成が禁止された状態) となる。なお、イネーブル信号 E_N がローレベルからハイレベルに立ち上げられたとき、ゲート制御部 240 は、上側スイッチ 110 をオンして下側スイッチ 120 をオフする状態から起動する。

[0049] 上記したように、本実施形態のパルス制御装置 10 であれば、リレーコイル 21a に印加されるパルス出力電圧 V_o の平均値を所定の目標平均値 V_{o_ave} に保つことが可能となる。従って、直流入力電圧 V_i の電圧値に依ることなく、リレーコイル 21a を統一することが可能となるので、コスト面や管理面で非常に有利となる。

[0050] また、本実施形態のパルス制御装置 10 は、パルス出力電圧 V_o を平滑せずにそのままリレーコイル 21a に供給する。従って、パルス制御装置 10

に外付けされる平滑フィルタ（コイルやキャパシタなどのディスクリート部品）を削減することができるので、回路面積の縮小やコストダウンを実現することが可能となる。

[0051] なお、リレーコイル 21a に対してパルス出力電圧 V_o を直接供給する構成であれば、一般的な DC/DC コンバータほど高周波駆動を行う必要がなくなる。従って、パルス出力電圧 V_o のスイッチング周波数 F_{sw} を引き下げることにより、発熱の問題を解消することが可能となる。また、一般的な DC/DC コンバータと比べて、パルス制御装置 10 に集積化されるチップを大幅にシュリンクすることも可能となる。

[0052] さらに、パルス制御装置 10 では、パルス出力電圧 V_o の帰還入力を受け付けて、その出力帰還制御が行われている。従って、従来のオープン制御（特許文献 1 など）と比べてパルス出力電圧 V_o のばらつきを抑えることが可能となる。

[0053] 以下では、パルス制御装置 10 の各部構成について、具体例を挙げながら詳述する。

[0054] <ローパスフィルタ部>

図 4 は、ローパスフィルタ部 300 の一構成例を示す図である。本構成例のローパスフィルタ部 300 は、抵抗 301 及び 302（抵抗値： R_{301} 及び R_{302} ）と、キャパシタ 303 と、を含む。抵抗 301 は、パルス出力電圧 V_o の帰還入力端（＝外部端子 T12）と帰還電圧 V_{fb} の出力端との間に接続されている。抵抗 302 とキャパシタ 303 は、帰還電圧 V_{fb} の出力端と接地端との間に並列接続されている。

[0055] なお、抵抗 301 及び 302 は、パルス出力電圧 V_o の分圧電圧（＝ $\{R_{302} / (R_{301} + R_{302})\} \times V_o$ ）を生成する分圧手段として機能し、キャパシタ 303 は、上記分圧電圧を鈍らせて三角波状の帰還電圧 V_{fb} を生成する平滑手段として機能する。このように、帰還電圧 V_{fb} は、パルス出力電圧 V_o の分圧電圧をキャパシタ 303 で鈍らせたものであり、ローパスフィルタ部 300 には、平滑用のコイルが含まれていない。

[0056] また、パルス出力電圧 V_o のハイレベル（＝ V_i ）がコンパレータ220の入力ダイナミックレンジに収まっている場合には、抵抗301及び302を割愛し、パルス出力電圧 V_o そのものをキャパシタ303で鈍らせてもよい。

[0057] <オン時間設定部>

図5は、オン時間設定部230の一構成例を示す図である。本構成例のオン時間設定部230は、抵抗231と、キャパシタ232と、スイッチ233と、コンパレータ234と、を含む。

[0058] 抵抗231は、直流入力電圧 V_i の印加端（＝外部端子T11）と充電電圧 V_{chg} の出力端との間に接続されている。キャパシタ232とスイッチ233は、充電電圧 V_{chg} の出力端と接地端との間に並列接続されている。スイッチ233の制御端は、ゲート制御信号 S_3 の印加端に接続されている。

[0059] スwitch233は、ゲート制御信号 S_3 （延いては上側スイッチ110と下側スイッチ120それぞれのオン／オフ状態）に応じてキャパシタ232の充放電を切り替える充放電スイッチとして機能する。具体的に述べると、スイッチ233は、ゲート制御信号 S_3 がハイレベル（＝上側スイッチ110をオンして下側スイッチ120をオフするときの論理レベル）であるときにオフし、ゲート制御信号 S_3 がローレベル（＝上側スイッチ110をオフして下側スイッチ120をオンするときの論理レベル）であるときにオンする。

[0060] スwitch233がオフされているときには、直流入力電圧 V_i の印加端から抵抗231を介して流れる充電電流 I_{chg} によりキャパシタ232が充電されるので、充電電圧 V_{chg} が上昇する。このとき、充電電圧 V_{chg} は、直流入力電圧 V_i に応じた傾きを持って上昇する。一方、スイッチ233がオンされているときには、スイッチ233を介してキャパシタ232が放電されるので、充電電圧 V_{chg} が接地電圧GNDまで速やかに低下する。

[0061] コンパレータ234は、非反転入力端（+）に入力される充電電圧 V_{chg} と、反転入力端（-）に入力される基準電圧 V_{REF} （＝例えば、電源変動や温度変動に依存しないバンドギャップ基準電圧）とを比較してリセット信号 S_2 を生成する。リセット信号 S_2 は、充電電圧 V_{chg} が基準電圧 V_{REF} よりも高いときにハイレベル（＝ V_{reg} ）となり、逆に、充電電圧 V_{chg} が基準電圧 V_{REF} よりも低いときにローレベル（＝ GND ）となる。なお、基準電圧 V_{REF} は、先出の基準電圧 V_{ref} （図2）と同電圧であってもよいし、異電圧であってもよい。

[0062] <ゲート制御部>

図6は、ゲート制御部240の一構成例を示す図である。本構成例のゲート制御部240は、Dフリップフロップ241と、レベルシフタ242と、ドライバ243及び244と、を含む。

[0063] Dフリップフロップ241は、クロック端に入力されるセット信号 S_1 （例えばその立上リエッジ）に応じて、出力端Qのゲート制御信号 S_3 をハイレベル（＝データ端Dに印加されている内部電源電圧 V_{reg} ）にセットし、リセット端に入力されるリセット信号 S_2 （例えばその立上リエッジ）に応じて、出力端Qのゲート制御信号 S_3 をローレベル（＝ GND ）にリセットする。なお、Dフリップフロップ241に代えてRSフリップフロップを用いることも可能である。

[0064] レベルシフタ242は、 $V_{reg}-GND$ 間でパルス駆動されるゲート制御信号 S_3 の入力を受けて、 V_i-V_{regB} 間でパルス駆動されるレベルシフト済みのゲート制御信号 S_{3H} を出力する。

[0065] ドライバ243は、ゲート制御信号 S_{3H} の入力を受けて上側ゲート信号 G_1 を生成する。本図の例では、ドライバ243が3段のインバータから成る。従って、上側ゲート信号 G_1 は、ゲート制御信号 S_{3H} がハイレベルであるときにローレベル（＝ V_{regB} ）となり、ゲート制御信号 S_{3H} がローレベルであるときにハイレベル（＝ V_i ）となる。

[0066] 一方、ドライバ244は、ゲート制御信号 S_3 の入力を受けて下側ゲート

信号G 2を生成する。本図の例では、ドライバ2 4 4が3段のインバータから成る。従って、下側ゲート信号G 2は、ゲート制御信号S 3がハイレベルであるときにローレベル（＝GND）となり、ゲート制御信号S 3がローレベルであるときにハイレベル（＝Vreg）となる。

[0067] このように、上側ゲート信号G 1と下側ゲート信号G 2は、いずれも同一の論理レベルとなるので、上側スイッチ1 1 0と下側スイッチ1 2 0は、相補的（排他的）にオン／オフ制御される。なお、本明細書中で用いられる「相補的（排他的）」という文言は、上側スイッチ1 1 0と下側スイッチ1 2 0のオン／オフが完全に逆転している場合のほか、貫通電流防止の観点から上側スイッチ1 1 0と下側スイッチ1 2 0のオン／オフ遷移タイミングに所定の遅延が与えられている場合（同時オフ期間が設けられている場合）も含む。

[0068] ＜出力帰還制御動作＞

図7は、パルス制御装置1 0による出力帰還制御動作の一例を示すタイミングチャートであり、上から順に、帰還電圧Vfb（実線）及び基準電圧Vref（一点鎖線）、セット信号S 1、充電電圧Vchg（実線）及び基準電圧VREF（一点鎖線）、リセット信号S 2、ゲート制御信号S 3、上側ゲート信号G 1、下側ゲート信号G 2、並びに、パルス出力電圧Voが描写されている。

[0069] 時刻t 1において、上側スイッチ1 1 0のオフ期間中（G 1＝G 2＝H）に、帰還電圧Vfbが基準電圧Vref（＝ボトム検出閾値に相当）まで低下すると、セット信号S 1がローレベル（＝GND）からハイレベル（＝Vreg）に立ち上がるので、ゲート制御信号S 3がローレベル（＝GND）からハイレベル（＝Vreg）にセットされる。

[0070] 従って、時刻t 1から所定の遅延時間d（＝主にドライバ2 4 3及び2 4 4における信号遅延時間）が経過した時刻t 2において、上側ゲート信号G 1と下側ゲート信号G 2がいずれもローレベル（G 1＝VregB、G 2＝GND）となるので、上側スイッチ1 1 0がオンして、下側スイッチ1 2 0

がオフする。その結果、パルス出力電圧 V_o がローレベル（＝ GND ）からハイレベル（＝ V_i ）に立ち上がるので、帰還電圧 V_{fb} が低下から上昇に転ずる。なお、セット信号 S_1 は、上側スイッチ 110 のオン期間中（ $G_1 = G_2 = L$ ）に、帰還電圧 V_{fb} が基準電圧 V_{ref} まで上昇するとローレベルに復帰する。

[0071] また、時刻 t_1 では、ゲート制御信号 S_3 のハイレベル遷移に伴い、オン時間設定部 230 のスイッチ 233 がオフとなる。従って、充電電流 I_{chg} によるキャパシタ 232 の充電が開始されるので、充電電圧 V_{chg} は、直流入力電圧 V_i に応じた傾きを持って上昇する。

[0072] その後、時刻 t_3 において、充電電圧 V_{chg} が基準電圧 V_{REF} （＝オン時間 T_{on} の満了検出閾値に相当）まで上昇すると、リセット信号 S_2 がローレベル（＝ GND ）からハイレベル（＝ V_{reg} ）に立ち上がるので、ゲート制御信号 S_3 がハイレベルからローレベルにリセットされる。

[0073] 従って、時刻 t_3 から遅延時間 d が経過した時刻 t_4 において、上側ゲート信号 G_1 と下側ゲート信号 G_2 がいずれもハイレベル（ $G_1 = V_i$ 、 $G_2 = V_{reg}$ ）となるので、上側スイッチ 110 がオフして、下側スイッチ 120 がオンする。その結果、パルス出力電圧 V_o がハイレベルからローレベルに立ち下がるので、帰還電圧 V_{fb} が再び上昇から低下に転ずる。

[0074] また、時刻 t_3 では、ゲート制御信号 S_3 のローレベル遷移に伴い、オン時間設定部 230 のスイッチ 233 がオンとなる。従って、キャパシタ 232 がスイッチ 233 を介して放電されるので、充電電圧 V_{chg} が接地電圧 GND まで速やかに低下し、リセット信号 S_2 が遅滞なくローレベルに立ち下がる。

[0075] 時刻 t_5 以降においても、上記と同様の動作が繰り返されることにより、パルス出力電圧 V_o の平均値が所定の目標平均値 V_{oave} となるように、パルス出力電圧 V_o のオンデューティ D_{on} （＝ T_{on}/T 、すなわち、スイッチング周期 T に占めるオン時間 T_{on} の割合）が制御される。

[0076] ここで、オン時間設定部 230 では、オン時間 T_{on} （＝充電電圧 V_{chg}

gの上昇開始から基準電圧 V_{REF} を上回るまでの所要時間に相当)が固定値として設定されるのではなく、直流入力電圧 V_i に応じた変動値として設定されている。

[0077] 具体的に述べると、オン時間設定部230では、直流入力電圧 V_i が高いほど充電電圧 V_{chg} の傾きが大きくなるので、オン時間 T_{on} が短縮され、逆に、直流入力電圧 V_i が低いほど充電電圧 V_{chg} の傾きが小さくなるので、オン時間 T_{on} が延長される。すなわち、オン時間 T_{on} と直流入力電圧 V_i との間には、次の(1)式が成立する。

$$[0078] \quad T_{on} = \alpha / V_i \quad (\text{ただし } \alpha \text{ は比例定数}) \quad \cdots \quad (1)$$

[0079] 一方、パルス出力電圧 V_o のオンデューティ D_{on} ($= T_{on} / T$) は、次の(2)式で示すように、パルス出力電圧 V_o の目標平均値 V_{oave} と直流入力電圧 V_i との比で表すことができる。

$$[0080] \quad D_{on} = T_{on} / T = V_{oave} / V_i \quad \cdots \quad (2)$$

[0081] 上記した(1)式と(2)式から、パルス出力電圧 V_o のスイッチング周期 T は、次の(3)式で表される。

$$[0082] \quad T = (\alpha / V_i) \times (V_i / V_{oave}) = \alpha / V_{oave} \quad \cdots \quad (3)$$

[0083] ここで、比例定数 α とパルス出力電圧 V_o の目標平均値 V_{oave} はいずれも固定値であることから、スイッチング周期 T (延いてはスイッチング周波数 F_{sw} ($= 1 / T$)) が一定値となることが分かる。なお、スイッチング周波数 F_{sw} は、人間の可聴周波数帯域 (一般には $20\text{Hz} \sim 20\text{kHz}$) よりも高い値 (例えば $F_{sw} = 100\text{kHz}$ 以上) に設定することが望ましい。このような構成とすることにより、音鳴りの問題を解消することが可能となる。

[0084] このように、本実施形態では、ヒステリシス制御方式の一つであるボトム検出オン時間固定方式を採用しつつ、オン時間 T_{on} に直流入力電圧 V_i への依存性を持たせておくことにより、パルス出力電圧 V_o のPWM制御を行う構成を例に挙げたが、スイッチング周波数 F_{sw} の変動がある程度許容されるのであれば、オン時間 T_{on} を固定値としてパルス出力電圧 V_o のPF

M [pulse frequency modulation] 制御を行う構成としてもよい。また、ボトム検出オン時間固定方式に代えて、ピーク検出オフ時間設定方式を採用することも可能である。

[0085] <第2実施形態>

図8は、メカリレーを備えた電気機器の第2実施形態を示す図である。本実施形態の電気機器1は、先出の第1実施形態（図2）をベースとしつつ、パルス制御装置10の出力帰還制御部200にタイマ250が追加されている点に特徴を有する。そこで、第1実施形態と同様の構成要素については、図2と同一の符号を付すことにより重複した説明を割愛し、以下では、本実施形態の特徴部分について重点的な説明を行う。

[0086] タイマ250は、イネーブル信号ENがハイレベル（＝コイル通電時の論理レベル）に立ち上げられたときにカウント動作を開始し、そのカウント値に応じて基準電圧Vrefの切替制御を行う。以下、具体例を挙げて詳細に説明する。

[0087] 図9は、タイマ250による基準電圧切替動作の一例を示したタイミングチャートであり、上から順に、平均励磁電流Ioave（＝励磁電流Ioの平均値）、イネーブル信号EN、及び、基準電圧Vrefが描写されている。

[0088] 時刻t11において、イネーブル信号ENがハイレベルに立ち上げられると、タイマ250は、基準電圧Vrefを上側電圧値VrefHに設定するとともに、過励磁期間Txのカウント動作を開始する。なお、上側電圧値VrefHは、平均励磁電流Ioaveが動作電流値IH（＝Vi×Don／RL、ただし、RLはリレーコイル21aの抵抗成分値）を上回るように設定されている。従って、イネーブル信号ENがハイレベルに立ち上げられたときには、メカリレー20を確実にオン状態に切り替えることができる。

[0089] その後、時刻t12において、過励磁期間Txが経過すると、タイマ250は、基準電圧Vrefを下側電圧値VrefL（＜VrefH）まで引き下げる。なお、下側電圧値VrefLは、平均励磁電流Ioaveが復帰電

流値 I_L を下回らないように設定されている。従って、イネーブル信号 EN がハイレベルとされている間、メカリレー 20 をオン状態に維持するための消費電力を削減することが可能となる。

[0090] なお、本実施形態では、タイマ 250 を用いて基準電圧 V_{ref} の切替制御を行う構成を例示したが、例えば、励磁電流 I_o の検出手段を用意しておき、平均励磁電流 I_{oave} が動作電流値 I_H を上回るまで、基準電圧 V_{ref} を上側電圧値 V_{refH} に設定し、その後、基準電圧 V_{ref} を下側電圧値 V_{refL} に引き下げる構成としてもよい。

[0091] また、基準電圧 V_{ref} を切り替えるということは、パルス出力電圧 V_o の目標平均値 V_{oave} を切り替えるということに他ならない。これを鑑みると、出力帰還制御部 200 については、パルス出力電圧 V_o の生成動作を開始してから平均励磁電流 I_{oave} が少なくとも動作電流値 I_H を上回るまで、パルス出力電圧 V_o の目標平均値 V_{oave} を第 1 レベルに設定し、その後、平均励磁電流 I_{oave} が復帰電流値 I_L を下回らない範囲で、パルス出力電圧 V_o の目標平均値 V_{oave} を第 1 レベルよりも低い第 2 レベルに引き下げることができる限り、いかなる構成を採用してもよいと言える。

[0092] <第 3 実施形態>

図 10 は、メカリレーを備えた電気機器の第 3 実施形態を示す図である。本実施形態の電気機器 1 は、先出の第 2 実施形態（図 8）をベースとしつつ、パルス制御装置 10 に外付けされるディスクリット部品として、回生ダイオード 30 とフィルタ 40 が追加されている点に特徴を有する。そこで、本実施形態と同様の構成要素については、図 8 と同一の符号を付すことにより重複した説明を割愛し、以下では、第 3 実施形態の特徴部分について重点的な説明を行う。

[0093] メカリレー 20（特にリレーコイル 21a）に対して並列に回生ダイオード 30 が接続されている場合には、本図で示したように、パルス出力電圧 V_o のスパイクノイズを除去するためのフィルタ 40 を設けておくことが望ま

しい。フィルタ40としては、コイル41とキャパシタ42を含むLCフィルタを用いればよい。このような構成とすることにより、回生ダイオード30の耐圧を不必要に高めずに済むので、電気機器1のコストダウンを図ることが可能となる。

[0094] また、フィルタ40は、パルス出力電圧 V_o のノイズ除去を目的とするものであり、パルス出力電圧 V_o の平滑化を目的とするものではない。従って、フィルタ40のL値及びC値は、DC/DCコンバータにおける出力平滑フィルタのそれと比べて、 $1/10$ 以下の大きさで済む。

[0095] 具体的に述べると、メカリレー20の定数にも依るが、スイッチング周波数 $F_{sw} = 100\text{kHz}$ 、リップル電圧 $\Delta V_o / 2 = 1\text{V}$ での試算において、DC/DCコンバータの出力平滑フィルタでは、 $(L, C) = (33\mu\text{H}, 330\mu\text{F})$ 程度に設定する必要がある。これに対して、本実施形態のフィルタ40であれば、 $(L, C) = (3.3\mu\text{H}, 22\mu\text{F})$ 、 $(5\mu\text{H}, 10\mu\text{F})$ 、 $(8\mu\text{H}, 5\mu\text{F})$ 程度に設定すれば足りる。リップル電圧の許容量の増大、高周波数化によって、フィルタ40の (L, C) をさらに小さく設定することも可能である。

[0096] また、DC/DCコンバータの出力平滑フィルタでは、そのLC値が位相設計に関わってくるので、これを自由に変更をすることは難しい。一方、本実施形態のフィルタ40であれば、そのLC値が系の安定性に影響を与えないほどの小さい値となる。従って、メカリレー20の用途（延いてはユーザの意思）に応じて、フィルタ40のLC値を自由に変更することが可能である。

[0097] なお、本実施形態では、第2実施形態（図8）をベースとした例を挙げたが、第1実施形態（図2）をベースとしつつ、回生ダイオード30とフィルタ40を追加することも当然に可能である。

[0098] <第4実施形態>

図11は、メカリレーを備えた電気機器の第4実施形態を示す図である。本実施形態の電気機器1は、先出の第1実施形態（図2）をベースとしつつ

、出力帰還制御部200における出力帰還制御方式として、ヒステリシス制御方式（ボトム検出オン時間固定方式）ではなく電圧モード制御方式が採用されている点に特徴を有する。そこで、本実施形態と同様の構成要素については、図2と同一の符号を付すことにより重複した説明を割愛し、以下では、第4実施形態の特徴部分について重点的な説明を行う。

[0099] 本実施形態のパルス制御装置10において、出力帰還制御部200は、電圧モード制御方式の採用に伴い、先出のコンパレータ220とオン時間設定部230に代えて、エラーアンプ260と、オシレータ270と、コンパレータ280と、を含む。

[0100] エラーアンプ260は、反転入力端（－）に入力される帰還電圧 V_{fb} と非反転入力端（＋）に入力される基準電圧 V_{ref} （＝例えば電源変動や温度変動に依存しないバンドギャップ基準電圧）との差分に応じた誤差信号 S_a を生成する。誤差信号 S_a は、帰還電圧 V_{fb} と基準電圧 V_{ref} との差分が大きいほど高くなり、逆に、帰還電圧 V_{fb} と基準電圧 V_{ref} との差分が小さいほど低くなる。

[0101] オシレータ270は、所定のスイッチング周波数 F_{sw} で、矩形波状のセット信号 S_1 と三角波状、鋸波状、または、 n 次スロープ波状のスロープ信号 S_b を生成する。

[0102] コンパレータ280は、反転入力端（－）に入力される誤差信号 S_a と、非反転入力端（＋）に入力されるスロープ信号 S_b とを比較してリセット信号 S_2 を生成する。リセット信号 S_2 は、スロープ信号 S_b が誤差信号 S_a よりも高いときにハイレベル（＝ V_{reg} ）となり、逆に、スロープ信号 S_b が誤差信号 S_a よりも低いときにローレベル（＝ GND ）となる。

[0103] このような回路構成を採用することにより、出力帰還制御部200では、パルス出力電圧 V_o の平均値が所定の目標平均値 V_{oave} となるように、電圧モード制御方式によるパルス出力電圧 V_o のPWM制御が行われる。

[0104] なお、本実施形態では、第1実施形態（図2）をベースとした例を挙げたが、第2実施形態（図8）と同様、基準電圧 V_{ref} の切替機能を持たせて

もよい。

[0105] また、本実施形態では、電圧モード制御方式の採用例を挙げたが、電流モード制御方式を採用しても構わない。その場合には、例えば、励磁電流 I_o に応じた電流検出信号を用いて、誤差信号 S_a またはスロープ信号 S_b にオフセットを与えてやればよい。

[0106] このように、平滑されていないパルス出力電圧 V_o の帰還入力を受け付けて出力帰還制御を実施することができるのであれば、その出力帰還制御方式については、一切不問であり、例えば、ヒステリシス制御方式、電圧モード制御方式、または、電流モード制御方式のいずれであってもよい。

[0107] <第5実施形態>

図12は、発光ダイオード（以下では、LED [light emitting diode] と呼ぶ）を備えたメカリレーの一例を示す図である。本構成例のメカリレー20は、先に説明した電磁部21及び接点機構部22（本図ではリレーコイル21aのみを明示）のほかに、抵抗23とLED24を含んでいる。なお、抵抗23の第1端は、リレーコイル21aの第1端とともに、外部端子T21に接続されている。抵抗23の第2端は、LED24のアノードに接続されている。LED24のカソードは、リレーコイル21aの第2端とともに、外部端子T22に接続されている。

[0108] 図13は、LEDを備えたメカリレーの別の一例を示す図である。本構成例のメカリレー20も、先出の図12と同じく、抵抗23とLED24を備えている。ただし、本構成例のメカリレー20では、リレーコイル21aがリレーコイル21a1及び21a2に分割されており、リレーコイル21a2に抵抗23とLED24が並列接続されている。

[0109] 上記いずれの構成を採用するにせよ、LED24を備えたメカリレー20であれば、リレーコイル21aへの通電時にLED24が点灯する。従って、LED24の点消灯状態を視認することにより、メカリレー20の動作確認や故障判定を行うことが可能となる。

[0110] しかしながら、このようなLED搭載型のメカリレー20にパルス出力電

圧 V_o を直接印加すると、パルス出力電圧 V_o がローレベル（＝ GND ）からハイレベル（＝ V_i ）に立ち上がる毎に過大な電流が $LED24$ に流れるので、 $LED24$ を壊してしまうおそれがある。以下では、メカリレー20のパルス駆動を行いつつ、 $LED24$ を安全に点灯することのできる新規な実施形態を提案する。

[0111] 図14は、メカリレーを備えた電気機器の第5実施形態を示す図である。本実施形態の電気機器1は、パルス制御装置10とメカリレー20を有する。この点については、これまでに説明してきた第1～第4実施形態と何ら変わるところはない。なお、既出構成要素の一部（出力帰還制御部200、ローパスフィルタ部300、接点機構部22など）については、その図示が適宜省略されている。

[0112] 一方、メカリレー20は、先出の図12や図13と同じく、抵抗23と $LED24$ を備えており、パルス制御装置10には、 $LED24$ を安全に点灯するための手段として、 LED 駆動部400が追加されている。また、パルス制御装置10とメカリレー20には、 LED 駆動部400から $LED24$ に出力電流 I_o を供給するための外部端子 $T15$ 及び $T25$ が新たに設けられている。以下では、これらの変更点について重点的に説明する。

[0113] LED 駆動部400（＝発光素子駆動部に相当）は、スイッチ出力部100からリレーコイル21aに対してパルス出力電圧 V_o が供給されている間、一定の出力電流 I_o を生成する。なお、出力電流 I_o は、パルス制御装置10の外部端子 $T15$ からメカリレー20の外部端子 $T25$ に向けて供給される。

[0114] 抵抗23の第1端は、リレーコイル21aの第1端が接続されている外部端子 $T21$ ではなく、新たに設けられた外部端子 $T25$ に接続されている。抵抗23の第2端は、 $LED24$ のアノードに接続されている。 $LED24$ のカソードは、リレーコイル21aの第2端とともに、外部端子 $T22$ に接続されている。

[0115] このように、 $LED24$ をパルス出力電圧 V_o の印加端（＝外部端子 $T2$

1) から切り離し、別の経路で一定の出力電流 I_o を供給する構成であれば、パルス出力電圧 V_o の立上り毎に過大な電流が LED 24 に流れることはないので、LED 24 を壊してしまうおそれなくなる。従って、メカリレー 20 のパルス駆動を行いつつ、LED 24 を安全に点灯することが可能となる。

[0116] 図 15 は、LED 駆動部 400 の一例を示す図である。本構成例の LED 駆動部 400 は、NMOSFET 401 と抵抗 402 を含む。NMOSFET 401 のドレインは、外部端子 T15 に接続されている。NMOSFET 401 のソースとバックゲートは、接地端に接続されている。NMOSFET 401 のゲートには、入力信号 S_i が入力されている。抵抗 402 の第 1 端は、電源端に接続されている。抵抗 402 の第 2 端は、外部端子 T15 に接続されている。

[0117] 入力信号 S_i がハイレベルであるときには、NMOSFET 401 がオンするので、外部端子 T15 と接地端との間が導通される。従って、パルス制御装置 10 からメカリレー 20 に出力電流 I_o が供給されないで、LED 24 が消灯する。

[0118] 一方、入力信号 S_i がローレベルであるときには、NMOSFET 401 がオフするので、外部端子 T15 と接地端との間が遮断される。その結果、電源端から、抵抗 402、外部端子 T15、外部端子 T25、抵抗 23、及び、LED 24 を介して接地端に至る電流経路に出力電流 I_o が流れるので、LED 24 が点灯する。

[0119] このように、LED 駆動部 400 の出力段として、入力信号 S_i に応じて出力電流 I_o をオン／オフするオープンドレイン出力段を用いることにより、極めて簡易な回路構成で LED 24 の点消灯制御を実現することが可能となる。

[0120] なお、入力信号 S_i としては、例えば、イネーブル信号 E_N の論理反転信号を用いればよい。この場合、イネーブル信号 E_N がハイレベル (= コイル通電時の論理レベル) であるときには、入力信号 S_i がローレベルとなり、

N M O S F E T 4 0 1 がオフするので、出力電流 I_o の供給が行われて L E D 2 4 が点灯する。一方、イネーブル信号 E N がローレベル（＝コイル非通電時の論理レベル）であるときには、入力信号 S_i がハイレベルとなり、N M O S F E T 4 0 1 がオンするので、出力電流 I_o の供給が停止されて L E D 2 4 が消灯する。

[0121] また、L E D 駆動部 4 0 0 は、その有効／無効（＝外部端子 T 1 5 の有効／無効）をパルス制御装置 1 0 の外部から任意に切替可能な構成にしておくとい。なお、L E D 駆動部 4 0 0 が有効であるときには、先述の通り、入力信号 S_i に応じて出力電流 I_o のオン／オフ制御が行われる。一方、L E D 駆動部 4 0 0 が無効であるときには、例えば、外部端子 T 1 5 がローレベルに固定される。

[0122] このような構成とすることにより、メカリレー 2 0 が L E D 搭載型であるか否かを問わず、その適切な駆動制御を行うことができるので、パルス制御装置 1 0 の汎用性を高めることが可能となる。

[0123] <第 6 実施形態>

図 1 6 は、メカリレーを備えた電気機器の第 6 実施形態を示す図である。本実施形態の電気機器 1 は、先の第 5 実施形態（図 1 4）をベースとしつつ、パルス制御装置 1 0 がメカリレー 2 0 に内蔵されている点に特徴を有する。以下、パルス制御装置 1 0 の外部端子 T 1 1 ～ T 1 5、並びに、メカリレー 2 0 の外部端子 T 2 1 ～ T 2 2 及び外部端子 T 2 6（＝外部端子 T 2 5 に代えて新設）の接続関係を中心に説明する。

[0124] パルス制御装置 1 0 の外部端子 T 1 1 は、メカリレー 2 0 の内部において、メカリレー 2 0 の外部端子 T 2 1 に接続されている。なお、外部端子 T 2 1 は、メカリレー 2 0 の外部において、直流入力電圧 V_i の印加端に接続されている。

[0125] パルス制御装置 1 0 の外部端子 T 1 2 は、メカリレー 2 0 の内部において、リレーコイル 2 1 a の第 1 端に直接接続されている。

[0126] パルス制御装置 1 0 の外部端子 T 1 3 は、メカリレー 2 0 の内部において

、メカリレー２０の外部端子Ｔ２２、リレーコイル２１ａの第２端、及び、ＬＥＤ２４のカソードに接続されている。なお、外部端子Ｔ２２は、メカリレー２０の外部において、接地端に接続されている。

[0127] パルス制御装置１０の外部端子Ｔ１４は、メカリレー２０の内部において、メカリレー２０の外部端子Ｔ２６に接続されている。なお、外部端子Ｔ２６は、メカリレー２０の外部において、イネーブル信号ＥＮの印加端に接続されている。ただし、イネーブル信号ＥＮの入力を受け付けない場合には、メカリレー２０の外部端子Ｔ２６を割愛し、メカリレー２０の内部において、パルス制御装置１０の外部端子Ｔ１１と外部端子Ｔ１４をショートしておいても構わない。このような接続を行った場合には、直流入力電圧Ｖ_iが供給されている間、外部端子Ｔ１４がハイレベル（ＥＮ＝Ｈに相当）となるので、リレーコイル２１ａへの常時通電が行われることになる。

[0128] パルス制御装置１０の外部端子Ｔ１５は、メカリレー２０の内部において、抵抗２３の第１端と接続されている。抵抗２３の第２端は、先にも述べたように、ＬＥＤ２４のアノードに接続されている。

[0129] このように、メカリレー２０にパルス制御装置１０を内蔵すれば、パルス制御装置１０の分の実装面積を削減することができるので、電気機器１の小型化や軽薄化を図ることが可能となる。

[0130] なお、上記の第５実施形態（図１４）と第６実施形態（図１６）では、いずれも、メカリレー２０に搭載される発光素子としてＬＥＤを例に挙げたが、発光素子の種類はこれに限定されるものではなく、有機ＥＬ[electro-luminescence]素子などを用いてもよい。

[0131] ＜第７実施形態＞

図１７は、メカリレーを備えた電気機器の第７実施形態を示す図である。本実施形態の電気機器１は、先の第１実施形態（図２）と基本的に同一の構成であるが、スイッチ出力部１００の下側スイッチ１２０に付随するボディダイオード１２０Ｂが明示されている。

[0132] 本図で示したように、下側スイッチ１２０として用いられているＮＭＯＳ

F E T（＝同期整流トランジスタに相当）には、そのドレインをカソードとし、そのソースをアノードとするボディダイオード１２０Ｂが付随している。

[0133] このボディダイオード１２０Ｂは、上側スイッチ１１０と下側スイッチ１２０の双方がオフされたとき、例えば、メカリレー２０をオンからオフに切り替えたとき、若しくは、貫通電流防止用のデッドタイムにおいて、パルス出力電圧 V_o のスパイクノイズを防止する回生ダイオードとして利用することができる。

[0134] 従って、先の第３実施形態（図１０）と異なり、外付けの回生ダイオード３０を割愛することができるので、部品点数の削減による低コスト化や電気機器１の簡略化を実現することが可能となる。

[0135] なお、メカリレー２０の電磁部２１（特にそのリレーコイル２１ａ）には、それほど大きな電流（数百ｍＡ）を流す必要がない。従って、ボディダイオード１２０Ｂの順方向降下電圧が外付けの回生ダイオード３０に比べて高いとしても、特段の支障は生じない。

[0136] ＜第８実施形態＞

図１８は、メカリレーを備えた電気機器の第８実施形態を示す図である。本実施形態の電気機器１は、先の第７実施形態（図１７）と基本的に同一の構成であるが、スイッチ出力部１００の下側スイッチ１２０（＝同期整流トランジスタ）に代えて、整流ダイオード１３０が用いられている。すなわち、スイッチ出力部１００の整流方式が同期整流方式から非同期整流方式（ダイオード整流方式）に変更されている。

[0137] この場合には、整流ダイオード１３０が回生ダイオードとして利用されるので、先の第７実施形態（図１７）と同じく、部品点数の削減による低コスト化や電気機器１の簡略化を実現することが可能となる。

[0138] ＜基板レス実装＞

図１９は、メカリレー２０にパルス制御装置１０を内蔵する場合の実装例（＝メカリレー２０の内部に敷設されたフレームに直接パルス制御装置１０

を実装する基板レス実装の一例)を示す図である。

[0139] 本構成例のメカリレー２０は、一般的なメカリレーと同じく、その下面から複数のソケット（外部端子Ｔ２１及びＴ２２を含む）が延出された台座２５と、台座２５の上面に固設されたボビンケース２６と、ボビンケース２６の周囲を取り囲んでこれを被覆するように台座２５の上面に着脱される上蓋２７（本図では破線で描写）と、を有する。

[0140] なお、ボビンケース２６は、リレーコイル２１ａの捲回軸となるだけでなく、その内部に接点機構部２２など（不図示）を担持している。また、ボビンケース２６の側面２６ａ～２６ｃには、各種のソケットやリレーコイル２１ａと電氣的に接続されるフレームＦＲ１～ＦＲ３が敷設されている。

[0141] さらに、本構成例のメカリレー２０では、フレームＦＲ１～ＦＲ３にパルス制御装置１０が直接実装されている。以下では、パルス制御装置１０の実装形態の一例について、具体的に説明する。

[0142] フレームＦＲ１は、ボビンケース２６の側面２６ａに敷設されており、台座２５を貫通して外部端子Ｔ２１（＝直流入力電圧Ｖ_iの印加端に相当）に接続されている。

[0143] フレームＦＲ２は、ボビンケース２６の側面２６ａから側面２６ｂにわたって敷設されており、リレーコイル２１ａの第１端に接続されている。このように、本構成例のメカリレー２０では、パルス制御装置１０を内蔵するために、外部端子Ｔ２１からリレーコイル２１ａの第１端に至る導電経路がフレームＦＲ１とフレームＦＲ２に分割されている。

[0144] フレームＦＲ３は、ボビンケース２６の側面２６ａから側面２６ｃにわたって敷設されており、台座２５を貫通して外部端子Ｔ２２（＝接地端に相当）に接続されるとともに、リレーコイル２１ａの第２端にも接続されている。

[0145] パルス制御装置１０は、ボビンケース２６の側面２６ａ～２６ｃのうち、フレームＦＲ１～ＦＲ３がいずれも敷設されている側面２６ａにおいて、フレームＦＲ１～ＦＲ３の間隙となる位置に実装されている。なお、フレーム

F R 1 ~ F R 3 は、パルス制御装置 1 0 から伸びる 4 本の外部端子 T 1 1 ~ T 1 4 が届く位置まで適宜敷設されている。

[0146] パルス制御装置 1 0 の外部端子 T 1 1 (=電源端子に相当)と外部端子 T 1 4 (=イネーブル端子に相当)は、いずれもフレーム F R 1 に接続されている。つまり、パルス制御装置 1 0 の外部端子 T 1 1 と外部端子 T 1 4 は、メカリレー 2 0 の内部において、互いにショートされている。このような接続を行った場合には、外部端子 T 2 1 (延いてはフレーム F R 1)に直流入力電圧 V_i が供給されている間、外部端子 T 1 4 がハイレベル ($E N = H$ に相当)となるので、リレーコイル 2 1 a への常時通電が行われることになる。

[0147] パルス制御装置 1 0 の外部端子 T 1 2 (=スイッチ出力端子に相当)は、フレーム F R 2 に接続されている。従って、リレーコイル 2 1 a の第 1 端には、パルス制御装置 1 0 の外部端子 T 1 からパルス出力電圧 V_o が印加される。

[0148] パルス制御装置 1 0 の外部端子 T 1 3 (=接地端子に相当)は、フレーム F R 3 に接続されている。

[0149] このように、本構成例のメカリレー 2 0 では、その構造を利用してパルス制御装置 1 0 がフレーム F R 1 ~ F R 3 に直接実装されている。従って、パルス制御装置 1 0 を内蔵するために別途の実装基板を必要としないので、I C 内蔵メカリレーの低コスト化を実現することが可能となる。

[0150] また、実装基板を用いずに I C チップを実装することにより、パルス制御装置 1 0 の導入に際して、メカリレーのピン配置変更や増加を招くことがない。従って、I C 非内蔵メカリレーから I C 内蔵メカリレーへの載せ替えの容易化を図ることも可能となる。

[0151] なお、パルス制御装置 1 0 の外部端子としては、これまでに説明してきたように、電源端子、スイッチ出力端子、接地端子、イネーブル端子の 4 本があれば足りる。そのため、本図では、4 ピンパッケージのパルス制御装置 1 0 を例に挙げたが、ピン数は 4 ピンに限られず、より多くのピンを有する多

ピンパッケージでも構わない。しかしながら、実装のし易さや実装後の視認性を鑑みると、QFN [quad flatpack no lead] やBGA [ball grid array] などと比較して、ピンがパッケージ樹脂から外側に張り出すタイプのパッケージが好ましい。

[0152] 図20は、パルス制御装置10のパッケージ例を示す図であり、ここでは、互いに逆向きの2辺からそれぞれ4本ずつ、合計8本の外部端子が延出された8ピンMSOP [mini(micro) small outline package] が示されている。

[0153] 図21は、メカリレー20に8ピンパッケージ（例えば図20を参照）のパルス制御装置10を内蔵する場合の実装例を示す図である。

[0154] 本図において、パルス制御装置10の1ピン～4ピンは、いずれもフレームFR1に接続されている。従って、1ピン～4ピンには、先出の外部端子T11（＝電源端子）及びT14（＝イネーブル端子）として機能するピンが含まれている。例えば、1ピンを外部端子T11とし、4ピンを外部端子T14とし、2ピン及び3ピンをノンコネクタ端子とすればよい。もちろん、1ピンと2ピンを内部でショートして外部端子T11とし、3ピンと4ピンを内部でショートして外部端子T14とするなど、種々の変形が可能であることは言うまでもない。

[0155] パルス制御装置10の5ピンと6ピンは、いずれもフレームFR2に接続されている。従って、5ピンと6ピンの少なくとも一方は、先出の外部端子T12（＝スイッチ出力端子）として機能する。

[0156] パルス制御装置10の7ピンと8ピンは、いずれもフレームFR3に接続されている。従って、7ピンと8ピンの少なくとも一方は、先出の外部端子T13（＝接地端子）として機能する。

[0157] <DC/DCコンバータとの相違点>

最後に、種々の実施形態で説明してきたパルス制御装置10と、比較例のDC/DCコンバータX30（特にそのコントローラICX31）との相違点について述べておく。

[0158] まず、パルス制御装置 10 に接続されるリレーコイル 21a のインダクタンス値は、最小でも 10 mH 以上（数十 mH ～数百 mH）である。一方、DC/DC コンバータ X30 のコントローラ ICX31 に接続されるコイル X32 のインダクタンス値は、最大でも 100 μ H 以下（数 μ H ～数十 μ H）である。このように、パルス制御装置 10 とコントローラ ICX31 は、それぞれに接続されるコイルのインダクタンス値が大きく異なる。

[0159] 次に、パルス制御装置 10 から出力されるパルス出力電圧 V_o のスイッチング周波数 F_{sw} は、20 kHz ～300 kHz（好ましくは 70 kHz ～140 kHz）である。なお、20 kHz という下限値は、人間の可聴域を考慮して設定された値であり、300 kHz という上限値は、スイッチングノイズの影響を考慮して設定された値である。一方、DC/DC コンバータ X30 をメカリレー X20 に内蔵する場合には、コントローラ ICX31 におけるスイッチング周波数の高周波数化（例えば 2 MHz 以上）が必須となる。このように、パルス制御装置 10 とコントローラ ICX31 は、それぞれのスイッチング周波数も大きく異なる。

[0160] <総括>

以下では、これまでに説明してきた種々の実施形態について総括的に述べる。

[0161] 本明細書中に開示されているパルス制御装置は、直流入力電圧からパルス出力電圧を生成して負荷に供給するスイッチ出力部と、前記パルス出力電圧の帰還入力を受けて帰還電圧を生成するローパスフィルタ部と、前記帰還電圧の入力を受け付けて前記スイッチ出力部を制御する出力帰還制御部と、を有する構成（第 1 の構成）とされている。なお、出力帰還制御部は、前記帰還電圧の入力を受け付けて前記パルス出力電圧の平均値が一定となるように前記スイッチ出力部を制御することが好ましい。

[0162] なお、上記第 1 の構成から成るパルス制御装置において、前記ローパスフィルタ部は、コイルを含まない構成（第 2 の構成）にするとよい。

[0163] また、上記第 2 の構成から成るパルス制御装置において、前記ローパスフ

ィルタ部は、前記パルス出力電圧の帰還入力端と前記帰還電圧の出力端の間に接続された第 1 抵抗と、前記帰還電圧の出力端と接地端との間に並列接続された第 2 抵抗及びキャパシタと、を含む構成（第 3 の構成）にするとよい。

[0164] また、上記第 1 ～第 3 いずれかの構成から成るパルス制御装置において、前記パルス出力電圧のスイッチング周波数は、人間の可聴周波数帯域よりも高い構成（第 4 の構成）にするとよい。

[0165] また、上記第 1 ～第 4 いずれかの構成から成るパルス制御装置は、半導体装置に集積化されている構成（第 5 の構成）にするとよい。

[0166] また、上記第 1 ～第 5 いずれかの構成から成るパルス制御装置は、前記負荷としてリレーコイルが接続されることにより、メカリレーの駆動装置として機能する構成（第 6 の構成）にするとよい。

[0167] また、上記第 6 の構成から成るパルス制御装置において、前記出力帰還制御部は、前記メカリレーのオン／オフ制御信号に応じて、前記パルス出力電圧の生成可否が制御される構成（第 7 の構成）にするとよい。

[0168] また、上記第 7 の構成から成るパルス制御装置において、前記出力帰還制御部は、前記パルス出力電圧の生成動作を開始してから前記コイルに流れる励磁電流が少なくとも動作電流値を上回るまで、前記パルス出力電圧の目標平均値を第 1 レベルに設定し、その後、前記励磁電流が復帰電流値を下回らない範囲で、前記目標平均値を前記第 1 レベルよりも低い第 2 レベルに引き下げる構成（第 8 の構成）にするとよい。

[0169] また、本明細書中に開示されている電気機器は、メカリレーと、前記メカリレーのリレーコイルにパルス出力電圧を印加する上記第 6 ～第 8 いずれかの構成から成るパルス制御装置と、を有する構成（第 9 の構成）とされている。

[0170] なお、上記第 9 の構成から成る電気機器は、前記パルス出力電圧のスパイクノイズを除去するフィルタをさらに有する構成（第 10 の構成）にするとよい。

- [0171] また、上記第 10 の構成から成る電気機器において、前記フィルタの LC 値は、系の安定性に影響を与えない範囲で任意に選択可能である構成（第 11 の構成）にするとよい。
- [0172] また、本明細書中に開示されているパルス制御装置は、メカリレーのリレーコイルにパルス出力電圧を供給するスイッチ出力部と、前記メカリレーの発光素子に出力電流を供給する発光素子駆動部と、を有する構成（第 12 の構成）とされている。
- [0173] なお、上記第 12 の構成から成るパルス制御装置において、前記発光素子駆動部は、入力信号に応じて前記出力電流をオン／オフするオーブンドレイン出力段を含む構成（第 13 の構成）にするとよい。
- [0174] また、上記第 12 または第 13 の構成から成るパルス制御装置において、前記発光素子駆動部は、その有効／無効を切替可能である構成（第 14 の構成）にするとよい。
- [0175] また、本明細書中に開示されている電気機器は、リレーコイル及び発光素子を備えたメカリレーと、上記第 12 ～第 14 いずれかの構成から成るパルス制御装置とを有する構成（第 15 の構成）とされている。
- [0176] また、本明細書に開示されているメカリレーは、リレーコイルと、発光素子と、上記第 12 または第 13 の構成から成るパルス制御装置と、を有する構成（第 16 の構成）とされている。
- [0177] また、本明細書中に開示されているパルス制御装置は、リレーコイルにパルス出力電圧を供給するスイッチ出力部を有し、前記スイッチ出力部は、前記リレーコイルに対して並列に接続された同期整流トランジスタまたは整流ダイオードを含み、前記同期整流トランジスタに付随するボディダイオードまたは前記整流ダイオードは、回生ダイオードとして利用される構成（第 17 の構成）とされている。
- [0178] また、本明細書中に開示されているメカリレーは、リレーコイルと、直流入力電圧が印加される第 1 フレームと、前記リレーコイルの第 1 端が接続される第 2 フレームと、前記リレーコイルの第 2 端が接続される第 3 フレーム

と、前記第1フレーム、前記第2フレーム、及び、前記第3フレームに直接実装されて前記リレーコイルにパルス出力電圧を供給するパルス制御装置と、を有する構成（第18の構成）とされている。

[0179] また、第18の構成から成るメカリレーにおいて、前記パルス制御装置は、前記第1フレームに接続される電源端子と、前記第2フレームに接続されるスイッチ出力端子と、前記第3フレームに接続される接地端子と、前記第1フレームに接続されるイネーブル端子と、を有する半導体集積回路装置である構成（第19の構成）にするとよい。

[0180] また、上記した第16、第18、第19いずれかの構成から成るメカリレーにおいて、前記リレーコイルのインダクタンス値は、10mH以上である構成（第20の構成）にするとよい。

[0181] また、上記した第12～第14及び第16いずれかの構成から成るパルス制御装置において、前記パルス出力電圧のスイッチング周波数は、20kHz～300kHzである構成（第21の構成）にするとよい。

[0182] また、第1の構成～第21の構成のいずれか2つの構成または3つ以上の構成を適宜組み合わせた構成も本発明の構成に含まれる。さらに、組み合わせる構成は、第1の構成～第21の構成のそれぞれの一部であってもよい。例えば、パルス制御装置は、直流入力電圧から20kHz以上300kHz以下のスイッチング周波数のパルス出力電圧を生成して負荷に供給するスイッチ出力部と、前記パルス出力電圧の帰還入力を受けて生成される帰還電圧に基づいて前記スイッチ出力部を制御する出力帰還制御部と、を有する構成（第22の構成）としてもよい。前記帰還電圧は、前記パルス出力電圧の帰還入力を受けてローパスフィルタ部により生成されてもよい。そして、このようなパルス制御装置は、前記負荷として10mH以上のインダクタンス値を有するリレーコイルが接続されることにより、メカリレーの駆動装置として機能する構成としてもよい。

[0183] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態の

ほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、バイポーラトランジスタとMOS電界効果トランジスタとの相互置換や、各種信号の論理レベル反転は任意である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0184] 本明細書中に開示されているパルス制御装置は、例えば、メカリレーの駆動手段として好適に利用することが可能である。

符号の説明

- [0185]
- 1 電気機器
 - 10 パルス制御装置
 - 20 メカリレー
 - 21 電磁部
 - 21a、21a1、21a2 リレーコイル
 - 21b 鉄心
 - 21c 接極子
 - 21d カード
 - 22 接点機構部
 - 22a、22b 固定接点
 - 22c 可動バネ
 - 22d 可動接点
 - 23 抵抗
 - 24 発光ダイオード（発光素子）
 - 25 台座
 - 26 ボビンケース
 - 26a、26b、26c 側面

27	上蓋
30	回生ダイオード
40	フィルタ
41	コイル
42	キャパシタ
100	スイッチ出力部
110	上側スイッチ（出力トランジスタ：PMOSFET）
120	下側スイッチ（同期整流トランジスタ：NMOSFET）
120B	ボディダイオード
130	整流ダイオード
200	出力帰還制御部
220	コンパレータ
230	オン時間設定部
231	抵抗
232	キャパシタ
233	スイッチ
234	コンパレータ
240	ゲート制御部
241	Dフリップフロップ
242	レベルシフタ
243、244	ドライバ
250	タイマ
260	エラーアンプ
270	オシレータ
280	コンパレータ
300	ローパスフィルタ部
301、302	抵抗
303	キャパシタ

4 0 0 L E D 駆動部（発光素子駆動部）

4 0 1 N M O S F E T

4 0 2 抵抗

T 1 1 ～ T 1 5、T 2 1 ～ T 2 6 外部端子

F R 1 ～ F R 3 フレーム

請求の範囲

- [請求項1] 直流入力電圧からパルス出力電圧を生成して負荷に供給するスイッチ出力部と、
前記パルス出力電圧の帰還入力を受けて帰還電圧を生成するローパスフィルタ部と、
前記帰還電圧の入力を受け付けて前記パルス出力電圧の平均値が一定となるように前記スイッチ出力部を制御する出力帰還制御部と、
を有することを特徴とするパルス制御装置。
- [請求項2] 前記ローパスフィルタ部は、コイルを含まないことを特徴とする請求項1に記載のパルス制御装置。
- [請求項3] 前記ローパスフィルタ部は、前記パルス出力電圧の帰還入力端と前記帰還電圧の出力端との間に接続された第1抵抗と、前記帰還電圧の出力端と接地端との間に並列接続された第2抵抗及びキャパシタと、を含むことを特徴とする請求項2に記載のパルス制御装置。
- [請求項4] 前記パルス出力電圧のスイッチング周波数は、人間の可聴周波数帯域よりも高いことを特徴とする請求項1～請求項3のいずれか一項に記載のパルス制御装置。
- [請求項5] 半導体装置に集積化されていることを特徴とする請求項1～請求項4のいずれか一項に記載のパルス制御装置。
- [請求項6] 前記負荷としてリレーコイルが接続されることにより、メカリレーの駆動装置として機能することを特徴とする請求項1～請求項5のいずれか一項に記載のパルス制御装置。
- [請求項7] 前記出力帰還制御部は、前記メカリレーのオン／オフ制御信号に応じて前記パルス出力電圧の生成可否が制御されることを特徴とする請求項6に記載のパルス制御装置。
- [請求項8] 前記出力帰還制御部は、前記パルス出力電圧の生成動作を開始してから、前記リレーコイルに流れる励磁電流が少なくとも動作電流値を上回るまで、前記パルス出力電圧の目標平均値を第1レベルに設定し

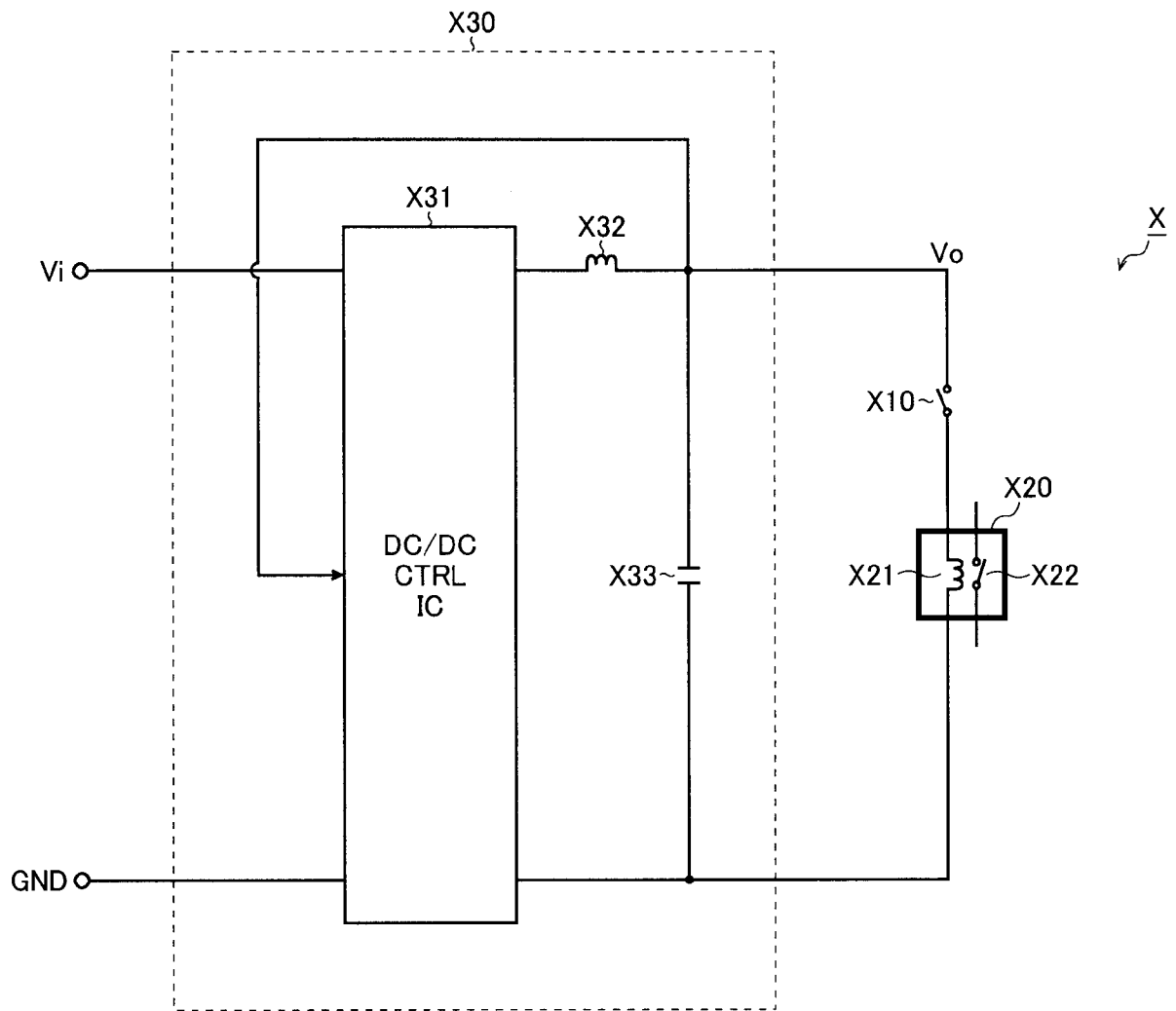
、その後、前記励磁電流が復帰電流値を下回らない範囲で、前記目標平均値を前記第 1 レベルよりも低い第 2 レベルに引き下げることを特徴とする請求項 7 に記載のパルス制御装置。

[請求項 9] メカリレーと、
前記メカリレーのリレーコイルにパルス出力電圧を印加する請求項 6 ～請求項 8 のいずれか一項に記載のパルス制御装置と、
を有することを特徴とする電気機器。

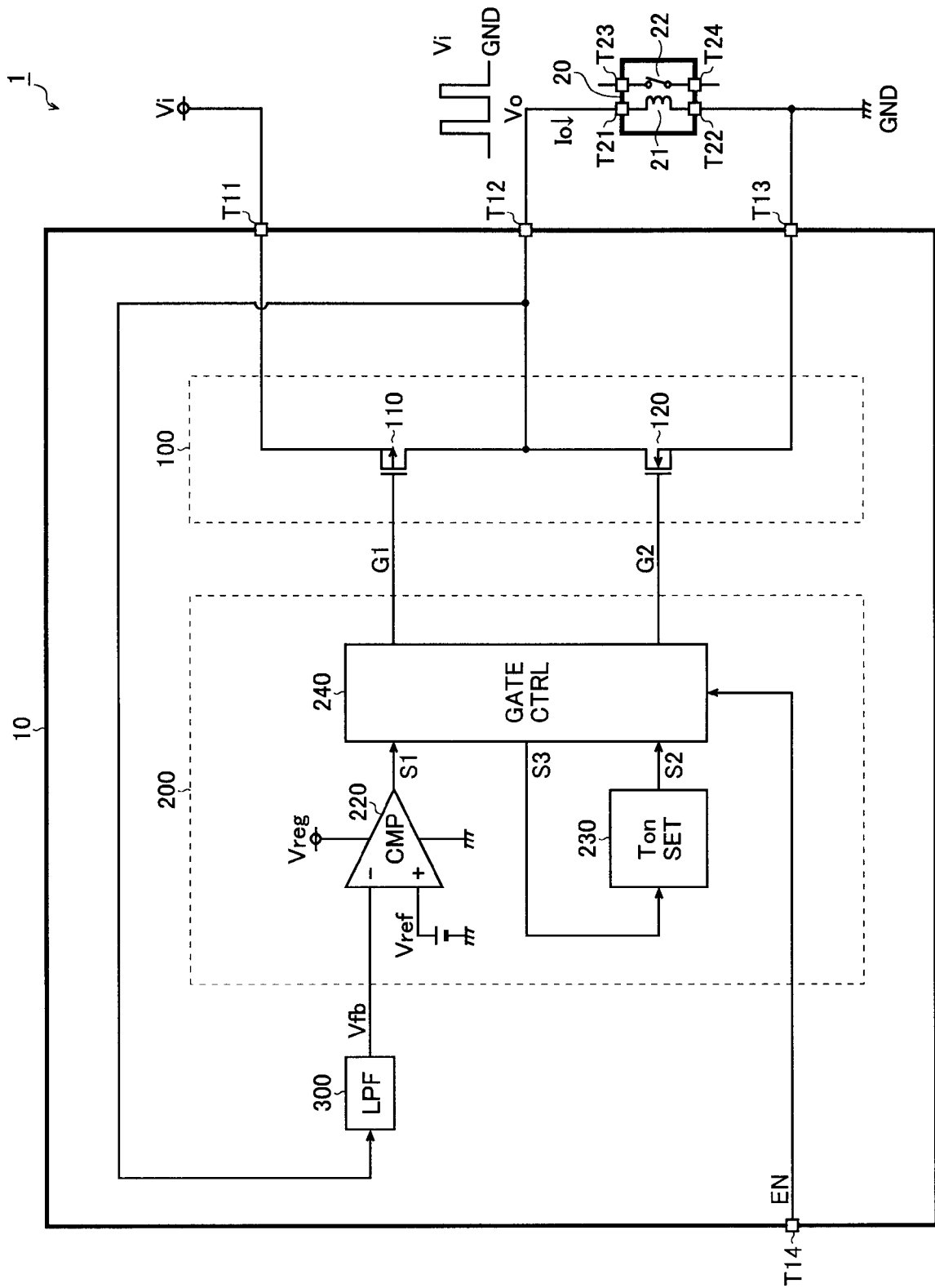
[請求項 10] 前記パルス出力電圧のスパイクノイズを除去するフィルタをさらに
有することを特徴とする請求項 9 に記載の電気機器。

[請求項 11] 前記フィルタの LC 値は、系の安定性に影響を与えない範囲で任意
に選択可能であることを特徴とする請求項 10 に記載の電気機器。

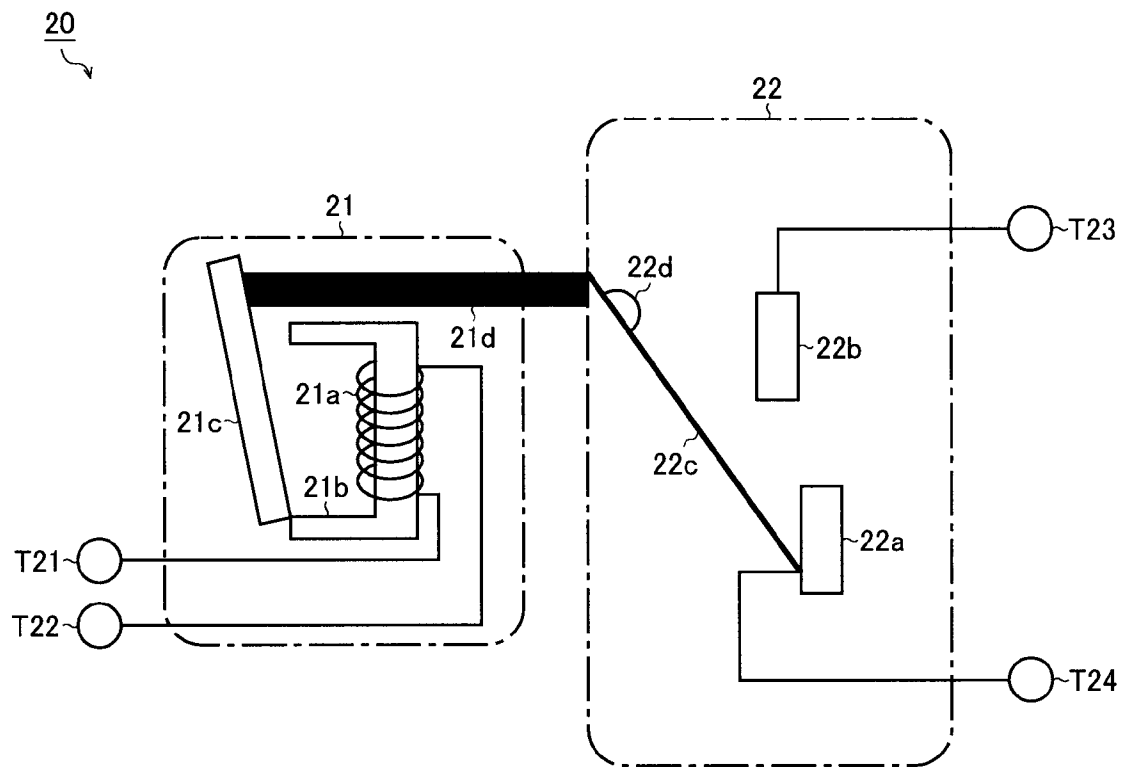
[図1]



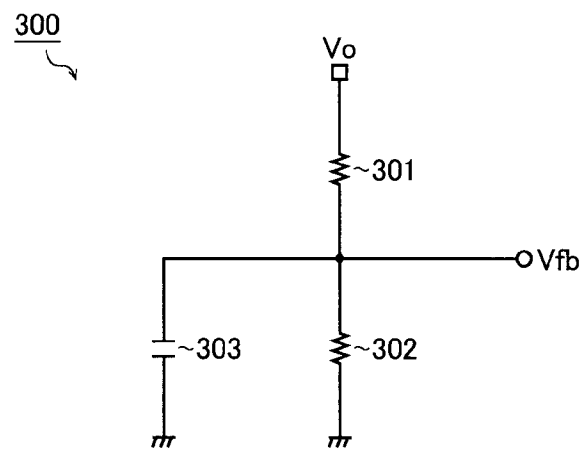
[図2]



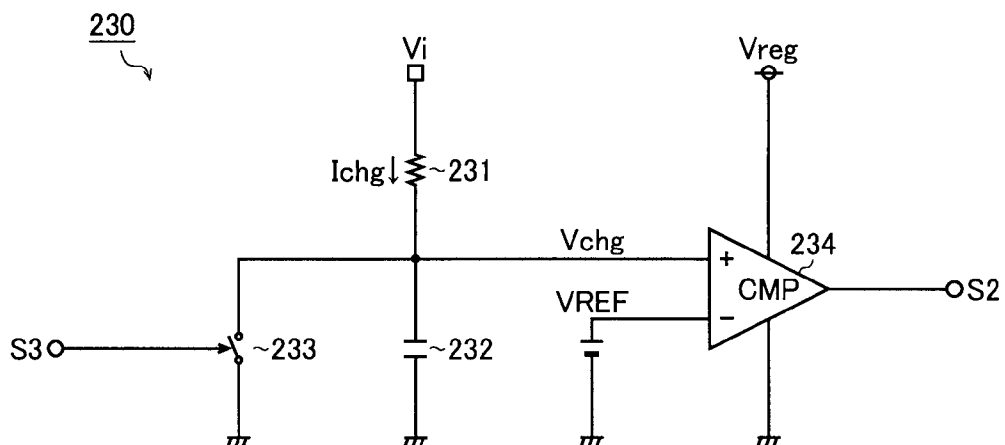
[図3]



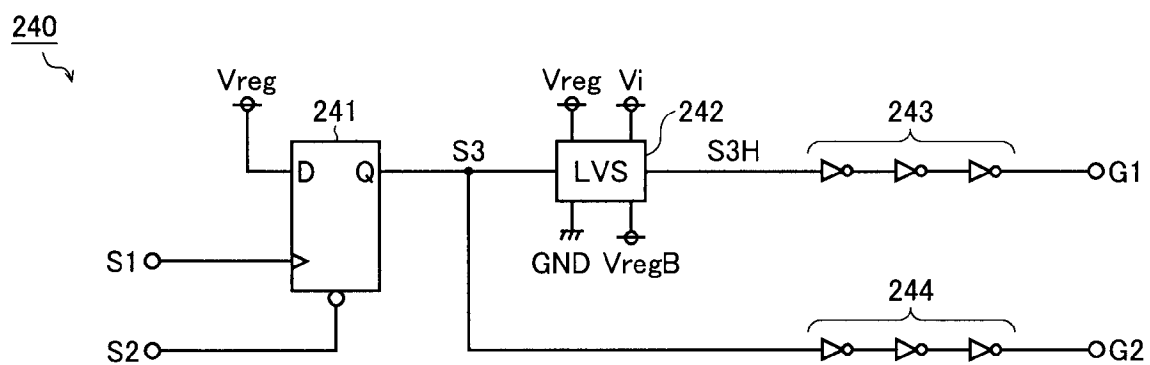
[図4]



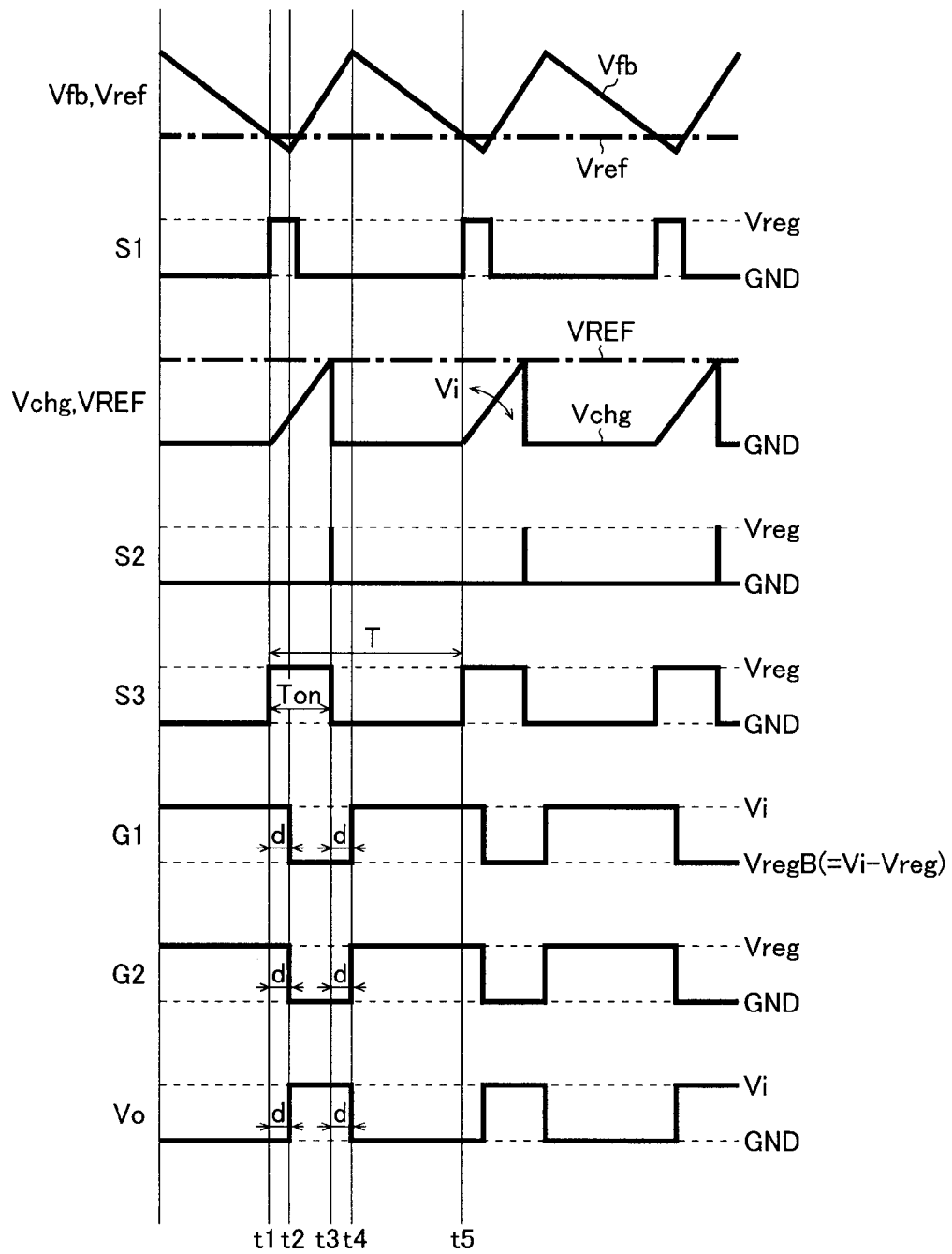
[図5]



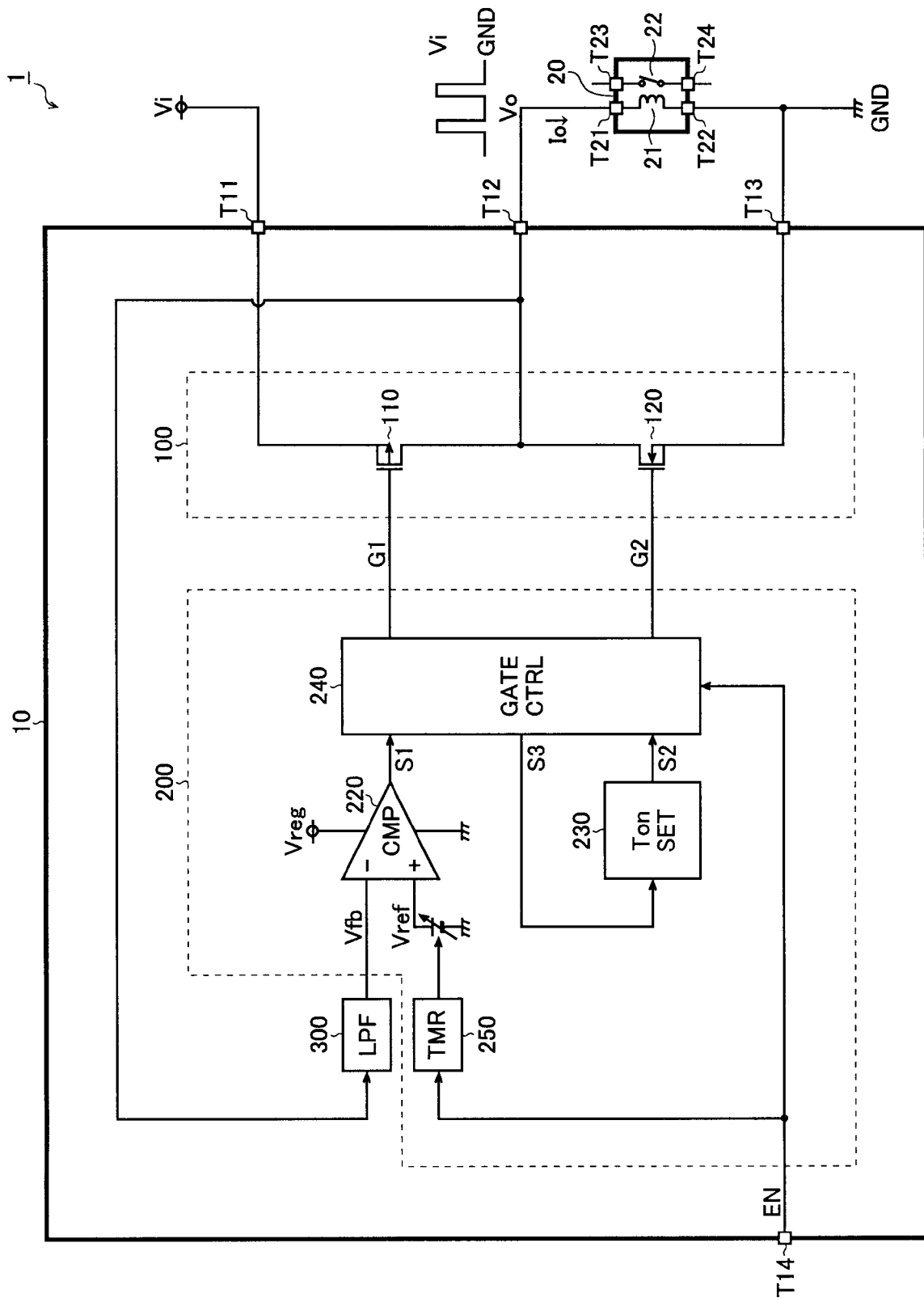
[図6]



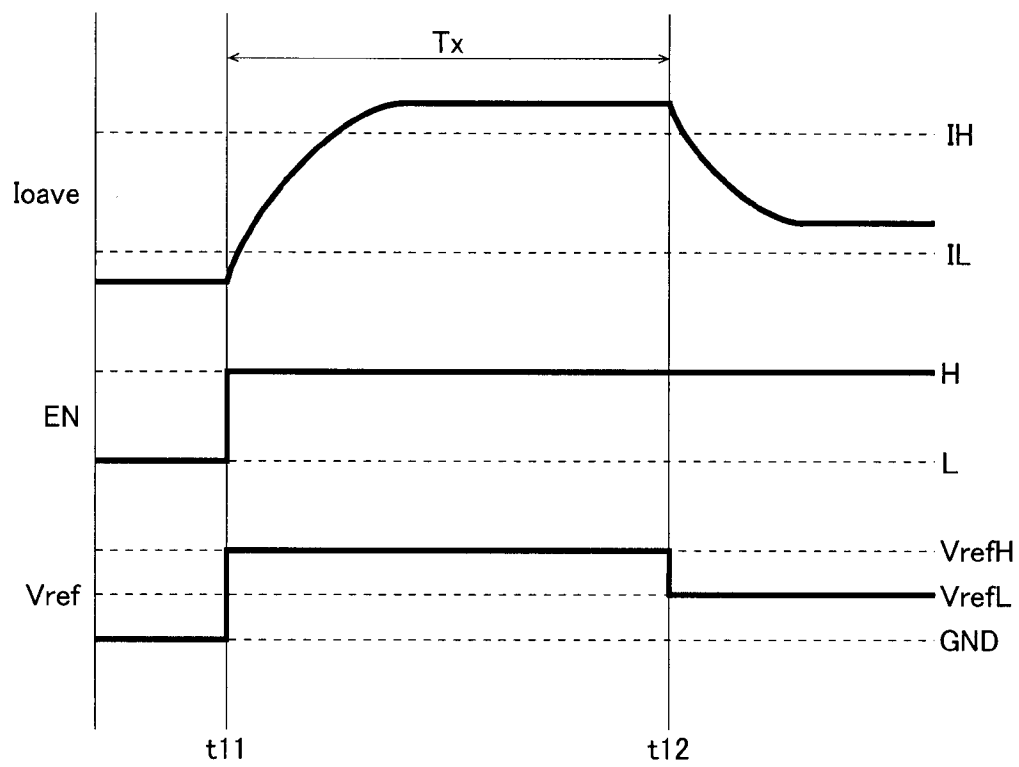
[図7]

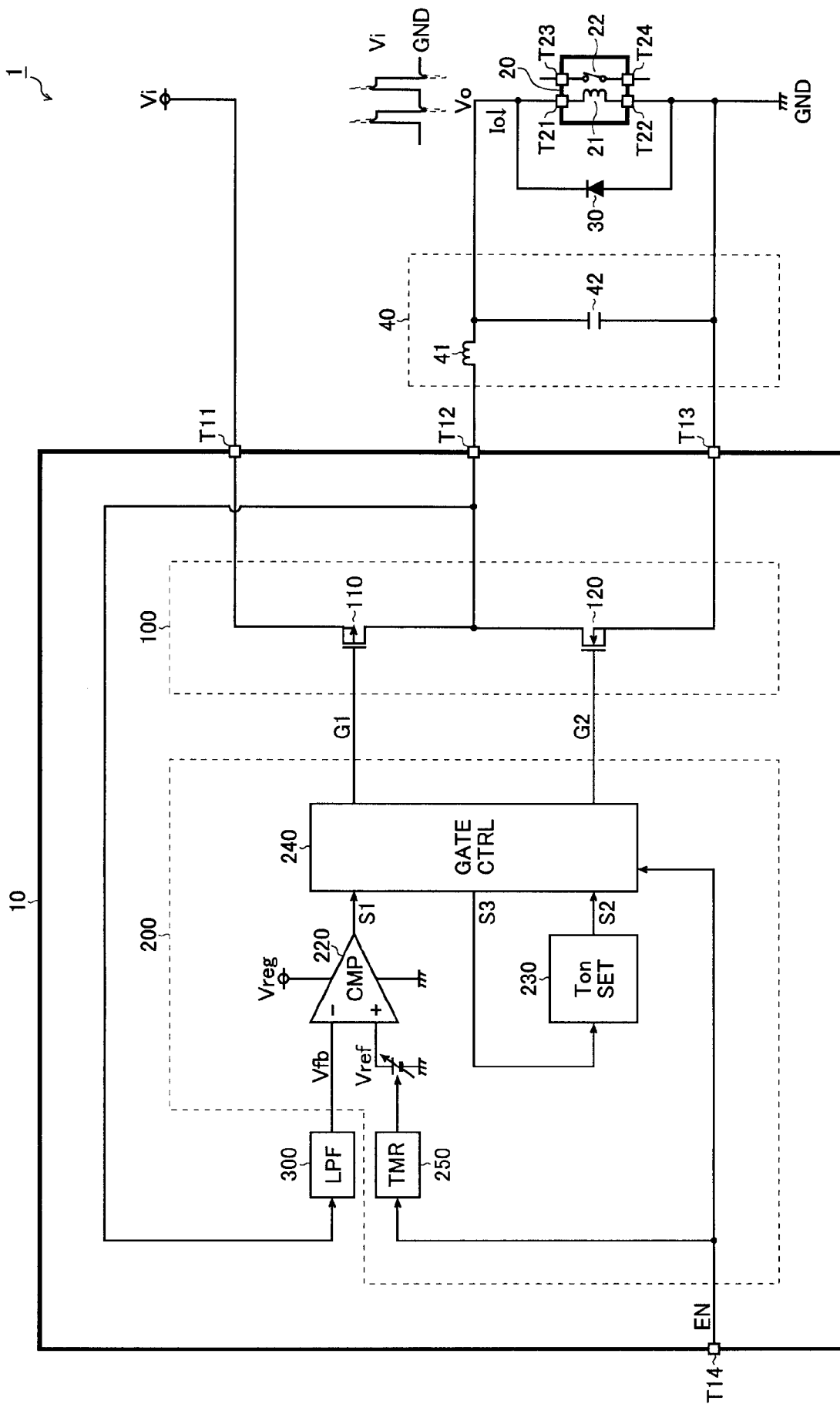


[図8]

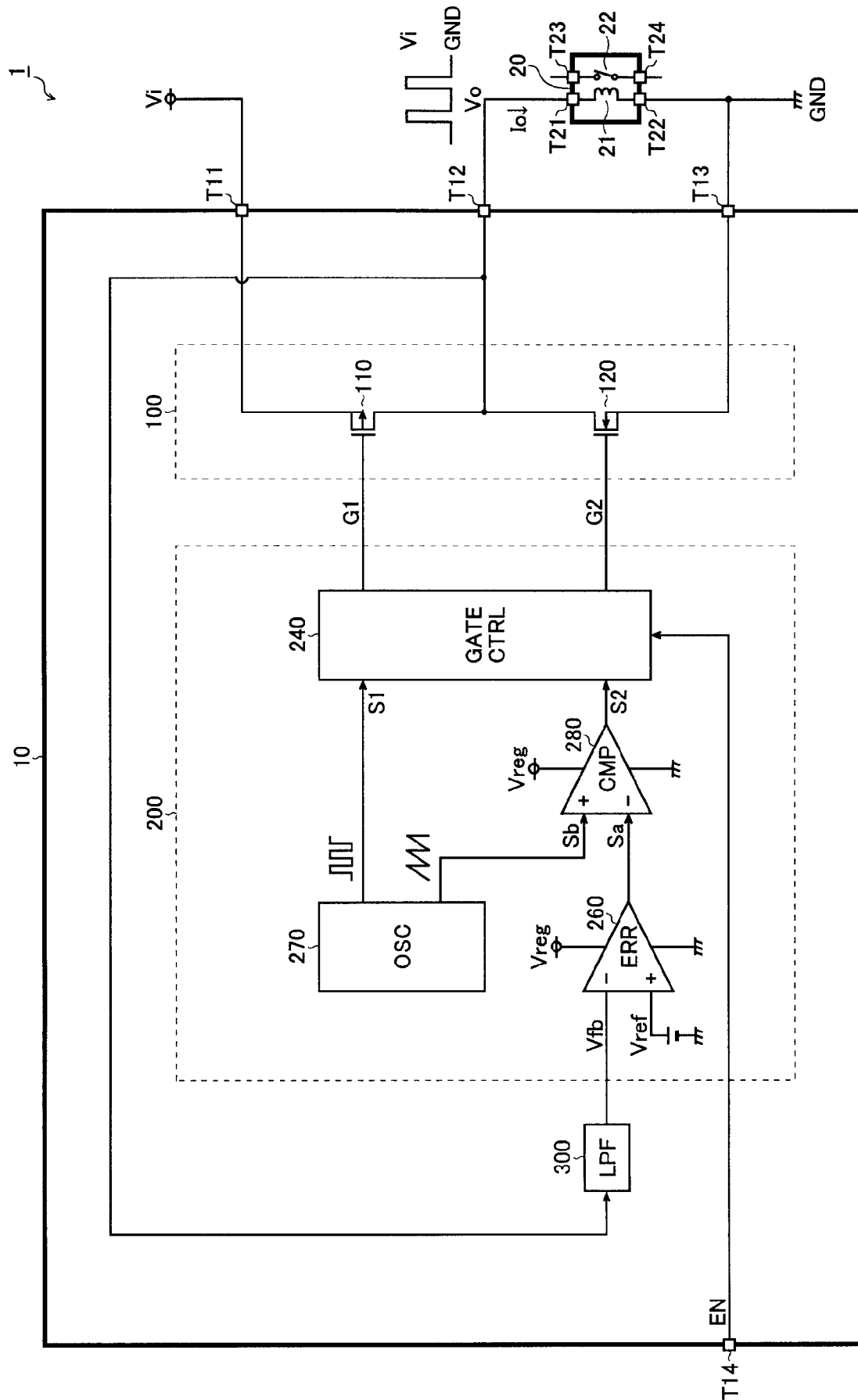


[図9]

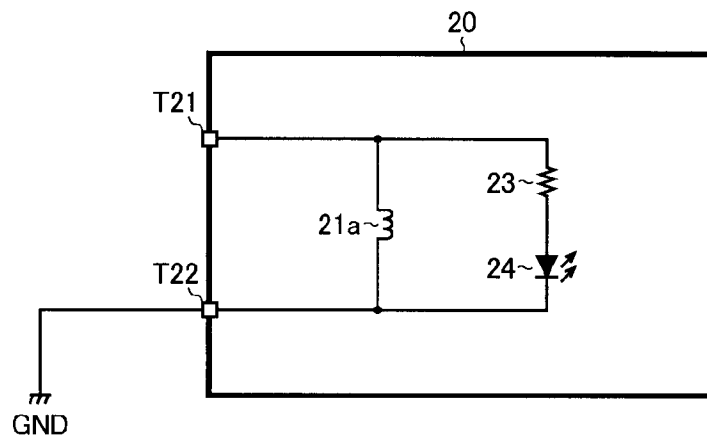




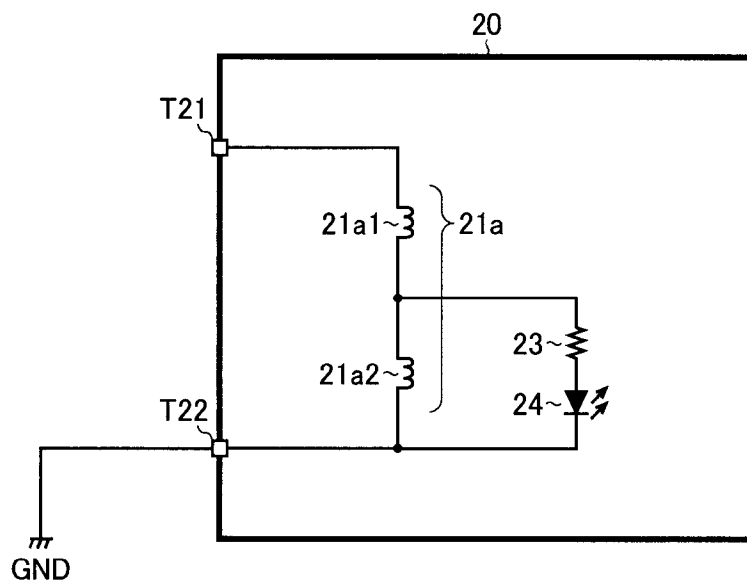
[図11]



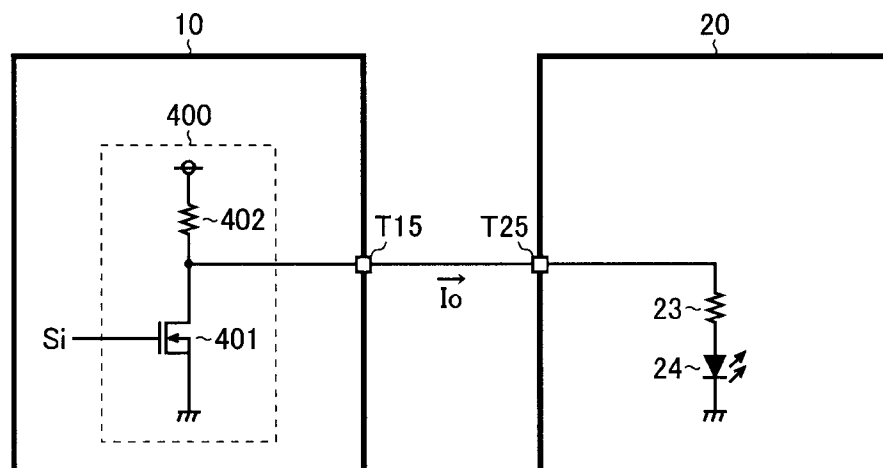
[図12]



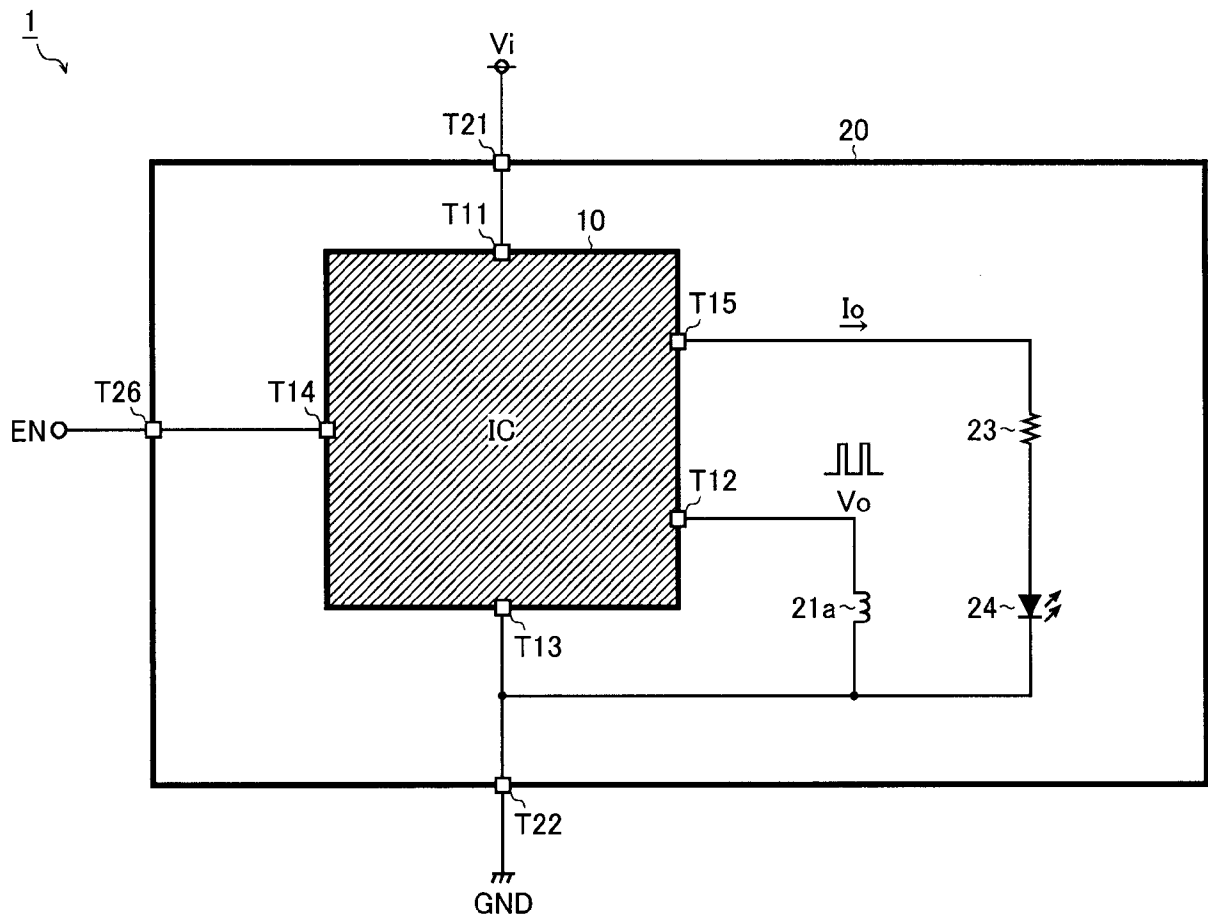
[図13]



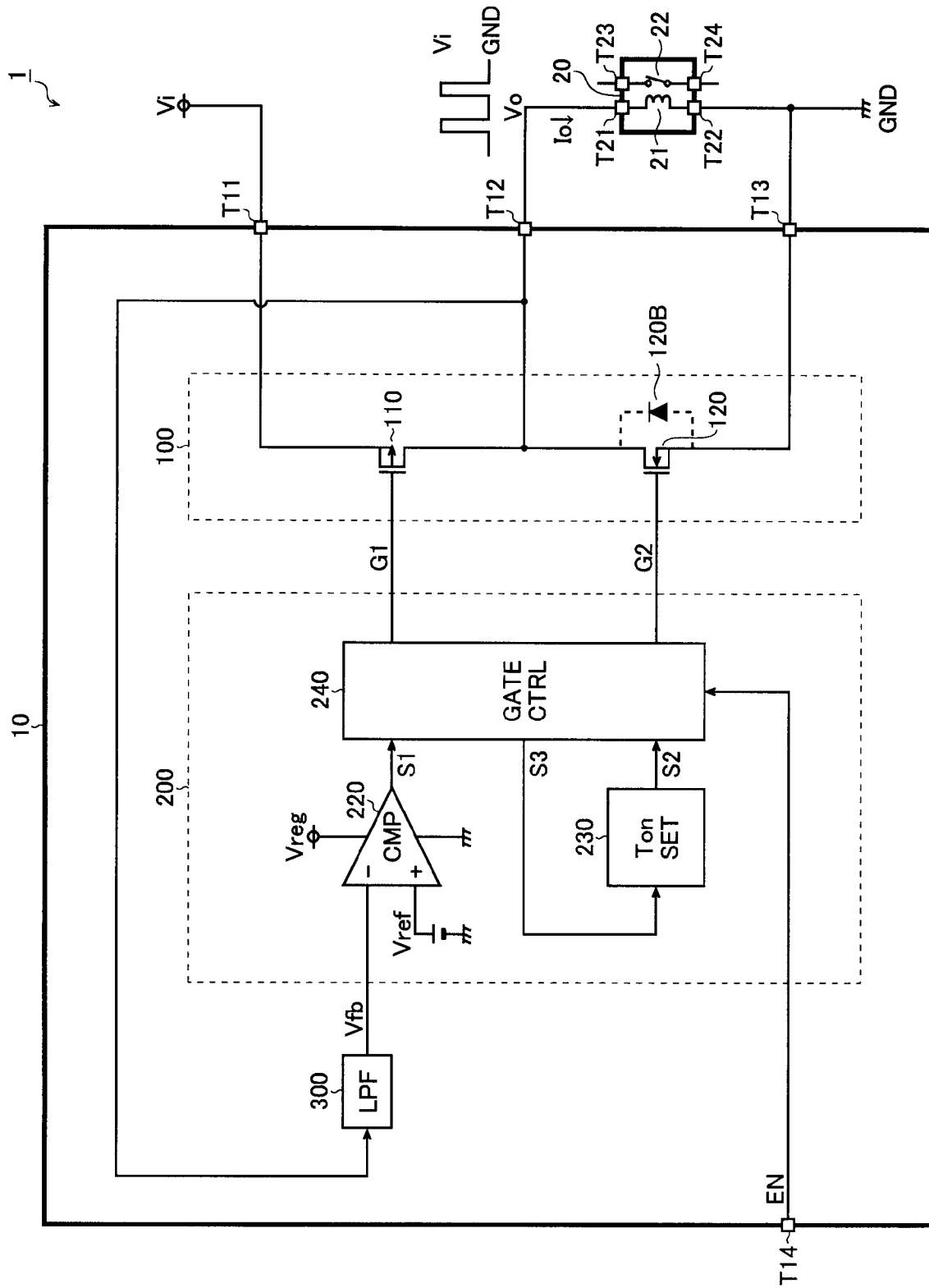
1



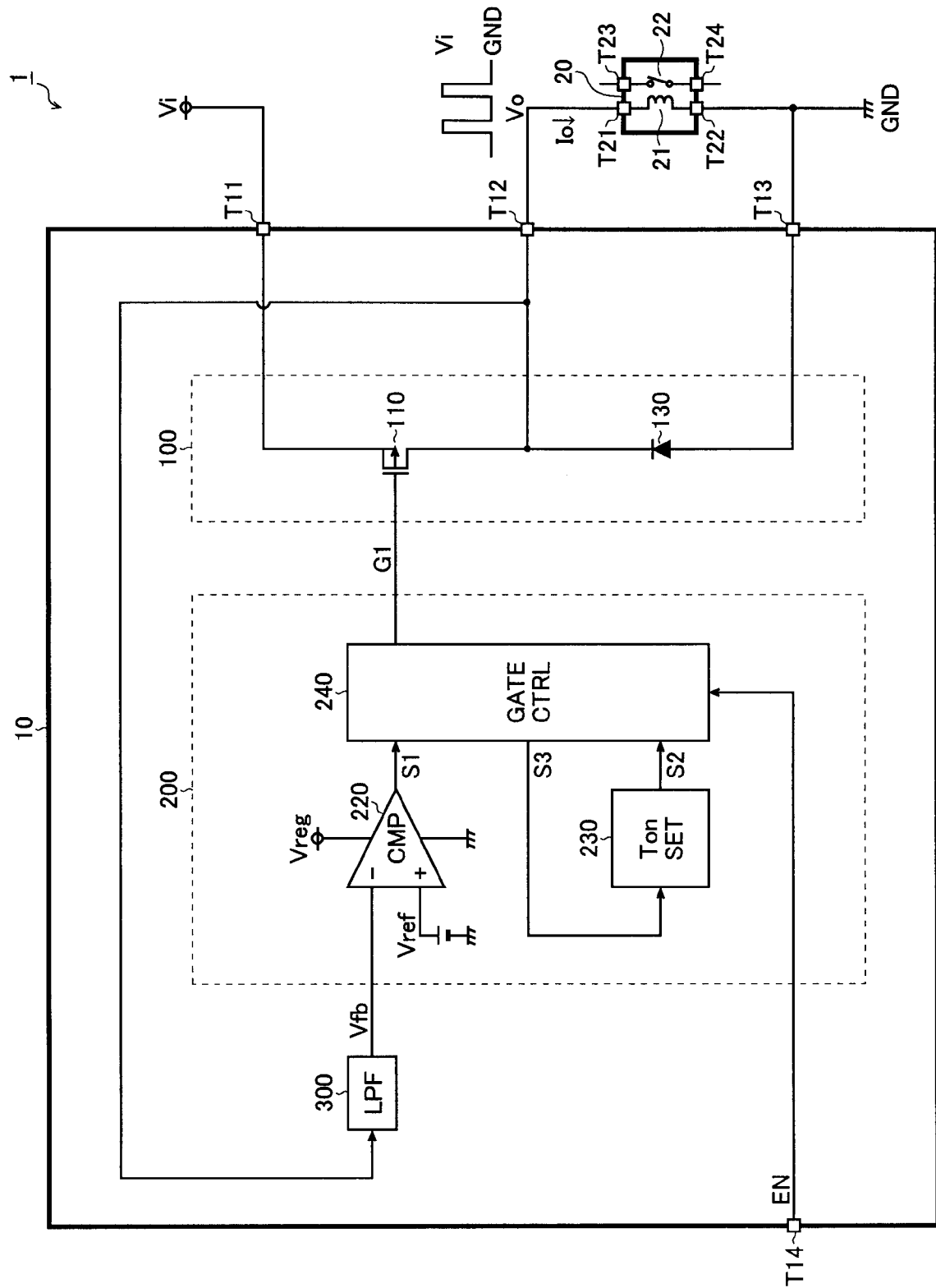
[図16]



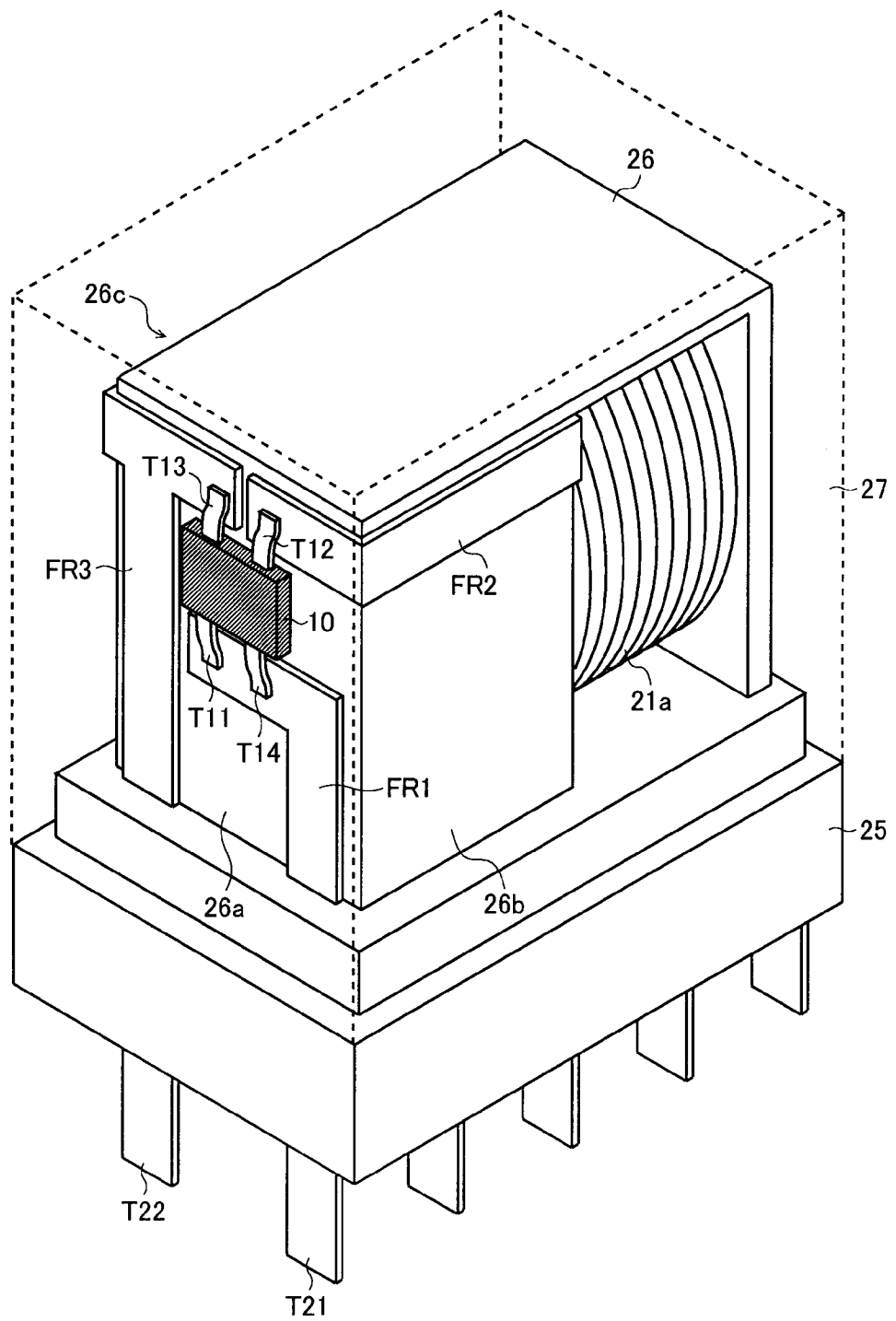
[図17]



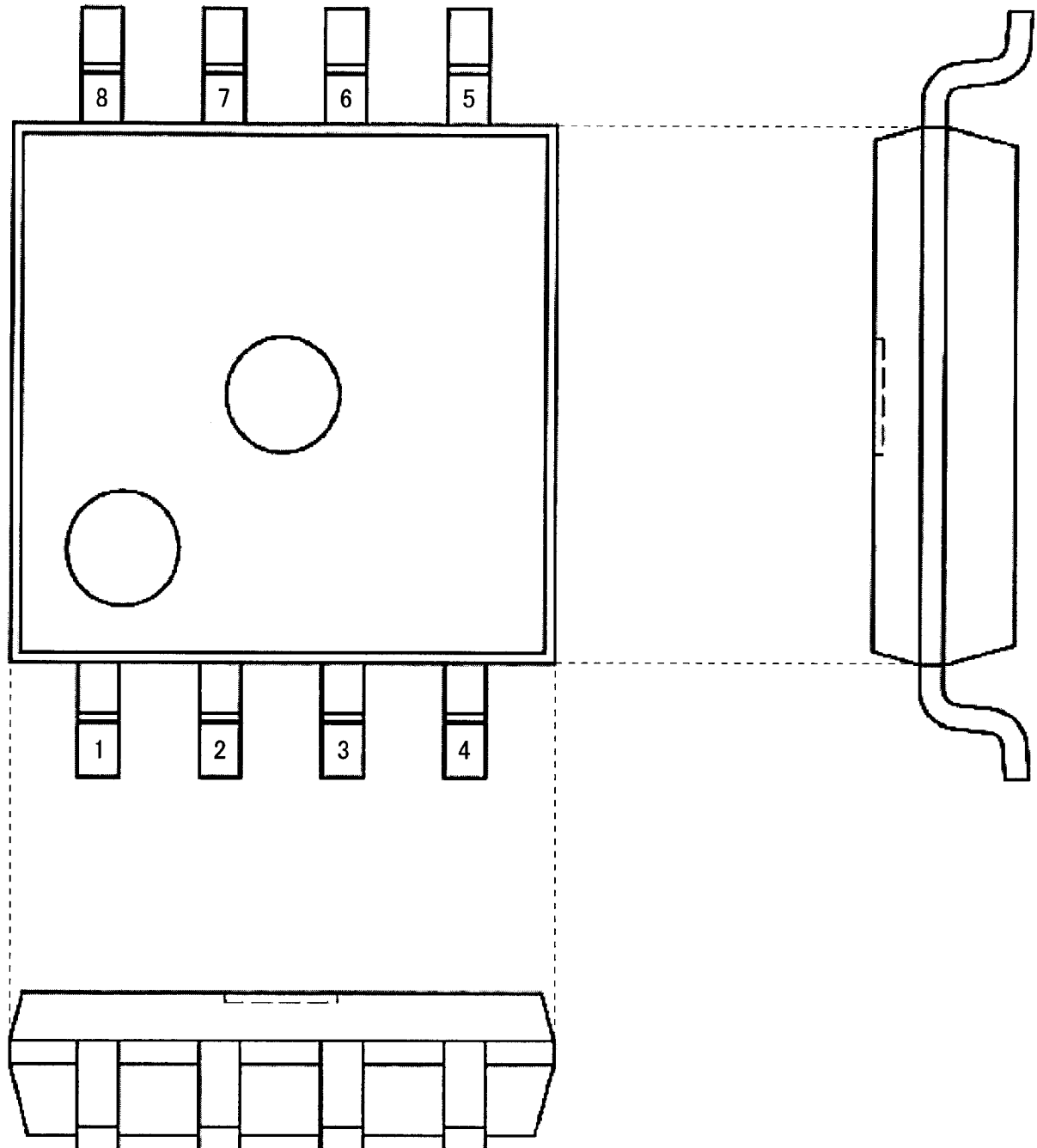
[図18]



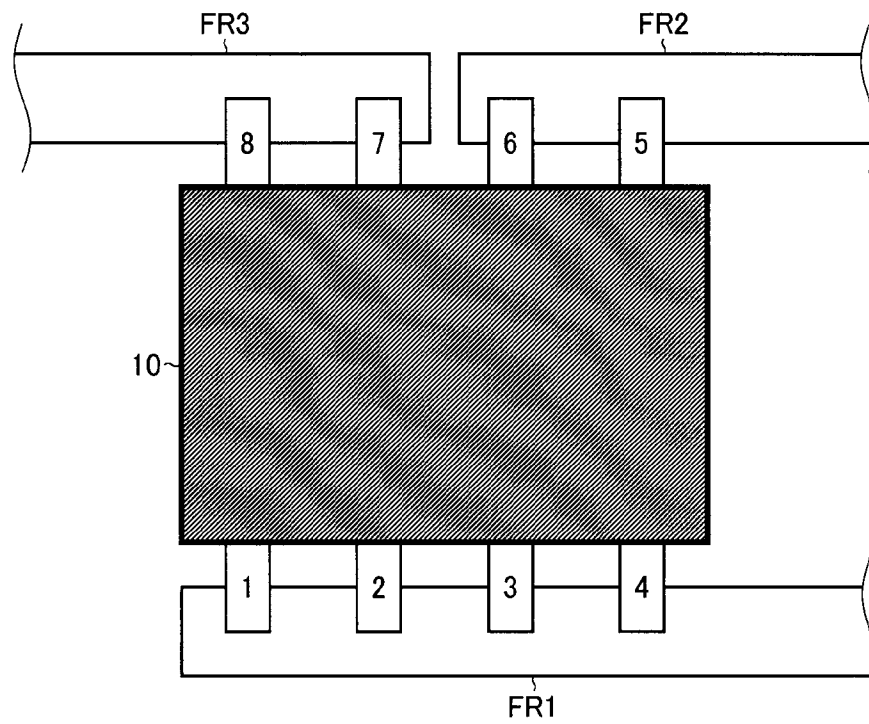
[図19]

20
↘

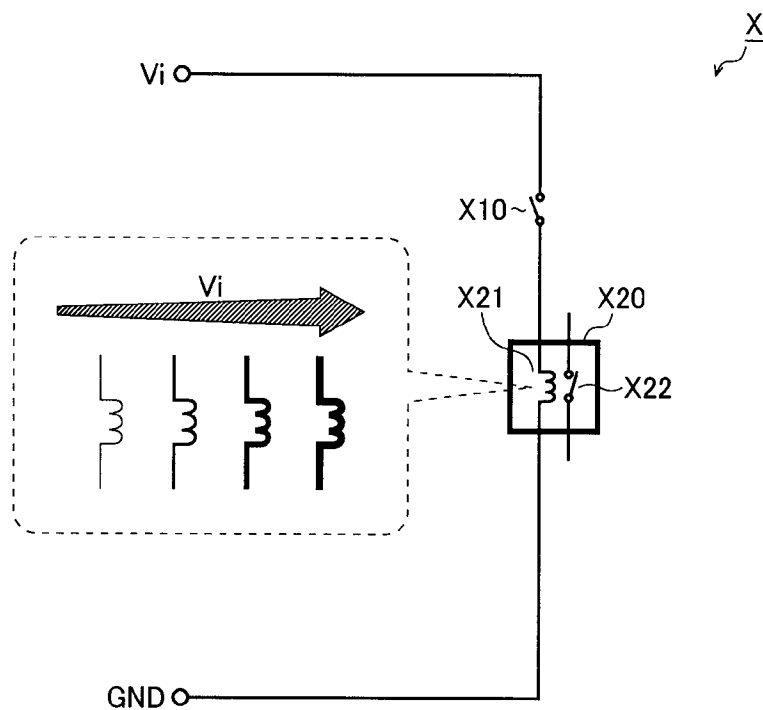
[図20]

10
↘

[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002686

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/695 (2006.01) i, H01H47/32 (2006.01) i, H02M1/08 (2006.01) i,
H03K7/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/695, H01H47/32, H02M1/08, H03K7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus/JMEDPlus/JST7580 (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-017092 A (HONDA MOTOR CO., LTD.) 24 January 2013,	1
Y	paragraphs [0026]-[0033], [0037]-[0052], [0057], fig. 1-4 (Family: none)	2-11
Y	JP 8-125495 A (ASAHI KASEI MICRO SYST KK.) 17 May 1996,	2-11
	paragraph [0008], fig. 5 (Family: none)	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 February 2018 (15.02.2018)

Date of mailing of the international search report
27 February 2018 (27.02.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002686

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-275509 A (TOSHIBA LIGHTING & TECHNOLOGY CORP.) 18 October 1996, paragraphs [0008]-[0016], [0037] (Family: none)	4-11
Y	JP 2006-114446 A (SUMITOMO WIRING SYSTEMS, LTD.) 27 April 2006, paragraphs [0012], [0029], fig. 1, 2 (Family: none)	6-11
Y	JP 2001-157490 A (DAIKIN INDUSTRIES, LTD.) 08 June 2001, paragraphs [0051]-[0053] (Family: none)	10, 11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/695(2006.01)i, H01H47/32(2006.01)i, H02M1/08(2006.01)i, H03K7/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/695, H01H47/32, H02M1/08, H03K7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus/JMEDPlus/JST7580 (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-017092 A (本田技研工業株式会社) 2013.01.24, 段落 [0026] - [0033], [0037] - [0052], [0057], [図1] - [図4] (ファミリーなし)	1 2-11
Y	JP 8-125495 A (旭化成マイクロシステム株式会社) 1996.05.17, 段落 [0008], [図5] (ファミリーなし)	2-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.02.2018

国際調査報告の発送日

27.02.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 正貴

電話番号 03-3581-1101 内線 3576

5W

4051

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 8-275509 A (東芝ライテック株式会社) 1996. 10. 18, 段落 [0008] – [0016], [0037] (ファミリーなし)	4-11
Y	JP 2006-114446 A (住友電装株式会社) 2006. 04. 27, 段落 [0012] – [0029], [図1], [図2] (ファミリーなし)	6-11
Y	JP 2001-157490 A (ダイキン工業株式会社) 2001. 06. 08, 段落 [0051] – [0053] (ファミリーなし)	10, 11