



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년02월11일  
(11) 등록번호 10-0941630  
(24) 등록일자 2010년02월03일

(51) Int. Cl.  
G11C 11/4074 (2006.01) G11C 5/14 (2006.01)  
G11C 11/4091 (2006.01)  
(21) 출원번호 10-2008-0038306  
(22) 출원일자 2008년04월24일  
심사청구일자 2008년04월24일  
(65) 공개번호 10-2009-0112419  
(43) 공개일자 2009년10월28일  
(56) 선행기술조사문헌  
KR1020040091973 A\*  
KR1020050070279 A\*  
KR1019980073724 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
서주영  
서울 구로구 신도림동 642번지 대림아파트  
103-2201  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 18 항

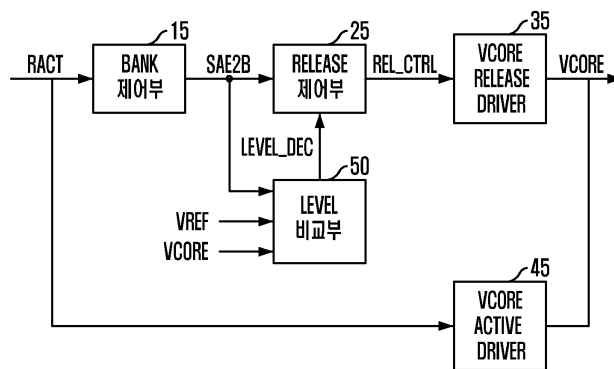
심사관 : 이경홍

**(54) 내부전압 제어회로 및 방법**

**(57) 요약**

본 발명은 반도체 메모리장치에서 내부전압(코아전압)의 레벨을 감지하고, 이를 이용하여 내부전압 릴리즈 동작 시간을 조절하기 위한 내부전압 제어회로 및 방법에 관한 것이다. 본 발명은 코아전압의 레벨에 기초하여 오버 드라이빙 동작이 이루어지는 릴리즈 동작 제어 구간(td2)을 결정하고 있다. 따라서 본 발명은 코아전압의 레벨에 기초해서 결정된 릴리즈 동작 제어 구간 내에서, 피드백 전압이 기준전압보다 높은 레벨을 갖을 때, 코아전압 릴리즈 드라이버(35)를 통해 코아전압의 레벨을 낮추도록 제어하고 있다. 이러한 제어에 따르면 본 발명은 액티브 드라이버와 릴리즈 드라이버의 동시 동작구간을 줄여서 전체 소모 전류량을 감소시키는 효과를 얻는다.

**대표도 - 도3**



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

비트라인 오버 드라이빙 동작 종료 시점으로부터 프리차지 동작 개시 시점까지의 구간 내에서 코아전압의 레벨을 검출하여 코어전압 레벨 검출신호를 출력하기 위한 레벨 검출수단;

비트라인 오버 드라이빙 동작 종료 시점으로부터 프리차지 동작 개시 시점까지의 구간 내에서 상기 코어전압 레벨 검출신호에 응답하여 상기 코아전압이 목표레벨보다 높은 상태를 나타내는 구간동안 활성화되는 릴리즈 동작 제어신호를 발생하는 릴리즈 제어수단; 및

상기 릴리즈 동작 제어신호에 응답하여 코아전압단에 대한 릴리즈 구동을 수행하기 위한 릴리즈 드라이버를 구비하는 내부전압 제어회로.

**청구항 3**

제 2 항에 있어서,

상기 레벨 검출수단은, 액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호의 인에이블 구간 내에서 상기 코아전압 레벨 검출신호를 활성화시키고, 코아전압을 기준전압과 비교하고, 코아전압이 기준전압보다 높을 때, 상기 코아전압 레벨 검출신호를 인에이블상태로 출력하기 위한 비교기로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 4**

제 3 항에 있어서,

상기 레벨 검출수단은, 코아전압을 기준전압과 비교하고, 코아전압이 기준전압 보다 낮거나 같을 때, 상기 코아전압 레벨 검출신호를 디스에이블상태로 출력하기 위한 비교기로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 5**

제 3 항 또는 제 4 항에 있어서,

상기 레벨 검출수단은, 상기 제 1 신호의 인에이블 구간동안 상기 비교기의 동작점을 제어하는 제어 스위칭부를 더 포함하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 6**

제 5 항에 있어서,

상기 레벨 검출수단은, 상기 비교기에 입력되는 코아전압을 전압분배하는 전압분배수단을 더 포함하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 7**

제 2 항에 있어서,

상기 릴리즈 제어수단은, 액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호의 인에이블 구간 내에서 상기 릴리즈 동작 제어신호를 발생하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 8**

제 7 항에 있어서,

상기 릴리즈 제어수단의 릴리즈 동작 제어신호의 펄스폭은, 코아전압의 레벨을 검출한 레벨 검출신호에 기초해

서 결정되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 9**

제 8 항에 있어서,

상기 릴리즈 제어수단은, 상기 제 1 신호와 상기 레벨 검출신호를 연산하여, 풀-업 제어신호를 발생하는 제 1 연산부;

상기 제 1 신호와 상기 레벨 검출신호를 연산하여, 풀-다운 제어신호를 발생하는 제 2 연산부;

상기 제 1 연산부의 풀-업 제어신호와 제 2 연산부의 풀-다운 제어신호에 의해서 선택적으로 동작되어 릴리즈 동작 제어신호의 출력 레벨을 결정하는 풀-업/다운 스위칭부;

상기 풀-업/다운 스위칭부의 출력을 래치시키는 래치부를 포함하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 10**

제 9 항에 있어서,

상기 제 1 연산부는, 제 1 신호를 반전시키는 인버터;

상기 제 1 신호와 상기 레벨 검출신호를 노아 연산하는 노아게이트;

상기 인버터와 노아게이트의 출력을 낸드 연산하는 낸드게이트로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 11**

제 9 항에 있어서,

상기 제 2 연산부는, 제 1 신호와 상기 레벨 검출신호를 노아 연산하는 노아게이트;

상기 노아게이트의 출력과 상기 제 1 신호를 노아 연산하는 노아게이트로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 12**

제 2 항에 있어서,

상기 코아전압 릴리즈 드라이버는, 코아전압을 기준전압과 비교하고, 코아전압이 기준전압보다 높을 때, 코아전압 방전 동작을 제어하기 위한 신호를 출력하기 위한 비교기로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 13**

제 12 항에 있어서,

상기 코아전압 릴리즈 드라이버는, 코아전압을 기준전압과 비교하고, 코아전압이 기준전압 보다 낮거나 같을 때, 코아전압 방전 동작을 차단하기 위한 신호를 출력하기 위한 비교기로 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 14**

제 12 항 또는 제 13 항에 있어서,

상기 코아전압 릴리즈 드라이버는, 릴리즈 동작 제어신호의 인에이블 구간동안 상기 비교기의 동작점을 제어하는 제어 스위칭부를 더 포함하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 15**

제 14 항에 있어서,

상기 코아전압 릴리즈 드라이버는, 상기 비교기에 입력되는 코아전압을 전압분배하는 전압분배수단을 더 포함하

는 것을 특징으로 하는 내부전압 제어회로.

**청구항 16**

액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호를 발생하는 뱅크 제어수단;

상기 제 1 신호의 인에이블 구간 내에서, 코아전압을 기준전압과 비교하고, 그 비교결과 코아전압이 목표레벨보다 높을 때 코아전압 레벨 검출신호를 출력하는 레벨 검출수단;

상기 제 1 신호의 인에이블 구간 내에서, 상기 레벨 검출수단의 코아전압 레벨 검출신호에 기초하여 릴리즈 동작 제어신호를 발생하는 릴리즈 제어수단;

상기 릴리즈 동작 제어신호가 발생된 구간동안 코아전압의 릴리즈 동작을 수행하는 코아전압 릴리즈 드라이버;

액티브 구간 내에서 코아전압의 레벨이 목표레벨을 유지할 수 있도록 동작하는 코아전압 액티브 드라이버를 포함하여 구성되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 17**

제 16 항에 있어서,

상기 레벨 검출수단은, 코아전압을 기준전압과 비교하고, 코아전압이 기준전압보다 높을 때 코아전압 레벨 검출신호를 인에이블상태로 출력하고, 코아전압이 기준전압보다 낮거나 같을 때 코아전압 레벨 검출신호를 디스에이블상태로 출력하는 것을 특징으로 하는 내부전압 제어회로.

**청구항 18**

제 16 항에 있어서,

상기 릴리즈 제어수단의 릴리즈 동작 제어신호의 펄스폭은, 코아전압의 레벨을 검출한 레벨 검출신호에 기초해서 결정되는 것을 특징으로 하는 내부전압 제어회로.

**청구항 19**

액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호를 발생하는 제 1 단계;

상기 제 1 신호의 인에이블 구간 내에서, 코아전압을 기준전압과 비교하고, 코아전압의 레벨을 검출하는 제 2 단계;

상기 제 1 신호의 인에이블 구간 내에서, 상기 검출된 코아전압 레벨 검출신호가, 코아전압이 목표레벨보다 높을 때, 릴리즈 동작 제어신호를 발생하는 제 3 단계;

상기 릴리즈 동작 제어신호가 발생된 구간동안 코아전압의 릴리즈 동작을 수행하는 제 4 단계를 포함하여 이루어지는 것을 특징으로 하는 내부전압 제어방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 메모리장치에서 내부전압(코아전압)의 레벨을 감지하고, 이를 이용하여 내부전압 릴리즈 동작시간을 조절하기 위한 내부전압 제어회로 및 방법에 관한 것이다.

**배경기술**

[0002] 반도체 메모리 장치는, 일정값 이하의 외부전원전압을 이용하여 장치 내부에서 필요한 크기의 내부전원을 생성하여 사용하고 있다. 그 중에서도 디램(DRAM)과 같이 비트라인 감지증폭기를 사용하는 메모리 소자의 경우, 셀 데이터를 증폭하기 위하여 코아전압(Vcore)을 사용하고 있다. 워드라인이 활성화되면 그 워드라인에 연결된 다수개의 메모리 셀의 데이터가 비트라인에 전달되고, 비트라인 감지증폭기는 비트라인 쌍의 전압 차이를 감지 및

증폭하게 된다.

- [0003] 이와 같이 디램(DRAM)에서 셀에 데이터를 저장하기 위해서 감지증폭기의 동작에 의해서 비트 라인 또는 반전 비트 라인에 데이터를 가하고, 셀의 캐패시터를 충전(charging)하는 레벨을 코아전압 레벨로 정의한다. 그리고 상기 코아전압 레벨을 만들어내는 드라이버를 코아전압 드라이버라 한다. 그런데 디램의 동작이 점점 고속화되어감에 따라 빠른 센싱동작이 가능해야 하는데, 셀의 코아전압 레벨도 빠른 충전 능력을 필요로 하게 되었다.
- [0004] 따라서 감지증폭기가 동작하는 전류피크에 맞추어서 코아전압 레벨을 더 높은 전위인 외부 공급전원(VDD) 레벨과 단락하는 오버드라이빙 방법을 사용하게 된다. 또 이 오버드라이빙 동작 이후에도 코아전압 레벨이 오버드라이빙에 의해서 높아져 있는 일을 막기 위해 코아전압 레벨을 디스차지(Discharge)하는 릴리즈(Release) 드라이버를 사용하게 된다.
- [0005] 한편, 반도체 메모리장치에서 사용되어지는 전압은 외부 공급전원과 상기 외부 공급전원을 이용하여 발생되어지는 코아전압과 같은 내부전압으로 구분되어진다. 상기 내부전압의 경우, 반도체 메모리장치의 내부 동작에 의해서 쉽게 변할 수 있는 가능성을 갖는다. 특히, 자신의 전압레벨보다 높은 전압을 가지는 전압과 접촉할 가능성이 있거나 두개 이상의 전압이 동일한 노드를 공유할 경우, 공유되어지는 전압들의 값이 설정전압과 차이를 보일 수 있다. 이러한 현상은 반도체메모리장치의 동작에 있어서 외부 공급전원과 코아전압 사이에서 자주 일어날 수 있다.
- [0006] 도 1은 종래 내부전압 제어회로의 제어 구성도를 도시하고 있다.
- [0007] 도시하고 있는 바와 같이, 뱅크제어부(10)는 뱅크 액티브/프리차지 정보를 가지는 RACT 신호를 입력한다. 그리고 코아전압(코아부분에서 사용되는 전원으로 외부전원을 받아 내부에서 생성되는 전원) 오버 드라이빙 동작을 수행을 위한 펄스신호 SAE1B를 인에이블시키고, 오버 드라이빙 동작이 끝났을 때 펄스신호 SAE1B를 디스에이블시킨다.
- [0008] 릴리즈 제어부(20)는, 오버 드라이빙 동작이 끝났을 때 상기 뱅크 제어부(10)에서 발생하는 SAE1B 디스에이블 신호를 입력한다. 그리고 오버 드라이빙 동작에 의해 레벨이 높아진 코아전압에 대한 릴리즈 동작을 수행하는 제어신호 REL\_CTRL를 발생한다.
- [0009] 즉, SAE1B 신호의 펄스구간동안 코아전압단에 코아전압보다 높은 레벨의 전압을 공급하여, 코아전압 레벨을 높여주는 오버드라이빙 동작이 수행된다. 그리고 상기 오버 드라이빙 동작은 비트라인 센스 앰프(BLSA)의 증폭속도를 높이기 위해 짧은 시간동안 수행되어진다.
- [0010] 상기 오버 드라이빙 동작구간이 끝나면, 코아전압 레벨은 목표레벨보다 높아진 상태이므로, 이를 목표레벨에 이르도록 하기 위하여 레벨을 낮춰주는 코아전압 릴리즈 동작이 수행되어진다. 따라서 상기 코아전압 릴리즈 동작은, 상기 SAE1B신호가 끝나는 시점부터 시작하여 고정된 시간(td1)동안 동작 제어된다(도 2에 도시).
- [0011] 따라서 코아전압 릴리즈 드라이버(30)는 오버 드라이빙 동작에 의해서 목표레벨보다 높아진 코아전압 레벨을 낮추기 위해서, 상기 릴리즈 제어부(30)에서 릴리즈 동작 제어신호(REL\_CTRL)를 발생한 구간동안 코아전압의 방전동작을 수행한다. 그리고 코아전압 액티브 드라이버(40)는, 상기 코아전압 릴리즈 드라이버(30)의 릴리즈 제어 동작에 의해서 낮아진 코아전압의 레벨을 다시 높이기 위하여 액티브 구간동안 동작된다. 따라서 코아전압이 목표레벨을 유지할 수 있도록 코아전압 릴리즈 드라이버(30)와 코아전압 액티브 드라이버(40)가 릴리즈 동작 제어신호(REL\_CTRL)가 발생하는 구간동안 함께 동작되어진다.
- [0012] 이와 같이 종래 내부전압 제어회로는, 코아전압이 목표레벨을 유지할 수 있도록 코아전압 릴리즈 드라이버(30)와 코아전압 액티브 드라이버(40)가 일정구간동안 같이 동작된다. 즉, 상기 릴리즈 동작 제어신호(REL\_CTRL)가 하이상태를 유지하는 동안 두개의 드라이버(30,40)가 함께 동작하게 되고, 이 때문에 코아전압 레벨은 바운싱(bouncing)하며 목표레벨을 찾아가게 된다.
- [0013] 또한 종래 내부전압 제어회로는, 릴리즈 동작 제어신호(REL\_CTRL)가 하이상태인 구간동안 릴리즈 제어 동작이 이루어지도록 구성되고 있다. 즉, 종래 내부전압 제어회로는, 도 2에 도시하고 있는 바와 같이, 릴리즈 제어 동작구간(td1)이 고정된 딜레이(DELAY)를 가지고 있다. 따라서 상기 릴리즈 동작 제어신호(REL\_CTRL)의 하이신호 구간 내에 이미 코아전압이 목표레벨에 도달했다 하더라도 코아전압 릴리즈 드라이버(30)는 상기 릴리즈 동작 제어신호(REL\_CTRL)의 구간이 끝날때까지 동작하도록 제어되고 있다. 이러한 동작 제어 때문에, 코아전압 릴리즈 드라이버(30)와 코아전압 액티브 드라이버(40)는, 불필요하게 함께 동작하는 구간이 발생되고, 이로

인하여 전류 소모량을 늘이는 문제점이 있다. 결과적으로 종래의 내부전압 제어회로는, 전류 사용이 효율적으로 이루어지지 못하여, 소비 전류를 증가시키는 문제를 발생시킨다.

**발명의 내용**

**해결 하고자하는 과제**

[0014] 따라서 본 발명의 목적은 상기 문제점을 해결하기 위한 것으로, 오버 드라이빙 동작 후, 내부전압의 레벨을 감지하여 릴리즈 동작구간을 조절할 수 있는 내부전압 제어회로 및 방법을 제공함에 있다.

**과제 해결수단**

[0015] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 내부전압 제어회로는, 코아전압의 레벨을 검출하는 레벨 검출수단; 상기 레벨 검출수단으로부터 검출된 코아전압 레벨 검출신호가 목표레벨보다 높을 때, 릴리즈 동작 제어신호를 발생하는 릴리즈 제어수단; 상기 릴리즈 제어수단에서 릴리즈 동작 제어신호를 발생한 구간동안 코아전압의 릴리즈 동작을 수행하는 코아전압 릴리즈 드라이버를 포함하여 구성되는 것을 특징으로 한다.

[0016] 또한, 본 발명의 다른 실시예에 따른 내부전압 제어회로는, 액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호를 발생하는 बैं크 제어수단; 상기 제 1 신호의 인에이블 구간 내에서, 코아전압을 기준전압과 비교하고, 코아전압의 레벨을 검출하는 레벨 검출수단; 상기 제 1 신호의 인에이블 구간 내에서, 상기 검출된 코아전압 레벨 검출신호가, 코아전압이 목표레벨보다 높을 때, 릴리즈 동작 제어신호를 발생하는 릴리즈 제어수단; 상기 릴리즈 동작 제어신호가 발생된 구간동안 코아전압의 릴리즈 동작을 수행하는 코아전압 릴리즈 드라이버; 액티브 구간 내에서 코아전압의 레벨이 목표레벨을 유지할 수 있도록 동작하는 코아전압 액티브 드라이버를 포함하여 구성되는 것을 특징으로 한다.

[0017] 상기 목적을 달성하기 위한 본 발명에 따른 내부전압 제어방법은, 액티브 구간 내에서, 오버 드라이빙 동작이 끝나면 인에이블 되고, 프리차지 동작신호에 의해서 디스에이블되는 제 1 신호를 발생하는 제 1 단계; 상기 제 1 신호의 인에이블 구간 내에서, 코아전압을 기준전압과 비교하고, 코아전압의 레벨을 검출하는 제 2 단계; 상기 제 1 신호의 인에이블 구간 내에서, 상기 검출된 코아전압 레벨 검출신호가, 코아전압이 목표레벨보다 높을 때, 릴리즈 동작 제어신호를 발생하는 제 3 단계; 상기 릴리즈 동작 제어신호가 발생된 구간동안 코아전압의 릴리즈 동작을 수행하는 제 4 단계를 포함하여 이루어지는 것을 특징으로 한다.

**효과**

[0018] 본 발명은 코아전압의 레벨에 기초해서 조절된 릴리즈 동작 제어 구간 내에서, 피드백 전압이 기준전압보다 높은 레벨을 갖을 때, 코아전압 릴리즈 드라이버를 통해 코아전압의 레벨을 낮추도록 제어하고 있다. 따라서 본 발명은 액티브 드라이버와 릴리즈 드라이버의 동시 동작구간을 줄여서 전체 소모 전류량을 감소시키는 효과를 얻는다. 또한 본 발명은 코아전압의 레벨에 따라서 효율적으로 방전량을 제어하므로써, 코아전압이 목표레벨을 안정적으로 유지할 수 있도록 하는 효과를 얻는다.

**발명의 실시를 위한 구체적인 내용**

[0019] 이하 첨부한 도면을 참조하여 본 발명의 실시예에 따른 내부전압 제어회로 및 방법에 대해서 자세하게 살펴보기로 한다.

[0020] 도 3은 본 발명의 일 실시예에 따른 내부전압 제어회로도 도시하고 있다.

[0021] 본 발명은 도시하고 있는 바와 같이, बैं크제어부(10), 릴리즈 제어부(25), 코아전압 레벨 비교기(50), 코아전압 릴리즈 드라이버(35), 코아전압 액티브 드라이버(45)를 포함하여 구성된다.

[0022] 상기 बैं크 제어부(10)는 बैं크 액티브/프리차지 정보를 가지는 RACT 신호를 입력한다. 그리고 코아전압(코아부분에서 사용되는 전원으로 외부전원을 받아 내부에서 생성되는 전원) 오버 드라이빙 동작이 끝나면 인에이블되고, 프리차지 명령이 들어오면 디스에이블되는 SAE2B 신호를 발생한다.

[0023] 상기 릴리즈 제어부(20)는, 오버 드라이빙 동작이 끝났을 때 상기 बैं크 제어부(10)에서 발생하는 SAE2B 인에이블신호를 입력한다. 그리고 상기 SAE2B 인에이블신호 구간에서 오버 드라이빙 동작에 의해 레벨이 높아진 코아전압에 대한 릴리즈 동작을 수행하는 제어신호 REL\_CTRL를 발생한다. 따라서 상기 릴리즈 제어부(20)에서

릴리즈 제어 구간을 설정할 수 있는 릴리즈 가능 구간은, 상기 SAE2B 인에이블 구간이다. 그리고 상기 릴리즈 제어부(20)에서 발생하는 릴리즈 제어신호(REL\_CTRL)는 코아전압 레벨 비교기(50)에서 검출된 코아전압의 레벨 값(level\_dec)에 기초해서 이루어진다.

[0024] 상기 코아전압 레벨 비교기(50)는, 오버 드라이빙 동작이 끝나면 인에이블되고, 프리차지 명령이 들어오면 디스에이블되는 SAE2B 신호에 의해 동작을 시작한다. 이때 내부 기준전압 발생기에 의해 생성된 기준전압(VREF)과 실제 코아영역에서 사용되는 코아전압의 1/2 레벨인 HVCORE 전압과 비교하고, 그 차에 대한 신호를 출력한다. 즉, HVCORE 전압 레벨이 기준전압과 비교하여 같거나 낮으면, 하이신호를 출력하고, HVCORE 전압 레벨이 기준전압과 비교하여 높으면 로우신호를 출력한다.

[0025] 그리고 코아전압 릴리즈 드라이버(35)는 오버 드라이빙 동작에 의해서 목표레벨보다 높아진 코아전압 레벨을 낮추기 위해서, 상기 릴리즈 제어부(25)에서 릴리즈 동작 제어신호(REL\_CTRL)를 발생한 구간동안 코아전압의 방전동작을 수행한다. 그리고 코아전압 액티브 드라이버(45)는, 상기 코아전압 릴리즈 드라이버(35)의 릴리즈 제어 동작에 의해서 낮아진 코아전압의 레벨을 다시 높이기 위하여 액티브 구간동안 동작된다.

[0026] 상기와 같이 구성되는 본 발명에 따른 내부전압 제어회로는 다음과 같이 동작되어진다.

[0027] 도 7은 본 발명에 따른 내부전압 제어회로의 동작 타이밍도를 나타내고 있다.

[0028] 액티브신호가 입력되면 인에이블상태가 되었다가, 프리차지 신호가 입력되면 디스에이블되는 RACT신호의 인에이블 구간 중에 뱅크 제어부(15)는, 오버 드라이빙 동작을 제어한다. 상기 오버 드라이빙 동작 제어는, 코아전압단에 코아전압보다 높은 레벨의 전압을 공급하여, 코아전압 레벨을 높여주는 오버드라이빙 동작이 수행된다. 그리고 상기 오버 드라이빙 동작은 비트라인 센스 앰프(BLSA)의 증폭속도를 높이기 위해 짧은 시간동안 수행되어진다.

[0029] 그리고 오버 드라이빙 동작이 끝나면 뱅크 제어부(15)는, SAE2B 신호를 인에이블(로우레벨) 시킨다. 상기 SAE2B 신호는 오버 드라이빙 동작이 끝나면 인에이블되었다가 프리차지 신호가 입력되면 디스에이블된다.

[0030] 상기 SAE2B 신호가 인에이블되면, 코아전압 레벨 비교기(50)는, 코아전압의 레벨을 검출하는 동작을 시작한다. 즉, 상기 SAE2B 신호가 인에이블 되어 있는 구간 동안에, 기준전압(VREF)과 피드백 코아전압(VCORE)을 비교한다. 이때 기준전압은 코아전압의 1/2값으로 생성되며, 상기 피드백 코아전압도 실제 코아영역에서 아용되는 코아전압의 절반 레벨인 HVCORE 전압으로 형성된다. 이러한 구성으로 코아전압 레벨 비교기(50)는, 피드백 코아전압이 기준전압 레벨과 같거나 낮으면 하이신호를 출력하고, 피드백 코아전압이 기준전압 레벨보다 높으면 로우신호를 출력한다. 이때 출력되는 신호가 도 7의 레벨 검출신호(level\_dec) 이다. 즉, 상기 코아전압 레벨 비교기(50)의 출력신호는, SAE2B 신호의 인에이블 구간에 형성되고, 피드백 코아전압이 기준전압 레벨과 같거나 낮으면 하이신호를 출력하고, 피드백 코아전압이 기준전압 레벨보다 높으면 로우신호를 출력한다.

[0031] 상기 코아전압 레벨 비교기(50)에서 출력되는 신호는 릴리즈 제어부(25)에 입력되고, 상기 릴리즈 제어부(25)는 상기 코아전압 레벨 비교기(50)의 검출값에 기초해서 코아전압 릴리즈 드라이버(35)의 릴리즈 제어 동작을 위한 제어신호(REL\_CTRL)를 발생한다. 즉, 상기 릴리즈 제어부(25)는, SAE2B 신호의 인에이블 구간 동안에 상기 코아전압 레벨 비교기(50)의 코아전압 레벨 검출신호(level\_dec)가 로우신호인 구간동안 코아전압의 방전이 수행될 수 있도록 릴리즈 제어신호(REL\_CTRL)를 발생한다.

[0032] 따라서 상기 코아전압 릴리즈 드라이버(35)의 릴리즈 제어 동작은, SAE1B 신호가 인에이블인 구간 내에서, 상기 레벨 비교기(50)에서 레벨 검출신호가 로우레벨상태인 구간동안, td2 시간동안 동작 제어된다(도 7에 도시).

[0033] 다음은 본 발명에 따른 내부전압 제어회로의 각 부의 상세 구성에 대해서 살펴본다.

[0034] 도 4는 본 발명의 일 실시예에 따른 내부전압 제어회로의 레벨 비교기(50)의 상세 회로도이다.

[0035] 도시하고 있는 바와 같이 본 발명의 일 실시예에 따른 레벨 비교기(50)는, 코어 전압단 전위의 1/2 레벨인 하프 코어 전압으로 구성되는 피드백전압과 기준전압(VREF)(목표 코아전압의 1/2 레벨)을 차동 비교하는 차동 비교부, 코어 전압을 전압 분배하고, 코어 전압의 감시에 이용될 코어 전압단 전위의 1/2 레벨인 피드백전압을 발생하는 피드백전압발생부, 상기 비교부를 동작시키거나 또는 정지시키기 위하여 상기 비교부의 전류통로 형성을 개폐하는 제어스위칭부를 포함하여 구성되어진다. 그리고 기준전압을 발생하는 기준전압 발생기(55)를 포함한다.

- [0036]        상기 차동 비교부는, 기준전압 발생기(55)에서 출력되는 기준전압(VREF)과 코아전압의 1/2 레벨인 피드백전압(HVCORE)을 이용하여 차동 비교를 수행하는 두개의 NMOS 트랜지스터(N1,N2)로 구성되고, 상기 두개의 트랜지스터(N1,N2)의 소스 단자는 공통노드로 연결되어진다. 따라서 트랜지스터(N1)의 게이트단자에는 기준전압(VREF)이 인가되고, 트랜지스터(N2)의 게이트단자에는 피드백전압(HVCORE)이 인가되어진다.
- [0037]        그리고 상기 트랜지스터(N1)의 드레인단자는 노드(node\_a)를 통해 PMOS 트랜지스터(P2)와 직렬 연결되고, 상기 PMOS 트랜지스터(P2)의 소스단자로 외부 전원전압(VDD)이 인가되어진다. 상기 PMOS 트랜지스터(P2)는 또 하나의 PMOS 트랜지스터(P1)와 전류 미러를 구성하고 있다. 상기 전류 미러는, 노드(node\_a)의 전류를 조절한다.
- [0038]        또한 상기 비교부를 구성하는 상기 트랜지스터(N2)의 드레인단자는 노드(node\_b)를 통해서 PMOS 트랜지스터(P3)와 직렬 연결되고, 상기 트랜지스터(P3)의 소스단자로 외부 전원전압(VDD)이 공급되어진다. 상기 PMOS 트랜지스터(P3)는 또 하나의 PMOS 트랜지스터(P4)와 전류 미러를 구성하고 있다. 상기 전류 미러는 노드(node\_b)의 전류를 조절한다.
- [0039]        그리고 상기 PMOS 트랜지스터(P1)와 접지전원 사이에 NMOS 트랜지스터(N4)가 연결되고, 상기 PMOS 트랜지스터(P4)와 접지전원 사이에 NMOS 트랜지스터(N5)가 구성되며, 상기 두개의 NMOS 트랜지스터(N4,N5)도 전류 미러를 구성한다.
- [0040]        상기 제어스위칭부는, 상기 비교부의 공통노드에 드레인단자를 연결하고, 게이트단자를 통해 상기 बैं크 제어부(15)에서 출력하는 SAE2B신호를 공급받으며, 소스단자를 접지전압에 연결하고 있는 NMOS 트랜지스터(N3)로 구성된다. 상기 SAE2B 신호는, 인버터(60)를 통해서 반전되어 상기 NMOS 트랜지스터(N3)의 게이트단자에 인가되어진다. 상기 SAE2B 신호는, 오버 드라이빙 동작이 끝나면 인에이블상태가 되었다가, 프리차지 명령신호가 입력되는 디스에이블되는 동작신호이다. 따라서 상기 제어스위칭부는, 상기 SAE2B 신호가 인에이블 구간동안 동작하며, 일반적으로 상기 동작구간은 약 수십 ns 정도의 시간이다.
- [0041]        또한, 상기 SAE2B 신호는 NMOS 트랜지스터(N6)의 게이트단자에도 인가되어지며, 상기 NMOS 트랜지스터(N6)는, 비교부의 출력노드(node\_c)의 신호를 선택적으로 뮤트시키도록 구성되어진다.
- [0042]        상기 피드백전압발생부는 코아전압 출력단(VCORE)과 접지전압 사이에 직렬 연결되고 있는 두개의 NMOS 트랜지스터(N7,N8)로 구성되고, 상기 두개의 트랜지스터(N7,N8) 사이에 연결되고 있는 노드에 상기 비교부의 트랜지스터(N2) 게이트단자가 연결되어진다. 상기 두개의 트랜지스터(N7,N8)의 드레인단자와 게이트단자는 연결된 상태를 갖고, 다이오드 특성을 갖는다. 즉, 상기 코아전압이 상기 두개의 트랜지스터(N7,N8)에 의해서 분압된 형태를 갖게 되고, 이렇게 분압된 코아전압이 상기 비교부의 트랜지스터(N2)를 턴 온 시키게 되는 형태를 갖게 된다. 상기 트랜지스터(N7,N8)는, 특성과 크기가 같은 것으로 구성된다.
- [0043]        다음은 상기 구성으로 이루어진 본 발명의 일 실시예에 따른 레벨 비교기의 동작과정을 살펴보기로 한다.
- [0044]        레벨 비교기(50)는, 오버 드라이빙 동작이 끝나면 인에이블 되고 프리차지 명령이 들어오면 디스에이블되는 SAE2B 신호에 의해 동작을 시작하게 된다. 따라서 SAE2B 신호가 인에이블되면, 상기 SAE2B신호가 인버터(60)에 의해 반전되어 하이신호가 NMOS 트랜지스터(N3)의 게이트단자에 인가된다. 즉, 상기 SAE2B 신호가 인에이블 상태일 때 상기 NMOS 트랜지스터(N3)는 턴 온 상태가 되어 차동비교기의 동작이 이루어질 수 있도록 제어한다.
- [0045]        이와 함께 NMOS 트랜지스터(N6)의 게이트단자에 로우레벨의 SAE2B 신호가 인가되어, 트랜지스터(N6)는 턴 오프 상태를 갖는다. 따라서 상기 SAE2B 신호가 인에이블상태인 구간동안 상기 트랜지스터(N6)는 턴 오프 상태를 유지하므로써, 출력되는 레벨 검출신호에 어떤 영향도 주지 않는다.
- [0046]        이와 같이 상기 SAE2B 신호가 인에이블 상태일 때, 차동 비교부는, 실제 코아 영역에서 사용되고 있는 코아전압을 트랜지스터(N7,N8)에 의해 전압 분배하여 VCORE/2의 레벨을 갖는 피드백전압(HFVCORE)을 형성한다. 그리고 상기 피드백전압을 기준전압(VREF)과 비교한다. 상기 기준전압도, 1/2 코아전압 레벨을 갖도록 구성되어, 실제 코아 영역에서 사용되는 코아전압과의 비교를 위한 기준으로 사용된다.
- [0047]        상기 기준전압과 피드백전압의 레벨이 같으면, 차동 비교기의 노드(node\_a)와 노드(node\_b)의 레벨 차이가 없다. 이 경우, PMOS 트랜지스터(P4)와 NMOS트랜지스터(N2)의 크기에 의해서 노드(node\_c)의 레벨을 로우 레벨을 유지한다. 상기 로우 레벨 신호는 인버터(61)에서 반전되어 하이신호의 레벨 검출신호(level\_dec)를 발생한다.



- [0048] 상기 피드백 전압이 기준전압보다 높은 레벨을 갖으면, 차동 비교기의 NMOS 트랜지스터(N2)의 전류(Ids)가 트랜지스터(N1) 보다 증가하여 노드(node\_b)의 레벨이 노드(node\_a) 보다 낮아진다. 이에 따라 노드(node\_c)의 레벨이 올라가고, 상기 하이 레벨신호는 인버터(61)에서 반전되어 로우신호의 레벨 검출신호(level\_dec)를 발생한다.
- [0049] 또한 상기 피드백 전압이 기준전압보다 낮은 레벨을 갖으면, 차동 비교기의 트랜지스터(N2)의 전류(Ids)가 트랜지스터(N1) 보다 감소하여 노드(node\_b)의 레벨이 노드(node\_a) 보다 높아진다. 이에 따라 노드(node\_c)의 레벨이 상대적으로 낮아져서, 레벨 검출신호(level\_dec)는 하이신호를 발생한다.
- [0050] 즉, 피드백전압 레벨이 기준전압과 같거나 낮을 때, 레벨 검출신호(level\_dec)는 도 7에 도시하고 있는 바와 같이 로우 상태가 된다.
- [0051] 다음, 도 5는 본 발명의 일 실시예에 따른 내부전압 제어회로의 릴리즈 제어부(25)의 상세 회로도이다.
- [0052] 도시하고 있는 바와 같이, 본 발명의 일 실시예에 따른 릴리즈 제어부(25)는, 뱅크 제어부(15)에서 출력하는 SAE2B 신호와, 레벨 비교기(50)에서 출력하는 레벨 검출신호(level\_dec)를 이용해서 코아전압 릴리즈 드라이버(35)의 릴리즈 동작 구간을 제어하기 위한 릴리즈 제어신호(REL\_CTRL)를 발생한다.
- [0053] 따라서 릴리즈 제어부(25)는, 상기 SAE2B 신호를 반전시키는 인버터(62), 상기 SAE2B 신호와 레벨 검출신호(level\_dec)를 노아 연산하는 노아 게이트(66), 상기 인버터(62)의 출력과 노아 게이트(66)의 출력을 낸드 연산하는 낸드 게이트(68)로 구성된 제 1 연산부에 의해서 PMOS 트랜지스터(P5)의 스위칭 제어신호를 형성한다.
- [0054] 또한, 릴리즈 제어부(25)는, 상기 SAE2B 신호와 레벨 검출신호(level\_dec)를 노아 연산하는 노아 게이트(67), 상기 SAE2B 신호와 상기 노아 게이트(67)의 출력을 노아 연산하는 노아 게이트(69)를 포함하는 제 2 연산부에 의해서 NMOS 트랜지스터(N9)의 스위칭 제어신호를 형성한다.
- [0055] 상기 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N9)는 공급전압(VDD)과 접지전원 사이에 직렬 연결되고, 상기 제 1,2 연산부의 출력에 의해서 온/오프 스위칭하여 신호를 출력한다. 즉, 상기 PMOS 트랜지스터(P5)와 NMOS 트랜지스터(N9)는, 공급전압과 접지전원 사이에 연결되어, 풀-업 스위칭소자와 풀-다운 스위칭소자의 기능을 수행한다. 따라서 상기 PMOS 트랜지스터(P5) 스위칭 제어신호는, 풀-업 타입의 스위칭소자로 구성된 상기 PMOS 트랜지스터(P5)를 제어하기 위한 풀-업 제어신호이다. 그리고 상기 NMOS 트랜지스터(N9) 스위칭 제어신호는, 풀-다운 타입의 스위칭소자로 구성된 상기 NMOS 트랜지스터(N9)를 제어하기 위한 풀-다운 제어신호이다.
- [0056] 상기 트랜지스터(P5,N9)를 통해 출력되는 신호는, 인버터(63,64)로 구성된 래치와 인버터(65)를 통해서 릴리즈 동작 제어신호(REL\_CTRL)를 발생한다. 그리고 상기 트랜지스터(P5,N9)의 출력단과 릴리즈 제어부(25)의 동작 시점을 결정하는 NMOS 트랜지스터(N10)가 접지전원 사이에 연결되어 있다. 상기 NMOS 트랜지스터(N10)는, 파워 업 신호(pwrup)에 의해서 동작이 제어된다.
- [0057] 상기와 같은 구성으로 이루어진 본 발명에 따른 릴리즈 제어부는 다음과 같이 동작한다.
- [0058] 릴리즈 제어부(25)는, 실제 릴리즈 동작 구간을 결정하는 릴리즈 동작 제어신호(REL\_CTRL)를 생성한다. 도 7에 도시하고 있는 바와 같이, 동작 초기 하이 펄스를 가지는 파워 업 신호(pwrup)에 의해서 NMOS 트랜지스터(N10)가 턴 온 상태되어, 래치의 입력은 접지전원레벨상태(로우신호)가 된다. 상기 로우신호가 래치(64,63)와 인버터(65)를 통해서 릴리즈 동작 제어신호(REL\_CTRL)를 형성한다. 따라서 프리차지 상태에서는 상기 릴리즈 제어부(25)는 항상 로우레벨의 릴리즈 동작 제어신호를 출력한다.
- [0059] 한편, 릴리즈 구간을 설정할 수 있는 릴리즈 가능 구간은 SAE2B 신호가 로우상태로 인에이블되어 있는 구간이다. 그리고 상기 SAE2B 신호가 로우 레벨을 유지하고 있는 상태에서, 오버 드라이빙 동작이 끝나고 코아전압 레벨이 상승되어 있는 상황에서는 레벨 검출신호(level\_dec)가 로우 레벨을 갖게 된다(도 4 참조).
- [0060] 이 경우, 상기 SAE2B 신호(로우신호)는 인버터(62)를 통해서 하이신호를 낸드게이트(68)의 제 1 입력으로 제공되고, 상기 SAE2B 신호(로우신호)와 레벨 검출신호(로우신호)가 노아 게이트(66)를 통해서 하이신호로 전환되어 낸드게이트(68)의 제 2 입력으로 제공된다. 상기 낸드게이트(68)는 로우신호를 출력하고, 이 로우신호가 PMOS 트랜지스터(P5)를 턴 온시켜서 하이레벨의 출력신호를 발생한다. 이때 NMOS 트랜지스터(N9)는 턴 오프 상태를 갖는다.
- [0061] 상기 하이신호는 래치(64)와 인버터(65)를 경유하여 릴리즈 동작 제어신호(REL\_CTRL)를 형성한다. 따라서 상

기 릴리즈 제어부(25)는 하이레벨의 릴리즈 동작 제어신호를 출력한다. 코아전압 릴리즈 드라이버(35)는 상기 하이레벨의 릴리즈 동작 제어신호에 의해서 릴리즈 제어 동작을 수행한다.

- [0062] 상기 코아전압 릴리즈 드라이버(35)가 릴리즈 제어 동작을 수행하여, 코아전압의 레벨이 목표레벨과 같아지는 시점에서, 레벨 검출신호(level\_dec)가 다시 하이상태로 전환된다(도 4 참조).
- [0063] 이 경우, 상기 SAE2B 신호(로우신호)는 인버터(62)를 통해서 하이신호를 낸드게이트(68)의 제 1 입력으로 제공되고, 상기 SAE2B 신호(로우신호)와 레벨 검출신호(하이신호)가 노아 게이트(66)를 통해서 로우신호로 전환되어 낸드게이트(68)의 제 2 입력으로 제공된다. 상기 낸드게이트(68)는 하이신호를 출력하고, 이 하이신호가 PMOS 트랜지스터(P5)를 턴 오프시킨다.
- [0064] 그리고 상기 SAE2B 신호(로우신호)는 노아게이트(67)의 제 1 입력으로 제공되고, 레벨 검출신호(하이신호)가 노아 게이트(67)의 제 2 입력으로 제공되어, 상기 노아 게이트(67)는 로우신호를 출력한다. 상기 노아게이트(67)의 로우신호 출력과 SAE2B 신호(로우신호)는, 노아게이트(69)의 입력으로 제공되면서, 상기 노아게이트(69)는 하이신호를 출력한다. 상기 하이신호가 NMOS 트랜지스터(N9)를 턴 온 시킨다.
- [0065] 따라서 트랜지스터(P5,N9)는 로우레벨의 출력신호를 발생한다. 상기 로우신호는 래치(64)와 인버터(65)를 경유하여 릴리즈 동작 제어신호(REL\_CTRL)를 형성한다. 따라서 상기 릴리즈 제어부(25)는 로우레벨의 릴리즈 동작 제어신호를 출력한다. 코아전압 릴리즈 드라이버(35)는 상기 로우레벨의 릴리즈 동작 제어신호에 의해서 릴리즈 제어 동작을 정지한다.
- [0066] 이와 같이 제어되어 코아전압 릴리즈 드라이버(35)는, 상기 릴리즈 제어부(25)에서 하이신호를 출력하는 구간 동안 코아전압 릴리즈 동작을 수행한다. 그리고 상기 릴리즈 제어부(25)에서 로우신호로 전환될 때, 코아전압 릴리즈 동작이 마무리된다. 이때 릴리즈 가능 구간이었던 SAE2B 신호가 프리차지 명령에 의해서 디스에이블상태로 전환되면서 하이 레벨상태가 된다.
- [0067] 이 경우, 상기 SAE2B 신호(하이신호)는 인버터(62)와 낸드게이트(68)를 경유하면서 하이신호상태를 유지하여 PMOS 트랜지스터(P5)를 턴 오프 시키고, 마찬가지로 상기 SAE2B 신호(하이신호)는 노아게이트(69)를 경유하면서 로우신호로 전환되어 NMOS 트랜지스터(N9)를 턴 오프시킨다. 이때 트랜지스터(P5,N9)의 로우 출력신호가 래치(63,64)에 의해서 유지되어 릴리즈 제어 동작신호(REL\_CTRL)는 로우레벨을 유지하게 된다.
- [0068] 다음, 도 6은 본 발명에 따른 내부전압 제어회로에 도시되고 있는 코아전압 릴리즈 드라이버(35)의 상세 구성도이다.
- [0069] 도시하고 있는 바와 같이 본 발명의 일 실시예에 따른 코아전압 릴리즈 드라이버(35)는, 코어 전압단 전위의 1/2 레벨인 하프 코어 전압으로 구성되는 피드백전압과 기준전압(VREF)(목표 코아전압의 1/2 레벨)을 차동 비교하는 차동 비교부, 코어 전압을 전압 분배하고, 코어 전압의 감시에 이용될 코어 전압단 전위의 1/2 레벨인 피드백전압을 발생하는 피드백전압발생부, 상기 비교부를 동작시키거나 또는 정지시키기 위하여 상기 비교부의 전류통로 형성을 개폐하는 제어스위칭부를 포함하여 구성되어진다. 그리고 기준전압을 발생하는 기준전압발생기(53)를 포함한다. 또한 본 발명은 출력되는 코아전압이 목표레벨보다 높은 전위를 갖을 때, 코아전압을 방전하는 방전부를 포함하고 있다.
- [0070] 상기 차동 비교부는, 기준전압 발생기(53)에서 출력되는 기준전압(VREF)과 코아전압의 1/2 레벨인 피드백전압(HVCORE)을 이용하여 차동 비교를 수행하는 두개의 NMOS 트랜지스터(N10,N11)로 구성되고, 상기 두개의 트랜지스터(N10,N11)의 소스 단자는 공통노드로 연결되어진다. 따라서 트랜지스터(N10)의 게이트단자에는 기준전압(VREF)이 인가되고, 트랜지스터(N11)의 게이트단자에는 피드백전압(HVCORE)이 인가되어진다.
- [0071] 그리고 상기 트랜지스터(N10)의 드레인단자는 노드(node\_a)를 통해 PMOS 트랜지스터(P11)와 직렬 연결되고, 상기 PMOS 트랜지스터(P11)의 소스단자로 외부 전원전압(VDD)이 인가되어진다. 상기 PMOS 트랜지스터(P11)는 또 하나의 PMOS 트랜지스터(P10)와 전류 미러를 구성하고 있다. 상기 전류 미러는, 노드(node\_a, node\_d)의 전류를 조절한다.
- [0072] 또한 상기 비교부를 구성하는 상기 트랜지스터(N11)의 드레인단자는 노드(node\_b)를 통해서 PMOS 트랜지스터(P12)와 직렬 연결되고, 상기 트랜지스터(P12)의 소스단자로 외부 전원전압(VDD)이 공급되어진다. 상기 PMOS 트랜지스터(P12)는 또 하나의 PMOS 트랜지스터(P13)와 전류 미러를 구성하고 있다. 상기 전류 미러는 노드(node\_b,node\_c)의 전류를 조절한다.
- [0073] 그리고 상기 PMOS 트랜지스터(P10)와 접지전원 사이에 NMOS 트랜지스터(N12)가 연결되고, 상기 PMOS 트

랜지스터(P13)와 접지전원 사이에 NMOS 트랜지스터(N14)가 구성되며, 상기 두개의 NMOS 트랜지스터(N12,N14)도 전류 미러를 구성한다.

[0074] 상기 제어스위칭부는, 상기 비교부의 공통노드에 드레인단자를 연결하고, 게이트단자를 통해 상기 릴리즈 제어부(25)에서 출력하는 릴리즈 동작 제어신호(REL\_CTRL)를 공급받으며, 소스단자를 접지전압에 연결하고 있는 NMOS 트랜지스터(N13)로 구성된다. 상기 릴리즈 동작 제어신호는, 두개의 인버터(70,71)를 통해서 상기 NMOS 트랜지스터(N13)의 게이트단자에 인가되어진다.

[0075] 또한, 상기 릴리즈 동작 제어신호는 인버터(70)를 통해서 NMOS 트랜지스터(N15)의 게이트단자에 인가되어지며, 상기 NMOS 트랜지스터(N15)는, 비교부의 출력노드(node\_c)의 신호를 선택적으로 뮤트시키도록 구성되어진다.

[0076] 상기 피드백전압발생부는 코아전압 출력단(VCORE)과 접지전압 사이에 직렬 연결되고 있는 두개의 NMOS 트랜지스터(N17,N18)로 구성되고, 상기 두개의 트랜지스터(N17,N18) 사이에 연결되고 있는 노드에 상기 비교부의 트랜지스터(N11) 게이트단자가 연결되어진다. 상기 두개의 트랜지스터(N17,N18)의 드레인단자와 게이트단자는 연결된 상태를 갖고, 두 트랜지스터(N17,N18)는 동일 크기, 동일 특성을 갖는다. 즉, 상기 코아전압이 상기 두개의 트랜지스터(N17,N18)에 의해서 분압된 형태를 갖게 되고, 이렇게 분압된 코아전압이 상기 비교부의 트랜지스터(N11)를 턴 온 시키게 되는 형태를 갖게 된다.

[0077] 본 발명의 방전부는, 상기 차동 증폭부의 출력노드에 게이트단자를 연결하는 NMOS 트랜지스터(N16)를 포함한다. 상기 NMOS 트랜지스터(N16)의 소스단은 접지전원에 연결되고, 게이트단은 상기 차동 증폭부의 출력노드에 연결되며, 드레인단은 코아전압 출력단에 연결되어진다. 따라서 상기 차동 증폭부의 출력노드의 전위 레벨에 따라서 상기 NMOS 트랜지스터(N16)의 드레인단의 전위가 변화한다.

[0078] 다음은 상기 구성으로 이루어진 본 발명의 일 실시예에 따른 코아전압 릴리즈 드라이버(35)의 동작과정을 살펴보기로 한다.

[0079] 코아전압 릴리즈 드라이버(35)는, 릴리즈 제어신호(REL\_CTRL)가 인에이블상태(하이신호)일 때, 동작이 이루어진다. 따라서 상기 릴리즈 제어신호(REL\_CTRL)가 하이레벨을 갖을 때, 인버터(70,71)를 경유해서 NMOS 트랜지스터(N13)의 게이트단자에 하이신호가 인가되면서 상기 NMOS 트랜지스터(N13)가 턴 온된다. 상기 NMOS 트랜지스터(N13)가 턴 온되면, 차동 비교기가 동작이 가능한 상태가 된다.

[0080] 이와 함께 NMOS 트랜지스터(N15)의 게이트단자에 하이레벨의 릴리즈 제어신호를 인버팅한 로우신호가 인가되어, 트랜지스터(N15)는 턴 오프 상태가 된다. 즉, 차동 비교기의 출력신호가 상기 NMOS 트랜지스터(N15)의 동작에 영향을 받지 않고, 정상적으로 출력 가능한 상태가 된다.

[0081] 이와 같이 상기 릴리즈 동작 제어신호가 인에이블 상태일 때, 차동 비교부는, 실제 코아 영역에서 사용되고 있는 코아전압을 트랜지스터(N17,N18)에 의해 전압 분배하여 V<sub>CORE</sub>/2의 레벨을 갖는 피드백전압(HFVCORE)을 형성한다. 그리고 상기 피드백전압을 기준전압(VREF)과 비교한다. 상기 기준전압도, 1/2 코아전압 레벨을 갖도록 구성되어, 실제 코아 영역에서 사용되는 코아전압과의 비교를 위한 기준으로 사용된다.

[0082] 상기 피드백 전압이 기준전압보다 높은 레벨을 갖으면, 차동 비교기의 NMOS 트랜지스터(N2)의 전류(I<sub>ds</sub>)가 트랜지스터(N1) 보다 증가하여 노드(node\_b)의 레벨이 노드(node\_a) 보다 낮아진다. 이에 따라 노드(node\_c)의 레벨이 올라가고, 상기 높아진 레벨은 NMOS 트랜지스터(N16)를 턴 온 시킨다.

[0083] 상기 NMOS 트랜지스터(N16)가 턴 온되면, 오버 드라이빙 동작에 의해서 높아진 코아전압 레벨을 낮춰주는 동작이 수행된다.

[0084] 이후 코아전압 레벨이 낮아져서, 상기 기준전압과 피드백전압의 레벨이 같으면, 차동 비교기의 노드(node\_a)와 노드(node\_b)의 레벨 차이가 없다. 이 경우, PMOS 트랜지스터(P13)와 NMOS 트랜지스터(N14)의 크기에 의해서 노드(node\_c)의 레벨을 로우 레벨을 유지한다. 상기 로우 레벨 신호는 NMOS 트랜지스터(N15)를 턴 오프 상태로 제어하여, 코아전압 릴리즈 드라이버(35)의 릴리즈 제어 동작은 차단된다.

[0085] 즉, 상기 NMOS 트랜지스터(N16)의 턴 온 동작에 따른 오버 드라이빙 동작은, 상기 피드백 전압이 기준전압과 같아지는 시점까지 이루어진다. 여기에 추가로 본 발명은 코아전압의 레벨에 기초하여 오버 드라이빙 동작이 이루어지는 릴리즈 동작 제어 구간(td2)을 결정하고 있다. 따라서 본 발명은 코아전압의 레벨에 기초해서 결정된 릴리즈 동작 제어 구간 내에서, 피드백 전압이 기준전압보다 높을 레벨을 갖을 때, 코아전압 릴리즈 드라이버(35)의 동작을 차단한다.

이버(35)를 통해 코아전압의 레벨을 낮추도록 제어하고 있다.

[0086] 이상 기술한 본 발명의 바람직한 실시예는, 예시의 목적을 위해 개시된 것으로, 오버 드라이빙 동작이 끝나면 코아전압 레벨을 감지하고 릴리즈 동작 구간을 조절하는 경우에 적용한다. 따라서 본 발명은 당업자라면 이하 첨부된 특허청구범위에 개시된 본 발명의 기술적 사상과 그 기술적 범위 내에서 또 다른 다양한 실시예들을 개량, 변경, 대체 또는 부가 등이 가능할 것이다.

**도면의 간단한 설명**

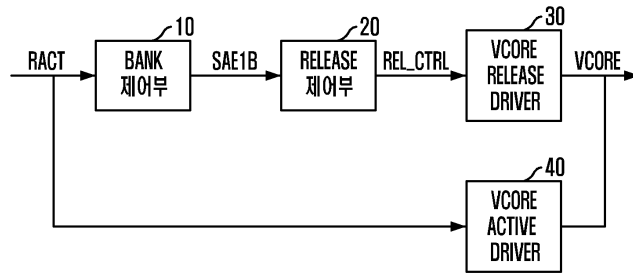
[0087] 도 1은 종래 내부전압 제어회로의 구성을 나타내는 블록도,  
 [0088] 도 2는 종래 내부전압 제어회로에 구비된 각 부의 동작 타이밍도,  
 [0089] 도 3은 본 발명의 일 실시예에 따른 내부전압 제어회로의 구성을 나타내는 블록도,  
 [0090] 도 4는 도 3에 도시된 본 발명의 레벨 비교기의 상세 구성도,  
 [0091] 도 5는 도 3에 도시된 본 발명의 릴리즈 제어부의 상세 구성도,  
 [0092] 도 6은 도 3에 도시된 본 발명의 코아전압 릴리즈 드라이버의 상세 구성도,  
 [0093] 도 7은 본 발명의 내부전압 제어회로에 구비된 각 부의 동작 타이밍도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

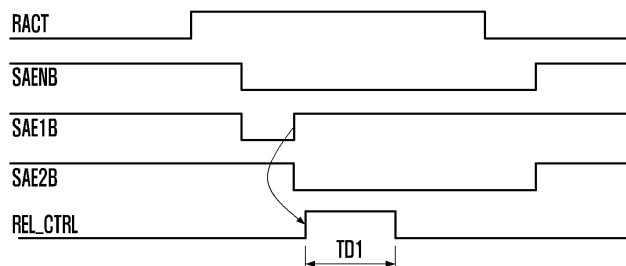
[0095] 15 : 뱅크 제어부                                                  25 : 릴리즈 제어부  
 [0096] 35 : 코아전압 릴리즈 드라이버                          45 : 코아전압 액티브 드라이버  
 [0097] 50 : 레벨 비교기

**도면**

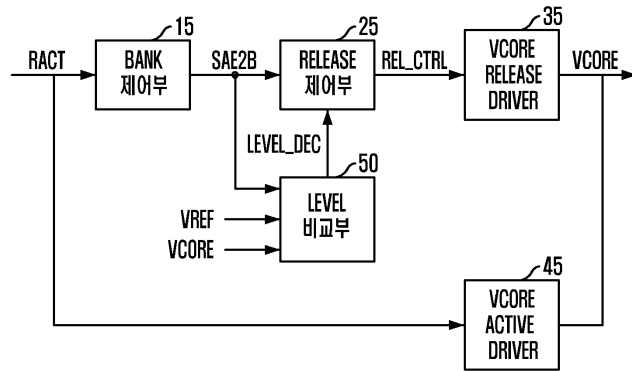
**도면1**



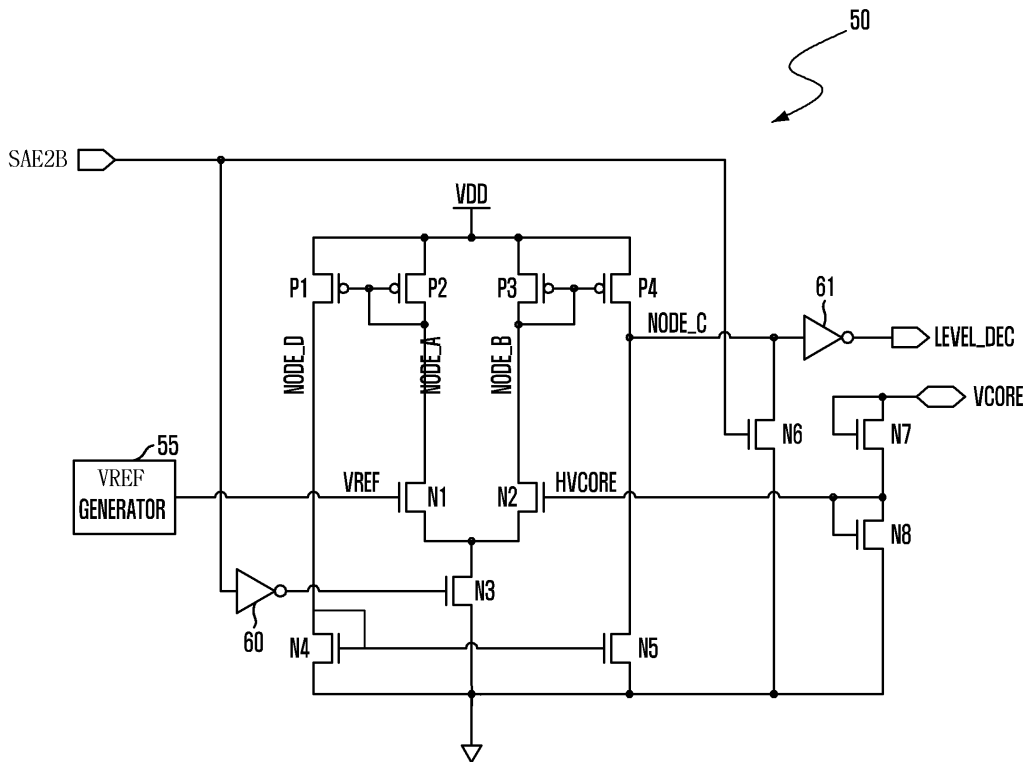
**도면2**



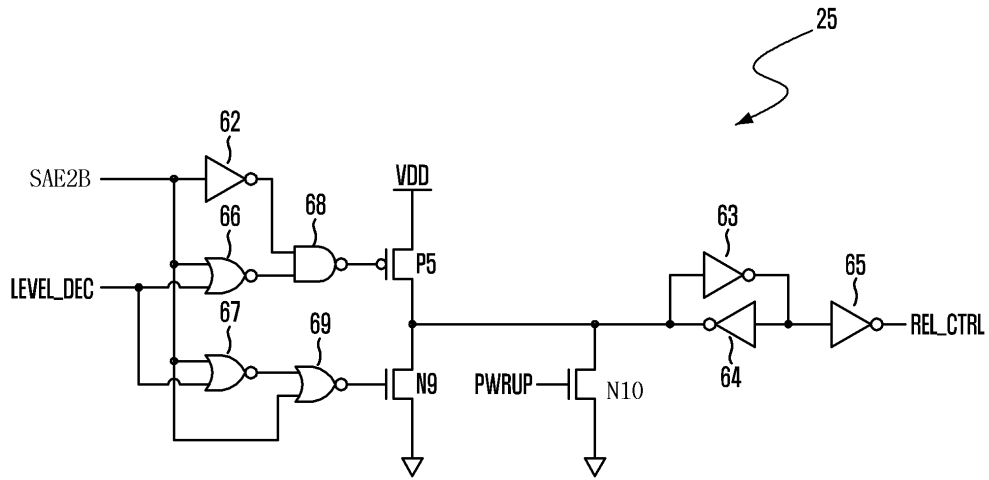
도면3



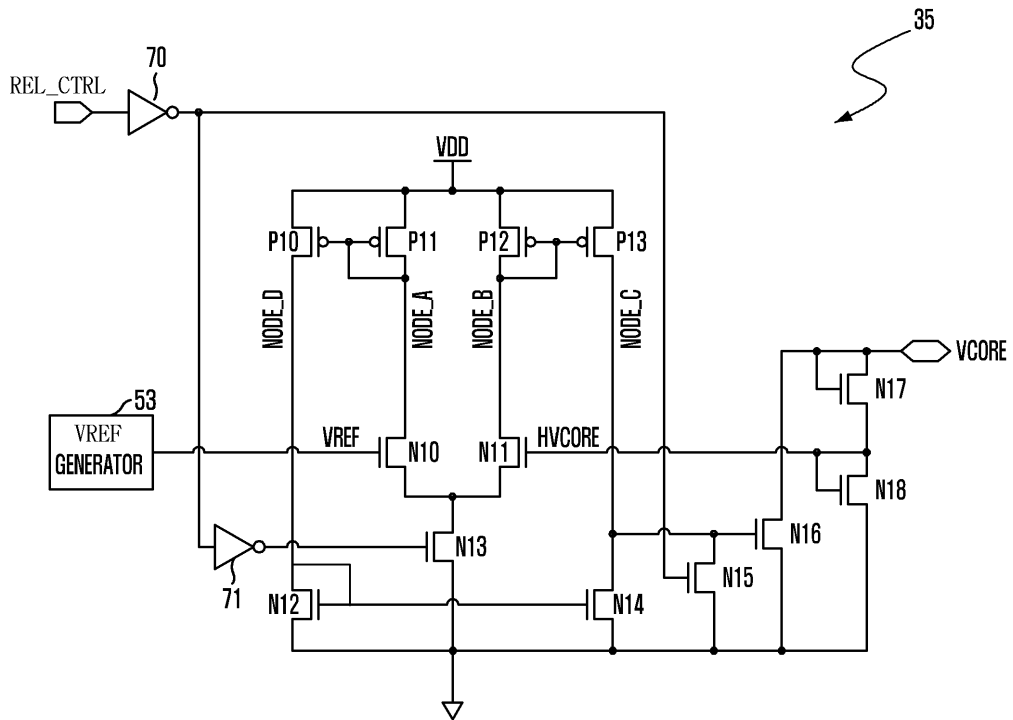
도면4



도면5



도면6



도면7

