

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成26年7月17日(2014.7.17)

【公開番号】特開2013-3568(P2013-3568A)

【公開日】平成25年1月7日(2013.1.7)

【年通号数】公開・登録公報2013-001

【出願番号】特願2011-138255(P2011-138255)

【国際特許分類】

G 09 G 3/30 (2006.01)

G 09 G 3/20 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

G 09 G 3/30 J

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 4 2 A

G 09 G 3/20 6 1 2 E

G 09 G 3/20 6 4 2 P

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 8 0 G

G 09 G 3/20 6 1 1 J

H 05 B 33/14 A

【手続補正書】

【提出日】平成26年6月3日(2014.6.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

表示部と、

表示部を駆動する駆動トランジスタと、

駆動トランジスタの特性を制御する特性制御部、

とを備えた画素回路。

【請求項2】

特性制御部は、回路上における、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する請求項1に記載の画素回路。

【請求項3】

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、

特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する請求項1または請求項2に記載の画素回路。

【請求項4】

駆動トランジスタは、金属酸化膜型の電界効果トランジスタである請求項1ないし請求項3のいずれか1項に記載の画素回路。

【請求項5】

駆動トランジスタは、バックゲート型の薄膜トランジスタであり、

特性制御部は、バックゲート電位を制御する端子である請求項1ないし請求項3のいずれか1項に記載の画素回路。

【請求項 6】

特性制御部は、表示部の一端と駆動トランジスタのバックゲートとが接続されて構成されている請求項 4 または請求項 5に記載の画素回路。

【請求項 7】

表示部が配列された画素部を備え、

特性制御部は、表示部ごとに、駆動トランジスタの特性を制御する請求項 1 ないし請求項 6 のいずれか 1 項に記載の画素回路。

【請求項 8】

画素部は、表示部が 2 次元マトリクス状に配列されている請求項 7 に記載の画素回路。

【請求項 9】

表示部及び駆動部とを具備した表示素子が 2 次元マトリクス状に配列された画素部を備え、

特性制御部は、走査処理により、表示素子ごとに、駆動トランジスタの特性を制御する請求項 1 ないし請求項 6 のいずれか 1 項に記載の画素回路。

【請求項 10】

表示部は自発光型である請求項 1 ないし請求項 9 のいずれか 1 項に記載の画素回路。

【請求項 11】

表示部は有機エレクトロルミネッセンス発光部を有する請求項 10 に記載の画素回路。

【請求項 12】

表示部及び表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

駆動トランジスタの特性を制御する特性制御部、
とを備えた表示装置。

【請求項 13】

特性制御部は、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する請求項 12 に記載の表示装置。

【請求項 14】

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、

特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する請求項 12 または請求項 13に記載の表示装置。

【請求項 15】

表示部及び表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

画素部に供給される映像信号を生成する信号生成部と、
駆動トランジスタの特性を制御する特性制御部、
とを備えた電子機器。

【請求項 16】

特性制御部は、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する請求項 15 に記載の電子機器。

【請求項 17】

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、

特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する請求項 15 または請求項 16に記載の電子機器。

【請求項 18】

表示部を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、
駆動トランジスタの特性を制御する画素回路の駆動方法。

【請求項 19】

表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する請求項 18 に記載の画素回路の駆動方法。

【請求項 20】

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、
閾値電圧を制御するための制御信号を特性制御端に供給する請求項18または請求項1
9に記載の画素回路の駆動方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

表示装置は、複数の画素回路（或いは単に画素とも称することもある）を備えている。各画素回路は、表示部と表示部を駆動する駆動回路とを具備する表示素子（電気光学素子）を有する。表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、LED発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができる。尚、表示素子の発光部を駆動する方式としては定電流駆動型を採用するが、原理的には、定電流駆動型に限らず定電圧駆動型でもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

尚、製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、及び映像信号処理部220の全てを備えたモジュール（複合部品）形態の表示装置1として提供されることに限らず、例えば、表示パネル部100のみで表示装置1として提供してもよい。又、表示装置1は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部102に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。透明な対向部には、カラーフィルタ、保護膜、遮光膜等が設けられてもよい。表示モジュールには、外部から画素アレイ部102への映像信号Vsigや各種の駆動パルスを入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

端子部108の各端子は、配線110を介して、垂直駆動部103や水平駆動部106に接続される。例えば、端子部108に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部103の各部や水平駆動部106に供給される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

画素アレイ部102は、図示を割愛するが（詳細は後述する）、表示素子としての有機EL素子に対して画素トランジスタが設けられた画素回路10が行列状に2次元配置され、画素配列に対して行ごとに垂直走査線SCLが配線されるとともに、列ごとに映像信号

線 D T L が配線された構成となっている。つまり、画素回路 10 は、垂直走査線 S C L を介して垂直駆動部 103 と接続され、又、映像信号線 D T L を介して水平駆動部 106 と接続されている。具体的には、マトリクス状に配列された各画素回路 10 に対しては、垂直駆動部 103 によって駆動パルスで駆動される M 行分の垂直走査線 S C L_1 ~ S C L_M が画素行ごとに配線される。垂直駆動部 103 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を行単位で選択する、即ち、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、垂直走査線 S C L を介して各画素回路 10 を順次選択する。水平駆動部 106 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を列単位で選択する、即ち、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 10 に対し映像信号線 D T L を介して映像信号 V S の内の所定電位（例えば映像信号 V_{sig} レベル）をサンプリングして保持容量 C_{cs} に書き込ませる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

具体的には、駆動トランジスタ T R_D は、ゲート電極 31、ゲート絶縁層 32、半導体層 33、半導体層 33 に設けられたソース / ドレイン領域 35、及び、ソース / ドレイン領域 35 の間の半導体層 33 の部分が該当するチャネル形成領域 34 から構成されている。保持容量 C_{cs} は、他方の電極 36、ゲート絶縁層 32 の延在部から構成された誘電体層、及び、一方の電極 37（第 2 ノード N D₂ に相当する）から成る。ゲート電極 31、ゲート絶縁層 32 の一部、及び、保持容量 C_{cs} を構成する他方の電極 36 は、支持体 20 上に形成されている。駆動トランジスタ T R_D の一方のソース / ドレイン領域 35 は配線 38 に接続され、他方のソース / ドレイン領域 35 は一方の電極 37 に接続されている。駆動トランジスタ T R_D 及び保持容量 C_{cs} 等は、層間絶縁層 40 で覆われてあり、層間絶縁層 40 上に、アノード電極 51、正孔輸送層、発光層、電子輸送層、及び、カソード電極 53 から成る発光部 E L P が設けられている。図 3においては、正孔輸送層、発光層、及び、電子輸送層を 1 層 52 で表した。発光部 E L P が設けられていない層間絶縁層 40 の部分の上には、第 2 層間絶縁層 54 が設けられ、第 2 層間絶縁層 54 及びカソード電極 53 上には透明な基板 21 が配置されており、発光層にて発光した光は、基板 21 を通過して、外部に出射される。一方の電極 37 とアノード電極 51 とは、層間絶縁層 40 に設けられたコンタクトホールによって接続されている。カソード電極 53 は、第 2 層間絶縁層 54、層間絶縁層 40 に設けられたコンタクトホール 56、コンタクトホール 55 を介して、ゲート絶縁層 32 の延在部上に設けられた配線 39 に接続されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

< 駆動方法 : 基本 >

発光部の駆動方法に関して、以下に説明する。理解を容易にするべく、画素回路 10 を構成する各トランジスタは、n チャネル型のトランジスタから構成されているとして説明する。又、発光部 E L P は、アノード端が第 2 ノード N D₂ に接続され、カソード端はカソード配線 cath (その電位をカソード電位 V_{cath} とする) に接続されるものとする。更には、ドレン電流 I_{ds} の値の大小によって、発光部 E L P における発光状態（輝度）が制御される。発光素子の発光状態においては、駆動トランジスタ T R_D の 2 つの主電極端（

ソース／ドレイン領域)は、一方(発光部E L Pのアノード側)がソース端(ソース領域)として働き、他方がドレイン端(ドレイン領域)として働く。表示装置は、カラー表示対応のものであり、N × M個の2次元マトリクス状に配列された画素回路10から構成され、カラー表示の一単位を成す1つの画素回路は、3つの副画素回路(赤色を発光する赤色発光画素回路10_R、緑色を発光する緑色発光画素回路10_G、青色を発光する青色発光画素回路10_B)から構成されているとする。各画素回路10を構成する発光素子は、線順次駆動されるとし、表示フレームレートをF R(回／秒)とする。即ち、第m行目(但し、m = 1, 2, 3, ..., M)に配列されたN個の画素回路10、より具体的には、N個の画素回路10のそれぞれを構成する発光素子が同時に駆動される。換言すれば、1つの行を構成する各発光素子にあっては、その発光／非発光のタイミングは、それらが属する行単位で制御される。尚、1つの行を構成する各画素回路10について映像信号を書き込む処理は、全ての画素回路10について同時に映像信号を書き込む処理(同時書き込み処理とも称する)でもよいし、画素回路10毎に順次映像信号を書き込む処理(順次書き込み処理とも称する)でもよい。何れの書き込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

因みに、駆動トランジスタT R_Dは、発光素子の発光状態においては、以下の式(1)に従ってドレイン電流I_{ds}を流すように駆動される。ドレイン電流I_{ds}が発光部E L Pを流れることで発光部E L Pが発光する。更には、ドレイン電流I_{ds}の値の大小によって、発光部E L Pにおける発光状態(輝度)が制御される。発光素子の発光状態においては、駆動トランジスタT R_Dの2つの主電極端(ソース／ドレイン領域)は、一方(発光部E L Pのアノード端側)がソース端(ソース領域)として働き、他方がドレイン端(ドレイン領域)として働く。説明の便宜のため、以下の説明において、駆動トランジスタT R_Dの一方の主電極端を単にソース端と称し、他方の主電極端を単にドレイン端と呼ぶ場合がある。尚、実効的な移動度μ、チャネル長L、チャネル幅W、制御入力端の電位(ゲート電位V_g)とソース端の電位(ソース電位V_s)との電位差(ゲート・ソース間電圧)V_{gs}、閾値電圧V_{th}、等価容量C_{ox}((ゲート絶縁層の比誘電率) × (真空の誘電率) / (ゲート絶縁層の厚さ))、係数k (1/2) · (W/L) · C_{ox}とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

〔前処理工程〕

第1ノードND_1と第2ノードND_2との間の電位差が、駆動トランジスタT R_Dの閾値電圧V_{th}を越え、且つ、第2ノードND_2と発光部E L Pに備えられたカソード電極との間の電位差が、発光部E L Pの閾値電圧V_{thEL}を越えないように、第1ノードND_1に第1ノード初期化電圧(V_{ofs})を印加し、第2ノードND_2に第2ノード初期化電圧(V_{in})を印加する。例えば、発光部E L Pにおける輝度を制御するための映像信号V_{sig}を0~10ボルト、電源電圧V_{cc}を20ボルト、駆動トランジスタT R_Dの閾値電圧V_{th}を3ボルト、カソード電位V_{cath}を0ボルト、発光部E L Pの閾値電圧V_{thEL}を3ボルトとする。この場合、駆動トランジスタT R_Dの制御入力端の電位(ゲート電位V_g、つまり第1ノードND_1の電位)を初期化するための電位V_{ofs}は0ボルト、駆動トランジスタT R_Dのソース端の電位(ソース電位V_sつまり第2ノードND_2の電位)を初期化するための電

位 V_{ini} は -10 ボルトとする。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

〔映像信号書き込み処理工程〕

書き走査線 WSL からの書き駆動パルス WS によりオン状態とされた書きトランジスタ TR_W を介して、映像信号線 DTL から映像信号 V_{sig} を第 1 ノード ND₁ に印加し、第 1 ノード ND₁ の電位を V_{sig} へと上昇させる。この第 1 ノード ND₁ の電位変化分 ($V_{in} = V_{sig} - V_{ofs}$) に基づく電荷が、保持容量 C_{cs}、発光部 ELP の寄生容量 C_{e1}、駆動トランジスタ TR_D の寄生容量（例えばゲート・ソース間容量 C_{gs} 等）に振り分けられる。静電容量 C_{e1} が、静電容量 C_{cs} 及びゲート・ソース間容量 C_{gs} の静電容量 C_{gs} と比較して十分に大きな値であれば、電位変化分 ($V_{sig} - V_{ofs}$) に基づく第 2 ノード ND₂ の電位の変化は小さい。一般に、発光部 ELP の寄生容量 C_{e1} の静電容量 C_{e1} は、保持容量 C_{cs} の静電容量 C_{cs} 及びゲート・ソース間容量 C_{gs} の静電容量 C_{gs} よりも大きい。この点を勘案して、特段の必要がある場合を除き、第 1 ノード ND₁ の電位変化により生ずる第 2 ノード ND₂ の電位変化は考慮しない。この場合、ゲート・ソース間電圧 V_{gs} は、式(3)で表すことができる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正の内容】

【0072】

〔駆動回路の構成による相違点〕

ここで、それぞれ典型的な、5Tr/1C型、4Tr/1C型、3Tr/1C型、2Tr/1C型での相違点は以下の通りである。5Tr/1C型では、駆動トランジスタ TR_D の電源側の主電極端と電源回路（電源部）との間に接続された第 1 トランジスタ TR₁（発光制御トランジスタ）と、第 2 ノード初期化電圧を印加する第 2 トランジスタ TR₂ と、第 1 ノード初期化電圧を印加する第 3 トランジスタ TR₃ とを設ける。第 1 トランジスタ TR₁、第 2 トランジスタ TR₂、第 3 トランジスタ TR₃ は何れもスイッチングトランジスタである。第 1 トランジスタ TR₁ は、発光期間にオン状態としておき、オフ状態にして非発光期間に入り、その後の閾値補正期間に一度オン状態にし、更に移動度補正期間以降（次の発光期間も）オン状態とする。第 2 トランジスタ TR₂ は、第 2 ノードの初期化期間にのみオン状態とそれ以外はオフ状態とする。第 3 トランジスタ TR₃ は、第 1 ノードの初期化期間から閾値補正期間に亘ってのみオン状態とそれ以外はオフ状態とする。書きトランジスタ TR_W は、映像信号書き込み処理期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

4Tr/1C型では、5Tr/1C型から、第 1 ノード初期化電圧を印加する第 3 トランジスタ TR₃ が省略され、第 1 ノード初期化電圧は映像信号線 DTL から映像信号 V_{sig} と時分割で供給される。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 DTL から第 1 ノードに供給するべく、書きトランジスタ TR_W は第 1 ノードの初期化期間

にもオン状態とされる。典型的には、書込トランジスタ $T R_W$ は、第 1 ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 4

【補正方法】変更

【補正の内容】

【0 0 7 4】

3 Tr / 1 C 型では、5 Tr / 1 C 型から、第 2 トランジスタ $T R_2$ と第 3 トランジスタ $T R_3$ が省略され、第 1 ノード初期化電圧及び第 2 ノード初期化電圧は映像信号線 DTL から映像信号 V_{sig} と時分割で供給される。映像信号線 DTL の電位は、第 2 ノードの初期化期間に第 2 ノードを第 2 ノード初期化電圧に設定し、その後の第 1 ノードの初期化期間に第 1 ノードを第 1 ノード初期化電圧に設定するべく、第 2 ノード初期化電圧と対応した電圧 V_{ofs_H} を供給しその後に第 1 ノード初期化電圧 V_{ofs_L} ($= V_{ofs}$) にする。そして、これと対応して、書込トランジスタ $T R_W$ は第 1 ノードの初期化期間及び第 2 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ $T R_W$ は、第 2 ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 6

【補正方法】変更

【補正の内容】

【0 0 7 6】

2 Tr / 1 C 型では、5 Tr / 1 C 型から、第 1 トランジスタ $T R_1$ と第 2 トランジスタ $T R_2$ と第 3 トランジスタ $T R_3$ が省略され、第 1 ノード初期化電圧は映像信号線 DTL から映像信号 V_{sig} と時分割で供給され、第 2 ノード初期化電圧は駆動トランジスタ $T R_D$ の電源側の主電極端を、第 1 電位 V_{cc_H} ($= 5 Tr / 1 C$ 型の V_{cc}) と第 2 電位 V_{cc_L} ($= 5 Tr / 1 C$ 型の V_{ini}) でパルス駆動することで与えられる。駆動トランジスタ $T R_D$ の電源側の主電極端は、発光期間に第 1 電位 V_{cc_H} にされ、第 2 電位 V_{cc_L} にされることで非発光期間に入り、その後の閾値補正期間以降（次の発光期間も）に第 1 電位 V_{cc_H} にされる。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 DTL から第 1 ノードに供給するべく、書込トランジスタ $T R_W$ は第 1 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ $T R_W$ は、第 1 ノードの初期化期間から移動度補正期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 9

【補正方法】変更

【補正の内容】

【0 0 7 9】

又、5 Tr / 1 C 型、4 Tr / 1 C 型、及び、3 Tr / 1 C 型の動作においては、書き込み処理と移動度補正を別個に行なってもよいし、2 Tr / 1 C 型と同様に、書き込み処理において移動度補正処理を併せて行なってもよい。具体的には、第 1 トランジスタ $T R_1$ (発光制御トランジスタ) をオン状態とした状態で、書込トランジスタ $T R_W$ を介して、データ線 DTL から映像信号 V_{sig} を第 1 ノードに印加すればよい。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 4

【補正方法】変更

【補正の内容】

【0084】

尚、ここで示した画素回路10の接続構成は、最も基本的な構成を示したもので、画素回路10は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。又、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。例えば、接続間には、必要に応じて更に、スイッチング用のトランジスタや、ある機能を持った機能部等を介在させる等の変更が加えられることがある。典型的には、表示期間（換言すれば発光期間）を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタ121の出力端と電気光学素子（有機EL素子127）と間に、もしくは駆動トランジスタ121の電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線PWL（本例では電源供給線105DSL）との間に配することができる。このような変形態様の画素回路であっても、実施例1（或いはその他の実施例）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本開示に係る表示装置の一実施形態を実現する画素回路10である。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正の内容】

【0087】

又、制御部109は、好ましくはブートストラップ動作を、発光期間において電気光学素子（有機EL素子127）の経時変動補正動作を実現するように制御する。このため、制御部109は、保持容量120に保持された情報に基づく駆動電流 I_{ds} が電気光学素子（有機EL素子127）に流れている期間は継続的にサンプリングトランジスタ125を非導通状態にしておくことで、制御入力端と出力端の電位差を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量120のブートストラップ動作により有機EL素子127の電流-電圧特性が経時変動しても駆動トランジスタ121の制御入力端と出力端の電位差をブートストラップした保持容量120により一定に保つことで、常に一定の発光輝度を保つようにする。又、好ましくは、制御部109は、基準電位（=第1ノード初期化電圧 V_{ofs} ）がサンプリングトランジスタ125の入力端（ソース端が典型例）に供給されている時間帯でサンプリングトランジスタ125を導通させることで駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持するための閾値補正動作を行なうように制御する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正の内容】

【0090】

尚、2Tr/1C構成における閾値補正に当たっては、制御部109には、書込走査部104での線順次走査に合わせて1行分の各画素回路10に、駆動電流 I_{ds} を電気光学素子（有機EL素子127）に流すために使用される第1電位 V_{cc_H} と第1電位 V_{cc_L} とは異なる第2電位 V_{cc_L} とを切り替えて出力する駆動走査部105を設け、駆動トランジスタ121の電源供給端子に第1電位 V_{cc_H} に対応する電圧が供給され、かつサンプリングトランジスタ125に基準電位（ V_{ofs} ）が供給されている時間帯でサンプリングトランジスタ125を導通させることで閾値補正動作を行なうように制御するのがよい。又、2Tr/1C構成における閾値補正の準備動作に当たっては、駆動トランジスタ121の電源供給端に第2電位 V_{cc_L} （=第2ノード初期化電圧 V_{ini} ）に対応する電圧が供給され、かつサンプリングトランジスタ125に基準電位（ V_{ofs} ）が供給されている時間帯で

サンプリングトランジスタ 125 を導通させて、駆動トランジスタ 121 の制御入力端（つまり第 1 ノード ND₁）の電位を基準電位 (V_{ofs}) に、又出力端（つまり第 2 ノード ND₂）の電位を第 2 電位 V_{cc_L} に初期化するのがよい。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

駆動トランジスタ 121 の特性変動（例えば閾値電圧や移動度等のばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、2Tr/1C 構成の駆動回路をそのまま駆動信号一定化回路（その 1）として採用しつつ、各トランジスタ（駆動トランジスタ 121 及びサンプリングトランジスタ 125）の駆動タイミングを工夫することで対処する。画素回路 10 は、2Tr/1C 構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正の内容】

【0096】

駆動トランジスタを始めとする各トランジスタとしては FET（電界効果トランジスタ）を使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端及びドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方（ここではドレイン端とする）を電源供給端として取り扱う。

【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正の内容】

【0103】

このような画素回路 10 を採用する場合、駆動トランジスタ 121 の他に走査用に 1 つのスイッチングトランジスタ（サンプリングトランジスタ 125）を使用する 2Tr/1C 構成を探るとともに、各スイッチングトランジスタを制御する電源駆動パルス DSL 及び書き駆動パルス WS のオン / オフタイミングの設定により、有機 EL 素子 127 の経時劣化や駆動トランジスタ 121 の特性変動（例えば閾値電圧や移動度等のばらつきや変動）による駆動電流 I_{ds} に与える影響を防ぐ。

【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正の内容】

【0111】

画素回路 10 に対する駆動タイミングは、映像信号 V_{sig} の信号振幅 V_{in} の情報を保持容量 120 に書き込む際に、順次走査の観点からは、1 行分の映像信号を同時に各列の映像信号線 106 HS に伝達する線順次駆動を行なう。特に、2Tr/1C 構成の画素回路 10 における駆動タイミングでの閾値補正と移動度補正を行なう際の基本的な考え方においては、先ず、映像信号 V_{sig} を基準電位 (V_{ofs}) と信号電位 ($V_{ofs} + V_{in}$) とを 1H 期間内において時分割で有するものとする。具体的には、映像信号 V_{sig} が非有効期間であ

る基準電位 (V_{ofs}) にある期間を 1 水平期間の前半部とし、有効期間である信号電位 ($V_{sig} = V_{ofs} + V_{in}$) にある期間を 1 水平期間の後半部とする。1 水平期間を前半部と後半部に分ける際は、典型的にはほぼ 1 / 2 期間ずつ分けるがこのことは必須でなく、前半部よりも後半部の方をより長くしてもよいし、逆に、前半部よりも後半部の方をより短くしてもよい。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 3

【補正方法】変更

【補正の内容】

【0 1 3 3】

ここで、駆動電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係は、先のトランジスタ特性を表した式(1)に “ $V_{sig} + V_{th} - V$ ” 或いは “ $V_{in} + V_{th} - V$ ” を代入することで、式(5A)或いは式(5B)（両式を纏めて式(5)と記す）のように表すことができる。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 7

【補正方法】変更

【補正の内容】

【0 1 3 7】

又、駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ 121 のゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th} - V$ ” を一定に維持したまま、駆動トランジスタ 121 のゲート電位 V_g 及びソース電位 V_s が上昇する。駆動トランジスタ 121 のソース電位 V_s が “ $-V_{th} + V + V_{el}$ ” となることで、ゲート電位 V_g は “ $V_{in} + V_{el}$ ” となる。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 121 は、一定電流(駆動電流 I_{ds}) を有機 EL 素子 127 に流す。その結果、有機 EL 素子 127 のアノード端 A の電位 (= ノード N D 122 の電位) は、有機 EL 素子 127 に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 9

【補正方法】変更

【補正の内容】

【0 1 3 9】

以上のように、比較例及び実施例 1 の画素回路 10 は、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ 121 の特性ばらつき(本例では閾値電圧 V_{th} 及び移動度 μ のばらつき)による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} 及び移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっている。ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電位補正值 V とによって調整されているため、有機 EL 素子 127 の発光輝度は駆動トランジスタ 121 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機 EL 素子 127 の経時劣化の影響も受けない。入力される映像信号 V_{sig} (信号振幅 V_i) に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【手続補正 2 6】

【補正対象書類名】明細書

【補正対象項目名】0148

【補正方法】変更

【補正の内容】

【0148】

したがって、ブートストラップゲイン G_{bst} は、寄生容量 C_{121gd} の静電容量 C_{gd} や寄生容量 C_{125gs} の静電容量 C_{ws} が保持容量 120 の静電容量 C_{cs} に対して十分に小さければ、換言すれば、駆動トランジスタ 121 のゲート端 G とソース端 S の間に付加される容量値（ここでは静電容量 C_{cs} ）が大きいほど限りなく“1”に近いことになり、有機 EL 素子 127 の電流電圧特性の経時変動に対する駆動電流 I_{ds} の補正能力が高い。つまり、画素回路の簡素化を図りつつ、素子の特性ばらつきによる輝度変化を抑制する閾値補正動作や移動度補正動作を実現する方式の開発に当たり、駆動トランジスタ 121 のゲート端 G に接続される保持容量 120 以外の素子を最小限のサンプリングトランジスタ 125 のみに留めた画素回路 10 とすることで、駆動トランジスタ 121 のゲート端 G に寄生する容量を限りなく小さくでき、このことはブートストラップ動作の補助となり、有機 EL 素子 127 の電流電圧特性の経時変動に対する駆動電流 I_{ds} の補正能力を向上させることができる。

【手続補正 27】

【補正対象書類名】明細書

【補正対象項目名】0152

【補正方法】変更

【補正の内容】

【0152】

これに対して、カソード電位 V_k が V_k 変動（上昇）した状態では、発光時のゲート電位 V_{g2} は「 $V_{sig} + (V_{s2} - V_{s0}) \times G_{bst}$ 」であり、発光時のソース電位 V_{s2} は「 $V_{s1} + V_k = V_{cath} + V_{oled} + V_k$ 」であるので、発光時のゲート・ソース間電圧 V_{gs2} は

$$\begin{aligned}
 V_{gs2} &= V_{g2} - V_{s2} = V_{sig} + (V_{s2} - V_{s0}) \times G_{bst} - V_{s2} \\
 &= V_{sig} + (V_{s2} - V_{s0}) \times G_{bst} - V_{s2} \\
 &= V_{sig} - V_{s0} \times G_{bst} + (G_{bst} - 1) \times V_{s2} \\
 &= V_{sig} - V_{s0} \times G_{bst} - (1 - G_{bst}) \times V_{s2} \\
 &= V_{sig} - V_{s0} \times G_{bst} - (1 - G_{bst}) \times (V_{cath} + V_{oled} + V_k) \\
 &= V_{sig} - V_{s0} \times G_{bst} - (1 - G_{bst}) \times (V_{cath} + V_{oled}) \\
 &\quad - (1 - G_{bst}) \times V_k \\
 &= V_{gs1} - (1 - G_{bst}) \times V_k
 \end{aligned}$$

と表すことができる。

【手続補正 28】

【補正対象書類名】明細書

【補正対象項目名】0162

【補正方法】変更

【補正の内容】

【0162】

図 17 及び図 18 に示すように、実施例 4 のトランジスタ特性制御部 600D は、実施例 1 と同様に、トランジスタ特性制御部 600V とトランジスタ特性制御部 600H と保持容量 602 とスイッチングトランジスタ 604 とを有している。実施例 4 では、実施例 1 のトランジスタ特性制御部 600A をベースに、画素回路 10D ごとに、有機 EL 素子 127 のカソード端 K の電位をトランジスタ特性制御部 600H に通知する構成としている。トランジスタ特性制御部 600H は、各有機 EL 素子 127 のカソード端 K の電位を参照（監視）してトランジスタ特性制御信号 V_b を設定することにより、より適正なトランジスタ特性制御信号 V_b を駆動トランジスタ 121 のトランジスタ特性制御端に供給することができる。実施例 2 と同様に、カソード電位変動はドレイン電流 I_{ds} 即ち映像信号

V_{sig} に応じて異なるが、その分も反映させてトランジスタ特性制御端を画素回路10Dごとに制御することができる。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0166

【補正方法】変更

【補正の内容】

【0166】

例えば、図19(A)は、電子機器700が、画像表示装置の一例である表示モジュール704を利用したテレビジョン受像機702の場合の外観例を示す斜視図である。テレビジョン受像機702は、台座706に支持されたフロントパネル703の正面に表示モジュール704を配置した構造となっており、表示面にはフィルターガラス705が設けられている。図19(B)は、電子機器700がデジタルカメラ712の場合の外観例を示す図である。デジタルカメラ712は、表示モジュール714、コントロールスイッチ716、シャッターボタン717、その他を含んでいる。図19(C)は、電子機器700がビデオカメラ722の場合の外観例を示す図である。ビデオカメラ722は、本体723の前方に被写体を撮像する撮像レンズ725が設けられ、更に、表示モジュール724や撮影のスタート/ストップスイッチ726等が配置されている。図19(D)は、電子機器700がコンピュータ732の場合の外観例を示す図である。コンピュータ732は、下側筐体733a、上側筐体733b、表示モジュール734、Webカメラ735、キーボード736等を含んでいる。図19(E)は、電子機器700が携帯電話機742の場合の外観例を示す図である。携帯電話機742は、折り畳み式であり、上側筐体743a、下側筐体743b、表示モジュール744a、サブディスプレイ744b、カメラ745、連結部746(ヒンジ部)、ピクチャーライト747等を含んでいる。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】0170

【補正方法】変更

【補正の内容】

【0170】

前記実施形態の記載を踏まえれば、特許請求の範囲に記載の請求項に係る技術は一例であり、例えば、以下の技術が抽出される。以下列記する。

[付記1]

表示部と、
表示部を駆動する駆動トランジスタと、
駆動トランジスタの特性を制御する特性制御部、
とを備えた画素回路。

[付記2]

特性制御部は、回路上における、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する付記1に記載の画素回路。

[付記3]

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、
特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する付記1又は付記2に記載の画素回路。

[付記4]

駆動トランジスタは、金属酸化膜型の電界効果トランジスタである付記1乃至付記3の何れか1項に記載の画素回路。

[付記5]

駆動トランジスタは、バックゲート型の薄膜トランジスタであり、
特性制御部は、バックゲート電位を制御する端子である付記1乃至付記3の何れか1項

に記載の画素回路。

[付記6]

特性制御部は、表示部の一端と駆動トランジスタのバックゲートとが接続されて構成されている付記4又は付記5に記載の画素回路。

[付記7]

表示部が配列された画素部を備え、

特性制御部は、表示部ごとに、駆動トランジスタの特性を制御する付記1乃至付記6の何れか1項に記載の画素回路。

[付記8]

画素部は、表示部が2次元マトリクス状に配列されている付記7に記載の画素回路。

[付記9]

表示部及び駆動部とを具備した表示素子が2次元マトリクス状に配列された画素部を備え、

特性制御部は、走査処理により、表示部ごとに、駆動トランジスタの特性を制御する付記1乃至付記6の何れか1項に記載の画素回路。

[付記10]

表示部は自発光型である付記1乃至付記9の何れか1項に記載の画素回路。

[付記11]

表示部は有機エレクトロルミネッセンス発光部を有する付記10に記載の画素回路。

[付記12]

表示部及び表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

駆動トランジスタの特性を制御する特性制御部、
とを備えた表示装置。

[付記13]

特性制御部は、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する付記12に記載の表示装置。

[付記14]

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、

特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する付記12又は付記13に記載の表示装置。

[付記15]

表示部及び表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

画素部に供給される映像信号を生成する信号生成部と、
駆動トランジスタの特性を制御する特性制御部、
とを備えた電子機器。

[付記16]

特性制御部は、表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する付記15に記載の電子機器。

[付記17]

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、

特性制御部は、閾値電圧を制御するための制御信号を特性制御端に供給する付記15又は付記16に記載の電子機器。

[付記18]

表示部を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、
駆動トランジスタの特性を制御する画素回路の駆動方法。

[付記19]

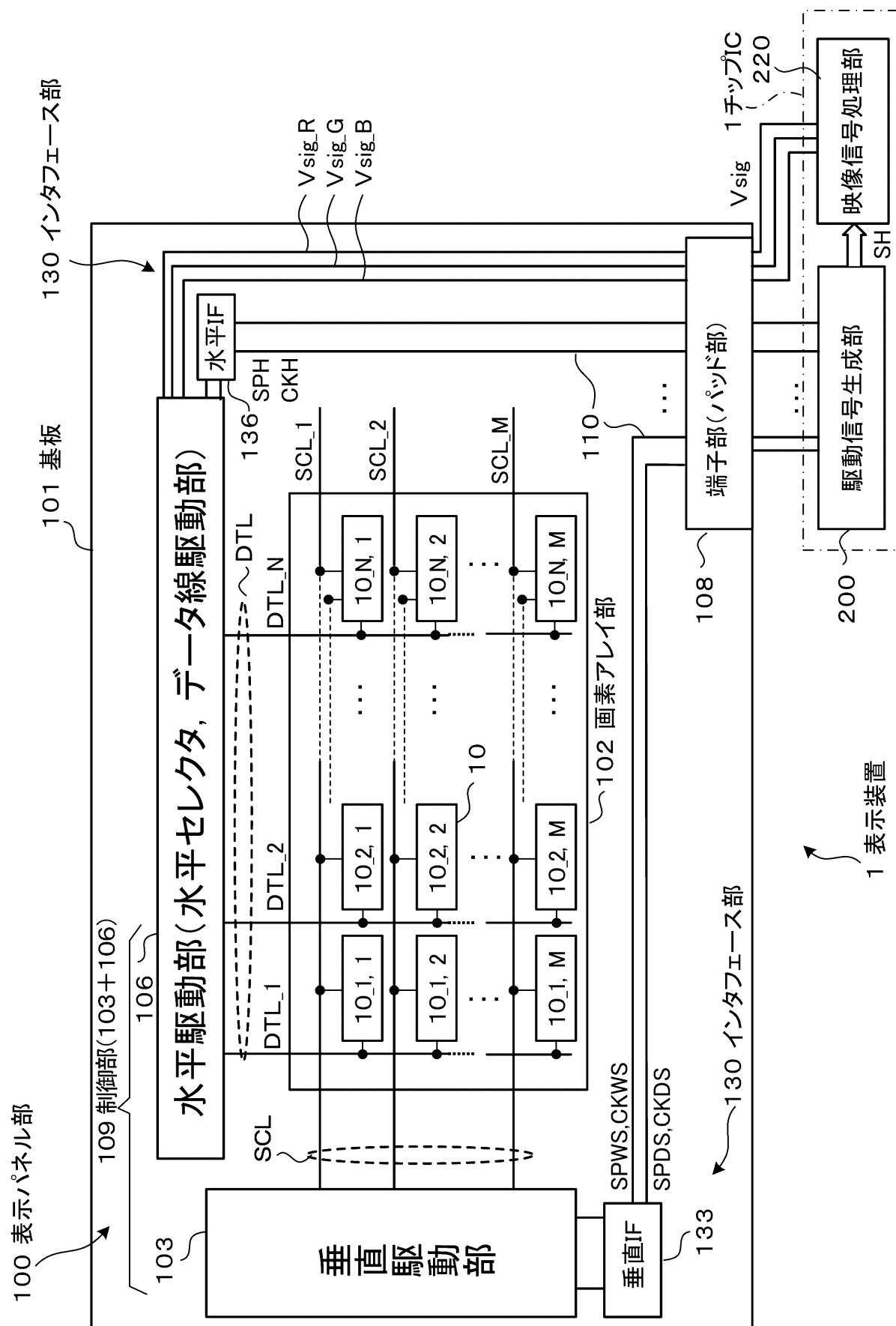
表示部の駆動トランジスタとは反対側の一端の電位に基づいて駆動トランジスタの特性を制御する付記18に記載の画素回路の駆動方法。

[付記 20]

駆動トランジスタは、閾値電圧を制御し得る特性制御端を有し、
閾値電圧を制御するための制御信号を特性制御端に供給する付記18又は付記19に記載の画素回路の駆動方法。

【手続補正31】**【補正対象書類名】**図面**【補正対象項目名】**図1**【補正方法】**変更**【補正の内容】**

【図1】



【補正対象書類名】図面

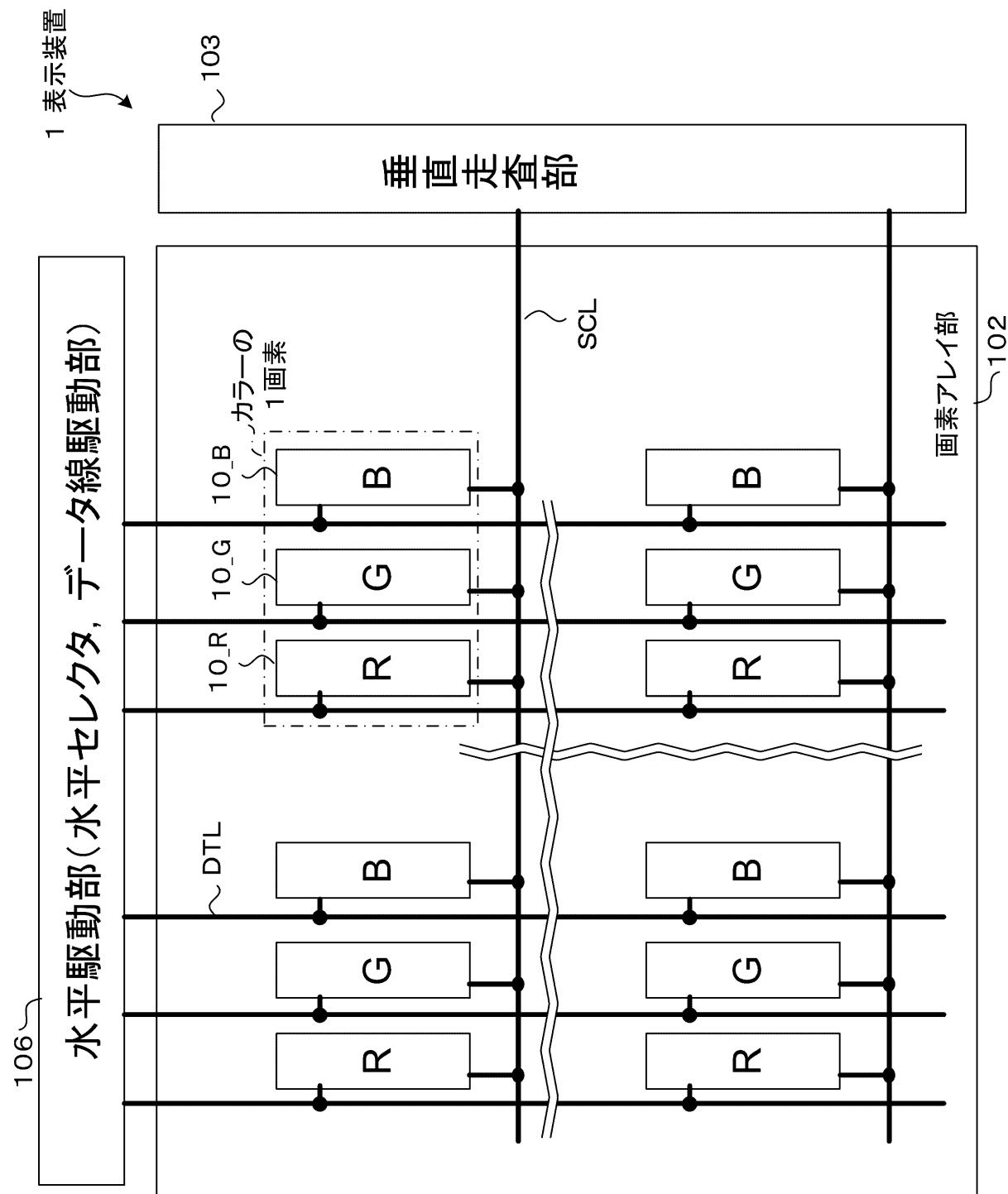
【補正対象項目名】図2

【補正方法】変更

【補正の内容】

【図2】

[図2]



【手続補正 3 3】

【補正対象書類名】図面

【補正対象項目名】図19

【補正方法】変更

【補正の内容】

【図19】
[図19]
<実施例5:電子機器>

