

(43) 공개일자 2023년05월31일

- (71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

- (72) 발명자

김철우

서울특별시 강남구 선릉로 221

- 박인호

- 서울특별시 은평구 응암로 319(응암동, 서강스카
이빌)

(뒷면에 계속)

- (74) 대리인

특허법인주연케이알피

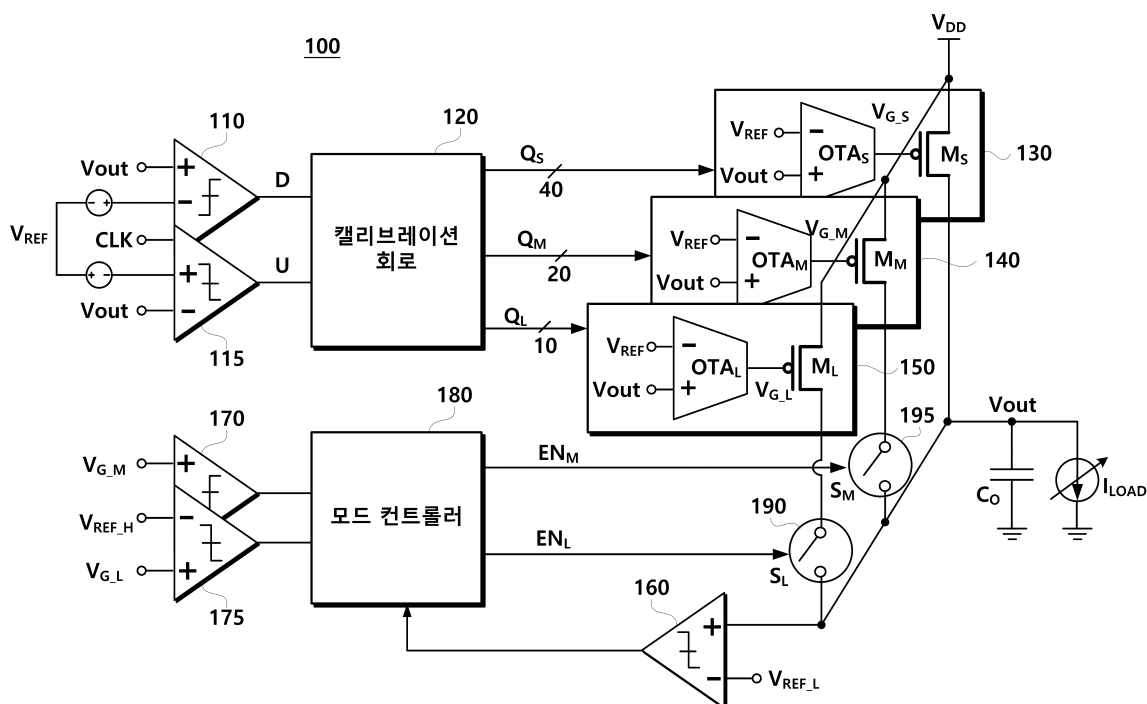
전체 청구항 수 : 총 11 항

- (54) 발명의 명칭 연산 트랜스-컨덕턴스 증폭기를 사용하는 하이브리드 LDO 레귤레이터

본 발명의 실시 예에 따른 전원 전압을 변환하여 출력 전압으로 제공하는 LDO 레귤레이터는, 클록 신호에 동기하여 제 1 및 제 2 기준 전압과 상기 출력 전압을 비교하여 오프셋을 검출하고, 오프셋 검출 신호를 출력하는 동적 비교기, 상기 오프셋 검출 신호에 응답하여 상기 오프셋을 보상하기 위한 오프셋 제어 신호를 생성하는 캘리브레

(뒷면에 계속)

대표도 - 도1



이전 회로, 상기 오프셋 제어 신호에 따라 제 1 게이트 전압을 생성하는 제 1 연산 트랜스-컨덕턴스 증폭기, 상기 오프셋 제어 신호에 따라 제 2 게이트 전압을 생성하는 제 2 연산 트랜스-컨덕턴스 증폭기, 상기 제 1 게이트 전압에 따라 상기 전원 전압을 출력단에 전달하는 제 1 패스 트랜지스터, 상기 제 2 게이트 전압에 따라 상기 전원 전압을 전달하는 제 2 패스 트랜지스터, 제 1 인에이블 신호에 응답하여 상기 제 2 패스 트랜지스터와 상기 출력단 사이를 연결하는 제 1 루프 스위치, 그리고 상기 출력 전압과 제 3 기준 전압을 비교하고, 상기 제 2 게이트 전압의 레벨을 검출하여 상기 제 1 인에이블 신호를 생성하는 디지털 제어부를 포함한다.

(52) CPC특허분류

G05F 1/575 (2013.01)

H03F 3/45 (2013.01)

(72) 발명자

김현진

서울특별시 동대문구 약령사로 10(제기동)

전진우

서울특별시 강남구 선릉로112길 53(삼성동, 롯데캐슬강남아파트)

박창훈

경기도 성남시 분당구 중앙공원로 20(서현동, 현대아파트)

류재원

서울특별시 마포구 월드컵북로 502-36(상암동, 상암월드컵파크10단지)

명세서

청구범위

청구항 1

전원 전압을 변환하여 출력 전압으로 제공하는 LDO 레귤레이터에 있어서:

클록 신호에 동기하여 제 1 및 제 2 기준 전압과 상기 출력 전압을 비교하여 오프셋을 검출하고, 오프셋 검출 신호를 출력하는 동적 비교기;

상기 오프셋 검출 신호에 응답하여 상기 오프셋을 보상하기 위한 오프셋 제어 신호를 생성하는 캘리브레이션 회로;

상기 오프셋 제어 신호에 따라 제 1 게이트 전압을 생성하는 제 1 연산 트랜스-컨덕턴스 증폭기;

상기 오프셋 제어 신호에 따라 제 2 게이트 전압을 생성하는 제 2 연산 트랜스-컨덕턴스 증폭기;

상기 제 1 게이트 전압에 따라 상기 전원 전압을 출력단에 전달하는 제 1 패스 트랜지스터;

상기 제 2 게이트 전압에 따라 상기 전원 전압을 전달하는 제 2 패스 트랜지스터;

제 1 인에이블 신호에 응답하여 상기 제 2 패스 트랜지스터와 상기 출력단 사이를 연결하는 제 1 루프 스위치; 그리고

상기 출력 전압과 제 3 기준 전압을 비교하고, 상기 제 2 게이트 전압의 레벨을 검출하여 상기 제 1 인에이블 신호를 생성하는 디지털 제어부를 포함하는 LDO 레귤레이터.

청구항 2

제 1 항에 있어서,

상기 동적 비교기는:

상기 출력 전압의 레벨이 상기 제 1 기준 전압보다 높은 경우에 활성화되는 제 1 오프셋 검출 신호를 생성하는 제 1 동적 비교기; 그리고

상기 출력 전압의 레벨이 상기 제 1 기준 전압보다 낮은 상기 제 2 기준 전압 미만인 경우에 활성화되는 제 2 오프셋 검출 신호를 생성하는 제 2 동적 비교기를 포함하는 LDO 레귤레이터.

청구항 3

제 2 항에 있어서,

상기 캘리브레이션 회로는 상기 제 1 및 제 2 오프셋 검출 신호에 따라 논리 '1'과 논리 '0'의 비율이 조정되는 복수 비트의 상기 오프셋 제어 신호를 생성하는 양방향 시프트 레지스터를 포함하는 LDO 레귤레이터.

청구항 4

제 3 항에 있어서,

상기 오프셋 제어 신호는 상기 제 1 연산 트랜스-컨덕턴스 증폭기에 제공되는 제 1 오프셋 제어 신호와 상기 제 2 연산 트랜스-컨덕턴스 증폭기에 제공되는 제 2 오프셋 제어 신호를 포함하되, 상기 제 1 오프셋 제어 신호와 상기 제 2 오프셋 제어 신호의 비트 수는 다른 것을 특징으로 하는 LDO 레귤레이터.

청구항 5

제 4 항에 있어서,

상기 제 1 연산 트랜스-컨덕턴스 증폭기 및 상기 제 1 연산 트랜스-컨덕턴스 증폭기 각각의 정입력단 및 부입력단 각각은 상기 제 1 오프셋 제어 신호 및 상기 제 2 오프셋 제어 신호에 의해서 스위칭되는 병렬 연결된 복수

의 입력 트랜지스터들을 포함하는 LDO 레귤레이터.

청구항 6

제 1 항에 있어서,

상기 제 1 패스 트랜지스터의 채널 크기는 상기 제 2 패스 트랜지스터의 채널 크기보다 작은 LDO 레귤레이터.

청구항 7

제 6 항에 있어서,

상기 제 1 패스 트랜지스터는 하나의 PMOS 트랜지스터로 구성되고, 상기 제 2 패스 트랜지스터는 상기 제 2 게이트 전압을 공유하는 복수의 PMOS 트랜지스터를 포함하는 LDO 레귤레이터.

청구항 8

제 1 항에 있어서,

상기 오프셋 제어 신호에 따라 제 3 게이트 전압을 생성하는 제 3 연산 트랜스-컨덕턴스 증폭기;

상기 제 3 게이트 전압에 따라 상기 전원 전압을 전달하는 제 3 패스 트랜지스터; 그리고

제 2 인에이블 신호에 응답하여 상기 제 3 패스 트랜지스터와 상기 출력단 사이를 연결하는 제 2 루프 스위치를 더 포함하는 LDO 레귤레이터.

청구항 9

제 8 항에 있어서,

상기 제 3 패스 트랜지스터의 채널 크기는 상기 제 2 패스 트랜지스터의 채널 크기보다 큰 것을 특징으로 하는 LDO 레귤레이터.

청구항 10

제 8 항에 있어서,

상기 디지털 제어부는:

상기 출력 전압과 상기 제 3 기준 전압을 비교하는 출력 전압 비교기;

상기 제 2 게이트 전압과 제 4 기준 전압을 비교하는 제 1 비교기;

상기 제 3 게이트 전압을 상기 제 4 기준 전압과 비교하는 제 2 비교기; 그리고

상기 출력 전압 비교기 및 상기 제 1 내지 제 2 비교기의 출력에 기반하여 상기 제 1 루프 스위치 및 상기 제 2 루프 스위치를 제어하는 모드 컨트롤러를 포함하는 LDO 레귤레이터.

청구항 11

제 10 항에 있어서,

상기 모드 컨트롤러는 상기 출력 전압이 상기 제 3 기준 전압보다 낮은 경우, 상기 제 2 루프 스위치를 턴온시키는 LDO 레귤레이터.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더욱 상세하게는 3개의 연산 트랜스-컨덕턴스 증폭기(OTA)를 사용하는 하이브리드 LDO 레귤레이터에 관한 것이다.

배경 기술

[0002] 일반적으로 집적회로는 특정 범위의 전원 전압에서 동작하도록 설계된다. 하지만, 실제 회로가 동작하는 환경에

서는 설계 당시 설정한 전원 전압보다 높은 전압이 공급되거나 외부 요인으로 인해 전원 전압에 잡음이 유입되는 등의 다양한 변수가 존재한다. 이러한 문제를 해결하기 위해, 일정한 전원 전압을 집적회로에 공급해 주는 전압 레귤레이터(Voltage Regulator)를 사용한다. 대표적인 선형 레귤레이터인 Low-Dropout(이하, LDO) 레귤레이터는 전압 강하만큼의 에너지가 손실되기 때문에 입력 전압과 출력 전압의 차가 크지 않을 때 주로 사용된다.

[0003] LDO 레귤레이터는 아날로그 오차 증폭기(Error Amplifier), 패스 트랜지스터 (Pass Transistor), 그리고 피드백 네트워크(Feedback Network)로 이루어져 있다. 오차 증폭기는 출력 전압(V_{out})과 기준 전압(V_{REF}) 간의 오차를 감지하고 음성 피드백(Negative Feedback) 구조에 따라 두 전압 간의 오차를 줄이는 방향으로 패스 트랜지스터를 제어하게 된다. 오차 증폭기 기반 아날로그 LDO는 상대적으로 높은 동작 전압 범위를 가지며 제한된 동작 대역폭으로 인해 빠른 주파수로 동작하는 아날로그 및 디지털 회로에 적용하기 어렵다는 단점이 있다. 또한, 전류 용량이 커질수록 오차 증폭기가 제어해야 하는 패스 트랜지스터의 크기가 커지게 되고 이에 따라 동작 대역폭 또는 음성 피드백에 의한 안정성이 저하된다는 문제가 있다. 이러한 문제를 해결하고자 비교기(Comparator) 및 시프트 레지스터(Shift Register) 등으로 구현하는 디지털 LDO에 대한 기술이 활발히 제안되고 있다.

[0004] 일반적인 아날로그 LDO 레귤레이터는 오차 증폭기의 성능이 아날로그 LDO 레귤레이터의 성능을 나타내기 때문에, 성능이 좋을 수 있도록 입력 전압을 낮추지 않는 경향이 있다. 또한, 입력 전압이 낮아질 경우, 아날로그 LDO 레귤레이터의 회로가 원하는 전압으로 레귤레이팅이 잘 안될뿐더러 PSRR(Power Supply Rejection Ratio)이 낮아 입력 전원의 전압 리플(Voltage ripple)이 제거가 어렵다. 회로의 속도와 증폭기의 이득은 트레이드-오프(trade-off) 관계를 가지기 때문에 증폭기의 전압 이득이 높아 성능이 좋아짐에 따라 과도 응답 속도는 비교적 낮아지게 된다. 즉, 아날로그 증폭기 회로의 성능은 입력 전원에 의존적이어서 낮은 입력 전압 조건에서 사용하는 데에는 많은 제한이 따른다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) (1) 한국 공개특허공보 10-2020-0054008 (2020.05.19)
(특허문헌 0002) (2) 한국 공개특허공보 10-2021-0024863 (2021.03.08)

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은, 상술한 문제를 해결하기 위한 것으로 낮은 전원 전압 조건에서도 빠른 과도 응답과 높은 전원 리플 제거 성능을 제공할 수 있는 LDO 레귤레이터를 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시 예에 따른 전원 전압을 변환하여 출력 전압으로 제공하는 LDO 레귤레이터는, 클럭 신호에 동기하여 제 1 및 제 2 기준 전압과 상기 출력 전압을 비교하여 오프셋을 검출하고, 오프셋 검출 신호를 출력하는 동적 비교기, 상기 오프셋 검출 신호에 응답하여 상기 오프셋을 보상하기 위한 오프셋 제어 신호를 생성하는 캘리브레이션 회로, 상기 오프셋 제어 신호에 따라 제 1 게이트 전압을 생성하는 제 1 연산 트랜스-컨덕턴스 증폭기, 상기 오프셋 제어 신호에 따라 제 2 게이트 전압을 생성하는 제 2 연산 트랜스-컨덕턴스 증폭기, 상기 제 1 게이트 전압에 따라 상기 전원 전압을 출력단에 전달하는 제 1 패스 트랜지스터, 상기 제 2 게이트 전압에 따라 상기 전원 전압을 전달하는 제 2 패스 트랜지스터, 제 1 인에이블 신호에 응답하여 상기 제 2 패스 트랜지스터와 상기 출력단 사이를 연결하는 제 1 루프 스위치, 그리고 상기 출력 전압과 제 3 기준 전압을 비교하고, 상기 제 2 게이트 전압의 레벨을 검출하여 상기 제 1 인에이블 신호를 생성하는 디지털 제어부를 포함한다.

[0008] 이 실시 예에서, 상기 동적 비교기는, 상기 출력 전압의 레벨이 상기 제 1 기준 전압보다 높은 경우에 활성화되는 제 1 오프셋 검출 신호를 생성하는 제 1 동적 비교기, 그리고 상기 출력 전압의 레벨이 상기 제 1 기준 전압보다 낮은 상기 제 2 기준 전압 미만인 경우에 활성화되는 제 2 오프셋 검출 신호를 생성하는 제 2 동적 비교기를 포함한다.

[0009] 이 실시 예에서, 상기 캘리브레이션 회로는 상기 제 1 및 제 2 오프셋 검출 신호에 따라 논리 '1'과 논리 '0'의

비율이 조정되는 복수 비트의 상기 오프셋 제어 신호를 생성하는 양방향 시프트 레지스터를 포함한다.

- [0010] 이 실시 예에서, 상기 오프셋 제어 신호는 상기 제 1 연산 트랜스-컨덕턴스 증폭기에 제공되는 제 1 오프셋 제어 신호와 상기 제 2 연산 트랜스-컨덕턴스 증폭기에 제공되는 제 2 오프셋 제어 신호를 포함하되, 상기 제 1 오프셋 제어 신호와 상기 제 2 오프셋 제어 신호의 비트 수는 다르다.
- [0011] 이 실시 예에서, 상기 제 1 연산 트랜스-컨덕턴스 증폭기 및 상기 제 1 연산 트랜스-컨덕턴스 증폭기 각각의 정 입력단 및 부입력단 각각은 상기 제 1 오프셋 제어 신호 및 상기 제 2 오프셋 제어 신호에 의해서 스위칭되는 병렬 연결된 복수의 입력 트랜지스터들을 포함한다.
- [0012] 이 실시 예에서, 상기 제 1 패스 트랜지스터의 채널 크기는 상기 제 2 패스 트랜지스터의 채널 크기보다 작다.
- [0013] 이 실시 예에서, 상기 오프셋 제어 신호에 따라 제 3 게이트 전압을 생성하는 제 3 연산 트랜스-컨덕턴스 증폭기, 상기 제 3 게이트 전압에 따라 상기 전원 전압을 전달하는 제 3 패스 트랜지스터, 그리고 제 2 인에이블 신호에 응답하여 상기 제 3 패스 트랜지스터와 상기 출력단 사이를 연결하는 제 2 루프 스위치를 더 포함한다.
- [0014] 이 실시 예에서, 상기 제 3 패스 트랜지스터의 채널 크기는 상기 제 2 패스 트랜지스터의 채널 크기보다 크다.
- [0015] 이 실시 예에서, 상기 디지털 제어부는, 상기 출력 전압과 상기 제 3 기준 전압을 비교하는 출력 전압 비교기, 상기 제 2 게이트 전압과 제 4 기준 전압을 비교하는 제 1 비교기, 상기 제 3 게이트 전압을 상기 제 4 기준 전압과 비교하는 제 2 비교기, 그리고 상기 출력 전압 비교기 및 상기 제 1 내지 제 2 비교기의 출력에 기반하여 상기 제 1 루프 스위치 및 상기 제 2 루프 스위치를 제어하는 모드 컨트롤러를 포함한다.
- [0016] 본 발명의 실시 예에 따른, 상기 모드 컨트롤러는 상기 출력 전압이 상기 제 3 기준 전압보다 낮은 경우, 상기 제 2 루프 스위치를 턴온시킨다.

발명의 효과

- [0017] 상술한 본 발명의 실시 예에 따르면, 낮은 전원 전압 조건에서도 빠른 과도 응답과 높은 전원 리플 제거 성능을 갖는 LDO 레귤레이터를 제공할 수 있다. 더불어, 네거티브 피드백(Negative feedback)을 통해 레귤레이팅이 가능한 아날로그 LDO를 사용하여 상대적으로 높은 PSRR를 갖는 회로 설계가 가능하다. 또한, 백그라운드 캘리브레이션 루프를 구현하여 회로 내에서 PVT 변동에 따른 오프셋을 자체적으로 감지하여 보상할 수 있어, 오프셋 보상을 위한 비용을 최소화할 수 있어 집적도 향상이 가능하다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시 예에 따른 하이브리드 LDO 레귤레이터의 구조를 보여주는 회로도이다.
- 도 2 및 도 3은 도 1의 동적 비교기들의 구성을 예시적으로 보여주는 회로도들이다.
- 도 4는 본 발명의 실시 예에 따른 캘리브레이션 회로의 예시적인 구성을 보여주는 블록도이다.
- 도 5a 및 도 5b는 도 4의 오프셋 제어 신호들($Q_1 \sim Q_k$, $Q_{k+1} \sim Q_{2k}$)을 생성하는 단위 레지스터의 구성을 예시적으로 보여주는 도면이다.
- 도 6은 백그라운드 캘리브레이션 루프들 각각의 구성을 보여주는 블록도이다.
- 도 7은 도 6의 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_k)의 구조를 예시적으로 보여주는 회로도이다.
- 도 8은 도 7의 입력 트랜지스터를 좀더 세부적으로 보여주는 회로도이다.
- 도 9는 본 발명의 연산 트랜스-컨덕턴스 증폭기(OTA)의 입력트랜지스터들을 제어하기 위한 오프셋 제어 신호들($Q_1 \sim Q_{2k}$)의 시프트 방식을 간략히 보여주는 도면이다.
- 도 10은 본 발명의 백그라운드 캘리브레이션 루프의 효과를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 일부 실시 예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본

발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

- [0020] 도 1은 본 발명의 실시 예에 따른 하이브리드 LDO 레귤레이터의 구조를 보여주는 회로도이다. 도 1을 참조하면, 하이브리드 LDO 레귤레이터(100)는 동적 비교기(110, 115), 캘리브레이션 회로(120), 스몰 루프(130), 미디엄 루프(140), 라지 루프(150), 출력 전압 비교기(160), 게이트 전압 비교기(170, 175), 모드 컨트롤러(180), 그리고 라지 루프 스위치(190), 미디엄 루프 스위치(195)를 포함한다.
- [0021] 여기서, 동적 비교기(110, 115), 캘리브레이션 회로(120), 그리고 백그라운드 캘리브레이션 루프(130, 140, 150)는 아날로그 루프를 구성한다. 반면에, 출력 전압 비교기(160), 게이트 전압 비교기(170, 175), 모드 컨트롤러(180), 그리고 라지 루프 스위치(190), 미디엄 루프 스위치(195)는 디지털 루프를 구성한다.
- [0022] 동적 비교기(110, 115)는 캘리브레이션 회로(120)의 입력단을 구성하는 동기식 비교기들이다. 동적 비교기(110, 115)는 클록 신호(CLK)에 동기되어 미리 설정된 기준 전압(V_{REF})과 출력 전압(V_{out})을 비교하여 오차값에 대응하는 오프셋 검출 신호(U, D)를 생성한다. 이를 위해, 동적 비교기(110, 115)는 두 개의 동기식 비교기들을 포함해야 한다. 동적 비교기(110, 115)는 의도적인 오프셋을 제공하기 위하여 입력단의 트랜지스터의 사이즈를 다르게 설정할 수 있다. 동적 비교기(110, 115)의 입력단 트랜지스터들의 사이즈 설정을 통하여 외부에서의 별도 오프셋을 위한 전압을 인가하지 않고 기준 전압(V_{REF})만으로도 의도적인 오프셋 제공이 가능하다.
- [0023] 제 1 동적 비교기(110)는 음의 입력 단자(-)를 통해 기준 전압(V_{REF})을 수신하고 양의 입력 단자(+)를 통해 출력 전압(V_{out})을 수신하여 다운 신호(D)를 결정한다. 반면, 제 2 동적 비교기(115)는 양의 입력 단자(+)를 통해 기준 전압(V_{REF})을 수신하고 음의 입력 단자(-)를 통해 출력 전압(V_{out})을 수신하여 업 신호(U)를 결정한다. 다운 신호와 업 신호의 쌍으로 구성되는 오프셋 검출 신호(U, D)는 클록 신호(CLK)의 사이클에 따라 비트 스트림 형태로 출력될 수 있다.
- [0024] 예를 들면, 제 1 동적 비교기(110)는 출력 전압(V_{out})이 기준 전압(V_{REF})을 초과하는 경우, 양의 오프셋이 발생하는 것으로 판단하여 해당 사이클 동안 다운 신호(D)를 논리 '1'로 출력할 수 있다. 반면에, 제 1 동적 비교기(110)는 출력 전압(V_{out})이 기준 전압(V_{REF})보다 낮은 경우에는, 양의 오프셋이 없는 것으로 판단하여 해당 사이클 동안 다운 신호(D)를 논리 '0'으로 출력할 수 있다. 제 2 동적 비교기(115)는 출력 전압(V_{out})이 기준 전압(V_{REF})보다 낮은 경우, 음의 오프셋이 발생하는 것으로 판단하여 해당 사이클 동안 업 신호(U)를 논리 '1'로 출력할 수 있다. 반면에, 제 2 동적 비교기(115)는 출력 전압(V_{out})이 기준 전압(V_{REF})보다 높은 경우에는, 해당 사이클 동안 업 신호(U)를 논리 '0'로 출력할 수 있다.
- [0025] 캘리브레이션 회로(120)는 동적 비교기(110, 115)에서 클록 신호(CLK)에 동기되어 출력되는 오프셋 검출 신호(U, D)를 수신한다. 그리고 캘리브레이션 회로(120)는 오프셋 검출 신호(U, D)에 따라 출력 전압의 오프셋을 조정하기 위한 오프셋 제어 신호들(Q_S , Q_M , Q_L)을 생성한다. 오프셋 제어 신호들(Q_S , Q_M , Q_L) 각각은 백그라운드 캘리브레이션 루프(130, 140, 150)의 연산 트랜스-컨덕턴스 증폭기들(OTA_S , OTA_M , OTA_L)의 차동 입력단의 전압을 제어한다.
- [0026] 백그라운드 캘리브레이션 루프(130, 140, 150)는 각각 연산 트랜스-컨덕턴스 증폭기들(OTA_S , OTA_M , OTA_L)을 포함하는 스몰 루프(130), 미디엄 루프(140), 그리고 라지 루프(150)를 포함한다. 백그라운드 캘리브레이션 루프(130, 140, 150)가 3개의 루프로 구성되는 실시 예를 설명하고 있으나, 루프 수는 2개 또는 4개 이상으로 구현될 수도 있음은 잘 이해될 것이다.
- [0027] 스몰 루프(130)는 오프셋 제어 신호(Q_S)에 응답하여 가장 작은 양의 전하를 출력단으로 전달할 수 있다. 스몰 루프(130)는 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)와 스몰 패스 트랜지스터(M_S)를 포함한다. 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)는 오프셋 제어 신호(Q_S)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 스몰 패스 트랜지스터(M_S)의 게이트 전압($V_{G,S}$) 레벨이 조정된다. 스몰 패스 트랜지스터(M_S)는 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)가 제공하는 게이트 전압($V_{G,S}$)에 따라 전원 전압(V_{DD})을 출력단으로 전달한다. 스몰 패스 트랜지스터(M_S)의 채널 사이즈가 가장 작기 때문에, 스몰 루프(130)는 오프셋의 영향을 가장 크게 받는다. 따라서, 오프셋 제어 신호(Q_S)의 비트수를 가장 크

게 제공하여 오프셋 조정 능력을 향상시킬 수 있다. 스몰 패스 트랜지스터(M_S)는 하나(예를 들면, 1x) 또는 게이트 전압(V_{GS})을 공유하는 둘 이상의 PMOS 트랜지스터가 전원 전압(V_{DD})과 출력 전압(V_{out}) 사이에 병렬 연결되는 구조로 형성될 수 있다.

[0028] 미디엄 루프(140)는 오프셋 제어 신호(Q_M)에 응답하여 미디엄 레벨의 전하들을 출력단으로 전달할 수 있다. 미디엄 루프(140)는 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)와 미디엄 패스 트랜지스터(M_M)를 포함한다. 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)는 오프셋 제어 신호(Q_M)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 제2 연산 트랜스-컨덕턴스 증폭기(OTA_M)는 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 미디엄 패스 트랜지스터(M_M)의 게이트 전압(V_{G_M})을 조정한다. 미디엄 패스 트랜지스터(M_M)는 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)가 제공하는 게이트 전압(V_{G_M})에 따라 전원 전압(V_{DD})을 출력단으로 전달한다. 미디엄 패스 트랜지스터(M_M)의 채널 사이즈는 스몰 패스 트랜지스터(M_S)보다 크고 라지 패스 트랜지스터(M_L)보다 작다. 따라서, 미디엄 루프(140)는 스몰 루프(130)보다는 오프셋에 영향이 적으므로, 오프셋 제어 신호(Q_M)의 비트수는 오프셋 제어 신호(Q_S)의 비트수보다 적게 제공될 수 있다. 미디엄 패스 트랜지스터(M_M)는 게이트 전압(V_{GS})을 공유하는 복수의 PMOS 트랜지스터(예를 들면, 8x)가 전원 전압(V_{DD})과 출력 전압(V_{out}) 사이에 병렬 연결되는 구조로 형성될 수 있다.

[0029] 라지 루프(150)는 오프셋 제어 신호(Q_L)에 응답하여 백그라운드 캘리브레이션 루프들(130, 140, 150) 중 최대양의 전하들을 출력단으로 전달할 수 있다. 라지 루프(150)는 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)와 라지 패스 트랜지스터(M_L)를 포함한다. 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)는 오프셋 제어 신호(Q_L)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)는 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 게이트 전압(V_{G_L})의 레벨을 조정한다. 라지 패스 트랜지스터(M_L)의 채널 사이즈는 미디엄 패스 트랜지스터(M_M)보다 크다. 따라서, 라지 루프(150)는 미디엄 루프(140)보다는 오프셋에 영향이 적으므로, 오프셋 제어 신호(Q_L)의 비트수는 미디엄 루프(140)의 오프셋 제어 신호(Q_M)의 비트수보다 적게 제공될 수 있다. 라지 패스 트랜지스터(M_L)는 게이트 전압(V_{GS})을 공유하는 복수의 PMOS 트랜지스터(예를 들면, 16x)가 전원 전압(V_{DD})과 출력 전압(V_{out}) 사이에 병렬 연결되는 구조로 형성될 수 있다.

[0030] 출력 전압 비교기(160)는 출력 전압(V_{out})과 제 1 기준 전압(V_{REF_L})을 비교하고 그 결과를 모드 컨트롤러(180)에 제공한다. 즉, 출력 전압 비교기(160)는 출력 전압(V_{out})의 레벨을 피드백하여 제 1 기준 전압(V_{REF_L}) 이하로 저하되는 지의 여부를 검출한다. 게이트 전압 비교기(170, 175)는 각각 미디엄 패스 트랜지스터(M_M)와 라지 패스 트랜지스터(M_L)의 게이트 전압(V_{G_M} , V_{G_L})을 제 2 기준 전압(V_{REF_H})과 비교하여 모드 컨트롤러(180)에 제공한다.

[0031] 모드 컨트롤러(180)는 게이트 전압(V_{G_M} , V_{G_L})과 출력 전압(V_{out})의 레벨을 모니터링하여 미디엄 루프(140)와 라지 루프(150)를 활성화하기 위한 라지 루프 스위치(190) 및 미디엄 루프 스위치(195)를 제어한다. 모드 컨트롤러(180)는 출력 전압(V_{out})이 제 1 기준 전압(V_{REF_L})보다 낮은 경우, 라지 루프 스위치(190, S_L)를 턴온시키기 위한 라지 루프 인에이블 신호(EN_L)를 생성한다. 반면에, 스몰 루프(130)는 항상 활성화 상태를 갖는다. 또한, 모드 컨트롤러(180)는 게이트 전압(V_{G_M} , V_{G_L})의 레벨을 모니터링하여 라지 루프 스위치(190) 및 미디엄 루프 스위치(195)를 제어할 수 있다.

[0032] 이상에서 설명된 본 발명의 하이브리드 LDO 레귤레이터(100)는 상이한 오프셋 조정 능력을 갖는 복수의 아날로그 캘리브레이션 루프들과 디지털 컨트롤러를 포함할 수 있다. 디지털 컨트롤러는 출력 전압(V_{out})의 레벨에 따라 복수의 아날로그 캘리브레이션 루프들을 선택적으로 활성화/비활성화할 수 있다. 복수의 아날로그 캘리브레이션 루프들을 통해서 과도 응답의 속도를 높일 수 있고, 연산 트랜스-컨덕턴스 증폭기를 사용하여 회로 안정성을 향상시킬 수 있다.

[0033] 도 2 및 도 3은 도 1의 동적 비교기들의 구성을 예시적으로 보여주는 회로도들이다. 도 2 및 도 3을 참조하면, 동적 비교기(110)는 입력 신호들(V_{REF} , V_{out})을 비교하여 오프셋 검출 신호(U)를 생성하고, 동적 비교기(115)는

입력 신호들(V_{REF} , V_{out})을 비교하여 오프셋 검출 신호(D)를 생성할 수 있다.

- [0034] 도 2의 동적 비교기(110)는 클록 신호(CLK)에 동기되어 활성화되고, 출력 전압(V_{out})과 기준 전압(V_{REF})의 비교 결과를 출력할 수 있다. 동적 비교기(110)는 클록 신호(CLK)의 로우 레벨(Low) 구간에서 전원 전압(V_{DD})을 비교기를 구성하는 트랜지스터들을 초기화하고 충전한다. 클록 신호(CLK)의 하이 레벨 구간에서, 출력 전압(V_{out})과 기준 전압(V_{REF})을 비교하여 업 신호(U)를 생성할 수 있다.
- [0035] NMOS 트랜지스터(NM3)의 게이트로는 기준 전압(V_{REF})을 제공받고, NMOS 트랜지스터(NM4)의 게이트로는 출력 전압(V_{out})을 제공받을 수 있다. 특히, 오프셋을 설정하기 위해 입력 트랜지스터의 사이즈를 조정하는 경우, 기준 전압(V_{REF})에 오프셋(ΔV) 전압을 더하는 효과가 제공될 수 있다. 그러면, 출력 전압(V_{out})이 오프셋이 추가된 기준 전압($V_{REF} + \Delta V$)보다 높은 경우, 출력 노드에 형성되는 업 신호(U)가 하이 레벨 또는 논리 '1'로 형성된다. 이러한 오프셋(ΔV)의 존재는 출력 전압(V_{out})과 기준 전압(V_{REF})의 레벨 차이에서 발생하는 것으로, 공정 변동이나 온도 등에 기인한 오프셋들도 동적 비교기(110)에 의해서 검출되고 업 신호(U)에 의해서 반영될 수 있다.
- [0036] 도 3의 동적 비교기(115)는 클록 신호(CLK)에 동기되어 활성화되고, 비교 결과에 따라 다운 신호(D)를 출력할 수 있다. NMOS 트랜지스터(NM3')의 게이트로는 출력 전압(V_{out})을 제공받고, NMOS 트랜지스터(NM4')의 게이트로는 기준 전압(V_{REF})을 제공받을 수 있다. 출력 전압(V_{out})이 기준 전압(V_{REF})보다 낮은 경우, 출력 노드에 형성되는 다운 신호(D)가 하이 레벨 또는 논리 '1'로 형성된다. 디바이스가 가진 고유한 오프셋도 출력 전압(V_{out})과 기준 전압(V_{REF})의 레벨 차이로 검출되고, 다운 신호(D)에 의해서 반영될 수 있다. 검출된 오프셋의 영향은 캘리브레이션 회로(120)와 백그라운드 캘리브레이션 루프(130, 140, 150)의 작용에 의해서 보상될 수 있다.
- [0037] 도 4는 본 발명의 실시 예에 따른 캘리브레이션 회로의 예시적인 구성을 보여주는 블록도이다. 도 4를 참조하면, 캘리브레이션 회로(120)는 오프셋 제어 신호들(Q_S , Q_M , Q_L)을 생성하기 위한 양방향 시프트 레지스터(Bi-directional shift register)로 구현될 수 있다.
- [0038] 캘리브레이션 회로(120)를 구성하는 양방향 시프트 레지스터는 오프셋 검출 신호(U, D)에 따라 레지스터에 저장된 논리열들의 시프트 방향을 전환시킬 수 있다. 예를 들면, 오프셋 검출 신호(U, D)가 현재 출력 전압(V_{out})이 상한 기준 전압($V_{REF} + \Delta V$)보다 높은 경우, 출력 전압(V_{out})의 레벨을 낮추기 위한 오프셋 제어 신호들($Q_1 \sim Q_k$, $Q_{k+1} \sim Q_{2k}$)을 생성할 것이다.
- [0039] 양방향 시프트 레지스터를 구성하는 각 단위 레지스터들은 D-플립플롭(D-FF)과 멀티플렉서(MUX)로 구성될 수 있다. 양방향 시프트 레지스터의 시프트 방향에 따라서 턴온되는 연산 트랜스-컨덕턴스 증폭기(OTA)의 입력 트랜지스터들의 수가 결정된다.
- [0040] 도 5a 및 도 5b는 도 4의 오프셋 제어 신호들($Q_1 \sim Q_k$, $Q_{k+1} \sim Q_{2k}$)을 생성하는 단위 레지스터의 구성을 예시적으로 보여주는 도면이다. 도 5a 및 도 5b를 참조하면, 오프셋 제어 신호들($Q_1 \sim Q_k$)을 생성하는 단위 레지스터는 멀티플렉서(MUX)와 D-플립플롭(D-FF)은 선택 신호(SEL)에 따라 시프트 방향이 결정될 수 있다. 그리고 오프셋 제어 신호들($Q_{k+1} \sim Q_{2k}$)을 생성하는 단위 레지스터는 입력단 및 출력단에 인버터들이 추가될 수 있다.
- [0041] 도 6은 백그라운드 캘리브레이션 루프들 각각의 구성을 보여주는 블록도이다. 도 6을 참조하면, 백그라운드 캘리브레이션 루프는 스몰 루프(130), 미디엄 루프(140), 그리고 라지 루프(150)를 포함한다.
- [0042] 스몰 루프(130)는 오프셋 제어 신호(Q_S)에 응답하여 가장 작은 양의 전하를 출력단으로 전달할 수 있다. 오프셋 제어 신호(Q_S)는 양방향 시프트 레지스터에 의해서 생성되는 복수 비트의 논리 비트들일 수 있다. 스몰 루프(130)는 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)와 스몰 패스 트랜지스터(M_S)를 포함한다. 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)는 오프셋 제어 신호(Q_S)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 예를 들면, 40개의 입력 트랜지스터들의 턴온/턴오프가 오프셋 제어 신호(Q_S)에 의해서 결정된다. 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 게이트 전압(V_{G_S})의 레벨이 조정된다.
- [0043] 스몰 패스 트랜지스터(M_S)는 제 1 연산 트랜스-컨덕턴스 증폭기(OTA_S)가 제공하는 게이트 전압(V_{G_S})에 따라 전원

전압(V_{DD})을 스위칭한다. 스몰 패스 트랜지스터(M_S)의 채널 사이즈가 가장 작기 때문에, 스몰 루프(130)는 동적 비교기(110, 115)의 입력 트랜지스터의 크기 차이에 의해서 생기는 오프셋에 가장 크게 영향을 받는다. 즉, 작은 오프셋의 변화에도 채널 사이즈가 작기 때문에 스몰 패스 트랜지스터(M_S)의 출력에 미치는 영향력은 커질 수밖에 없다. 따라서, 스몰 루프(130)는 이러한 오프셋을 보상하기 위해 오프셋 제어 신호(Q_S)의 비트수가 가장 많다. 스몰 패스 트랜지스터(M_S)는 예를 들면 게이트 전압(V_{GS})에 의해서 제어되는 하나의 PMOS 트랜지스터로 구성될 수 있다. 더불어, 스몰 패스 트랜지스터(M_S)와 출력 전압(V_{out}) 사이에는 모드 컨트롤러(180)에 의해서 제어되는 스위치가 존재하지 않는다. 따라서, 스몰 루프(130)에 의한 오프셋 조정 동작은 항상 활성화 상태로 유지될 것이다.

[0044] 미디엄 루프(140)는 오프셋 제어 신호(Q_M)에 응답하여 게이트 전압(V_{GM})을 생성하는 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)와 미디엄 패스 트랜지스터(M_M)를 포함한다. 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)는 오프셋 제어 신호(Q_M)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 게이트 전압(V_{GM})의 레벨이 조정된다. 미디엄 패스 트랜지스터(M_M)는 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_M)가 제공하는 게이트 전압(V_{GM})에 따라 전원 전압(V_{DD})을 스위칭한다.

[0045] 미디엄 패스 트랜지스터(M_M)의 채널 사이즈는 스몰 패스 트랜지스터(M_S)보다 크고 라지 패스 트랜지스터(M_L)보다 작다. 따라서, 미디엄 루프(140)는 스몰 루프(130)보다는 오프셋에 영향이 적으므로, 오프셋 제어 신호(Q_M)의 비트수는 스몰 루프(130)의 오프셋 제어 신호(Q_S)의 비트수보다 적게 제공될 수 있다. 미디엄 패스 트랜지스터(M_M)는 게이트 전압(V_{GS})을 공유하는 복수의 PMOS 트랜지스터(예를 들면, 8x)가 전원 전압(V_{DD})과 출력 전압(V_{out}) 사이에 병렬 연결되는 구조로 형성될 수 있다. 더불어, 미디엄 패스 트랜지스터(M_M)와 출력 전압(V_{out}) 사이에는 모드 컨트롤러(180)에 의해서 제어되는 미디엄 루프 스위치(195)가 존재한다. 따라서, 미디엄 루프(140)에 의한 오프셋 조정은 출력 전압(V_{out})의 레벨 변동에 따라 활성화되기도 하고 비활성화되기도 한다.

[0046] 라지 루프(150)는 오프셋 제어 신호(Q_L)에 응답하여 백그라운드 캘리브레이션 루프들(130, 140, 150) 중 최대 전하들을 출력단으로 전달할 수 있다. 라지 루프(150)는 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)와 라지 패스 트랜지스터(M_L)를 포함한다. 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)는 오프셋 제어 신호(Q_L)에 따라 턴온 또는 턴오프되는 입력 트랜지스터들의 수를 제어한다. 턴온 또는 턴오프되는 입력 트랜지스터들의 수에 따라 게이트 전압(V_{GL})의 레벨이 조정된다.

[0047] 라지 패스 트랜지스터(M_L)는 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)가 제공하는 게이트 전압(V_{GL})에 따라 전원 전압(V_{DD})을 스위칭한다. 라지 패스 트랜지스터(M_L)의 채널 사이즈는 미디엄 패스 트랜지스터(M_M)보다 크다. 따라서, 라지 루프(150)는 미디엄 루프(140)보다는 오프셋에 영향이 적으므로, 오프셋 제어 신호(Q_L)의 비트수는 미디엄 루프(140)의 오프셋 제어 신호(Q_M)의 비트수보다 적게 제공될 수 있다. 라지 패스 트랜지스터(M_L)는 게이트 전압(V_{GS})을 공유하는 복수의 PMOS 트랜지스터(예를 들면, 16x)가 전원 전압(V_{DD})과 출력 전압(V_{out}) 사이에 병렬 연결되는 구조로 형성될 수 있다. 라지 패스 트랜지스터(M_L)와 출력 전압(V_{out}) 사이에는 모드 컨트롤러(180)에 의해서 제어되는 라지 루프 스위치(190)가 존재한다. 따라서, 라지 루프(150)에 의한 오프셋 조정은 출력 전압(V_{out})의 레벨 변동에 따라 활성화되기도 하고 비활성화되기도 한다. 즉, 오프셋에 의해 출력 전압(V_{out})의 레벨이 급격히 감소하는 경우, 라지 루프 스위치(190)가 턴온되고, 라지 루프(150)에 의한 오프셋 조정이 활성화될 것이다.

[0048] 도 7은 도 6의 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)의 구조를 예시적으로 보여주는 회로도이다. 도 7을 참조하면, 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)는 오프셋 제어 신호(Q_L)에 의해서 제어되는 입력 트랜지스터들(155)을 포함한다. 제 1 및 제 2 연산 트랜스-컨덕턴스 증폭기(OTA_S , OTA_M)의 구조도 실질적으로 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)와 유사하다.

[0049] 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)는 차동 입력단(V_{INN} , V_{INP})에 게이트가 연결되는 입력 트랜지스터들

(155, N11, N12)을 포함한다. 차동 입력단(V_{INN} , V_{INP})의 전압 차이는 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)의 출력인 게이트 전압($V_{G,S}$)으로 제공된다.

[0050] 도 8은 도 7의 입력 트랜지스터를 좀더 세부적으로 보여주는 회로도이다. 도 8을 참조하면, 음의 입력단(V_{INN})에 제공되는 오프셋 제어 신호들($Q_1 \sim Q_k$)과 양의 입력단(V_{INP})에 제공되는 오프셋 제어 신호들($Q_{k+1} \sim Q_{2k}$)이 입력 트랜지스터(155)의 각각의 게이트에 제공된다.

[0051] 음의 입력단(V_{INN})을 구성하는 입력 트랜지스터(N11)는 복수의 NMOS 트랜지스터들이 병렬로 연결되도록 구성될 수 있다. 복수의 NMOS 트랜지스터들 각각의 게이트에는 오프셋 제어 신호들($Q_1 \sim Q_k$) 각각이 제공된다. 복수의 NMOS 트랜지스터들 각각은 오프셋 제어 신호들($Q_1 \sim Q_k$)의 레벨에 따라 턴온 또는 턴오프된다.

[0052] 양의 입력단(V_{INP})을 구성하는 입력 트랜지스터(N12)는 복수의 NMOS 트랜지스터들이 병렬로 연결되도록 구성될 수 있다. 복수의 NMOS 트랜지스터들 각각의 게이트에는 오프셋 제어 신호들($Q_{k+1} \sim Q_{2k}$) 각각이 제공된다. 복수의 NMOS 트랜지스터들 각각은 오프셋 제어 신호들($Q_{k+1} \sim Q_{2k}$)의 레벨에 따라 턴온 또는 턴오프된다. 따라서, 오프셋 제어 신호들($Q_1 \sim Q_{2k}$)의 시프트 상태에 따라서 제 3 연산 트랜스-컨덕턴스 증폭기(OTA_L)의 출력인 게이트 전압($V_{G,S}$)의 레벨이 조정될 수 있다.

[0053] 도 9는 본 발명의 연산 트랜스-컨덕턴스 증폭기(OTA)의 입력트랜지스터들을 제어하기 위한 오프셋 제어 신호들($Q_1 \sim Q_{2k}$)의 시프트 방식을 간략히 보여주는 도면이다. 도 9를 참조하면, 캘리브레이션 회로(120)에 의해서 생성되는 오프셋 제어 신호들($Q_1 \sim Q_{2k}$)에 의해서 음의 입력단 전압(V_{INN})과 양의 입력단 전압(V_{INP})의 레벨 차이가 조정될 수 있다.

[0054] 초기 조건에서 음의 입력단 전압(V_{INN})을 제공하기 위한 오프셋 제어 신호들($Q_1 \sim Q_k$)의 비트 수(논리 '0')와 양의 입력단 전압(V_{INP})을 제공하기 위한 오프셋 제어 신호들($Q_{k+1} \sim Q_{2k}$)의 비트 수(논리 '1')가 동일하게 설정될 수 있다.

[0055] 하지만, 음의 입력단 전압(V_{INN})의 레벨을 높여야 하는 경우($V_{INN} < V_{INP}$ 인 경우), 양방향 시프트 레지스터는 논리 '0'의 비트 수가 증가하도록 우측으로 시프트방향이 제어될 것이다. 반면, 양의 입력단 전압(V_{INP})의 레벨을 높여야 하는 경우($V_{INN} > V_{INP}$ 인 경우), 양방향 시프트 레지스터는 논리 '1'의 비트 수가 증가하도록 좌측으로 시프트될 것이다.

[0056] 도 10은 본 발명의 백그라운드 캘리브레이션 루프의 효과를 보여주는 그래프이다. 도 10을 참조하면, 출력 전압(V_{out})의 레벨이 허용 기준 전압 범위($V_{REF} \pm \Delta V$)를 벗어나는 경우에 백그라운드 캘리브레이션 루프에 의한 오프셋 보상 동작에 의해서 출력 전압(V_{out})이 안정화될 수 있다.

[0057] 그래프(C1)는 출력 전압(V_{out})이 상한 기준 전압($V_{REF} + \Delta V$)을 초과하는 경우에 오프셋 보상 동작을 보여준다. T0 시점부터 출력 전압(V_{out})의 레벨이 상한 기준 전압($V_{REF} + \Delta V$)을 초과한 것으로 동적 비교기(110)에 의해서 감지되고, 캘리브레이션 회로(120) 및 백그라운드 캘리브레이션 루프(130, 140, 150)들에 의한 보상이 시작된다. 그러면, 출력 전압(V_{out})은 상한 기준 전압($V_{REF} + \Delta V$)보다 낮은 레벨로 안정화된다. 그래프(C2)는 출력 전압(V_{out})이 하한 기준 전압($V_{REF} - \Delta V$)보다 낮은 경우의 오프셋 보상 동작을 보여준다. 마찬가지로, 동적 비교기(115)에 의해서 출력 전압(V_{out})의 레벨이 하한 기준 전압($V_{REF} - \Delta V$)보다 낮은 것이 검출되고, 캘리브레이션 회로(120) 및 백그라운드 캘리브레이션 루프(130, 140, 150)들에 의한 보상이 시작된다. 그러면, 출력 전압(V_{out})은 하한 기준 전압($V_{REF} - \Delta V$)보다 높은 레벨로 안정화될 수 있다.

[0058] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0059]

100 : 하이브리드 LDO 레귤레이터

110, 115 : 동적 비교기

120 : 캘리브레이션 회로

130 : 스몰 루프

140 : 미디엄 루프

150 : 라지 루프

160 : 출력 전압 비교기

170, 175 : 게이트 전압 비교기

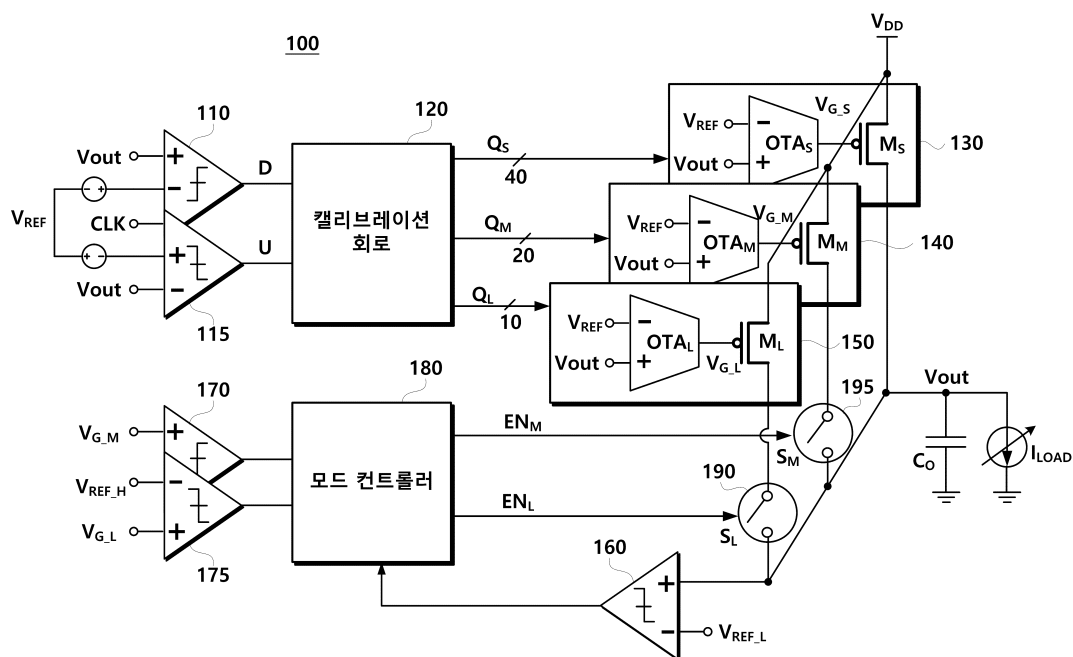
180 : 모드 컨트롤러

190 : 라지 루프 스위치

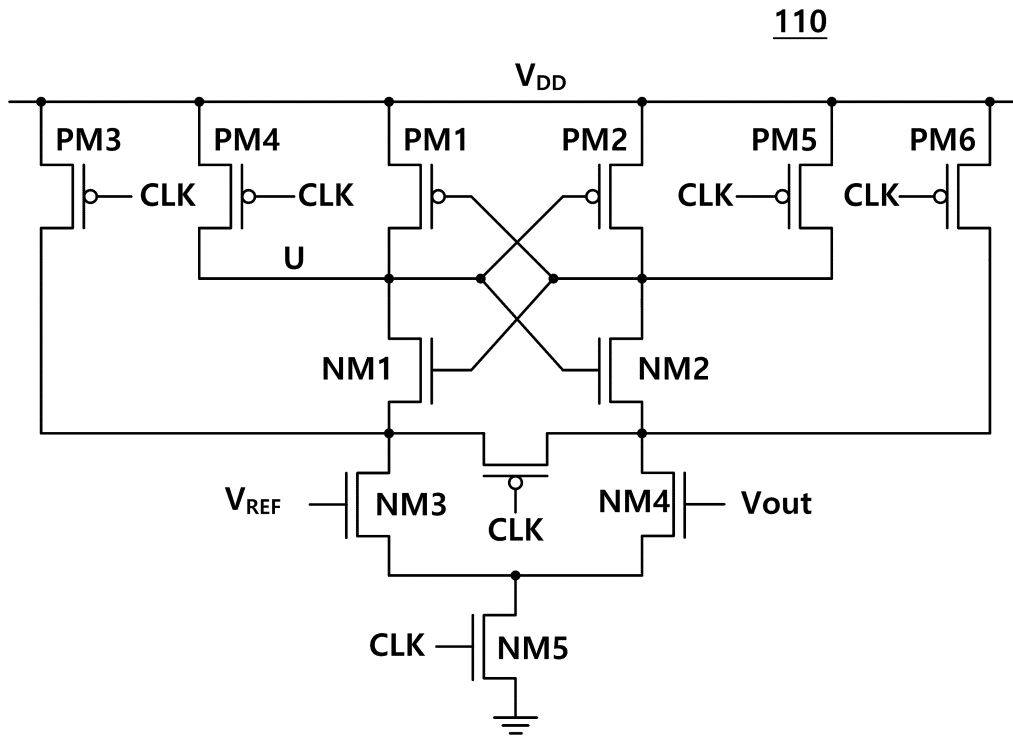
195 : 미디엄 루프 스위치

도면

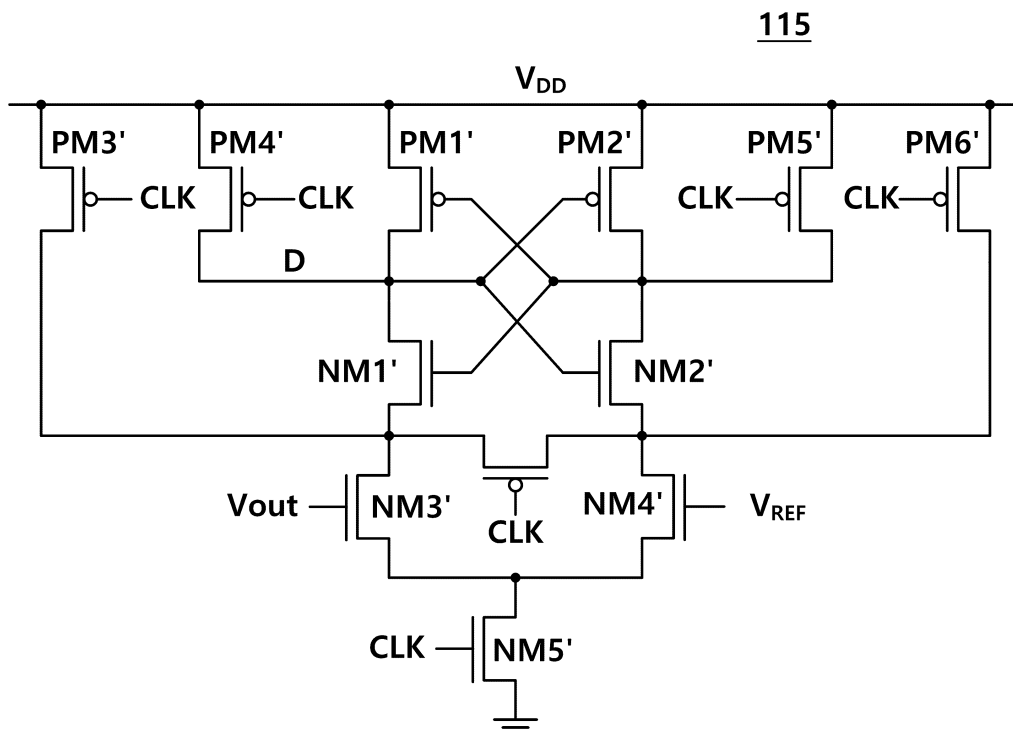
도면1



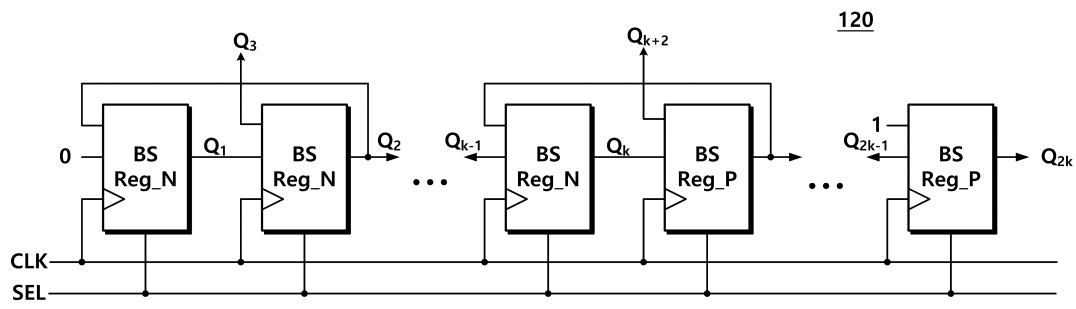
도면2



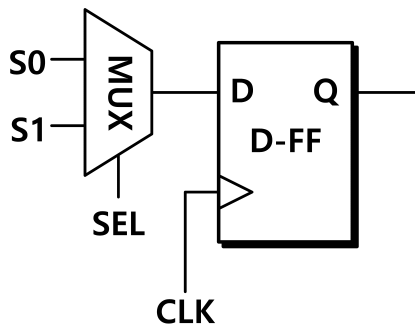
도면3



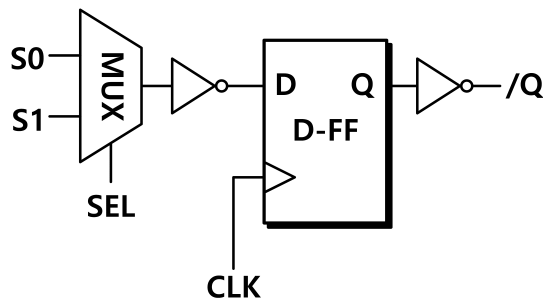
도면4



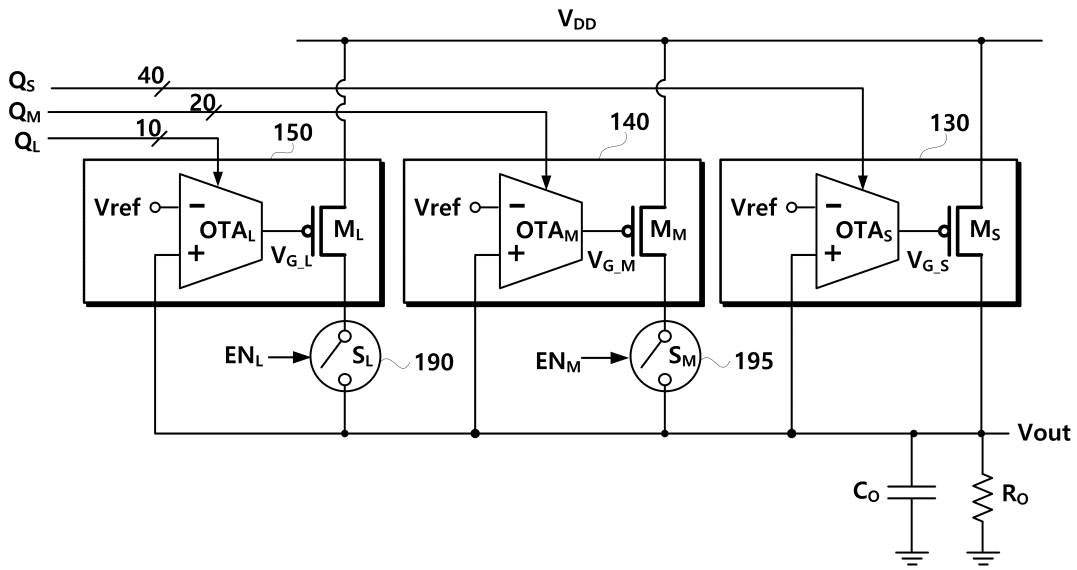
도면5a



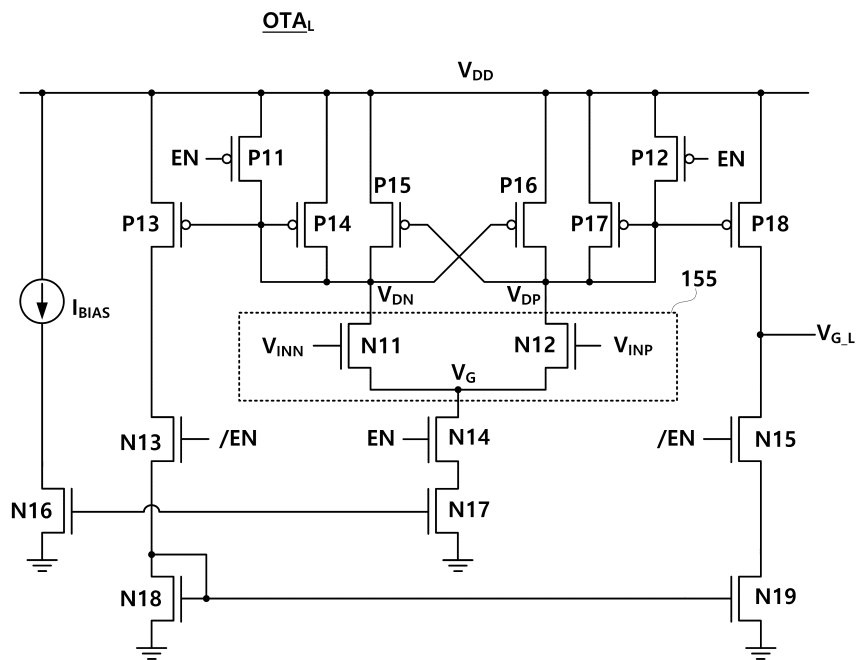
도면5b



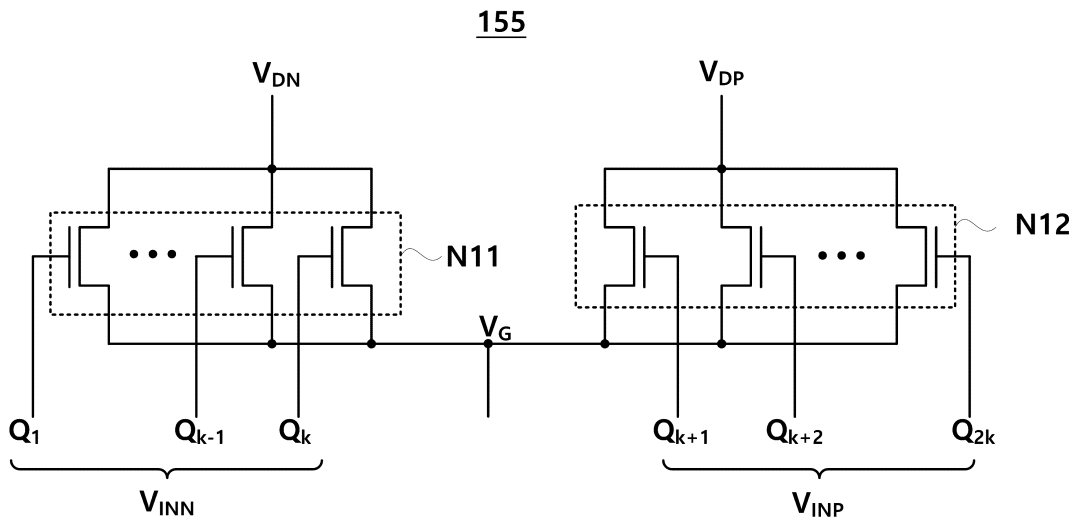
도면6



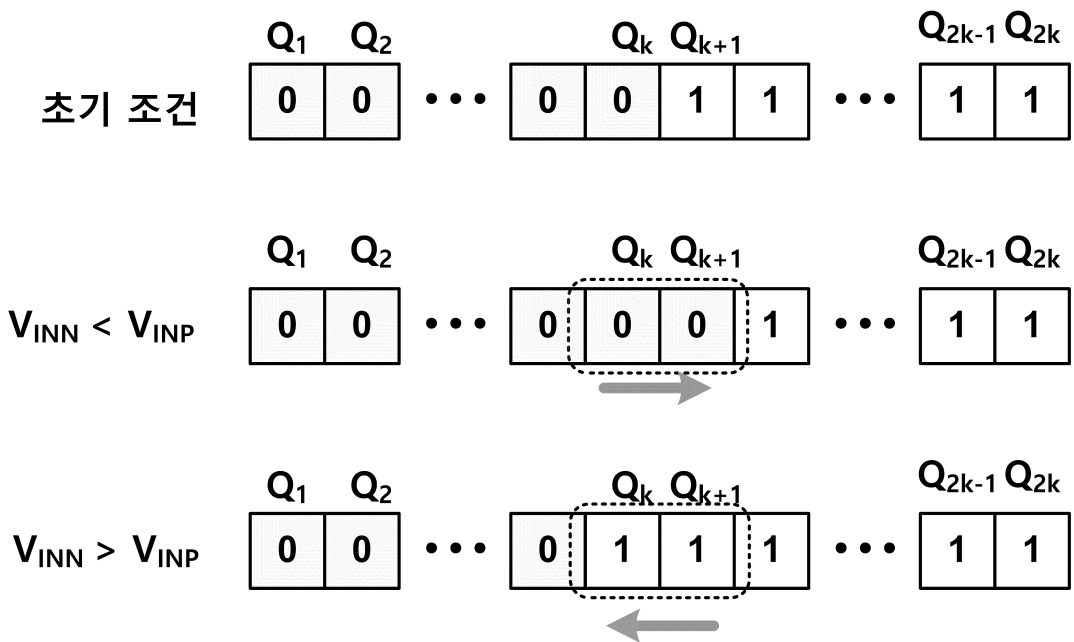
도면7



도면8



도면9



도면10

